

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 12 月 20 日(20.12.2012)



(10) 国際公開番号

WO 2012/173049 A1

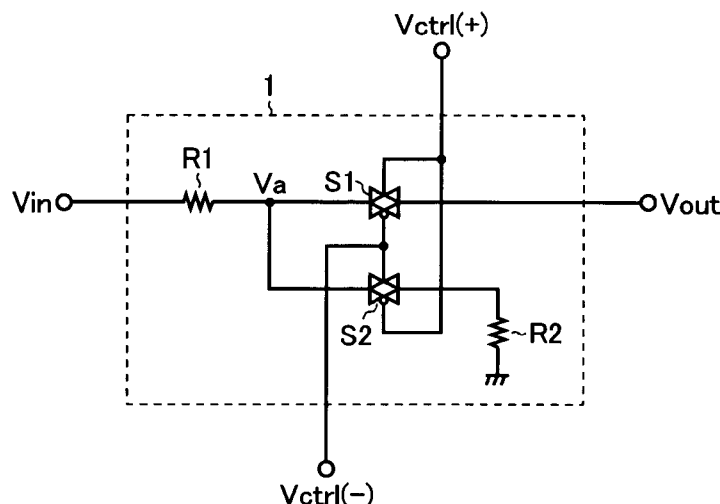
- (51) 国際特許分類:
H03K 17/687 (2006.01) H03K 17/693 (2006.01)
H02P 6/06 (2006.01)
- (21) 国際出願番号: PCT/JP2012/064754
- (22) 国際出願日: 2012 年 6 月 8 日(08.06.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-134368 2011 年 6 月 16 日(16.06.2011) JP
- (71) 出願人 (米国を除く全ての指定国について): ローム株式会社 (ROHM CO., LTD.) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 Kyoto (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 土橋 正典 (TSUCHIHASHI Masanori) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 佐野 静夫, 外 (SANO Shizuo et al.); 〒5400032 大阪府大阪市中央区天満橋京町 2 - 6 天満橋八千代ビル別館 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーロパ (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI

[続葉有]

(54) Title: ANALOG-SWITCH CIRCUIT AND MOTOR DRIVE UNIT USING SAME

(54) 発明の名称: アナログスイッチ回路及びこれを用いたモータ駆動装置

【図1】



(57) Abstract: An analog-switch circuit (1) having: a resistor (R1); a resistor (R2); a CMOS analog switch (S1) in which a first end is connected to an input end (V_{in}) via the resistor (R1), and a second end is connected to an output end (V_{out}); and a CMOS analog switch (S2), in which a first end is connected to the first end of the analog switch (S1), and a second end is connected to a ground end via the resistor (R2). The CMOS analog switch (S2) is turned on or off in antiphase to the analog switch (S1).

(57) 要約: アナログスイッチ回路 1 は、抵抗 R1 と; 抵抗 R2 と; 第 1 端が抵抗 R1 を介して入力端 (V_{in}) に接続され、第 2 端が出力端 (V_{out}) に接続された CMOS 型のアナログスイッチ S1 と; 第 1 端がアナログスイッチ S1 の第 1 端に接続され、第 2 端が抵抗 R2 を介して接地端に接続され、アナログスイッチ S1 と逆相でオン/オフされる CMOS 型のアナログスイッチ S2 と; を有する。

WO 2012/173049 A1

WO 2012/173049 A1



(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG). 添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：

アナログスイッチ回路及びこれを用いたモータ駆動装置

技術分野

[0001] 本発明は、アナログスイッチ回路、及び、これを用いたモータ駆動装置に関する。

背景技術

[0002] 図11Aは、CMOS [Complementary Metal Oxide Semiconductor] 型アナログスイッチの一従来例を示す図であり、図11Bは、アナログスイッチASWの電気用図記号を示す図である。本従来例のアナログスイッチASWは、並列に接続されたNチャネル型MOS電界効果トランジスタNとPチャネル型MOS電界効果トランジスタPを有し、各々のゲートに印加される制御電圧 V_{ctrl} (+)と反転制御電圧 V_{ctrl} (-)に応じて、入力電圧 V_{in} の印加端と出力電圧 V_{out} の印加端との間を導通／遮断する。

[0003] トランジスタN及びPのソースは、アナログスイッチASWの第1端に相当し、入力電圧 V_{in} の印加端に接続されている。トランジスタN及びPのドレインは、アナログスイッチASWの第2端に相当し、出力電圧 V_{out} の印加端に接続されている。トランジスタNのゲートは、アナログスイッチASWの制御端に相当し、制御電圧 V_{ctrl} (+)の印加端に接続されている。トランジスタPのゲートは、アナログスイッチASWの反転制御端に相当し、反転制御電圧 V_{ctrl} (-)の印加端に接続されている。トランジスタNのバックゲートは、接地電圧GNDの印加端に接続されている。トランジスタPのバックゲートは、電源電圧VDDの印加端に接続されている。

[0004] アナログスイッチASWをオンする場合には、制御電圧 V_{ctrl} (+)がハイレベル（電源電圧VDD）とされ、反転制御電圧 V_{ctrl} (-)が

ローレベル（接地電圧GND）とされる。このような電圧の印加によってトランジスタP及びNの少なくとも一方がオンとなり、入力電圧 V_{in} の印加端と出力電圧 V_{out} の印加端との間が導通される。

- [0005] 一方、アナログスイッチASWをオフする場合には、制御電圧 V_{ctrl} （+）がローレベル（接地電圧GND）とされ、反転制御電圧 V_{ctrl} （-）がハイレベル（電源電圧VDD）とされる。このような電圧の印加によってトランジスタP及びNがいずれもオフとなり、入力電圧 V_{in} の印加端と出力電圧 V_{out} の印加端との間が遮断される。

先行技術文献

特許文献

- [0006] 特許文献1：特開2003-189680号公報

発明の概要

発明が解決しようとする課題

- [0007] 入力電圧 V_{in} が通常範囲（電源電圧VDDから接地電圧GNDまで）に収まっていれば、上記従来例のアナログスイッチASWであっても、特段の支障が生じることはない。しかしながら、何らかの理由で、電源電圧VDDよりも少なくともトランジスタPのオンスレッシュホールド電圧 V_{th} だけ高い入力電圧 V_{in} （ $\geq VDD + V_{th}$ ）が印加された場合には、アナログスイッチASWをオフするために、制御電圧 V_{ctrl} （+）をローレベル（接地電圧GND）とし、反転制御電圧 V_{ctrl} （-）をハイレベル（電源電圧VDD）としていても、トランジスタPが意図に反してオンとなり、入力電圧 V_{in} の印加端と出力電圧 V_{out} の印加端との間を誤って導通してしまうおそれがあった。また、何らかの理由で、接地電圧GNDよりも少なくともトランジスタNのオンスレッシュホールド電圧 V_{th} だけ低い入力電圧 V_{in} （ $\leq GND - V_{th}$ ）が印加された場合にも、トランジスタNが意図に反してオンとなり、上記と同様の誤動作を生じるおそれがあった。

- [0008] 上記課題の解決に寄与し得る従来技術の一例として、特許文献1には、端

子の印加電圧が所定値を上回らないように、クランプ回路を設ける構成が開示されている。しかしながら、クランプ対象となる端子が多数存在する場合には多数のクランプ回路が必要となり、回路規模の拡大やコストアップが招かれるので、最善の解決策とは言えなかった。

[0009] 本発明は、本願の発明者により見出された上記の問題点に鑑み、意図しない誤オンを防止することのできるアナログスイッチ回路、及び、これを用いたモータ駆動装置を提供することを目的とする。

課題を解決するための手段

[0010] 上記目的を達成するために、本発明に係るアナログスイッチ回路は、第1抵抗と；第2抵抗と；第1端が前記第1抵抗を介して入力端に接続され、第2端が出力端に接続されたCMOS型の第1アナログスイッチと；第1端が前記第1アナログスイッチの第1端に接続され、第2端が前記第2抵抗を介して接地端に接続され、前記第1アナログスイッチと逆相でオン／オフされるCMOS型の第2アナログスイッチと；を有する構成（第1の構成）とされている。

[0011] なお、上記第1の構成から成るアナログスイッチ回路は、前記第1抵抗と前記入力端との間に挿入され、前記第1アナログスイッチと同相でオン／オフされるCMOS型の第3アナログスイッチをさらに有する構成（第2の構成）にするとよい。

[0012] また、上記第2の構成から成るアナログスイッチ回路は、前記第3アナログスイッチと前記入力端の間に挿入された第3抵抗をさらに有する構成（第3の構成）にするとよい。

[0013] また、上記第1～第3いずれかの構成から成るアナログスイッチ回路において、前記第1抵抗の抵抗値は、前記第2抵抗の抵抗値よりも大きい値に設定されている構成（第4の構成）にするとよい。

[0014] また、本発明に係るモータ駆動装置は、三相モータの各相駆動電圧を順次選択して出力するセレクタと、前記三相モータのコモン電圧と各相駆動電圧とを比較して比較信号を生成するコンパレータと、前記比較信号に応じて前

記三相モータの各相駆動制御信号を生成するコントローラと、前記各相駆動制御信号に応じて前記三相モータの各相駆動電圧を生成するドライバと、を有し、前記セレクトは、前記各相駆動電圧の印加端と前記コンパレータとの間を各々導通／遮断するための手段として、各相毎に上記第１～第４いずれかの構成から成るアナログスイッチ回路を含む構成（第５の構成）とされている。

[0015] また、上記第５の構成から成るモータ駆動装置において、各相毎のアナログスイッチ回路は、前記第２抵抗を共有する構成（第６の構成）にするとよい。

[0016] また、上記第５または第６の構成から成るモータ駆動装置において、前記セレクトは、前記コモン電圧の印加端と前記コンパレータとの間に挿入され、常時オン状態とされるダミーのアナログスイッチ回路をさらに含む構成（第７の構成）にするとよい。

[0017] また、上記第５～第７いずれかの構成から成るモータ駆動装置は、前記セレクトと前記コンパレータとの間に挿入されたフィルタを有する構成（第８の構成）にするとよい。

[0018] また、上記第８の構成から成るモータ駆動装置において、前記フィルタは、抵抗とキャパシタを用いたＲＣフィルタである構成（第９の構成）にするとよい。

[0019] また、本発明に係る電動車両は、上記第５～第９いずれかの構成から成るモータ駆動装置を備えた構成（第１０の構成）とされている。

[0020] また、本発明に係る家電機器は、上記第５～第９いずれかの構成から成るモータ駆動装置を備えた構成（第１１の構成）とされている。

[0021] また、本発明に係る産業機器は、上記第５～第９いずれかの構成から成るモータ駆動装置を備えた構成（第１２の構成）とされている。

発明の効果

[0022] 本発明によれば、意図しない誤オンを防止することのできるアナログスイッチ回路、及び、これを用いたモータ駆動装置を提供することが可能となる

。

図面の簡単な説明

- [0023] [図1]アナログスイッチ回路の第1実施形態を示す図
- [図2]アナログスイッチ回路の第2実施形態を示す図
- [図3]アナログスイッチ回路の第3実施形態を示す図
- [図4]モータ駆動装置の一構成例を示す図
- [図5]モータ駆動装置10の一動作例を示すタイムチャート
- [図6]セレクト11の第1構成例を示す図
- [図7A]出力帰還動作の第1例（正常時）を示すタイムチャート
- [図7B]出力帰還動作の第2例（異常時）を示すタイムチャート
- [図8]セレクト11の第2構成例を示す図
- [図9]モータ駆動装置を搭載した車両の外観図
- [図10]モータ駆動装置を搭載した家電機器（エアコン）の外観図
- [図11A]CMOS型アナログスイッチの一従来例を示す図
- [図11B]CMOS型アナログスイッチの電気用図記号を示す図

発明を実施するための形態

[0024] <アナログスイッチ回路>

図1は、アナログスイッチ回路の第1実施形態を示す図である。第1実施形態のアナログスイッチ回路1は、抵抗R1及びR2と、CMOS型のアナログスイッチS1及びS2と、を有する。

- [0025] アナログスイッチS1の第1端は、抵抗R1を介して入力電圧 V_{in} の印加端に接続されている。アナログスイッチS1の第2端は、出力電圧 V_{out} の印加端に接続されている。アナログスイッチS1の制御端は、制御電圧 V_{ctrl} （+）の印加端に接続されている。アナログスイッチS1の反転制御端は、反転制御電圧 V_{ctrl} （-）の印加端に接続されている。

- [0026] アナログスイッチS2の第1端は、アナログスイッチS1の第1端に接続されている。アナログスイッチS2の第2端は、抵抗R2を介して接地電圧GNDの印加端に接続されている。アナログスイッチS1の制御端は、反転

制御電圧 $V_{ctrl}(-)$ の印加端に接続されている。アナログスイッチ S_1 の反転制御端は、制御電圧 $V_{ctrl}(+)$ の印加端に接続されている。

[0027] アナログスイッチ S_1 及び S_2 は、それぞれ、図 9 A のアナログスイッチ ASW と同じく、並列に接続された N チャネル型 MOS 電界効果トランジスタ N と P チャネル型 MOS 電界効果トランジスタ P を有し、各々のゲートに印加される制御電圧 $V_{ctrl}(+)$ と反転制御電圧 $V_{ctrl}(-)$ に応じて、互いに逆相でオン／オフされる。

[0028] アナログスイッチ回路 1 をオンする場合には、制御電圧 $V_{ctrl}(+)$ がハイレベル（電源電圧 V_{DD} ）とされ、反転制御電圧 $V_{ctrl}(-)$ がローレベル（接地電圧 GND ）とされる。このような電圧の印加によってアナログスイッチ S_1 がオンとなり、入力電圧 V_{in} の印加端と出力電圧 V_{out} の印加端との間が導通される。このとき、アナログスイッチ S_2 はオフとなるので、アナログスイッチ S_1 の第 1 端に印加されるノード電圧 V_a が不必要に引き下げられることはなく、通常信号パスに悪影響が及ぶことはない。

[0029] 一方、アナログスイッチ回路 1 をオフする場合には、制御電圧 $V_{ctrl}(+)$ がローレベル（接地電圧 GND ）とされ、反転制御電圧 $V_{ctrl}(-)$ がハイレベル（電源電圧 V_{DD} ）とされる。このような電圧の印加によりアナログスイッチ S_1 がオフとなり、入力電圧 V_{in} の印加端と出力電圧 V_{out} の印加端との間が遮断される。このとき、アナログスイッチ S_2 はオンとなるので、ノード電圧 V_a は、入力電圧 V_{in} を抵抗 R_1 及び R_2 で分圧した電圧値（ $= V_{in} \times R_2 / (R_1 + R_2)$ ）まで引き下げられる。

[0030] なお、ノード電圧 V_a を十分に引き下げるためには、抵抗 R_1 の抵抗値を抵抗 R_2 の抵抗値よりも大きい値（例えば $R_1 = 19.1\text{ k}\Omega$ 、 $R_2 = 3\text{ k}\Omega$ ）に設定しておくことが望ましい。

[0031] このような構成とすることにより、入力電圧 V_{in} が通常範囲（電源電圧 V_{DD} から接地電圧 GND まで）に収まっている場合はもちろん、何らかの理由で、電源電圧 V_{DD} よりも少なくともトランジスタ P （図 9 A を参照）

のオンスレッシュホールド電圧 V_{th} だけ高い入力電圧 V_{in} ($\geq V_{DD} + V_{th}$) が印加された場合であっても、ノード電圧 V_a が ($V_{DD} + V_{th}$) 以上とならないようにすることができるので、アナログスイッチ S_1 に含まれるトランジスタ P の意図に反した誤オンを防止することが可能となる。また、何らかの理由で接地電圧 GND よりも少なくともトランジスタ N (図9Aを参照) のオンスレッシュホールド電圧 V_{th} だけ低い入力電圧 V_{in} ($\leq GND - V_{th}$) が印加された場合であっても、ノード電圧 V_a が ($GND - V_{th}$) 以下とならないようにすることができるので、アナログスイッチ S_1 に含まれるトランジスタ N の意図に反した誤オンを防止することが可能となる。

[0032] 従って、第1実施形態のアナログスイッチ回路1をオフさせる際には、いかなる入力電圧 V_{in} が印加されている場合であっても、アナログスイッチ S_1 を確実にオフさせることができるので、入力電圧 V_{in} の印加端と出力電圧 V_{out} の印加端との間を確実に遮断することが可能となる。

[0033] 図2は、アナログスイッチ回路の第2実施形態を示す図である。第2実施形態のアナログスイッチ回路1は、先出の第1実施形態とほぼ同様の構成であり、アナログスイッチ S_3 をさらに有する点に特徴を有している。そこで、第1実施形態と同様の構成要素については、図1と同一の符号を付すことで重複した説明を割愛し、以下では、第2実施形態の特徴部分についての重点的な説明を行う。

[0034] アナログスイッチ S_3 は、抵抗 R_1 と入力電圧 V_{in} の印加端の間に挿入されており、アナログスイッチ S_1 と同相でオン／オフされる。このような構成であれば、アナログスイッチ回路1のオフ期間において、入力電圧 V_{in} が通常範囲に収まっている場合には、アナログスイッチ S_3 がオフとなるので、入力電圧 V_{in} の印加端から抵抗 R_1 及び R_2 を切り離して、入力電圧 V_{in} の印加端に接続される前段回路への影響を抑えることが可能となる。一方、アナログスイッチ回路1のオフ期間において、($V_{DD} + V_{th}$) 以上または ($GND - V_{th}$) 以下の入力電圧 V_{in} が印加された場合には

、アナログスイッチS3が意図せずにオンとなるものの、先述のように、抵抗R1及びR2を用いてノード電圧 V_a を $(V_{DD} + V_{th})$ 以下または $(GND - V_{th})$ 以上とすることができるので、アナログスイッチS1を確実にオフさせて、入力電圧 V_{in} の印加端と出力電圧 V_{out} の印加端との間を確実に遮断することが可能となる。

[0035] 図3は、アナログスイッチ回路の第3実施形態を示す図である。第3実施形態のアナログスイッチ回路1は、先出の第2実施形態とほぼ同様の構成であり、抵抗R3をさらに有する点に特徴を有している。そこで、第2実施形態と同様の構成要素については、図2と同一の符号を付すことで重複した説明を割愛し、以下では、第3実施形態の特徴部分についての重点的な説明を行う。

[0036] 抵抗R3は、アナログスイッチS3と入力電圧 V_{in} の印加端の間に挿入されている。このような構成であれば、抵抗R3の抵抗値を任意に設定（例えば $1\text{ k}\Omega$ ）することにより、アナログスイッチ回路1のオン期間において、入力電圧 V_{in} の印加端から出力電圧 V_{out} の印加端に流れる電流量を任意に調整したり、内部素子を保護したりすることが可能となる。

[0037] <モータ駆動装置>

図4はモータ駆動装置の一構成例を示す図である。本構成例のモータ駆動装置10は、三相モータ（三相ブラシレスモータ）20の駆動制御を行う主体であって、セクタ11と、フィルタ12と、コンパレータ13と、コントローラ14と、ドライバ15と、を有する。

[0038] セクタ11は、切替信号SW（U/V/W）に応じて三相モータ20の各相駆動電圧U/V/Wを順次選択して出力する。より具体的に述べると、セクタ11は、駆動電圧UのM期間（L期間からH期間またはH期間からL期間への遷移期間）に駆動電圧Uを選択して出力し、駆動電圧VのM期間に駆動電圧Vを選択して出力し、駆動電圧WのM期間に駆動電圧Wを選択して出力する。すなわち、セクタ11は、三相モータ20の各相コイルに生じる逆起電圧を選択して出力する。また、セクタ11は、切替信号SW（

C) に応じて三相モータ 20 のコモン電圧 COM を常時選択して出力する。

[0039] フィルタ 12 は、セレクト 11 とコンパレータ 13 との間に挿入されており、セレクト 11 で選択された三相モータ 20 のコモン電圧 COM と各相駆動電圧 U/V/W からノイズ成分を除去する。フィルタ 12 としては、例えば、抵抗とキャパシタを用いた RC フィルタを用いることができる（図 8 を参照）。なお、フィルタ 12 のカットオフ周波数は、どのような値に設定しても構わないが、例えば 15 kHz に設定すればよい。

[0040] コンパレータ 13 は、反転入力端（-）に印加される三相モータ 20 のコモン電圧 COM と、非反転入力端（+）に順次印加される各相駆動電圧 U/V/W を比較して比較信号 a を生成する。比較信号 a は、コモン電圧 COM が各相駆動電圧 U/V/W よりも高ければローレベルとなり、低ければハイレベルとなる。

[0041] コントローラ 14 は、比較信号 a に基づいて三相モータ 20 の回転速度に応じた周波数の速度信号 A を内部生成し、この速度信号 A に基づいて三相モータ 20 の回転速度の帰還制御を行うように、各相駆動制御信号（UH/UL、VH/VL、WH/WL）を生成する。より具体的に述べると、コントローラ 14 は、速度信号 A の周波数が所定の目標周波数よりも高いときには三相モータ 20 の回転速度を下げるように、逆に、速度信号 A の周波数が所定の目標周波数よりも低いときには三相モータ 20 の回転速度を上げるように、各相駆動制御信号（UH/UL、VH/VL、WH/WL）を生成する。なお、コントローラ 14 は、三相モータ 20 の速度制御に際して各相駆動制御信号（UH/UL、VH/VL、WH/WL）の PWM [pulse width modulation] 制御を行う。

[0042] ドライバ 15 は、三相モータ 20 の各相毎に、ハーフブリッジ接続されたパワートランジスタ（図示せず）を含み、各々のゲートに入力される各相駆動制御信号（UH/UL、VH/VL、WH/WL）に基づいて、各相駆動電圧 U/V/W を生成する。

[0043] 図 5 は、モータ駆動装置 10 の一動作例を示すタイムチャートであり、上

から順番に、駆動電圧U、駆動電圧V、駆動電圧W、切替信号SW（U）、切替信号SW（V）、切替信号SW（W）、切替信号SW（C）、及び、速度信号Aが描写されている。なお、図5において、各相駆動電圧U／V／Wの縦ハッチングは、各相駆動電圧U／V／WがPWM制御されていることを示している。

[0044] 切替信号SW（U）は、駆動電圧UのM期間にハイレベル（電源電圧VDD）とされてその余の期間にローレベル（接地電圧GND）とされる。切替信号SW（V）は、駆動電圧VのM期間にハイレベル（電源電圧VDD）とされて、その余の期間にローレベル（接地電圧GND）とされる。切替信号SW（W）は、駆動電圧WのM期間にハイレベル（電源電圧VDD）とされて、その余の期間にローレベル（接地電圧GND）とされる。切替信号SW（C）は、常時ハイレベル（VDD）とされる。

[0045] セレクタ11は、切替信号SW（U）のH期間に駆動電圧Uを選択して出力し、切替信号SW（V）のH期間に駆動電圧Vを選択して出力し、切替信号SW（W）のH期間に駆動電圧Wを選択して出力する。また、セレクタ11は、常時ハイレベルとされている切替信号SW（C）に応じてコモン電圧COMを常時選択して出力する。

[0046] セレクタ11から出力されるコモン電圧COMと各相駆動電圧U／V／Wは、フィルタ12を介してコンパレータ13に入力される。コンパレータ13では、コモン電圧COMと各相駆動電圧U／V／Wを比較して比較信号aが生成される。コントローラ14では、比較信号aに基づいて三相モータ20の回転速度に応じた周波数の速度信号Aが内部生成される。

[0047] なお、速度信号Aの理想波形は、各相駆動電圧U／V／WがL期間からH期間に遷移する過程でコモン電圧COMを上回ったときにローレベルからハイレベルに立ち上がり、逆に、各相駆動電圧U／V／WがH期間からL期間に遷移する過程でコモン電圧COMを下回ったときにハイレベルからローレベルに立ち下がる矩形波となる。

[0048] ただし、セレクタ11の回路構成によっては、速度信号Aの立ち上がりタイ

ミングや立下りタイミングが本来のタイミングからずれてしまい、コントローラ 14 による出力帰還制御（延いては、三相モータ 20 の駆動制御）に支障を生じる場合がある。以下では、このような課題について具体的に説明する。

[0049] 図 6 は、セクタ 11 の第 1 構成例（上記の課題を生じ得る構成）を示す図である。第 1 構成例のセクタ 11 は、アナログスイッチ S1 (C)、S1 (U)、S1 (V)、S1 (W) を含む。アナログスイッチ S1 (C) は、コモン電圧 COM の印加端とフィルタ 12 の第 1 入力端（延いてはコンパレータ 13 の反転入力端（-））との間に接続されている。アナログスイッチ S1 (U)、S1 (V)、S1 (W) は、それぞれ、各相駆動電圧（U、V、W）の印加端とフィルタ 12 の第 2 入力端（延いてはコンパレータ 13 の非反転入力端（+））との間に接続されている。

[0050] アナログスイッチ S1 (C)、S1 (U)、S1 (V)、S1 (W) は、それぞれ、図 9 A のアナログスイッチ ASW と同じく、並列に接続された N チャネル型 MOS 電界効果トランジスタ N と P チャネル型 MOS 電界効果トランジスタ P を有し、各々のゲートに印加される切替信号 SW (C)、SW (U)、SW (V)、SW (W)（それぞれ、先述の制御電圧 V_{ctrl}（+）に相当）と、反転切替信号 SWB (C)、SWB (U)、SWB (V)、SWB (W)（それぞれ、先述の反転制御電圧 V_{ctrl}（-）に相当）に応じてオン／オフされる。なお、セクタ 11 では、アナログスイッチ S1 (C) が常時オンとされ、アナログスイッチ S1 (U)、S1 (V)、S1 (W) については、いずれか一つのみが順次オンとされる。

[0051] 図 7 A 及び図 7 B は、それぞれ、出力帰還動作の第 1 例（正常時）と第 2 例（異常時）を示すタイムチャートであり、上から順に、駆動電圧 U、切替信号 SW (U)、比較信号 a、フィルタ処理済みの比較信号 b、マスク信号 c、及び、速度信号 A が示されている。なお、以下では説明の便宜上、セクタ 11 で駆動電圧 U が選択出力される場合を例に挙げて説明を行うが、駆動電圧 V や駆動電圧 W が選択される場合についても同様である。

[0052] まず、図6及び図7Aを参照しながら、出力帰還動作の第1例（正常時）について説明する。駆動電圧UのM期間には、切替信号SW（U）がハイレベルとされてアナログスイッチS1（U）がオンとなり、切替信号SW（V）及びSW（W）がローレベルとされてアナログスイッチS1（V）及びS1（W）がオフとなる。従って、セクタ11からは駆動電圧Uが選択出力され、コンパレータ13では、駆動電圧Uとコモン電圧COMとを比較することにより比較信号aが生成される。

[0053] コンパレータ13から比較信号aが入力されるコントローラ14の内部では、まず、比較信号aに対して所定のフィルタ処理が施される。フィルタ処理済みの比較信号bは、元の比較信号aに比べて、駆動電圧UのPWM成分に起因する不要パルスが一部除去された波形となる。次に、コントローラ14の内部では、所定の信号検出期間（マスク信号cのハイレベル期間）にわたって比較信号bの検出（論理レベル判定）が行われ、その検出結果に応じて速度信号Aの論理レベルが切り替えられる。このようなコントローラ14の内部信号処理によって生成される速度信号Aの理想的な波形は、駆動電圧UがL期間からH期間に遷移する過程でコモン電圧COMを上回ったときにローレベルからハイレベルに立ち上がる矩形波となる。

[0054] 次に、図6及び図7Bを参照しながら、出力帰還動作の第2例（異常時）について説明する。先にも述べたように、駆動電圧UのM期間には、切替信号SW（U）がハイレベルとされてアナログスイッチS1（U）がオンとなり、セクタ11から駆動電圧Uが選択出力される。このとき、切替信号SW（V）及びSW（W）は、いずれもローレベルとされているので、本来であればアナログスイッチS1（V）及びS1（W）はいずれもオフとなっていなければならない。コンパレータ13では、駆動電圧Uのみとコモン電圧COMとが比較されて比較信号aが生成されなければならない。

[0055] しかしながら、何らかの理由で、電源電圧VDDよりも少なくともトランジスタPのオンスレッシュホールド電圧V_{th}だけ高い駆動電圧VまたはW（ $\geq VDD + V_{th}$ ）が印加された場合には、アナログスイッチSW（V）及び

SW (W) をオフするために、切替信号 SW (V) 及び SW (W) をローレベル（接地電圧 GND）としていても、トランジスタ P が意図に反してオンとなり、本来であれば駆動電圧 U のみを選択出力すべきところに、不要な駆動電圧 V または W を加算して出力してしまうおそれがあった。例えば、モータ駆動条件（モータの特性や駆動電流値）によっては、PWM 駆動されている相（モータ対象とされていない相）の駆動電圧が電源電圧 VDD よりも高い電圧値まで大きく振れることがあり、その電圧値が $(VDD + V_{th})$ を超えると、上記の異常状態に陥るおそれがあった。また、接地電圧 GND よりも少なくともトランジスタ N のオンスレッシュホールド電圧 V_{th} だけ低い駆動電圧 V または W ($\leq GND - V_{th}$) が印加された場合にも、上記と同様の異常状態に陥るおそれがあった。

[0056] このような異常状態に陥ると、コモン電圧 COM よりも駆動電圧 $(U + V)$ または $(U + W)$ の平均値の方が高くなるので、コンパレータ 13 で生成される比較信号 a やコントローラ 14 の内部で生成されるフィルタ処理後の比較信号 b がほぼハイレベルに維持される状態となる。その結果、所定の信号検出期間が開始されると同時に、速度信号 A の論理レベルが切り替えられることになるので、速度信号 A の立上がりタイミングが本来のタイミングからずれてしまい、コントローラ 14 による出力帰還制御（延いては、三相モータ 20 の駆動制御）に支障を生じるおそれがある。

[0057] 図 8 は、セレクト 11 の第 2 構成例（上記課題を解消し得る構成）を示す図である。第 2 構成例のセレクト 11 は、アナログスイッチ回路 11C、11U、11V、11W を含む。アナログスイッチ回路 11C は、コモン電圧 COM の印加端とフィルタ 12 の第 1 入力端（延いてはコンパレータ 13 の反転入力端（-））との間に接続されている。アナログスイッチ回路 11U、11V、11W は、それぞれ、各相駆動電圧（U、V、W）の印加端とフィルタ 12 の第 2 入力端（延いてはコンパレータ 13 の非反転入力端（+））との間に接続されている。

[0058] アナログスイッチ回路 11U、11V、11W は、それぞれ、基本的に図

3のアナログスイッチ回路1と同様の構成から成る。ただし、アナログスイッチ回路11U、11V、11Wは、各相毎に抵抗R2を有する構成ではなく、単一の抵抗R2を全ての相で共有する構成とされている。このような構成とすることにより、セクタ11の回路規模を縮小することが可能となる。もちろん、各相毎に抵抗R2を有する構成としても構わない。

[0059] また、アナログスイッチ回路11Cは、常時オン状態とされることに鑑みてアナログスイッチS2と抵抗R2が取り除かれていること以外、アナログスイッチ回路11U、11V、11Wと全く同様の構成から成る。このように、コモン電圧COMの印加端とフィルタ12の第1入力端（延いてはコンパレータ13の反転入力端（-））との間に、常時オン状態とされるダミーのアナログスイッチ回路11Cを挿入した構成とすることにより、セクタ11内部におけるコモン電圧COMと各相駆動電圧U/V/Wとの信号ロスを合わせ込むことができるので、コントローラ14による出力帰還制御の精度を高めることが可能となる。

[0060] なお、図8では、図示の便宜上、図3で描写されている制御電圧Vctrl（+）及びVctrl（-）が省略されているが、アナログスイッチ回路11C、11U、11V、11Wのいずれにおいても、図3と同様にして、制御電圧Vctrl（+）に相当する切替信号SWと、反転制御電圧Vctrl（-）に相当する反転切替信号SWBが印加されているものとする。すなわち、アナログスイッチS1及びS2は互いに逆相でオン／オフされ、アナログスイッチS1及びS3は互いに同相でオン／オフされる。

[0061] 第2構成例のセクタ11において、例えば駆動電圧Uを選択して出力する場合には、アナログスイッチ回路11Uがオンとされて、アナログスイッチ回路11V及び11Wがオフとされる。オンとされるアナログスイッチ回路11Uにおいては、アナログスイッチS1（U）及びS3（U）がオンとなり、駆動電圧Uの印加端とフィルタ12の第2入力端（延いてはコンパレータ13の非反転入力端（+））との間が導通される。このとき、アナログスイッチS2（U）はオフとなるので、アナログスイッチS1（U）の第1

端に印加されるノード電圧 U' が不必要に引き下げられることはなく、通常信号パスに悪影響が及ぶことはない。

[0062] 一方、オフとされるアナログスイッチ回路11Vでは、アナログスイッチS1(V)及びS3(V)がオフとされ、アナログスイッチS2(V)がオンとされる。ここで、 $(V_{DD} + V_{th})$ 以上または $(GND - V_{th})$ 以下の出力電圧Vが印加された場合には、アナログスイッチS3(V)が意図せずにオンとなるものの、先にも述べた通り、抵抗R1及びR2を用いてノード電圧 V' を $(V_{DD} + V_{th})$ 以下または $(GND - V_{th})$ 以上とすることができるので、アナログスイッチS1(V)を確実にオフさせて、駆動電圧Vの印加端とフィルタ12の第2入力端（延いては、コンパレータ13の非反転入力端(+)）との間を確実に遮断することが可能となる。なお、オフとされるアナログスイッチ回路11Wについても、上記と同様である。

[0063] 従って、第2構成例のセクタ11であれば、選択出力すべき相の駆動電圧のみを確実にコンパレータ13に伝達することができるので、コントローラ14による出力帰還制御（延いては、三相モータ20の駆動制御）の誤動作を回避することが可能となる。

[0064] なお、上記では、第2構成例のセクタ11において、駆動電圧Uを選択して出力する場合を例に挙げて説明を行ったが、駆動電圧V及びWを選択して出力する場合についても上記と同様の効果を享受することが可能であることは言うまでもない。

[0065] また、アナログスイッチ回路11C、11U、11V、11Wの構成については、図3の構成に限らず、図1や図2の構成を採用することも可能である。

[0066] <モータ駆動装置の適用対象>

以上で説明したモータ駆動装置10は、電気自動車やハイブリッド自動車などの電動車両X（図9を参照）、エアコンなどの家電機器Y（図10を参照）、或いは、産業機器などに搭載することが可能である。

[0067] <その他の変形例>

なお、本明細書中に開示されている種々の技術的特徴は、上記実施形態のほか、その技術的創作の主旨を逸脱しない範囲で種々の変更を加えることが可能である。すなわち、上記実施形態は全ての点で例示であって、制限的なものではないと考えられるべきであり、本発明の技術的範囲は、上記実施形態の説明ではなく、特許請求の範囲によって示されるものであり、特許請求の範囲と均等の意味及び範囲内に属する全ての変更が含まれると理解されるべきである。

産業上の利用可能性

[0068] 本発明は、例えば、三相モータの駆動制御を行うモータ駆動装置において、出力帰還制御時の誤動作を防止するための技術として好適に利用することが可能である。

符号の説明

- [0069]
- 1 アナログスイッチ回路
 - 1 0 モータ駆動装置
 - 1 1 セレクタ
 - 1 1 U、1 1 V、1 1 W、1 1 C アナログスイッチ回路
 - 1 2 フィルタ
 - 1 3 コンパレータ
 - 1 4 コントローラ
 - 1 5 ドライバ
 - 2 0 三相モータ（三相ブラシレスモータ）
 - S 1、S 2、S 3 アナログスイッチ
 - R 1、R 2、R 3 抵抗
 - X 電動車両
 - Y 家電機器

請求の範囲

- [請求項1] 第1抵抗と；
 第2抵抗と；
 第1端が前記第1抵抗を介して入力端に接続され、第2端が出力端に接続されたCMOS型の第1アナログスイッチと；
 第1端が前記第1アナログスイッチの第1端に接続され、第2端が前記第2抵抗を介して接地端に接続され、前記第1アナログスイッチと逆相でオン／オフされるCMOS型の第2アナログスイッチと；
 を有することを特徴とするアナログスイッチ回路。
- [請求項2] 前記第1抵抗と前記入力端との間に挿入され、前記第1アナログスイッチと同相でオン／オフされるCMOS型の第3アナログスイッチをさらに有することを特徴とする請求項1に記載のアナログスイッチ回路。
- [請求項3] 前記第3アナログスイッチと前記入力端との間に挿入された第3抵抗をさらに有することを特徴とする請求項2に記載のアナログスイッチ回路。
- [請求項4] 前記第1抵抗の抵抗値は、前記第2抵抗の抵抗値よりも大きい値に設定されていることを特徴とする請求項1～請求項3のいずれか一項に記載のアナログスイッチ回路。
- [請求項5] 三相モータの各相駆動電圧を順次選択して出力するセレクタと、
 前記三相モータのコモン電圧と各相駆動電圧とを比較して比較信号を生成するコンパレータと、
 前記比較信号に応じて前記三相モータの各相駆動制御信号を生成するコントローラと、
 前記各相駆動制御信号に応じて前記三相モータの各相駆動電圧を生成するドライバと、
 を有し、
 前記セレクタは、前記各相駆動電圧の印加端と前記コンパレータと

の間を各々導通／遮断するための手段として、各相毎に請求項 1 ～請求項 4 のいずれか一項に記載のアナログスイッチ回路を含むことを特徴とするモータ駆動装置。

[請求項6] 各相毎のアナログスイッチ回路は、前記第 2 抵抗を共有することを特徴とする請求項 5 に記載のモータ駆動装置。

[請求項7] 前記セレクトは、前記コモン電圧の印加端と前記コンパレータとの間に挿入され、常時オン状態とされるダミーのアナログスイッチ回路をさらに含むことを特徴とする請求項 5 または請求項 6 に記載のモータ駆動装置。

[請求項8] 前記セレクトと前記コンパレータとの間に挿入されたフィルタをさらに有することを特徴とする請求項 5 ～請求項 7 のいずれか一項に記載のモータ駆動装置。

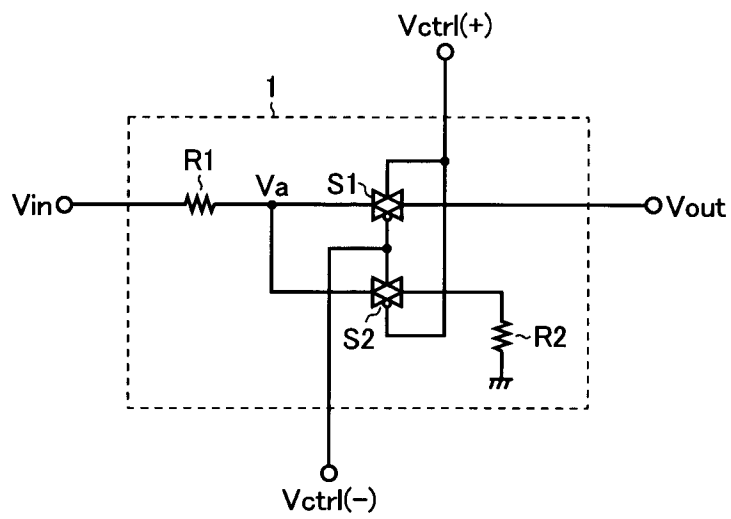
[請求項9] 前記フィルタは、抵抗とキャパシタを用いた RC フィルタであることを特徴とする請求項 8 に記載のモータ駆動装置。

[請求項10] 請求項 5 ～請求項 9 のいずれか一項に記載のモータ駆動装置を備えたことを特徴とする電動車両。

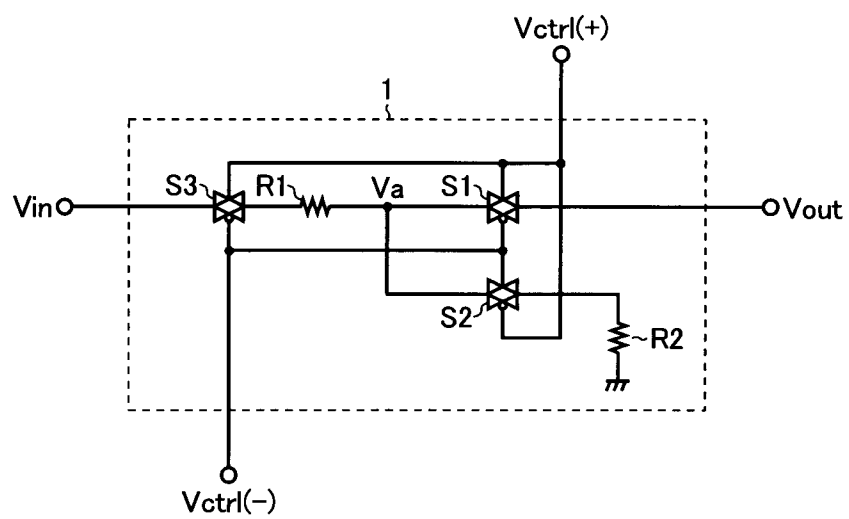
[請求項11] 請求項 5 ～請求項 9 のいずれか一項に記載のモータ駆動装置を備えたことを特徴とする家電機器。

[請求項12] 請求項 5 ～請求項 9 のいずれか一項に記載のモータ駆動装置を備えたことを特徴とする産業機器。

[図1]



[図2]



10

11

12

13

14

15

20

COM

SW(U,V,W,C)

U

V

W

UH/UL

VH/VL

WH/WL

DET

CTRL

FLT

MASK

DRV

FLT

+

-

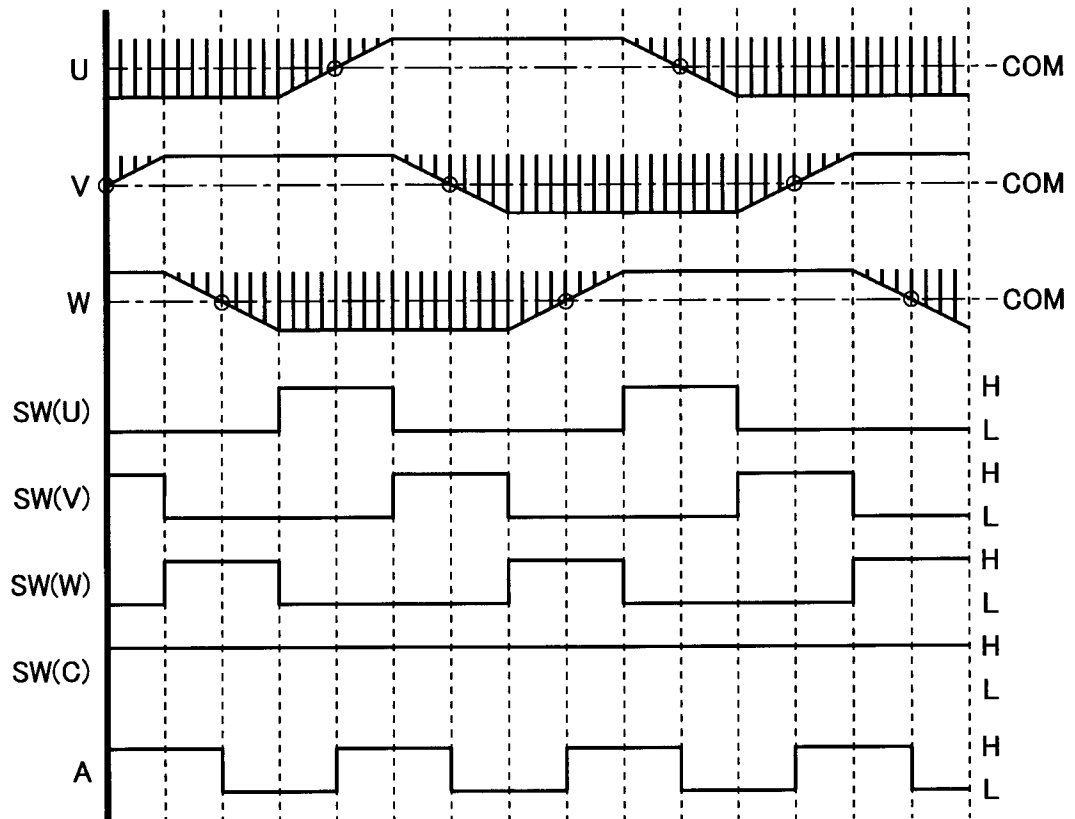
a

b

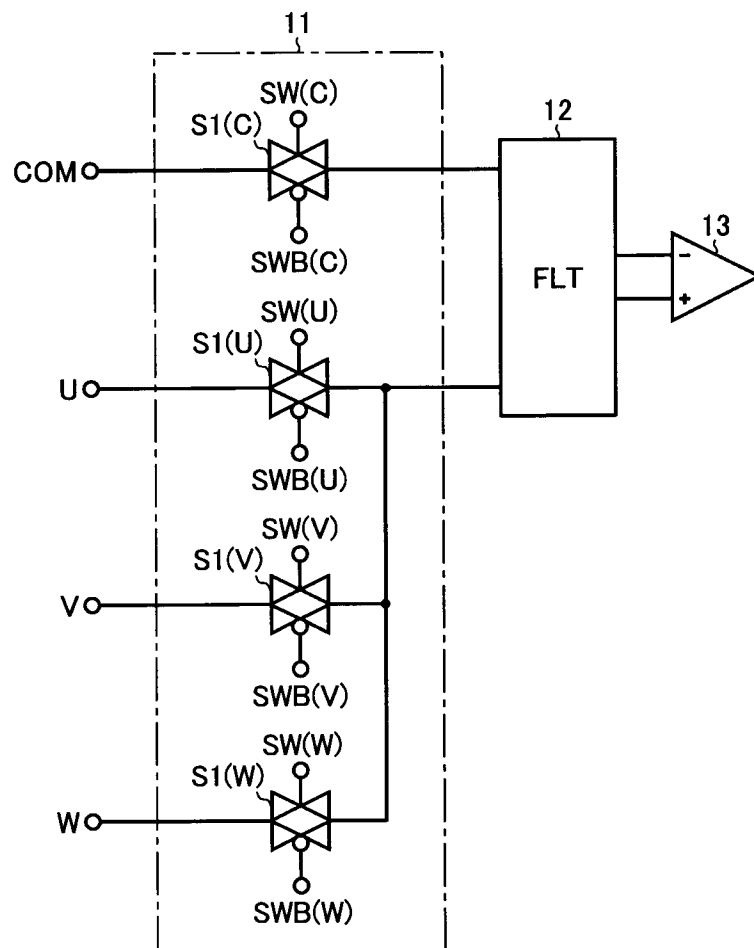
c

A

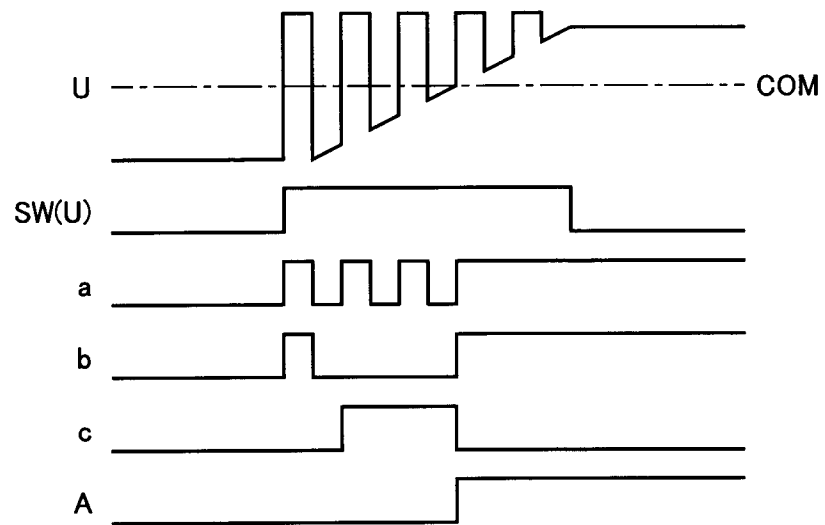
[図5]



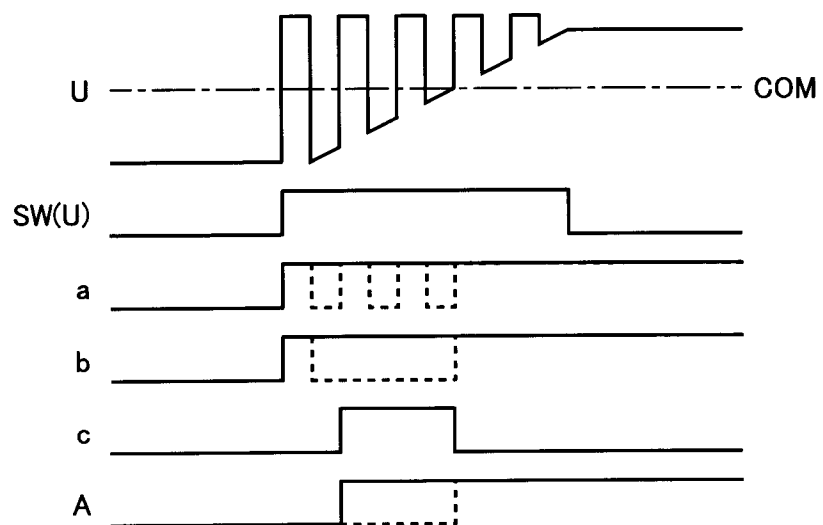
[図6]



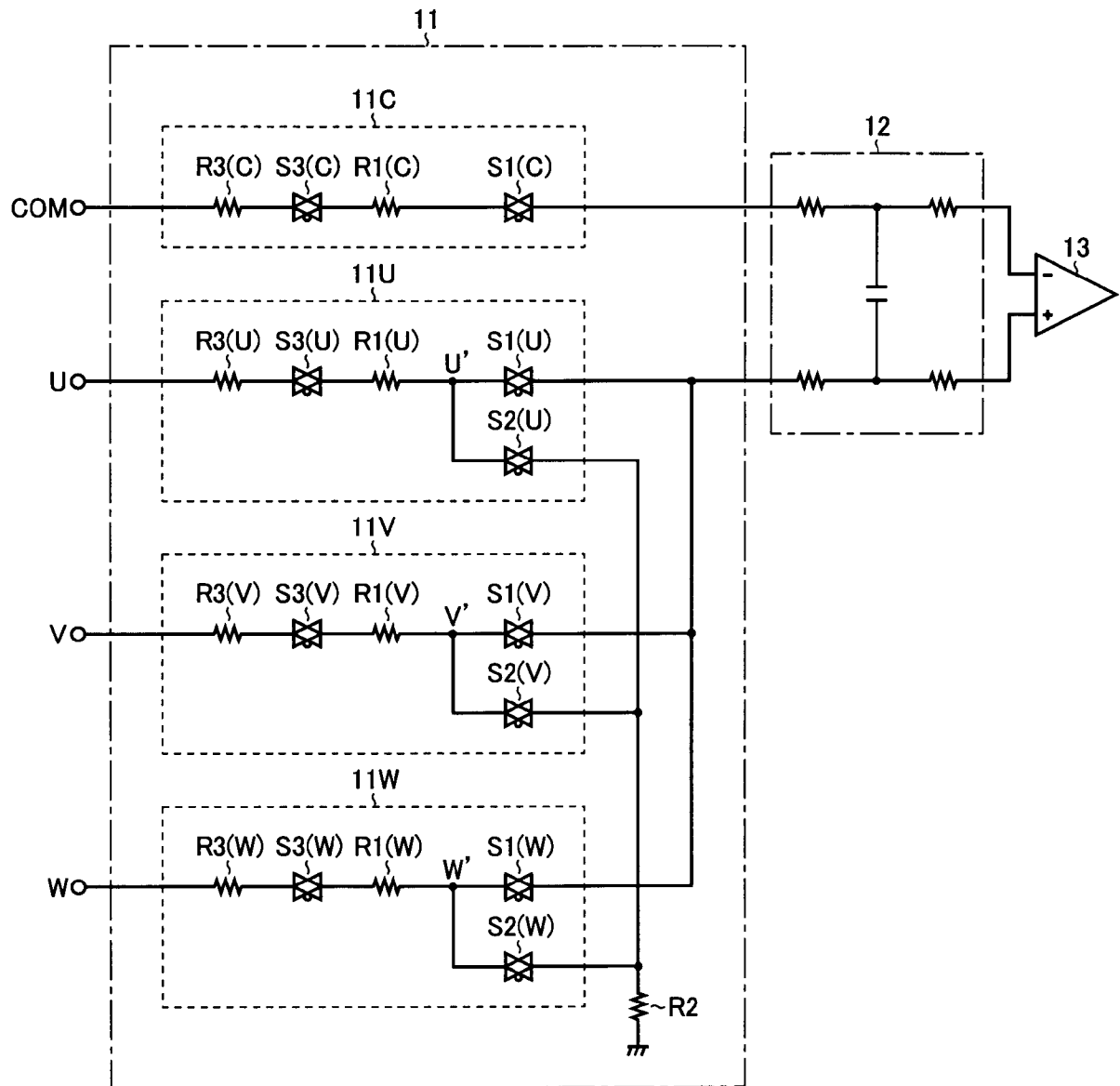
[図7A]



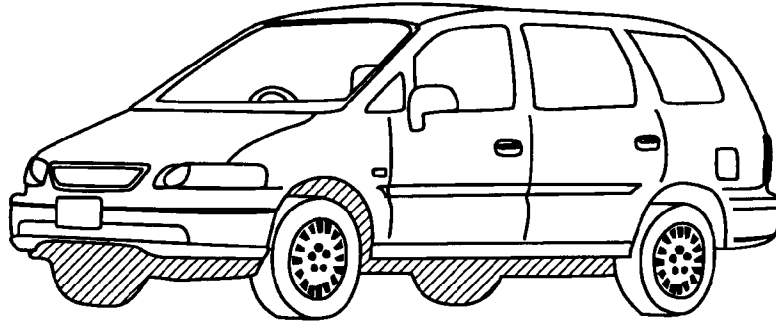
[図7B]



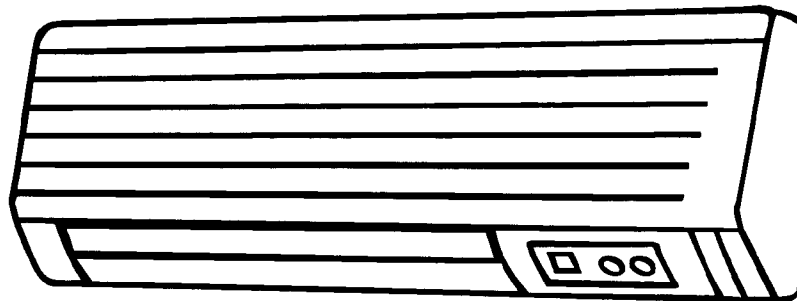
[図8]



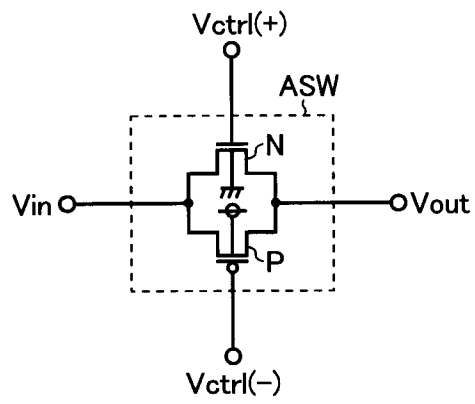
[図9]

X
↘

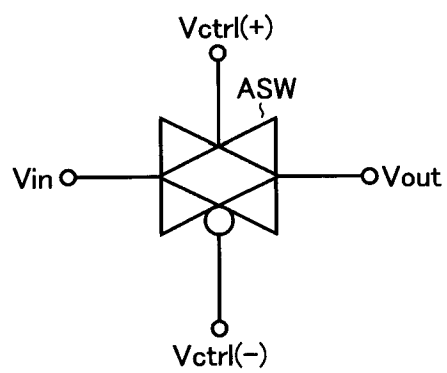
[図10]

Y
↙

[図11A]



[図11B]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/064754

A. CLASSIFICATION OF SUBJECT MATTER

H03K17/687(2006.01)i, H02P6/06(2006.01)i, H03K17/693(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K17/00-17/70, H02P6/06

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2012

Kokai Jitsuyo Shinan Koho 1971-2012 Toroku Jitsuyo Shinan Koho 1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 1-236731 A (NEC Corp.), 21 September 1989 (21.09.1989), page 2, lower right, line 7 to page 4, upper right, line 7; fig. 1 (Family: none)	1-4 5,8-12
Y	JP 2006-115599 A (Renesas Technology Corp.), 27 April 2006 (27.04.2006), paragraphs [0012] to [0015]; fig. 1 & US 2006/0082336 A1 & US 2008/0297082 A1	5,8-12
A	JP 2001-28891 A (Rohm Co., Ltd.), 30 January 2001 (30.01.2001), abstract; fig. 1 to 3 & US 6377008 B1 & EP 1069676 A1	1-12

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
26 June, 2012 (26.06.12)Date of mailing of the international search report
03 July, 2012 (03.07.12)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））
 Int.Cl. H03K17/687 (2006.01)i, H02P6/06 (2006.01)i, H03K17/693 (2006.01)i

B. 調査を行った分野
 調査を行った最小限資料（国際特許分類（I P C））
 Int.Cl. H03K17/00-17/70, H02P6/06

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 1-236731 A（日本電気株式会社）1989.09.21, 第2頁右下第7行－第4頁右上第7行, 第1図（ファミリーなし）	1 - 4 5, 8 - 1 2
Y	JP 2006-115599 A（株式会社ルネサステクノロジ）2006.04.27, 【0 0 1 2】－【0 0 1 5】, 図1 & US 2006/0082336 A1 & US 2008/0297082 A1	5, 8 - 1 2
A	JP 2001-28891 A（ローム株式会社）2001.01.30, 【要約】, 図1 - 3 & US 6377008 B1 & EP 1069676 A1	1 - 1 2

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日
 2 6 . 0 6 . 2 0 1 2

国際調査報告の発送日
 0 3 . 0 7 . 2 0 1 2

国際調査機関の名称及びあて先
 日本国特許庁（I S A / J P）
 郵便番号1 0 0 - 8 9 1 5
 東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）
 栗栖 正和
 電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 9 6

5 X

3 9 8 7