

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016 年 11 月 24 日(24.11.2016)



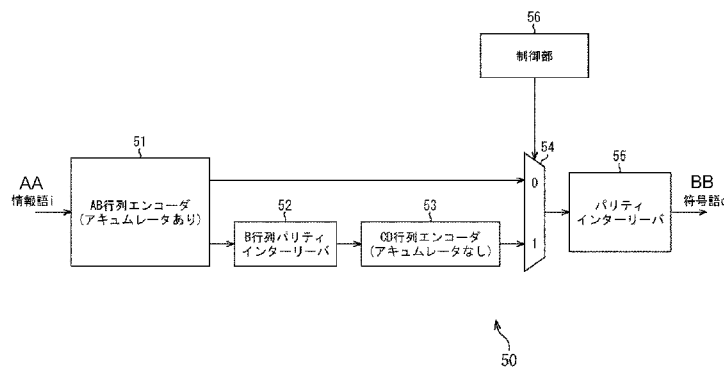
(10) 国際公開番号
WO 2016/185911 A1

- (51) 国際特許分類:
H03M 13/19 (2006.01) *H03M 13/27* (2006.01)
- (21) 国際出願番号: PCT/JP2016/063619
- (22) 国際出願日: 2016 年 5 月 6 日(06.05.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-101572 2015 年 5 月 19 日(19.05.2015) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目 1 4 番 1 号 Kanagawa (JP).
- (72) 発明者: 篠原 雄二 (SHINOHARA Yuji); 〒1080075 東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内 Tokyo (JP). 山本 真紀子 (YAMAMOTO Makiko); 〒1080075 東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内 Tokyo (JP). 池谷 亮志 (IKEGAYA Ryoji); 〒1080075 東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内 Tokyo (JP).
- (74) 代理人: 西川 孝, 外 (NISHIKAWA Takashi et al.); 〒1600023 東京都新宿区西新宿 7 丁目 5 番 2 5 号 西新宿木村屋ビルディング 9 階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーロパ (AM, AZ, BY, KG, KZ, RU, TJ, TM), ユーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: ENCODING DEVICE AND ENCODING METHOD

(54) 発明の名称: 符号化装置及び符号化方法

【図22】
FIG. 22



51... AB MATRIX ENCODER (WITH ACCUMULATOR)
52... B MATRIX PARITY INTERLEAVER
53... CD MATRIX ENCODER (WITHOUT ACCUMULATOR)
55... PARITY INTERLEAVER
56... CONTROL UNIT
AA... INFORMATION WORD i
BB... CODE WORD c

(57) Abstract: The present technology pertains to an encoding method and an encoding device for enabling support for DVB-Like LDPC codes and LDPC codes in ETRI format. The encoding device is provided with: a first LDPC encoding unit for generating an LDPC code of a predetermined information word by using a first check matrix; a first parity interleaving unit for interleaving a parity bit of the LDPC code; and a second LDPC encoding unit for generating an LDPC code in ETRI format, by using a second check matrix, from the LDPC code of which the parity bit has been interleaved. The present technology can be applied to, for example, an encoding device or the like.

(57) 要約: 本技術は、DVB-Like LDPC 符号と ETRI 形式 LDPC 符号に対応することができるようになる符号化装置及び符号化方法に関する。符号化装置は、第 1 の検査行列を用いて、所定の情報語の LDPC 符号を生成する第 1 LDPC 符号化部と、前記 LDPC 符号のパリティビットをインターリーブする第 1 パリティインターリーブ部と、前記パリティビットがインターリーブされた前記 LDPC 符号に

対して、第 2 の検査行列を用いて、ETRI 形式 LDPC 符号を生成する第 2 LDPC 符号化部とを備える。本技術は、例えば、符号化装置等に適用できる。

明 細 書

発明の名称： 符号化装置及び符号化方法

技術分野

[0001] 本技術は、符号化装置及び符号化方法に関し、特に、DVB-Like LDPC符号とETRI形式LDPC符号に対応することができるようにする符号化装置及び符号化方法に関する。

背景技術

[0002] LDPC(Low Density Parity Check)符号は、高い誤り訂正能力を有し、近年では、例えば、欧州等のDVB(Digital Video Broadcasting)-S.2等のデジタル放送等の伝送方式に広く採用されている（例えば、非特許文献1を参照）。

[0003] また、DVB-T.2、DVB-C.2のデジタル放送等の伝送方式には、上記DVB-S.2に準拠したLDPC符号のパリティビットを、他のパリティビットの位置にインターリーブしたLDPC符号（以下、DVB-Like LDPC符号という。）が採用されている（例えば、非特許文献2を参照）。

先行技術文献

非特許文献

[0004] 非特許文献1：DVB-S.2：ETSI EN 302 307 V1.2.1 (2009-08)

非特許文献2：DVB-T2：ETSI EN 302 755 V1.3.1 (2012-04)

発明の概要

発明が解決しようとする課題

[0005] ところで、ATSC(Advanced Television Systems Committee)3.0と呼ばれるデジタル放送の規格では、DVB-Like LDPC符号と、カナダのCommunications Research Centreと韓国のElectronics and Telecommunications Research Institute(以下、CRC/ETRIと記述する。)が提案する形式のLDPC符号（以下、ETRI形式LDPC符号という。）とが採用される予定で進められており、両方の形式に対応した符号化装置が望まれている。

[0006] 本技術は、このような状況に鑑みてなされたものであり、DVB-Like LDPC符号とETRI形式LDPC符号に対応することができるようにするものである。

課題を解決するための手段

[0007] 本技術の一側面の符号化装置は、第1の検査行列を用いて、所定の情報語のLDPC符号を生成する第1 LDPC符号化部と、前記LDPC符号のパリティビットをインターリーブする第1 パリティインターリーブ部と、前記パリティビットがインターリーブされた前記LDPC符号に対して、前記第1の検査行列を一部として含む第2の検査行列を用いて、ETRI形式LDPC符号を生成する第2 LDPC符号化部とを備える。

[0008] 本技術の一側面の符号化方法は、第1の検査行列を用いて、所定の情報語のLDPC符号を生成する第1 LDPC符号化ステップと、前記LDPC符号のパリティビットをインターリーブするパリティインターリーブステップと、前記パリティビットがインターリーブされた前記LDPC符号に対して、前記第1の検査行列を一部として含む第2の検査行列を用いて、ETRI形式LDPC符号を生成する第2 LDPC符号化ステップとを備え、前記第1 LDPC符号化ステップと前記パリティインターリーブステップを実行し、その後、そのまま出力するか、または、前記第2 LDPC符号化ステップを実行して出力するかを切り替える。

[0009] 本技術の一側面においては、第1の検査行列を用いて、所定の情報語のLDPC符号が生成され、前記LDPC符号のパリティビットがインターリーブされる。また、パリティビットがインターリーブされた前記LDPC符号に対して、前記第1の検査行列を一部として含む第2の検査行列を用いて、ETRI形式LDPC符号が生成される。

[0010] 符号化装置は、独立した装置であっても良いし、1つの装置を構成している内部ブロックであっても良い。

発明の効果

[0011] 本技術の一側面によれば、DVB-Like LDPC符号とETRI形式LDPC符号に対応することができる。

[0012] なお、ここに記載された効果は必ずしも限定されるものではなく、本開示

中に記載されたいずれかの効果であってもよい。

図面の簡単な説明

[0013] [図1]LDPC符号の検査行列Hを説明する図である。

[図2]パリティ部が下三角行列になっている検査行列Hを示す図である。

[図3]パリティ部が下三角行列になっている検査行列Hを示す図である。

[図4]LDPC符号化に用いる検査行列Hの例を示す図である。

[図5]図4の検査行列Hを行置換または列置換した後の検査行列H'を示す図である。

[図6]図4の検査行列Hを行置換または列置換した後の検査行列H'を示す図である。

[図7]図4の検査行列Hと図5や図6の検査行列H'のパリティ部を示す図である。

[図8]LDPC符号を生成する符号化装置の構成例を示すブロック図である。

[図9]図8のサイクリックシフト回路が行うサイクリックシフトの量について説明する図である。

[図10]図8のRAMに記憶される和について説明する図である。

[図11]図8のRAMに記憶される和について説明する図である。

[図12]図8のインターリーバの詳細構成例を示す図である。

[図13]図12のインターリーバにおけるデータの入出力を説明するタイミングチャートである。

[図14]図8のアキュムレータの詳細構成例を示す図である。

[図15]図14のアキュムレータで行われるパリティビットpの演算について説明する図である。

[図16]図14のアキュムレータで行われるパリティビットpの演算について説明する図である。

[図17]図8の符号化装置による符号化処理を説明するフローチャートである。

[図18]図8の符号化装置で用いられる検査行列Hを再び示す図である。

[図19]パリティインターリーブについて説明する図である。

[図20]パリティインターリーブ後のLDPC符号に対応する検査行列Hのパリティ行列を示す図である。

[図21]ETRI形式の検査行列Hの構造を示す図である。

[図22]本技術を採用した符号化装置の第1の実施の形態の構成例を示すブロック図である。

[図23]CD行列エンコーダの詳細な構成例を示すブロック図である。

[図24]図22の符号化装置によるLDPC符号化処理を説明するフローチャートである。

[図25]本技術を採用した符号化装置の第2の実施の形態の構成例を示すブロック図である。

[図26]第2の実施の形態におけるDVB-Like LDPC符号の生成について説明する図である。

[図27]第2の実施の形態におけるETRI形式LDPC符号の生成について説明する図である。

[図28]本技術を採用した符号化装置の第3の実施の形態の構成例を示すブロック図である。

[図29]第3の実施の形態におけるDVB-Like LDPC符号の生成について説明する図である。

[図30]第3の実施の形態におけるETRI形式LDPC符号の生成について説明する図である。

[図31]第3の実施の形態におけるETRI形式LDPC符号の生成について説明する図である。

[図32]本技術を適用したコンピュータの一実施の形態の構成例を示すブロック図である。

発明を実施するための形態

[0014] 以下、本技術を実施するための形態（以下、実施の形態という）について説明する。なお、説明は以下の順序で行う。

1. LDPC符号の説明
2. DVB-Like LDPC符号の説明
3. ETRI形式LDPC符号の説明
4. 第1の実施の形態（基本構成例）
5. 第2の実施の形態（所定ブロックを共通化した第1構成例）
6. 第3の実施の形態（所定ブロックを共通化した第2構成例）

[0015] <概要>

ATSC(Advanced Television Systems Committee)3.0と呼ばれるデジタル放送の規格では、DVB-S.2等に準拠したLDPC符号のパリティビットを他のパリティビットの位置にインターリーブしたLDPC符号（以下、DVB-Like LDPC符号という。）と、CRC/ETRIが提案する形式のLDPC符号（以下、ETRI形式LDPC符号という。）とが採用される予定で進められており、両方の形式に対応した符号化装置が望まれている。

[0016] 後述する図22等において、DVB-Like LDPC符号とETRI形式LDPC符号の両方の形式に対応した符号化装置を提案するが、その前に、LDPC符号、DVB-Like LDPC符号、ETRI形式LDPC符号のそれぞれについて説明する。

[0017] <1. LDPC符号の説明>

まず初めに、DVB(Digital Video Broadcasting)-S.2等で採用されているLDPC符号について説明する。

[0018] なお、LDPC符号は、線形符号であり、必ずしも2元である必要はないが、ここでは、2元であるものとして説明する。

[0019] LDPC符号は、そのLDPC符号を定義する検査行列(parity check matrix)が疎なものであることを最大の特徴とするものである。ここで、疎な行列とは、行列のコンポーネントの"1"の個数が非常に少なく構成されるものであり、疎な検査行列をHで表すものとする、そのような検査行列Hとしては、例えば、図1に示すように、各列のハミング重み("1"の数)(weight)が"3"であり、且つ、各行のハミング重みが"6"であるもの等がある。

[0020] このように、各行及び各列のハミング重みが一定である検査行列Hによって

定義されるLDPC符号は、レギュラーLDPC符号と称される。一方、各行及び各列のハミング重みが一定でない検査行列Hによって定義されるLDPC符号は、イレギュラーLDPC符号と称される。

[0021] このようなLDPC符号への符号化は、検査行列Hに基づいて生成行列Gを生成し、この生成行列Gを2元の情報語 i に対して乗算することによって符号語を生成することで実現される。具体的には、LDPC符号に符号化する符号化装置は、まず、検査行列Hの転置行列 H^T との間に、式 $GH^T=0$ が成立する生成行列Gを算出する。ここで、生成行列Gが、 $k \times n$ 行列（ k 行 n 列の行列）である場合には、検査行列Hは、 $n-k$ 行 n 列の行列である。

[0022] なお、例えば、 n ビットの符号語 c が、 k ビットの情報語 i に続けて、 $n-k$ ビットのパリティビット p を配置したビット列に一致する組織符号である場合に、 $n-k$ 行 n 列の検査行列Hにおいて、 n ビットの符号語 c のうちの k ビットの情報語 i に対応する $n-k$ 行 k 列の部分を情報部というとともに、 $n-k$ ビットのパリティビット p に対応する $n-k$ 行 $n-k$ 列の部分をパリティ部ということとすると、パリティ部が、下三角行列または上三角行列になっていれば、情報語 i のLDPC符号への符号化は、検査行列Hを用いて行うことができる。

[0023] 即ち、例えば、検査行列Hが、図2に示すように、情報部と、下三角行列のパリティ部とで構成され、パリティ部の下三角の部分の要素が、すべて1であるとする、符号語 c のパリティビット p の0番目のビットは、情報語 i のうちの、検査行列Hの情報部の第0行において1になっている要素に対応するビットのEXOR（排他的論理和）を演算した値となる。

[0024] また、符号語 c のパリティビット p の1番目のビットは、情報語 i のうちの、検査行列Hの情報部の第1行において1になっている要素に対応するビットと、パリティビット p の0番目のビットのEXORを演算した値となる。

[0025] さらに、符号語 c のパリティビット p の2番目のビットは、情報語 i のうちの、検査行列Hの情報部の第2行において1になっている要素に対応するビットと、パリティビット p の0番目および1番目のビットのEXORを演算した値となる。

[0026] 以下、同様にして、符号語 c のパリティビット p の m 番目のビットは、情報語 i のうちの、検査行列 H の情報部の第 m 行において1になっている要素に対応するビットと、パリティビット p の0乃至 $m-1$ 番目のビットのEXORを演算した値となる。

[0027] 以上のようにして、 $n-k$ ビットのパリティビット p を求め、 k ビットの情報語 i に続けて配置することにより、 n ビットの符号語 c を得ることができる。

[0028] 即ち、パリティ部が下三角行列の検査行列 H を図3に示すように一般化すると、情報語 i のLDPC符号への符号化は、検査行列 H を用いて以下のように行われる。

[0029] 図3では、検査行列 H の0行目(最上行)の成分は、0列目(左端列)から順に、情報部が $h_{0,0}, h_{0,1}, \dots, h_{0,k-1}$ となり、パリティ部が1, 0, $\dots$, 0となっている。また、1行目の成分は、0列目から順に、情報部が $h_{1,0}, h_{1,1}, \dots, h_{1,k-1}$ となり、パリティ部が $h_{1,k}, 1, 0, \dots, 0$ となっている。以下、同様にして、 $n-k-1$ 行目(最下行)の成分は、0列目から順に、情報部が $h_{n-k-1,0}, h_{n-k-1,1}, \dots, h_{n-k-1,k-1}$ となり、パリティ部が $h_{n-k-1,k}, \dots, h_{n-k-1,n-2}, 1$ となっている。

[0030] ここで、 k ビットの情報語 i を $i_0, i_1, \dots, i_{k-1}$ と表し、 $n-k$ ビットのパリティビット p を $p_0, p_1, \dots, p_{n-k-1}$ と表すとする。即ち、符号語 c は、 $i_0, i_1, \dots, i_{k-1}, p_0, p_1, \dots, p_{n-k-1}$ で表される。符号語 c と検査行列 H の各行との積の排他的論理和は0であるので、符号語 c と検査行列 H の0行目との積の演算は、以下の式(1)で表される。

[0031] [数1]

$$h_{0,0}i_0 + h_{0,1}i_1 + \dots + h_{0,k-1}i_{k-1} + p_0 = 0 \pmod{2}$$

$$\dots (1)$$

[0032] 従って、パリティビット p_0 は、以下の式(2)で表される。

[0033] [数2]

$$p_0 = \sum_{j=0}^{k-1} h_{0,j}i_j \pmod{2}$$

．．． (2)

[0034] また、符号語 c と検査行列 H の 1 行目との積の演算は、以下の式 (3) で表される。

[0035] [数3]

$$h_{1,0}i_0 + h_{1,1}i_1 + \cdots + h_{1,k-1}i_{k-1} + h_{1,k}p_0 + p_1 = 0 \pmod{2}$$

．．． (3)

[0036] 従って、パリティビット p_1 は、以下の式 (4) で表される。

[0037] [数4]

$$p_1 = \sum_{j=0}^{k-1} h_{1,j}i_j + h_{1,k}p_0 \pmod{2}$$

．．． (4)

[0038] 同様に、符号語 c と検査行列 H の $n-k-1$ 行目との積の演算は、以下の式 (5) で表される。

[0039] [数5]

$$\begin{aligned} & h_{n-k-1,0}i_0 + h_{n-k-1,1}i_1 + \cdots + h_{n-k-1,k-1}i_{k-1} + \\ & h_{n-k-1,k}p_0 + h_{n-k-1,k+1}p_1 + \cdots + h_{n-k-1,n-k-2}p_{n-k-2} + p_{n-k-1} = 0 \end{aligned}$$

(mod 2)

．．． (5)

[0040] 従って、パリティビット p_{n-k-1} は、以下の式 (6) で表される。

[0041] [数6]

$$p_{n-k-1} = \sum_{j=0}^{k-1} h_{n-k-1,j}i_j + \sum_{j=0}^{n-k-2} h_{n-k-1,k+j}p_j \pmod{2}$$

．．． (6)

[0042] 以上のようにして、 $n-k$ ビットのパリティビット $p_0, p_1, \dots, p_{n-k-1}$ を求め、 k ビットの情報語 i である $i_0, i_1, \dots, i_{k-1}$ に続けて配置することにより、 n ビットの符号語 c を得ることができる。

[0043] なお、情報語 i と LDPC 符号の符号語 c においては、1 ビットを $\{0, \dots$

$\cdot, q\}$ ($q \geq 1$) で表すことが可能であり、必ずしも 2 元である必要はないが、以下では、2 元であるものとして説明する。

[0044] 図 4 は、LDPC符号化に用いる検査行列Hの例を示している。

[0045] 図 4 の検査行列Hは、 $n=108$ 、 $k=72$ の符号語 c (符号化率 $2/3$ 、符号長108)を得るための検査行列Hであり、 36 (行) $\times$ 108 (列) の行列である。なお、図 4 の検査行列Hでは(後述する図 5 乃至 7、22、および 25 の行列においても同様)、0 を、“.”で表現している。また、図 4 の検査行列Hは、 6×6 の行列の単位に間隔を空けて表したものである。

[0046] 即ち、検査行列Hは、 36 ($=n-k$) 行 72 ($=k$) 列の情報部と、 36 ($=n-k$) 行 36 ($=n-k$) 列のパリティ部とから構成される。LDPC符号への符号化においては、情報部は、LDPC符号の符号語 c の情報語 i と乗算され、パリティ部は、符号語 c のパリティビット p と乗算される。

[0047] 図 4 の検査行列Hでは、LDPC符号の情報語 i に対応する情報部の各行は、7 個の“1”と、 101 個の“0”から構成される。パリティ部は、下三角状の構造を有する行列(下三角行列)となっている。即ち、図 4 の検査行列Hのパリティ部は、行列の対角線の右上が全て“0”とされた行列となっており、下三角状の構造を有している。

[0048] 図 5 と図 6 は、図 4 の検査行列Hを行置換または列置換した後の検査行列H $\prime$ を示している。

[0049] 図 5 の検査行列H $\prime$ では、情報部を、 $P \times P$ (図 5 の例の場合、 $P=6$) の単位行列、その単位行列の 1 のうち 1 個以上が 0 になった行列(以下、適宜、準単位行列という)、単位行列または準単位行列をサイクリックシフト(cyclic shift)した行列(以下、適宜、シフト行列という)、単位行列、準単位行列、またはシフト行列のうちの 2 以上(複数)の和(以下、適宜、和行列という)、 $P \times P$ の 0 行列の組み合わせで表すことができる。なお、以下では、 $P \times P$ の単位行列、準単位行列、シフト行列、和行列、0 行列を、以下、適宜、構成行列という。

[0050] 図 6 の検査行列Hは、図 5 に示した検査行列Hを、 6×6 の構成行列の単位

に間隔を空けて表したものである。検査行列 H を構成する横方向の構成行列の数を n_0 個とし、検査行列 H の情報部を構成する横方向の構成行列の数を k_0 個とすると、 n_0 ($=n/P=108/6$) は18となり、 k_0 ($=k/P=72/6$) は12となる。

[0051] 即ち、図5や図6の検査行列 H では、縦方向に6 ($=n_0-k_0=18-12$) 個の構成行列が、横方向に n_0 ($=18$) 個の構成行列が並んでいる。

[0052] また、図4の検査行列 H の最上行（先頭行）を0行目とすると、検査行列 H の $(n_0-k_0) \times v+w$ ($0 \leq v \leq P-1$, $0 \leq w \leq n_0-k_0-1$) 行目の行は、図5や図6の検査行列 H' では、 $P \times w+v$ 行目の行となっている。

[0053] 図5や図6の検査行列 H' を用いてLDPC符号化を行うことにより、LDPC符号化に必要な演算である検査行列 H' の情報部の各行と情報語 i との積算を、情報語 i を6個単位でサイクリックシフトすることで行うことができる。即ち、構成行列である $P \times P$ の単位行列、準単位行列、またはシフト行列、もしくは構成行列の和行列を複数の行列に分解したときの $P \times P$ の単位行列、準単位行列、またはシフト行列の各行の“1”の数は1個であるので、その構成行列に対応する6個の情報語 i をサイクリックシフトすることで、検査行列 H' の情報部の各行と情報語 i との積を算出することができる。

[0054] 図7のA乃至図7のBは、図4の検査行列 H と図5や図6の検査行列 H' のパリティ部を示している。

[0055] 図7のAに示すように、図4の検査行列 H のパリティ部は、行列の対角線の右上が全て“0”とされた行列となっており、下三角状の構造を有している。また、パリティ部は、下三角行列の対角成分とその成分の直下の成分が1であり、それ以外の成分が0となっている。これにより、LDPC符号化におけるパリティビット p を求める演算を容易に行うことができる。

[0056] 図7のBに示すように、図5や図6の検査行列 H' のパリティ部では、図7のAのパリティ部の $(n_0-k_0) \times v+w$ 行目の行が、 $P \times w+v$ 行目の行となる。

[0057] 図8は、上述したLDPC符号を生成する符号化装置1の構成例を示すブロック図である。

- [0058] 図8の符号化装置1は、図4の検査行列Hを用いて、情報語iをLDPC符号化し、その結果得られる符号語cを出力する。
- [0059] 符号化装置1は、ビット幅調整回路11、サイクリックシフト回路12、加算器13、RAM14、インターリーバ15、アキュムレータ16、セクタ17、および制御部18から構成される。
- [0060] ビット幅調整回路11には、情報語D11（情報語i）が2ビット単位で供給され、ビット幅調整回路11は、2ビット単位で供給された情報語D11を3つ合わせて、6ビット単位で情報語D12としてサイクリックシフト回路12に供給する。
- [0061] サイクリックシフト回路12には、制御部18から、情報語D12に対応する検査行列H'の情報部の1が、検査行列H'において元となる単位行列などを幾つサイクリックシフトしたものであるかの情報を表す制御信号D21が供給される。サイクリックシフト回路12は、制御信号D21に基づいて、ビット幅調整回路11から順次供給される12 ($=k_0$)個の6ビットの情報語D12をサイクリックシフトすることにより、検査行列H'を構成する構成行列のうち0行列ではない構成行列の各行の値hと情報語D12との積 ($h \times i$) を求め、加算器13に順次供給（出力）する。
- [0062] なお、構成行列が和行列である場合、即ち構成行列のハミング重みが2以上である場合、サイクリックシフト回路12は、和行列を単位行列、準単位行列、またはシフト行列のうちの複数の行列の和に分解したときの、その行列単位で、行列と情報語D12との積を求め、それらに対応する行ごとにEXOR演算（加算）した値を、情報語D13として加算器13に供給する。また、サイクリックシフト回路12は、6ビット単位で情報語D12のサイクリックシフトを行うようにしたが、6 ($=P$)の約数個のビット単位でサイクリックシフトを行うようにしてもよい。
- [0063] 加算器13は、6つの加算器（図示せず）から構成され、各加算器は、サイクリックシフト回路12からの6ビットの積D13とRAM14からの6ビットの和D14とのEXORをビット毎に求め、その結果得られる6ビットの値を和D15

(第1の積算値)としてRAM 14に供給することにより、積D13を6行単位で行ごとに積算する。

[0064] RAM 14には、制御部18から、データの読み出しまたは書き込みを行うアドレスを指定する制御信号D22が供給される。RAM 14は、その制御信号D22に基づいて、加算器13からの和D15を6ビット単位で記憶したり、既に記憶している和D15を6ビットまたは2ビット単位で読み出す。

[0065] このように、RAM 14は、6ビットまたは2ビットの和D15を同時に記憶したり、読み出すことができるので、LDPC符号化における処理を6ビットまたは2ビット単位で行うことができる。その結果、符号化装置1では、適度な回路規模と動作周波数でLDPC符号化を行うことができる。

[0066] RAM 14は、6ビット単位で読み出した和D15を、和D14として加算器13に供給したり、2ビット単位で読み出した和D15を、和D16としてインターリーバ15に供給する。なお、RAM 14のビット数は6 ($=P$) であり、ワード数は6 ($=n_0-k_0$) である。

[0067] インターリーバ15は、RAM 14から供給される和D16の順序を制御する。具体的には、インターリーバ15は、和D16を検査行列Hに対応する順序に並べ替え、並べ替え後の和D17をアキュムレータ16に供給する。

[0068] アキュムレータ16には、制御部18から、アキュムレータ16のセクタ62(後述する図14)における選択を表す選択信号D23が供給され、アキュムレータ16は、その選択信号D23とインターリーバ15から順次供給される和D17とに基づいて、所定の演算(例えば、式(2)、(4)、(6))を行い、その結果得られるパリティビットpを2ビット単位でパリティビットD18としてセクタ17に順次供給(出力)する。即ち、アキュムレータ16は、和D17を積算し、その結果得られるパリティビットpを2ビット単位でパリティビットD18(第2の積算値)としてセクタ17に供給する。

[0069] セクタ17には、所定の時間遅延された情報語iが2ビット単位で情報語D19として供給される。セクタ17は、制御部18からの、パリティビットD18と情報語D19のいずれか一方の選択を表す選択信号D24に基づいて、アキ

ュムレータ 16 からのパリティビット D18 と情報語 D19 のうちのいずれか一方を選択し、2 ビット単位で符号語 D20 (符号語 c) として出力する。具体的には、セクタ 17 は、k ビットの情報語 D19 を 2 ビット単位で出力し、その後 $n-k$ ビットのパリティビット D18 を 2 ビット単位で出力することにより、符号語 D20 を出力する。

[0070] 制御部 18 は、制御信号 D21 をサイクリックシフト回路 12 に、制御信号 D22 を RAM 14 に、選択信号 D23 をアキュムレータ 16 に、選択信号 D24 をセクタ 17 に供給する。

[0071] 図 9 を参照して、図 8 のサイクリックシフト回路 12 が行うサイクリックシフトの量について説明する。

[0072] なお、以下では、ビット幅調整回路 11 から供給される情報語 i の $(6 \times s)$ 乃至 $(6 \times (s+1)-1)$ ビット目 ($s=0, 1, 2, \dots, k_0-1$) の情報語 D12 を s 番ベクトルという。

[0073] 図 9 において、最上行の数字はベクトルの番号を表し、左端の数字は、検査行列 H' の構成行列の上からの番号を表している。なお、構成行列の上からの番号は、0 から順に付与するものとする。また、図 9 において、「-」はサイクリックシフト回路 12 が情報語 D13 を出力しないことを表している。

[0074] 例えば、第 m 行第 l 列を、 (m, l) と表すこととすると、図 6 に示すように、検査行列 H' の $(0, 0)$ から $(5, 5)$ の構成行列は単位行列、 $(6, 0)$ から $(11, 5)$ の構成行列は和行列 (6×6 の単位行列を右方向に 2 つだけサイクリックシフトした第 1 のシフト行列と、右方向に 4 つだけサイクリックシフトした第 2 のシフト行列の和である和行列)、 $(12, 0)$ から $(17, 5)$ の構成行列は 0 行列、 $(18, 0)$ から $(23, 5)$ の構成行列はシフト行列 (6×6 の単位行列を右方向に 3 つだけサイクリックシフトしたシフト行列)、 $(24, 0)$ から $(29, 5)$ の構成行列は 0 行列、 $(30, 0)$ から $(35, 5)$ の構成行列はシフト行列 (6×6 の単位行列を右方向に 5 つだけサイクリックシフトしたシフト行列) となっている。

[0075] そこで、サイクリックシフト回路 12 は、検査行列 H' の左から 0 乃至 5 列

目を構成する構成行列に応じて、まず最初に、サイクリックシフトを行わず、0番ベクトルと検査行列 H' の(0, 0)から(5, 5)の構成行列との積として、0番ベクトルをそのまま積D13として出力する。即ち、図9に示すように、0番ベクトルと検査行列 H' の上から0番目の構成行列との積を求める場合、サイクリックシフト回路12のサイクリックシフト量は0回となる。

[0076] 次に、サイクリックシフト回路12は、0番ベクトルを右方向に2つだけサイクリックシフトするとともに、0番ベクトルを右方向に4つだけサイクリックシフトし、その結果得られる2つのサイクリックシフト後の6ビットの情報語D12をEXOR演算することにより、0番ベクトルと(6, 0)から(11, 5)の構成行列との積を求める。即ち、(6, 0)から(11, 5)の構成行列を第1のシフト行列と第2のシフト行列の和に分解したときの、第1のシフト行列と第2のシフト行列それぞれに対して得られる情報語D12が、加算器13を介して、RAM14の同一のアドレスに格納されるように、サイクリックシフト回路12は、第1と第2のシフト行列それぞれに対して得られる情報語D12をEXOR演算する。そして、サイクリックシフト回路12は、その求めた積を、積D13として出力する。

[0077] 即ち、図9に示すように、0番ベクトルと検査行列 H' の上から1番目の構成行列との積を求める場合、サイクリックシフト回路12のサイクリックシフト量は右方向に2回と4回である。

[0078] ここで、検査行列 H' の上から2番目の(12, 0)から(17, 5)の構成行列は0行列であるので、その構成行列については、サイクリックシフト回路12は何も処理を行わず、何も出力しない(図9の「-」)。

[0079] 以下、同様にして、サイクリックシフト回路12は、0番ベクトルを右方向に3回サイクリックシフトすることにより、0番ベクトルと検査行列 H' の3番目の(18, 0)から(23, 5)の構成行列との積を求め、0番ベクトルを左方向に5回サイクリックシフトすることにより、0番ベクトルと(30, 0)から(35, 5)の構成行列との積を求める。そして、サイクリックシフト回路12は、サイクリックシフト後の情報語D12を積D13として出力する。

[0080] 以上のようにして、サイクリックシフト回路 12 は、1 回目にビット幅調整回路 11 から供給される 0 番ベクトルと、検査行列 H' の左から 0 乃至 5 ($=P-1$) 列目との積をそれぞれ求める。

[0081] 以降も同様に、サイクリックシフト回路 12 は、2 乃至 12 回目にビット幅調整回路 11 から供給される 1 乃至 11 番ベクトルと、検査行列 H' の左から 6 乃至 71 列目との積をそれぞれ求める。

[0082] 次に、図 10 と図 11 を参照して、図 8 の RAM 14 に記憶される和 D15 について説明する。

[0083] なお、以下の説明に用いる RAM 14 のワード方向とは、図 10 に示すように、図中横方向であり、左端から順に 0 番アドレス、1 番アドレス、2 番アドレス、・・・という。また、RAM 14 のビット方向とは、図中縦方向であり、上から順に 0 ビット目、1 ビット目、2 ビット目、・・・という。

[0084] また、以下では、検査行列 H' の上から v 番目の構成行列の上から w 行目 ($=P \times v + w = 6 \times v + w$) と 0 乃至 11 番ベクトルのそれぞれとの積の和 $D15$ を、 $o_{w,v}$ とも表す。即ち、 $o_{w,v}$ は、以下の式 (7) で表される。

[0085] [数7]

$$o_{v,w} = \sum_{j=0}^{k-1} h_{6 \times v + w, j} i_j \quad \dots (7)$$

[0086] 図 11 に示すように、RAM 14 のビット数は $P (=6)$ であり、ワード数は、 $n_0 - k_0 (=6)$ である。まず最初に、RAM 14 には、サイクリックシフト回路 12 から加算器 13 を介して、0 番ベクトルと検査行列 H' の上から 0 番目の構成行列との積が 6 ビットの和 D15 として供給され、RAM 14 は、その和 D15 の各ビットを 0 番アドレスの 0 ビット目から順に記憶する。

[0087] 次に、RAM 14 には、サイクリックシフト回路 12 から加算器 13 を介して、1 番ベクトルと検査行列 H' の上から 1 番目の構成行列との積が 6 ビットの和 D15 として供給され、RAM 14 は、その和 D15 の各ビットを 1 番アドレスの 0 ビット目から順に記憶する。以降、同様にして、RAM 14 の 2 乃至 5 番アドレ

スにも、和D15が記憶される。

[0088] また、RAM 14は、0番アドレスの0乃至5ビット目に記憶されている0番ベクトルと検査行列 H' の上から0番目の構成行列との積を読み出し、6ビットの和D14として加算器13に供給する。以降、同様にして、RAM 14の1乃至5番アドレスに記憶されている6ビットの和D15をそれぞれ読み出し、和D14として加算器13に供給する。

[0089] 加算器13は、RAM 14から6ビットの和D14として供給される0番ベクトルと検査行列 H' の上から0番目の構成行列との積と、サイクリックシフト回路12から供給される1番ベクトルと検査行列 H' の上から0番目の構成行列との積とをEXOR演算し、その結果得られる和D15をRAM 14に供給する。RAM 14は、その和D15の各ビットを0番アドレスの0ビット目から順に記憶する。即ち、RAM 14は、0番アドレスを更新する。以降、同様にして、RAM 14は、1乃至5番アドレスも更新する。

[0090] そして、同様の処理が繰り返され、RAM 14の0番アドレスの0ビット目には、検査行列 H' の上から0番目の構成行列の上から0行目と0乃至11番ベクトルのそれぞれとの積の和D15である $o_{0,0}$ が記憶される。また、RAM 14の0番アドレスの1乃至5ビット目には、 $o_{1,0}$ 乃至 $o_{5,0}$ がそれぞれ記憶される。

[0091] 同様に、RAM 14の1番アドレスの0乃至5ビット目には、それぞれ $o_{0,1}$ 乃至 $o_{5,1}$ が、2番アドレスの0乃至5ビット目には、それぞれ $o_{0,2}$ 乃至 $o_{5,2}$ が、RAM 14の3番アドレスの0乃至5ビット目には、それぞれ $o_{0,3}$ 乃至 $o_{5,3}$ が、RAM 14の4番アドレスの0乃至5ビット目には、それぞれ $o_{0,4}$ 乃至 $o_{5,4}$ が、5番アドレス0乃至5ビット目には、それぞれ $o_{0,5}$ 乃至 $o_{5,5}$ が記憶される。

[0092] 以上のように、RAM 14のアドレスは、検査行列Hの情報部の6行に対応し、RAM 14は、図中左上から右下方方向に向かって、和D15に対応する検査行列 H' の上からの行数($6 \times v + w$)が大きくなるように、和D15($o_{0,0}$ 乃至 $o_{5,5}$)を記憶する。また、RAM 14は、 $o_{0,0}$ 乃至 $o_{5,5}$ を、検査行列 H' の構成行列の1を列方向(横方向)に詰めるように記憶(格納)する。

[0093] ここで、ビット方向（縦方向）での順番が $P \times x + y$ ($x=0, 1, \dots, 5, y=0, 1, \dots, 5$) 番目の和D15は、ワード方向（横方向）での順番が $(n_0 - k_0) \times y + x$ 番目となる。なお、ビット方向の順番は、各番号アドレスの5ビット目の次が、右隣のアドレス（次の番号のアドレス）の0ビット目となるものとする。また、ワード方向の順番は、各ビットの5番アドレスの次が、直下のビット（次のビット）の0番アドレスとなるものとする。例えば、ビット方向での順番が6番目の和D15は $o_{0,1}$ となり、ワード方向での順番が6番目の和D15は $o_{1,0}$ となる。

[0094] 上述したように、検査行列Hの $(n_0 - k_0) \times v + w$ 行目の行は、図5の検査行列H'では、 $P \times w + v$ 行目の行となる。即ち、検査行列H'の $P \times w + v$ 行目の行は、検査行列Hの $(n_0 - k_0) \times v + w$ 行目の行である。従って、RAM 14のビット方向に検査行列H'の0行目から順に和D15として記憶される、検査行列H'の情報部の各行と0乃至11番ベクトルのそれぞれとの積の和である $o_{w,v}$ は、ワード方向の順番に見ると、検査行列Hの0行目から順に対応する積の和である $o_{w,v}$ となる。

[0095] しかしながら、RAM 14は、一般的に2つ以上のアドレスに同時にアクセスすることができないため、ワード方向に和D15を読み出すことはできない。従って、符号化装置1では、インターリーバ15により、RAM 14がビット方向に読み出した和D15の順序を入れ替えている。インターリーバ15の詳細については、後述する図12と図13を参照して説明する。

[0096] 図12は、図8のインターリーバ15の詳細構成例を示す図である。

[0097] 図12のインターリーバ15は、5つのレジスタ41-1乃至41-5および5つのレジスタ42-1乃至42-5、並びにセクタ43から供給される。

[0098] インターリーバ15には、RAM 14から2ビットの和D16が供給され、そのうちの1ビットが和D41としてレジスタ41-1乃至41-5に1ビット単位で順に記憶される。また、他の1ビットが和D42としてレジスタ42-1乃至42-5に1ビット単位で順に記憶される。レジスタ41-1乃至41-5

とレジスタ 4 2 - 1 乃至 4 2 - 5 は、記憶している 1 ビットの和 D41 または D42 をそれぞれセクタ 4 3 に供給する。

[0099] セクタ 4 3 は、レジスタ 4 1 - 1 乃至 4 1 - 5 とレジスタ 4 2 - 1 乃至 4 2 - 5 のそれぞれから供給される 5 つの和 D41 または D42 のうち、いずれか 2 つの和 D41 または D42 を選択し、和 D43 と D44 として出力する。1 ビットの和 D43 と D44 は合わせられ、2 ビットの和 D17 としてアキュムレータ 1 6 に供給される。

[0100] 以上のように、インターリーバ 1 5 では、レジスタ 4 1 - 1 乃至 4 1 - 5 およびレジスタ 4 2 - 1 乃至 4 2 - 5 が、入力された和 D16（和 D41 または D42）を記憶し、セクタ 4 3 が、そのレジスタ 4 1 - 1 乃至 4 1 - 5 およびレジスタ 4 2 - 1 乃至 4 2 - 5 に記憶されている和 D16 を選択して、和 D17（和 D43 または D44）として出力することにより、入力される和 D16 と出力される和 D17 の順序を入れ替える。

[0101] 次に、図 1 3 を参照して、図 1 2 のインターリーバ 1 5 におけるデータの入出力を説明するタイミングチャートである。図 1 3 において、横軸は時間を表している。

[0102] 図 1 3 に示すように、まず最初に、RAM 1 4 は、0 番アドレスに記憶されている $\circ_{0,0}$ と $\circ_{1,0}$ の 2 ビットを、和 D16 として読み出してインターリーバ 1 5 に出力する。即ち、インターリーバ 1 5 には、 $\circ_{0,0}$ と $\circ_{1,0}$ が和 D16 として入力される。

[0103] 次に、RAM 1 4 は、1 番アドレスに記憶されている $\circ_{0,1}$ と $\circ_{1,1}$ の 2 ビットを、和 D16 としてインターリーバ 1 5 に出力する。以降、同様にして、RAM 1 4 は、2 乃至 5 番アドレスに記憶されている $\circ_{0,2}$ と $\circ_{1,2}$ 、 $\circ_{0,3}$ と $\circ_{1,3}$ 、 $\circ_{0,4}$ と $\circ_{1,4}$ 、または $\circ_{0,5}$ と $\circ_{1,5}$ を、和 D16 としてそれぞれインターリーバ 1 5 に出力する。

[0104] 図 1 2 のインターリーバ 1 5 のレジスタ 4 1 - 1 乃至 4 1 - 5 には、例えば、インターリーバ 1 5 に入力される和 D16 のうちの 1 ビットである $\circ_{0,0}$ 乃至 $\circ_{0,5}$ が順に供給され、記憶される。また、他の 1 ビットである $\circ_{1,0}$ 乃至 $\circ_{5,0}$ が

レジスタ 4 2 - 1 乃至 4 2 - 5 に順に供給され、記憶される。そして、レジスタ 4 1 - 1 乃至 4 1 - 5 と 4 2 - 1 乃至 4 2 - 5 は、 $\circ_{0,0}$ 乃至 $\circ_{0,5}$ と $\circ_{1,0}$ 乃至 $\circ_{5,0}$ をそれぞれセクタ 4 3 に供給する。

[0105] 図 1 3 に示すように、セクタ 4 3 は、まず最初に $\circ_{0,0}$ と $\circ_{0,1}$ を選択し、和 D43 と D44 としてそれぞれ出力する。即ち、 $\circ_{0,0}$ と $\circ_{0,1}$ が和 D17 としてアキュムレータ 1 6 に入力される。次に、セクタ 4 3 は、 $\circ_{0,2}$ と $\circ_{0,3}$ を選択し、それぞれ和 D43 と D44 として出力する。その後、セクタ 4 3 は、 $\circ_{0,4}$ と $\circ_{0,5}$ 、 $\circ_{1,0}$ と $\circ_{1,1}$ 、 $\circ_{1,2}$ と $\circ_{1,3}$ 、 $\circ_{1,4}$ と $\circ_{1,5}$ の順に選択して出力する。

[0106] 即ち、インターリーバ 1 5 に入力される和 D16 のうちの 1 ビットである RAM 1 4 の 0 ビット目に記憶される $\circ_{0,0}$ 乃至 $\circ_{0,5}$ を系列 # 1 といい、他の 1 ビットである RAM 1 4 の 1 ビット目に記憶される $\circ_{1,0}$ 乃至 $\circ_{5,0}$ を系列 # 2 というと、セクタ 4 3 は、系列 # 1 を $\circ_{0,0}$ から順に 2 ビットずつ選択し、その後系列 # 2 を $\circ_{1,0}$ から順に 2 ビットずつ選択する。即ち、セクタ 4 3 は、入力される和 D16 を、その和 D16 が記憶されている RAM 1 4 のワード方向の順番に 2 ビットずつ選択する。

[0107] 以上のように、インターリーバ 1 5 は、RAM 1 4 のビット方向の順番に読み出され、入力される 2 ビットの和 D16 を、その和 D16 が記憶されている RAM 1 4 のワード方向の順番に 2 ビットずつ選択して出力するので、検査行列 H の情報部の各行と 0 乃至 11 番ベクトルのそれぞれとの積の和である $\circ_{w,v}$ を、検査行列 H の情報部の 0 行目から順に、2 ビット単位で和 D17 として出力することができる。

[0108] 図 1 4 は、図 8 のアキュムレータ 1 6 の詳細構成例を示している。

[0109] 図 1 4 のアキュムレータ 1 6 は、加算器 6 1 と 6 3、並びにセクタ 6 2 から構成される。

[0110] 加算器 6 1 には、インターリーバ 1 5 から 2 ビットの和 D17 のうちの 1 ビットである和 D61 が供給されるとともに、加算器 6 3 から前回の加算の結果得られたパリティビット D65 が供給される。加算器 6 1 は、和 D61 とパリティビット D65 を加算し、その結果得られる値を和 D63 として、セクタ 6 2 に供給す

る。

[0111] セレクタ 6 2 には、和 D61 が供給されるとともに、制御部 1 8 から選択信号 D23 が供給され、セレクタ 6 2 は、選択信号 D23 に基づいて、和 D61 または D63 をパリティビット D64 として、セレクタ 1 7 と加算器 6 3 に出力する。

[0112] 加算器 6 3 には、インターリーバ 1 5 から 2 ビットの和 D17 のうちの和 D61 以外の 1 ビットである和 D62 が供給される。加算器 6 3 は、セレクタ 6 2 から供給される前回の加算の結果得られたパリティビット D64 と和 D62 とを加算し、その結果得られる値をパリティビット D65 として、セレクタ 1 7 と加算器 6 1 に出力する。なお、セレクタ 6 2 と加算器 6 3 から出力されるパリティビット D64 と D65 は合わせられ、2 ビットのパリティビット D18 (パリティビット p) としてセレクタ 1 7 に供給される。

[0113] 図 1 5 と図 1 6 を参照して、図 1 4 のアキュムレータ 1 6 で行われるパリティビット p の演算について説明する。

[0114] 図 1 5 と図 1 6 に示すように、上述した式 (2) と式 (7) により、パリティビット $p_0 = o_{0,0}$ となる。また、上述した式 (3) と式 (7) により、図 1 5 に示すように、 $o_{0,1} + h_{1,k} p_0 + p_1 = 0$ となり、検査行列 H では $h_{1,k}$ は 1 であるので、 $o_{0,1} + p_0 + p_1 = 0$ ($o_{0,1} = p_0 + p_1$) となる。即ち、図 1 6 に示すように、パリティビット $p_1 = o_{0,0} + p_0$ である。

[0115] 具体的には、図 1 4 のアキュムレータ 1 6 に、インターリーバ 1 5 から $o_{0,0}$ と $o_{0,1}$ の 2 ビットの和 D17 が供給され、加算器 6 1 とセレクタ 6 2 に $o_{0,0}$ が和 D61 として供給され、加算器 6 3 に $o_{0,1}$ が和 D62 として供給される。このとき、まだ加算器 6 3 による加算が行われていないので、加算器 6 1 にはパリティビット D65 が供給されておらず、加算器 6 3 は、和 D61 をそのまま和 D63 としてセレクタ 6 2 に供給する。

[0116] セレクタ 6 2 は、選択信号 D23 に基づいてインターリーバ 1 5 からの和 D61 (いまの場合、 $o_{0,0}$) を選択し、パリティビット D64 (いまの場合、 p_0) としてセレクタ 1 7 と加算器 6 3 に出力する。加算器 6 3 は、インターリーバ 1 5 からの和 D62 (いまの場合、 $o_{0,1}$) と、セレクタ 6 2 からのパリティビット D

64とを加算し、その結果得られる値（いまの場合、 $o_{0,1}+p_0$ ）をパリティビットD65（いまの場合、 p_1 ）として、セクタ17と加算器61に出力する。その結果、パリティビットD64とD65が合わせられて、2ビットのパリティビットD18としてセクタ17と加算器61に出力される。

[0117] 以降、同様にして、アキュムレータ16は、図15や図16に示す式により、パリティビット p_2 乃至 p_{n-k-1} を2ビットずつ演算し、パリティビットD18として出力する。

[0118] 次に、図17のフローチャートを参照して、図8の符号化装置1による符号化処理を説明する。この符号化処理は、例えば、情報語D11（情報語 i ）が2ビット単位で入力されたとき、開始される。

[0119] ステップS1において、ビット幅調整回路11は、サイクリックシフト回路12に出力する情報語D12のベクトルの番号 s を0に設定し、ステップS2に進む。

[0120] ステップS2において、ビット幅調整回路11は、2ビット単位で入力される情報語D11を合わせて6ビットにし、 s 番ベクトル（情報語D12）としてサイクリックシフト回路12に供給する。

[0121] ステップS2の処理後は、ステップS3に進み、サイクリックシフト回路12は、制御部18からの制御信号D21に基づいて、 s 番ベクトルをサイクリックシフトすることにより、検査行列 H' の情報部を構成する構成行列のうち、0行列ではない構成行列の各行の値 h と s 番ベクトルとの積（ $h \times i$ ）を求め、6ビットの積D13として、加算器13に供給する。

[0122] ステップS3の処理後は、ステップS4に進み、加算器13は、サイクリックシフト回路12からの6ビットの積D13と、後述するステップS5でRAM14から供給される6ビットの和D14との排他的論理和をビット毎に求め、その結果得られる6ビットの値を和D15としてRAM14に供給する。なお、最初のステップS3では、RAM14から和D14が供給されないので、加算器13は、積D13をそのまま和D15としてRAM14に供給する。

[0123] ステップS4の処理後は、ステップS5に進み、RAM14は、制御部18か

らの制御信号D22に基づいて、加算器13からの和D15を6ビット単位で記憶する。また、RAM14は、既に記憶している和D15を6ビットまたは2ビット単位で読み出す。RAM14は、6ビット単位で読み出した和D15を、和D14として加算器13に供給したり、2ビット単位で読み出した和D15を、和D16としてインターリーバ15に供給する。

[0124] ステップS5の処理後は、ステップS6に進み、ビット幅調整回路11は、ベクトルの番号sが11より小さいかどうかを判定し、11より小さいと判定した場合、ステップS7に進む。

[0125] ステップS7において、ビット幅調整回路11は、ベクトルの番号sを1だけインクリメントし、ステップS2に戻り、上述した処理を繰り返す。

[0126] 一方、ステップS6において、ベクトルの番号sが11より小さくはない（11以上である）と判定された場合、ステップS8に進み、インターリーバ15は、ステップS5でRAM14から供給される和D16を、検査行列Hに対応する順序に並べ替え、並べ替え後の和D17をアキュムレータ16に供給する。

[0127] ステップS8の処理後は、ステップS9に進み、アキュムレータ16は、インターリーバ15からの和D17を用いて、所定の演算を行い、その結果得られるパリティビットpを、2ビット単位でパリティビットD18としてセクタ17に供給し、ステップS10に進む。

[0128] ステップS10において、セクタ17は、2ビット単位で遅延されて入力される情報語D19を符号語D20としてすべて出力した後、ステップS9でアキュムレータ16から供給されるパリティビットD18を2ビット単位で符号語D20として出力することにより、符号語cを出力し、処理を終了する。

[0129] 以上のように、図8の符号化装置1では、加算器13が、6ビットの情報語D12と、その情報語D12に対応する検査行列Hの情報部との積を、6ビット単位で行ごとに積算し、その結果得られる和D15をRAM14に記憶させ、アキュムレータ16が、RAM14から読み出された2ビットの和D16（D15）に対応する和D17を積算し、その結果得られる2ビットのパリティビットD18をLDPC符号の符号語cのパリティビットpとして出力するので、線形符号の符号化の

動作速度を変えることなく、符号化装置の回路規模を削減することができる。

[0130] 上述した説明では、検査行列Hの情報部の列数 k を102、構成行列の行数（または列数） P を6としたが、情報部の列数 k と構成行列の行数 P はこれに限定されない。例えば、符号化装置1は、情報語 i の情報長が102より大きく、情報部の列数 k が大きい検査行列Hにも適用可能であるし、 6×6 より大きい正方行列を構成行列として分割可能な検査行列Hにも適用可能である。

[0131] また、上述した説明では、RAM104のビット数を2、ワード数を6、個数を3としたが、ビット数、ワード数、および個数はこれに限定されず、自由度があるものとする。さらに、RAM104から同時に読み出し可能な和D104のビット数、または書き込み可能な和D104のビット数は、どのような値であってもよい。

[0132] 上述した説明では、LDPC符号が2元であるものとして説明したが、2元ではなく、1ビットを $\{0, \dots, q\}$ ($q > 1$) で表す場合、アキュムレータ16によるパリティビット p の演算には、乗算と除算も必要となる。

[0133] また、上述したサイクリックシフト回路12と102として、バレルシフタを用いると回路規模を小さくすることができる。

[0134] <2. DVB-Like LDPC符号の説明>

次に、DVB-Like LDPC符号について説明する。

[0135] <LDPC符号の検査行列>

図18は、図8の符号化装置1でLDPC符号化に用いられる検査行列Hを再び示す図である。

[0136] ある符号長 N のLDPC符号についての情報長 K とパリティ長 M は、符号化率によって決まる。また、検査行列Hは、行×列が $M \times N$ の行列（ M 行 N 列の行列）となる。検査行列Hの情報ビットに対応する情報行列（図2の情報部）をA行列、パリティビットに対応するパリティ行列（図2のパリティ部）をB行列とすると、情報行列であるA行列は、 $M \times K$ の行列となり、パリティ行列であるB行列は、 $M \times M$ の行列となる。

[0137] DVB-T.2等の規格では、64800ビットと16200ビットの符号長NのLDPC符号が規定されている。

[0138] <パリティインターリーブ>

DVB-Like LDPC符号は、図8の符号化装置1で生成されたLDPC符号のパリティビットを、他のパリティビットの位置にインターリーブ（パリティインターリーブ）したLDPC符号である。

[0139] DVB-Like LDPC符号のパリティインターリーブについて説明する。

[0140] 図8の符号化装置1が出力するLDPC符号は、例えば、DVB-T.2等の規格に規定されているLDPC符号と同様に、IRA(Irregular Repeat Accumulate)符号である。IRA符号については、例えば、"Irregular Repeat-Accumulate Codes," H. Jin, A. Khandekar, and R. J. McEliece, in Proceedings of 2nd International Symposium on Turbo codes and Related Topics, pp. 1-8, Sept. 2000に記載されている。

[0141] また、図8の符号化装置1のLDPC符号化で用いられる検査行列Hのパリティ行列（B行列）は、図19に示すように階段構造になっている。

[0142] すなわち、検査行列HのB行列（パリティ行列）は1の要素が、いわば階段状に並ぶ階段構造の行列(lower bidiagonal matrix)になっている。パリティ行列の行重みは、1行目については1で、残りの全ての行については2になっている。また、列重みは、最後の1列については1で、残りの全ての列で2になっている。

[0143] このように、パリティ行列（B行列）が階段構造になっている検査行列HのLDPC符号は、その検査行列Hを用いて、容易に生成することができる。

[0144] 図20は、パリティインターリーブ後のLDPC符号に対応する検査行列Hのパリティ行列を示す図である。

[0145] ここで、図8の符号化装置1が出力するLDPC符号に対応する検査行列Hの情報行列（A行列）は、DVB-T.2等の規格に規定されているLDPC符号に対応する検査行列Hの情報行列と同様に、巡回構造になっている。

[0146] 巡回構造とは、ある列が、他の列をサイクリックシフトしたものと一致し

ている構造をいい、例えば、P列ごとに、そのP列の各行の1の位置が、そのP列の最初の列を、パリティ長Mを除算して得られる値qに比例する値等の所定の値だけ、列方向にサイクリックシフトした位置になっている構造も含まれる。以下、適宜、巡回構造におけるP列を、ユニットサイズという。

[0147] DVB-T.2等の規格に規定されているLDPC符号としては、上述したように、符号長Nが64800ビットと16200ビットとの、2種類のLDPC符号があり、その2種類のLDPC符号のいずれについても、ユニットサイズPが、パリティ長Mの約数のうちの、1とMを除く約数の1つである360に規定されている。

[0148] また、パリティ長Mは、符号化率によって異なる値qを用いて、式 $M=q \times P = q \times 360$ で表される素数以外の値になっている。したがって、値qも、ユニットサイズPと同様に、パリティ長Mの約数のうちの、1とMを除く約数の他の1つであり、パリティ長Mを、ユニットサイズPで除算することにより得られる（パリティ長Mの約数であるP及びqの積は、パリティ長Mとなる）。

[0149] LDPC符号のパリティインターリーブを行うパリティインターリーバ（後述する図22のパリティインターリーバ55など）は、上述したように、情報長をKとし、また、0以上P未満の整数をxとするとともに、0以上q未満の整数をyとすると、パリティインターリーブとして、NビットのLDPC符号の符号ビットのうちの、 $K+qx+y+1$ 番目の符号ビットを、 $K+Py+x+1$ 番目の符号ビットの位置にインターリーブする。

[0150] $K+qx+y+1$ 番目の符号ビット、及び、 $K+Py+x+1$ 番目の符号ビットは、いずれも、 $K+1$ 番目以降の符号ビットであるから、パリティビットであり、したがって、パリティインターリーブによれば、LDPC符号のパリティビットの位置が移動される。

[0151] このようなパリティインターリーブによれば、バースト誤りに対する耐性を改善することができる。

[0152] なお、 $K+qx+y+1$ 番目の符号ビットを、 $K+Py+x+1$ 番目の符号ビットの位置にインターリーブするパリティインターリーブ後のLDPC符号は、元の検査行列Hの、 $K+qx+y+1$ 番目の列を、 $K+Py+x+1$ 番目の列に置換する列置換を行って得ら

れる検査行列（以下、変換検査行列ともいう）のLDPC符号に一致する。

[0153] また、変換検査行列のパリティ行列には、図20に示すように、P列（図20では、360列）を単位とする擬似巡回構造が現れる。

[0154] ここで、擬似巡回構造とは、一部を除く部分が巡回構造になっている構造を意味する。

[0155] DVB-T.2等の規格に規定されているLDPC符号の検査行列に対して、パリティインターリーブに相当する列置換を施して得られる変換検査行列は、変換検査行列の右上隅部分の360行×360列の部分（シフト行列）に、1の要素が1つだけならず（0の要素になっており）、その点で、（完全な）巡回構造ではなく、いわば、擬似巡回構造になっている。

[0156] 図8の符号化装置1が出力するLDPC符号の検査行列に対する変換検査行列は、例えば、DVB-T.2等の規格に規定されているLDPC符号の検査行列に対する変換検査行列と同様に、擬似巡回構造になっている。

[0157] なお、図20の変換検査行列は、元の検査行列Hに対して、パリティインターリーブに相当する列置換の他、変換検査行列が、後述する構成行列で構成されるようにするための行の置換（行置換）も施された行列になっている。

[0158] <3. ETRI形式LDPC符号の説明>

次に、ETRI形式LDPC符号について説明する。

[0159] 図21は、ETRI形式の検査行列Hの構造を示す図である。

[0160] ETRI形式の検査行列Hは、A行列、B行列、C行列、D行列、及び、Z行列で構成される。

[0161] A行列は、所定値 g と、LDPC符号の情報長 $K = \text{符号長} N \times \text{符号化率} r$ とで表される g 行 K 列の、検査行列の左上の行列である。A行列は、図18に示したLDPC符号の検査行列Hの情報行列と同じである。

[0162] B行列は、 g 行 g 列の、A行列の右に隣接する階段構造の行列である。B行列は、図18に示したLDPC符号の検査行列Hのパリティ行列と同じである。

[0163] C行列は、 $N-K-g$ 行 $K+g$ 列の、A行列及びB行列の下に隣接する行列である。

[0164] D行列は、 $N-K-g$ 行 $N-K-g$ 列の、C行列の右に隣接する単位行列である。

[0165] Z行列は、g行N-K-g列の、B行列の右に隣接するゼロ行列（O行列）である。

[0166] A行列及びC行列は、DVB-Like LDPC符号の検査行列の情報行列と同様に、360列（ユニットサイズP）ごとの巡回構造になっている。

[0167] ETRI形式LDPC符号は、このようなETRI形式の検査行列Hを用いてLDPC符号化したLDPC符号のB行列とD行列に対応するパリティビットをインターリーブ（パリティインターリーブ）して得られるLDPC符号である。

[0168] ETRI形式の検査行列Hは、上述したように、DVB-Like LDPC符号のLDPC符号化に用いられる検査行列Hと、A行列とB行列が共通しており、Z行列はゼロ行列である。そのため、ETRI形式LDPC符号は、次のように2段階のLDPC符号化によって生成することができる。

[0169] 即ち、符号化装置は、最初に、DVB-Like形式の検査行列Hと同じ、A行列の要素を左側の要素とし、B行列の要素を右側の要素とする第1の検査行列 $H_{AB}=[A|B]$ を用いてLDPC符号化し、その結果得られたLDPC符号のパリティビット（B行列に対応する部分）をパリティインターリーブすることにより、DVB-Like LDPC符号を生成する。次に、符号化装置は、生成されたDVB-Like LDPC符号をLDPC対象データとして、DVB-Like LDPC符号の検査行列H（図18）とETRI形式の検査行列H（図21）の差分となる行列、即ち、C行列の要素を左側の要素とし、D行列の要素を右側の要素とする第2の検査行列 $H_{CD}=[C|D]$ を用いてLDPC符号化し、その結果得られるLDPC符号のパリティビット（D行列に対応する部分）をパリティインターリーブすることにより、ETRI形式LDPC符号を生成することができる。

[0170] 以上、LDPC符号、DVB-Like LDPC符号、ETRI形式LDPC符号のそれぞれについて説明した。

[0171] <4. 第1の実施の形態>

以下、DVB-Like LDPC符号とETRI形式LDPC符号の両方の形式のLDPC符号化に対応した符号化装置について説明する。以下では、DVB-Like LDPC符号の形式を、単に、DVB-Like形式、ETRI形式LDPC符号の形式を、単に、ETRI形式とも

称する。

[0172] <符号化装置の構成例>

図22は、本技術を採用した符号化装置の第1の実施の形態の構成例を示すブロック図である。

[0173] 図22に示される符号化装置50は、AB行列エンコーダ51、B行列パリティインターリーバ52、CD行列エンコーダ53、セクタ54、パリティインターリーバ55、及び制御部56により構成される。

[0174] 符号化装置50には情報語*i*が入力され、符号化装置50は、入力された情報語*i*をDVB-Like形式またはETRI形式のいずれかの形式でLDPC符号化して、その結果得られる符号語*c*を出力する。ここで、符号化装置50から出力される符号語*c*は、図8の符号化装置1から出力される符号語*c*とは異なるものである。

[0175] AB行列エンコーダ51は、入力された情報語*i*に対して、図18等を参照して説明したDVB-Like形式の検査行列*H*と同じ、A行列の要素を左側の要素とし、B行列の要素を右側の要素とする第1の検査行列 $H_{AB}=[A|B]$ を用いて、LDPC符号化を行う。

[0176] 換言すれば、AB行列エンコーダ51は、図8の符号化装置1と同様の構成を有しており、LDPC対象データを、例えば、DVB-S.2や、DVB-T.2、DVB-C.2等の所定の規格に規定されている（検査行列に対応する）LDPC符号に符号化するLDPC符号化を行い、その結果得られるLDPC符号を出力する。以下では、LDPC対象データとして入力された情報語*i*に対して、AB行列エンコーダ51が出力するLDPC符号を、 $i + p_B$ で表す。

[0177] B行列パリティインターリーバ52は、AB行列エンコーダ51で生成されたLDPC符号 $i + p_B$ のパリティビット p_B を、他のパリティビットの位置にインターリーブするパリティインターリーブを行い、そのパリティインターリーブ後のLDPC符号を、CD行列エンコーダ53に供給する。B行列パリティインターリーバ52によるパリティインターリーブ後のLDPC符号を、 $i + p_B'$ で表す。

[0178] CD行列エンコーダ53は、B行列パリティインターリーバ52から供給されるLDPC符号 $i + p_B'$ を、C行列の要素を左側の要素とし、D行列の要素を右側の要素とする第2の検査行列 $H_{CD}=[C|D]$ を用いて、LDPC符号化を行う。

[0179] 図23は、CD行列エンコーダ53の詳細な構成例を示すブロック図である。

[0180] CD行列エンコーダ53は、図8に示した符号化装置1のなかの、アキュムレータ16を省略した構成で実現することができる。

[0181] CD行列エンコーダ53は、B行列パリティインターリーバ52から供給されるLDPC符号 $i + p_B'$ を、図8の符号化装置1における入力の情報語 i とみなして、第2の検査行列 H_{CD} を用いたLDPC符号化を行う。ただし、図8の符号化装置1におけるアキュムレータ16の積算処理は実行されない。

[0182] 図22に戻り、CD行列エンコーダ53は、第2の検査行列 H_{CD} を用いたLDPC符号化の結果得られるLDPC符号を出力する。以下では、CD行列エンコーダ53が出力するLDPC符号を、 $i + p_B' + p_D$ で表す。

[0183] セレクタ54は、制御部56の制御に従い、2つの入力のうちの一方を選択して、後段のパリティインターリーバ55に出力する。具体的には、セレクタ54は、制御部56から、DVB-Like形式の符号化に対応する“0”のセレクト制御信号が供給された場合には、AB行列エンコーダ51からの入力を選択してパリティインターリーバ55に出力し、ETRI形式の符号化に対応する“1”のセレクト制御信号が供給された場合には、CD行列エンコーダ53からの入力を選択してパリティインターリーバ55に出力する。

[0184] 換言すれば、セレクタ54は、制御部56から、DVB-Like形式の符号化に対応する“0”のセレクト制御信号が供給された場合には、AB行列エンコーダ51からのLDPC符号 $i + p_B$ を選択してパリティインターリーバ55に出力し、ETRI形式の符号化に対応する“1”のセレクト制御信号が供給された場合には、CD行列エンコーダ53からのLDPC符号 $i + p_B' + p_D$ を選択してパリティインターリーバ55に出力する。

[0185] パリティインターリーバ55は、LDPC符号のパリティビットを、他のパリティ

ティビットの位置にインターリーブするパリティインターリーブを行う。

[0186] 具体的には、セクタ54から、DVB-Like形式の符号化に対応するLDPC符号 $i + p_B$ が入力された場合には、パリティインターリーブ55は、B行列パリティインターリーブ52と同様に、LDPC符号 $i + p_B$ のパリティビット p_B をインターリーブし、パリティインターリーブ後のLDPC符号 $i + p_B'$ を、符号語 c として出力する。

[0187] 一方、セクタ54から、ETRI形式の符号化に対応するLDPC符号 $i + p_B' + p_D$ が入力された場合には、パリティインターリーブ55は、LDPC符号 $i + p_B' + p_D$ のパリティビット p_D をインターリーブし、パリティインターリーブ後のLDPC符号 $i + p_B' + p_D'$ を、符号語 c として出力する。

[0188] 制御部56は、生成するLDPC符号の形式がDVB-Like形式であるか、または、ETRI形式であるかに応じて、入力を選択させるためのセレクト制御信号をセクタ54に供給する。より具体的には、制御部56は、生成するLDPC符号の形式がDVB-Like形式である場合には“0”を表すセレクト制御信号を供給し、生成するLDPC符号の形式がETRI形式である場合には、“1”を表すセレクト制御信号を供給する。

[0189] <LDPC符号化処理>

図24のフローチャートを参照して、図22の符号化装置50によるLDPC符号化処理について説明する。

[0190] 初めに、ステップS31において、制御部56は、生成するLDPC符号の形式がDVB-Like形式であるか、または、ETRI形式であるかに応じたセレクト制御信号をセクタ54に供給する。なお、このステップの処理は、セクタ54に選択対象のデータが入力されるまでに行われればよく、必ずしもLDPC符号化処理の最初に実行する必要はない。

[0191] ステップS32において、AB行列エンコーダ51は、入力された情報語 i に対して、第1の検査行列 H_{AB} を用いてLDPC符号化を行う。AB行列エンコーダ51は、LDPC符号化の結果得られたLDPC符号 $i + p_B$ を出力する。

[0192] 次のステップS33では、AB行列エンコーダ51から出力されたLDPC符号

$i + p_B$ のパリティビット p_B を、他のパリティビットの位置にインターリーブするパリティインターリーブが実行される。このパリティインターリーブは、生成するLDPC符号の形式がDVB-Like形式である場合には、パリティインターリーバ55によって実行され、生成するLDPC符号の形式がETRI形式である場合には、B行列パリティインターリーバ52によって実行される。

[0193] 即ち、生成するLDPC符号の形式がDVB-Like形式である場合には、AB行列エンコーダ51によって生成されたLDPC符号 $i + p_B$ が、セクタ54を介して、パリティインターリーバ55に供給される。パリティインターリーバ55は、ステップS33として、AB行列エンコーダ51で生成されたLDPC符号 $i + p_B$ のパリティビット p_B を、他のパリティビットの位置にインターリーブするパリティインターリーブを行い、パリティインターリーブ後のLDPC符号 $i + p_B'$ を生成する。パリティインターリーバ55によって生成されたパリティインターリーブ後のLDPC符号 $i + p_B'$ は、符号語cとして出力される。

[0194] 一方、生成するLDPC符号の形式がETRI形式である場合には、AB行列エンコーダ51によって生成されたLDPC符号 $i + p_B$ が、B行列パリティインターリーバ52に供給される。B行列パリティインターリーバ52は、AB行列エンコーダ51で生成されたLDPC符号 $i + p_B$ のパリティビット p_B を、他のパリティビットの位置にインターリーブするパリティインターリーブを行い、パリティインターリーブ後のLDPC符号 $i + p_B'$ を生成する。B行列パリティインターリーバ52によって生成されたパリティインターリーブ後のLDPC符号 $i + p_B'$ は、CD行列エンコーダ53に出力される。

[0195] ステップS34の処理は、生成するLDPC符号の形式がDVB-Like形式であるか、または、ETRI形式であるかに応じて、処理が異なる。

[0196] ステップS34において、生成するLDPC符号の形式がDVB-Like形式である場合には、図24のLDPC符号化処理は終了される。

[0197] 一方、ステップS34において、生成するLDPC符号の形式がETRI形式である場合には、処理がステップS35に進められる。

[0198] ステップS35において、CD行列エンコーダ53は、B行列パリティインタ

ーリーバ52から供給されるLDPC符号 $i + p_B'$ をLDPC対象データとして、第2の検査行列 H_{CD} を用いてLDPC符号化を行う。CD行列エンコーダ53は、LDPC符号化の結果得られるLDPC符号 $i + p_B' + p_D$ を、セクタ54を介して、パリティインターリーバ55に出力する。

[0199] ステップS36において、パリティインターリーバ55は、CD行列エンコーダ53から出力されたLDPC符号 $i + p_B' + p_D$ のパリティビット p_D をインターリーブし、パリティインターリーブ後のLDPC符号 $i + p_B' + p_D'$ を、符号語 c として出力し、図24のLDPC符号化処理を終了する。

[0200] 以上のように、第1の実施の形態における符号化装置50によれば、生成するLDPC符号の形式がDVB-Like形式またはETRI形式のいずれであっても、それらの形式に対応したLDPC符号を生成することができる。

[0201] 従って、図22の符号化装置50によれば、DVB-Like LDPC符号とETRI形式LDPC符号の両方に対応することができる。

[0202] <5. 第2の実施の形態>

<符号化装置の構成例>

図25は、本技術を採用した符号化装置の第2の実施の形態の構成例を示すブロック図である。

[0203] 図25に示される符号化装置50は、セクタ71、AB/CD行列エンコーダ72、アキュムレータ73、セクタ74及び75、パリティインターリーバ76、セクタ77、並びに、制御部78により構成される。

[0204] セクタ71は、制御部78の制御に従い、2つの入力のうち的一方を選択して、後段のAB/CD行列エンコーダ72及びセクタ75に出力する。具体的には、セクタ71は、制御部78から、DVB-Like形式の符号化に対応する“0”の第1セレクト制御信号が供給された場合には、装置外からの入力を選択してAB/CD行列エンコーダ72及びセクタ75に出力する。一方、ETRI形式の符号化に対応する“1”の第1セレクト制御信号が供給された場合には、セクタ71は、セクタ77からフィードバックされた情報を選択してAB/CD行列エンコーダ72及びセクタ75に出力する。

- [0205] AB/CD行列エンコーダ72は、図23に示した第1の実施の形態のCD行列エンコーダ53と同様に構成される。
- [0206] AB/CD行列エンコーダ72は、DVB-Like形式及びETRI形式の双方のLDPC符号化で使用する第1の検査行列 H_{AB} と、ETRI形式のLDPC符号化で使用する第2の検査行列 H_{CD} のそれぞれを、各種の符号化率や符号長 N に対応して内部メモリに複数種類有している。AB/CD行列エンコーダ72には、セクタ71及び74に供給される第1セレクト制御信号などに連動して、制御部78から、どの種類の検査行列を利用するかが設定される。
- [0207] AB/CD行列エンコーダ72は、制御部78から、第1の検査行列 H_{AB} を用いた符号化が指示された場合、入力されたLDPC対象データに対して、第1の検査行列 H_{AB} を用いてLDPC符号化を行う。一方、制御部78から、第2の検査行列 H_{CD} を用いた符号化が指示された場合、AB/CD行列エンコーダ72は、入力されたLDPC対象データに対して、第2の検査行列 H_{CD} を用いてLDPC符号化を行う。ただし、AB/CD行列エンコーダ72では、第1の実施の形態のCD行列エンコーダ53と同様に、アキュムレータ16が省略されているので、図8の符号化装置1におけるアキュムレータ16の積算処理は実行されない。
- [0208] AB/CD行列エンコーダ72は、LDPC符号化した結果を、アキュムレータ73とセクタ74とに供給する。
- [0209] アキュムレータ73は、図8の符号化装置1のアキュムレータ16と同様の処理を行う。即ち、アキュムレータ73は、AB/CD行列エンコーダ72から供給されるLDPC符号のパリティビットの積算処理を実行し、その処理結果をセクタ74に出力する。
- [0210] セクタ74は、制御部78の制御に従い、2つの入力のうち的一方を選択して、後段のセクタ75に出力する。具体的には、セクタ74は、制御部78から、DVB-Like形式の符号化に対応する“0”の第1セレクト制御信号が供給された場合、アキュムレータ73からの出力を選択してセクタ75に出力し、ETRI形式の符号化に対応する“1”の第1セレクト制御信号が供給された場合、AB/CD行列エンコーダ72からの出力を選択してセクタ

75に出力する。

[0211] セレクタ75は、制御部78の制御に従い、2つの入力のうち的一方を選択して、後段のパリティインターリーバ76に出力する。セレクタ75には、入力されるデータが情報ビットかまたはパリティビットかに対応する第2セレクト制御信号が供給される。

[0212] セレクタ75は、制御部78から、情報ビットに対応する“1”の第2セレクト制御信号が供給された場合には、セレクタ71からの出力を選択し、パリティインターリーバ76に出力する。一方、制御部78から、パリティビットに対応する“0”の第2セレクト制御信号が供給された場合には、セレクタ75は、セレクタ74からの出力を選択し、パリティインターリーバ76に出力する。

[0213] パリティインターリーバ76は、図22に示した第1の実施の形態におけるパリティインターリーバ55と同様の処理を行う。即ち、パリティインターリーバ76は、セレクタ75から供給されるLDPC符号のパリティビットを、他のパリティビットの位置にインターリーブするパリティインターリーブを行う。

[0214] セレクタ77は、制御部78の制御に従い、入力されたデータを、2つの出力先のうちのいずれか一方を選択して出力する。具体的には、セレクタ77は、制御部78から、外部出力を表す“0”の第3セレクト制御信号が供給された場合、入力されたデータを、符号語cとして外部に出力する。一方、制御部78から、フィードバックを表す“1”の第3セレクト制御信号が供給された場合、セレクタ77は、入力されたデータを、セレクタ71の“1”に対応する側の入力に出力する。

[0215] 制御部78は、DVB-Like形式の符号化に対応する“0”またはETRI形式の符号化に対応する“1”の第1セレクト制御信号を、セレクタ71及び74に供給する。

[0216] また、制御部78は、情報ビットかまたはパリティビットかに対応する第2セレクト制御信号をセレクタ75に供給する。さらに、制御部78は、外

部出力を表す“0”またはフィードバックを表す“1”の第3セレクト制御信号をセクタ77に供給する。その他、上述したように、制御部78は、AB/CD行列エンコーダ72などに、符号化動作を制御する制御信号も適宜供給する。

[0217] 第2の実施の形態における符号化装置50は、以上のように構成される。

[0218] 第2の実施の形態における符号化装置50は、第1の実施の形態のB行列パリティインターリーバ52とパリティインターリーバ55が、1つのパリティインターリーバ76に共通化されるとともに、AB行列エンコーダ51とCD行列エンコーダ53が、アキュムレータ73を後段に設けることで、1つのAB/CD行列エンコーダ72に共通化されている。これにより、第1の実施の形態の構成よりも少ない物理的構成で、DVB-Like LDPC符号とETRI形式LDPC符号の両方に対応することができる。

[0219] <DVB-Like LDPC符号の生成>

図26を参照して、第2の実施の形態におけるDVB-Like LDPC符号の生成について説明する。

[0220] 符号化装置50がDVB-Like LDPC符号を生成する際には、制御部78は、DVB-Like形式の符号化に対応する“0”の第1セレクト制御信号を、セクタ71及び74に供給し、外部出力を表す“0”の第3セレクト制御信号を、セクタ77に供給する。

[0221] 初めに、図26のAに示されるように、LDPC符号化対象データとしての情報ビット（情報語） i が、セクタ71に入力される。セクタ71に入力された情報ビット i は、AB/CD行列エンコーダ72とセクタ75に出力される。

[0222] この時点のセクタ75には、制御部78から、情報ビットに対応する“1”の第2セレクト制御信号が供給されている。セクタ75は、第2セレクト制御信号に基づいて、セクタ71から供給された情報ビット i を、パリティインターリーバ76に出力する。

[0223] 情報ビット i の出力後、制御部78からセクタ75に供給される第2セレクト

クト制御信号は、パリティビットに対応する“0”の第2セレクト制御信号に変更される。

[0224] 図26のBに示されるように、セクタ71から情報ビット i が供給されたAB/CD行列エンコーダ72では、情報ビット i に対して、第1の検査行列 H_{AB} を用いたLDPC符号化が実行され、アキュムレータ73においてLDPC符号のパリティビットの積算処理が実行され、LDPC符号 $i + p_B$ が生成される。

[0225] この時点で、セクタ74に供給される第1セレクト制御信号と、セクタ75に供給される第2セレクト制御信号は、いずれも“0”であるので、アキュムレータ73から出力されたLDPC符号 $i + p_B$ は、パリティインターリーブ76に供給される。

[0226] 図26のCに示されるように、パリティインターリーブ76は、供給されたLDPC符号 $i + p_B$ のパリティビット p_B を、他のパリティビットの位置にインターリーブするパリティインターリーブを実行し、そのパリティインターリーブ後のLDPC符号 $i + p_B'$ を、セクタ77に供給する。

[0227] セクタ77には、外部出力を表す“0”の第3セレクト制御信号が供給されているので、セクタ77は、入力されたパリティインターリーブ後のLDPC符号 $i + p_B'$ を、符号語 c として外部に出力する。

[0228] 第2の実施の形態では、以上のようにして、DVB-Like LDPC符号を生成して出力することができる。

[0229] <ETRI形式LDPC符号の生成>

次に、図27を参照して、第2の実施の形態におけるETRI形式LDPC符号の生成について説明する。

[0230] 符号化装置50がETRI形式LDPC符号を生成する際の最初の段階の処理、具体的には、図26のAとBを参照して説明した、パリティインターリーブ76にLDPC符号 $i + p_B$ が供給されるまでの処理は、DVB-Like LDPC符号の生成と同様である。

[0231] そして、図27のAに示されるように、パリティインターリーブ76によってパリティインターリーブが実行され、パリティインターリーブ後のLDPC符

号 $i + p_B'$ が生成され、セクタ 77 に出力される。セクタ 77 には、この段階では、フィードバックを表す “1” の第 3 セレクト制御信号が供給されている。

[0232] セクタ 77 は、パリティインターリーブ 76 から供給されたパリティインターリーブ後の LDPC 符号 $i + p_B'$ を、第 3 セレクト制御信号に基づいて、セクタ 71 にフィードバックする。フィードバック後、セクタ 77 に供給される第 3 セレクト制御信号は、外部出力を表す “0” の第 3 セレクト制御信号に変更される。

[0233] また、パリティインターリーブ後の LDPC 符号 $i + p_B'$ がセクタ 71 にフィードバックされるまでの間に、セクタ 71 及び 74 に供給される第 1 セレクト制御信号が、ETRI 形式の符号化に対応する “1” の第 1 セレクト制御信号に変更されている。セクタ 75 に供給される第 2 セレクト制御信号も、情報ビットに対応する “1” の第 2 セレクト制御信号に変更されている。

[0234] フィードバックされてセクタ 71 に入力されたパリティインターリーブ後の LDPC 符号 $i + p_B'$ は、図 27 の B に示されるように、AB/CD 行列エンコーダ 72 とセクタ 75 に出力される。

[0235] この時点のセクタ 75 には、制御部 78 から、情報ビットに対応する “1” の第 2 セレクト制御信号が供給されている。セクタ 75 は、第 2 セレクト制御信号に基づいて、セクタ 71 から供給されたパリティインターリーブ後の LDPC 符号 $i + p_B'$ を、パリティインターリーブ 76 に出力する。

[0236] パリティインターリーブ後の LDPC 符号 $i + p_B'$ の出力後、制御部 78 からセクタ 75 に出力される第 2 セレクト制御信号は、パリティビットに対応する “0” の第 2 セレクト制御信号に変更される。

[0237] 一方、セクタ 71 から、パリティインターリーブ後の LDPC 符号 $i + p_B'$ が供給された AB/CD 行列エンコーダ 72 では、パリティインターリーブ後の LDPC 符号 $i + p_B'$ に対して、第 2 の検査行列 H_{CD} を用いた LDPC 符号化が実行されて、LDPC 符号 $i + p_B' + p_D$ が生成される。

[0238] 図 27 の C に示されるように、AB/CD 行列エンコーダ 72 で生成された LDPC

符号 $i + p_B' + p_D$ は、ETRI形式の符号化に対応する“1”の第1セレクト制御信号が供給されているセクタ74、及び、パリティビットに対応する“0”の第2セレクト制御信号が供給されているセクタ75を経由して、パリティインターリーバ76に供給される。

[0239] 図27のDに示されるように、パリティインターリーバ76は、LDPC符号 $i + p_B' + p_D$ のパリティビット p_D をインターリーブし、パリティインターリーブ後のLDPC符号 $i + p_B' + p_D'$ を、セクタ77に供給する。

[0240] セクタ77には、外部出力を表す“0”の第3セレクト制御信号が供給されているので、セクタ77は、入力されたパリティインターリーブ後のLDPC符号 $i + p_B' + p_D'$ を、符号語 c として外部に出力する。

[0241] 第2の実施の形態では、以上のようにして、ETRI形式LDPC符号を生成して出力することができる。

[0242] 従って、第2の実施の形態によれば、DVB-Like LDPC符号とETRI形式LDPC符号の両方に対応することができる。

[0243] <6. 第3の実施の形態>

<符号化装置の構成例>

図28は、本技術を採用した符号化装置の第3の実施の形態の構成例を示すブロック図である。

[0244] 図28の第3の実施の形態において、図25の第2の実施の形態と対応する部分については同一の符号を付してあり、その部分の説明は適宜省略する。

[0245] 図28に示される符号化装置50は、セクタ71、AB/CD行列エンコーダ72、アキュムレータ73、セクタ74、パリティインターリーバ76、B行列パリティインターリーバ91、セクタ92及び93、並びに、制御部94により構成される。

[0246] 第3の実施の形態の符号化装置50は、第2の実施の形態と同様に、第1の実施の形態のB行列パリティインターリーバ52とパリティインターリーバ55を、1つのパリティインターリーバ76に共通化し、AB行列エンコーダ

5 1 とCD行列エンコーダ 5 3 を、アキュムレータ 7 3 を後段に設けることで、1 つのAB/CD行列エンコーダ 7 2 に共通化した構成である。

[0247] 第2の実施の形態と第3の実施の形態とを比較すると、第3の実施の形態では、セクタ 7 4 より後段の構成が、第2の実施の形態と異なっている。

[0248] B行列パリティインターリーバ 9 1 は、第1の実施の形態のB行列パリティインターリーバ 5 2 と同様の処理を行う。即ち、B行列パリティインターリーバ 9 1 は、LDPC符号 $i + p_B$ のパリティビット p_B を、他のパリティビットの位置にインターリーブするパリティインターリーブを行い、そのパリティインターリーブ後のLDPC符号 $i + p_B'$ を出力する。

[0249] セクタ 9 2 は、制御部 9 4 の制御に従い、2つの入力のうち的一方を選択して、後段のセクタ 9 3 に出力する。セクタ 9 2 には、B行列パリティインターリーバ 9 1 が、パリティインターリーブの実行結果を出力するときのみ“1”となり、それ以外は“0”となる第2セレクト制御信号が供給される。

[0250] セクタ 9 3 は、制御部 9 4 の制御に従い、2つの入力のうち的一方を選択して、後段のパリティインターリーバ 7 6 に出力する。セクタ 9 3 には、入力されるデータが情報ビットかまたはパリティビットかに対応する第3セレクト制御信号が供給される。

[0251] 制御部 9 4 は、DVB-Like形式の符号化に対応する“0”またはETRI形式の符号化に対応する“1”の第1セレクト制御信号を、セクタ 7 1 及び 7 4 に供給する。

[0252] また、制御部 9 4 は、B行列パリティインターリーバ 9 1 の出力または非出力に対応する第2セレクト制御信号をセクタ 9 2 に供給する。さらに、制御部 9 4 は、情報ビットかまたはパリティビットかに対応する第3セレクト制御信号をセクタ 9 3 に供給する。

[0253] 第3の実施の形態における符号化装置 5 0 は、以上のように構成される。

[0254] <DVB-Like LDPC符号の生成>

図 2 9 を参照して、第3の実施の形態におけるDVB-Like LDPC符号の生成に

ついて説明する。

[0255] 符号化装置 50 が DVB-Like LDPC 符号を生成する際には、制御部 94 は、DVB-Like 形式の符号化に対応する “0” の第 1 セレクト制御信号を、セクタ 71 及び 74 に供給する。また、制御部 94 は、B 行列パリティインターリーバ 91 の非出力に対応する “0” の第 2 セレクト制御信号をセクタ 92 に供給する。

[0256] 初めに、図 29 の A に示されるように、LDPC 符号化対象データとしての情報ビット（情報語） i が、セクタ 71 に入力される。セクタ 71 に入力された情報ビット i は、AB/CD 行列エンコーダ 72 とセクタ 93 に出力される。

[0257] この時点のセクタ 93 には、制御部 94 から、情報ビットに対応する “1” の第 3 セレクト制御信号が供給されている。セクタ 93 は、第 3 セレクト制御信号に基づいて、セクタ 71 から供給された情報ビット i を、パリティインターリーバ 76 に出力する。

[0258] 情報ビット i の出力後、制御部 94 からセクタ 93 に出力される第 3 セレクト制御信号は、パリティビットに対応する “0” の第 3 セレクト制御信号に変更される。

[0259] 図 29 の B に示されるように、セクタ 71 から情報ビット i が供給された AB/CD 行列エンコーダ 72 では、情報ビット i に対して、第 1 の検査行列 H_{AB} を用いた LDPC 符号化が実行され、アキュムレータ 73 において LDPC 符号のパリティビットの積算処理が実行され、LDPC 符号 $i + p_B$ が生成される。

[0260] セクタ 74 に供給される第 1 セレクト制御信号、セクタ 92 に供給される第 2 セレクト制御信号、及び、セクタ 93 に供給される第 3 セレクト制御信号は、いずれも “0” であるので、アキュムレータ 73 から出力された LDPC 符号 $i + p_B$ は、パリティインターリーバ 76 に供給される。

[0261] 図 29 の C に示されるように、パリティインターリーバ 76 は、供給された LDPC 符号 $i + p_B$ のパリティビット p_B を、他のパリティビットの位置にインターリーブするパリティインターリーブを実行し、そのパリティインターリー

ブ後のLDPC符号 $i + p_B'$ を、符号語 c として外部に出力する。

[0262] 第3の実施の形態では、以上のようにして、DVB-Like LDPC符号を生成して出力することができる。

[0263] <ETRI形式LDPC符号の生成>

次に、図30及び図31を参照して、第3の実施の形態におけるETRI形式LDPC符号の生成について説明する。

[0264] 符号化装置50がETRI形式LDPC符号を生成する際の最初の段階では、制御部78は、DVB-Like形式の符号化の場合と同じ“0”の第1セレクト制御信号を、セクタ71及び74に供給する。

[0265] 初めに、図30のAに示されるように、LDPC符号化対象データとしての情報ビット（情報語） i が、セクタ71に入力される。セクタ71に入力された情報ビット i は、AB/CD行列エンコーダ72とセクタ93に出力される。

[0266] この時点のセクタ93には、制御部94から、情報ビットに対応する“1”の第3セレクト制御信号が供給されている。セクタ93は、第3セレクト制御信号に基づいて、セクタ71から供給された情報ビット i を、パリティインターリーバ76に出力する。

[0267] また、図30のBに示されるように、セクタ71から情報ビット i が供給されたAB/CD行列エンコーダ72では、情報ビット i に対して、第1の検査行列 H_{AB} を用いたLDPC符号化が実行され、アキュムレータ73においてLDPC符号のパリティビットの積算処理が実行され、LDPC符号 $i + p_B$ が生成される。

[0268] セクタ74に供給される第1セレクト制御信号は“0”であるので、アキュムレータ73から出力されたLDPC符号 $i + p_B$ は、B行列パリティインターリーバ91に供給される。

[0269] B行列パリティインターリーバ91は、アキュムレータ73から出力されたLDPC符号 $i + p_B$ のパリティビット p_B を、他のパリティビットの位置にインターリーブするパリティインターリーブを行い、そのパリティインターリーブ後のLDPC符号 $i + p_B'$ をセクタ92に出力する。

- [0270] この時点のセクタ 92 には、制御部 94 から、B 行列パリティインターリーバ 91 の出力に対応する “1” の第 2 セレクト制御信号が供給されている。
- [0271] 図 30 の C に示されるように、セクタ 92 は、B 行列パリティインターリーバ 91 の出力に対応する “1” の第 2 セレクト制御信号に基づいて、B 行列パリティインターリーバ 91 から出力されたパリティインターリーブ後の LDPC 符号 $i + p_B'$ を選択して出力する。
- [0272] セクタ 92 の出力先は、セクタ 71 とセクタ 93 であるが、セクタ 93 には、情報ビットに対応する “1” の第 3 セレクト制御信号が供給されているため、セクタ 93 では、セクタ 92 の出力は選択されない。
- [0273] そのため、図 30 の C に示されるように、B 行列パリティインターリーバ 91 から出力されたパリティインターリーブ後の LDPC 符号 $i + p_B'$ は、セクタ 92 を介して、セクタ 71 へフィードバックされる。
- [0274] セクタ 71 及び 74 に供給される第 1 セレクト制御信号は、図 31 の A に示されるように、パリティインターリーブ後の LDPC 符号 $i + p_B'$ がセクタ 71 へフィードバックされる前までに、DVB-Like 形式の符号化に対応する “0” から、ETRI 形式の符号化に対応する “1” へ変更される。また、セクタ 92 に供給される第 2 セレクト制御信号も、B 行列パリティインターリーバ 91 の非出力に対応する “0” の第 2 セレクト制御信号に変更される。
- [0275] セクタ 71 は、ETRI 形式の符号化に対応する “1” の第 1 セレクト制御信号に基づいて、フィードバックされて入力されたパリティインターリーブ後の LDPC 符号 $i + p_B'$ を、AB/CD 行列エンコーダ 72 とセクタ 93 に出力する。
- [0276] セクタ 93 は、情報ビットに対応する “1” の第 3 セレクト制御信号に基づいて、セクタ 71 から供給されたパリティインターリーブ後の LDPC 符号 $i + p_B'$ を、パリティインターリーバ 76 に出力する。出力後、セクタ 93 に供給される第 3 セレクト制御信号は、パリティビットに対応する “0” の第 3 セレクト制御信号に変更される。

- [0277] 図31のBに示されるように、パリティインターリーブ後のLDPC符号 $i + p_B$ ' がセクタ71から供給されたAB/CD行列エンコーダ72では、パリティインターリーブ後のLDPC符号 $i + p_B$ ' に対して、第2の検査行列 H_{CD} を用いたLDPC符号化が実行されて、LDPC符号 $i + p_B$ ' + p_D が生成される。
- [0278] セクタ74には、ETRI形式の符号化に対応する“1”の第1セレクト制御信号が供給されている。セクタ92には、B行列パリティインターリーバ91の非出力に対応する“0”の第2セレクト制御信号が供給されている。セクタ93には、パリティビットに対応する“0”の第3セレクト制御信号が供給されている。その結果、AB/CD行列エンコーダ72で生成されたLDPC符号 $i + p_B$ ' + p_D は、セクタ74、92、及び93を経由して、パリティインターリーバ76に供給される。
- [0279] 図31のCに示されるように、パリティインターリーバ76は、LDPC符号 $i + p_B$ ' + p_D のパリティビット p_D をインターリーブし、パリティインターリーブ後のLDPC符号 $i + p_B$ ' + p_D ' を、符号語 c として外部に出力する。
- [0280] 第3の実施の形態では、以上のようにして、ETRI形式LDPC符号を生成して出力することができる。
- [0281] 従って、第3の実施の形態によれば、DVB-Like LDPC符号とETRI形式LDPC符号の両方に対応することができる。
- [0282] 上述したDVB-Like LDPC符号とETRI形式LDPC符号を生成する符号化装置50は、例えば、（デジタル）衛星放送を送信する放送局の装置などに適用することができる。
- [0283] <コンピュータの一実施の形態>
- 上述した一連の処理は、ハードウェアにより行うこともできるし、ソフトウェアにより行うこともできる。一連の処理をソフトウェアによって行う場合には、そのソフトウェアを構成するプログラムが、汎用のコンピュータ等にインストールされる。
- [0284] そこで、図32は、上述した一連の処理を実行するプログラムがインストールされるコンピュータの一実施の形態の構成例を示している。

- [0285] プログラムは、コンピュータに内蔵されている記録媒体としてのハードディスク 205 や ROM 203 に予め記録しておくことができる。
- [0286] あるいはまた、プログラムは、フレキシブルディスク、CD-ROM(Compact Disc Read Only Memory)、MO(Magneto Optical)ディスク、DVD(Digital Versatile Disc)、磁気ディスク、半導体メモリなどのリムーバブル記録媒体 211 に、一時的あるいは永続的に格納（記録）しておくことができる。このようなリムーバブル記録媒体 211 は、いわゆるパッケージソフトウェアとして提供することができる。
- [0287] なお、プログラムは、上述したようなリムーバブル記録媒体 211 からコンピュータにインストールする他、ダウンロードサイトから、デジタル衛星放送用の人工衛星を介して、コンピュータに無線で転送したり、LAN(Local Area Network)、インターネットといったネットワークを介して、コンピュータに有線で転送し、コンピュータでは、そのようにして転送されてくるプログラムを、通信部 208 で受信し、内蔵するハードディスク 205 にインストールすることができる。
- [0288] コンピュータは、CPU(Central Processing Unit) 202 を内蔵している。CPU 202 には、バス 201 を介して、入出力インタフェース 210 が接続されており、CPU 202 は、入出力インタフェース 210 を介して、ユーザによって、キーボードや、マウス、マイク等で構成される入力部 207 が操作等されることにより指令が入力されると、それに従って、ROM(Read Only Memory) 203 に格納されているプログラムを実行する。あるいは、また、CPU 202 は、ハードディスク 205 に格納されているプログラム、衛星若しくはネットワークから転送され、通信部 208 で受信されてハードディスク 205 にインストールされたプログラム、又はドライブ 209 に装着されたリムーバブル記録媒体 211 から読み出されてハードディスク 205 にインストールされたプログラムを、RAM(Random Access Memory) 204 にロードして実行する。これにより、CPU 202 は、上述したフローチャートに従った処理、あるいは上述したブロック図の構成により行われる処理を行う。そして、CPU 2

02は、その処理結果を、必要に応じて、例えば、入出力インタフェース210を介して、LCD(Liquid Crystal Display)やスピーカ等で構成される出力部206から出力、あるいは、通信部208から送信、さらには、ハードディスク205に記録等させる。

[0289] ここで、本明細書において、コンピュータに各種の処理を行わせるためのプログラムを記述する処理ステップは、必ずしもフローチャートとして記載された順序に沿って時系列に処理する必要はなく、並列的あるいは個別に実行される処理（例えば、並列処理あるいはオブジェクトによる処理）も含むものである。

[0290] また、プログラムは、1つのコンピュータにより処理されるものであっても良いし、複数のコンピュータによって分散処理されるものであっても良い。さらに、プログラムは、遠方のコンピュータに転送されて実行されるものであっても良い。

[0291] なお、本技術の実施の形態は、上述した実施の形態に限定されるものではなく、本技術の要旨を逸脱しない範囲において種々の変更が可能である。

[0292] 例えば、上述した複数の実施の形態の全てまたは一部を組み合わせた形態を採用することができる。

[0293] 例えば、本技術は、1つの機能をネットワークを介して複数の装置で分担、共同して処理するクラウドコンピューティングの構成をとることができる。

[0294] また、上述のフローチャートで説明した各ステップは、1つの装置で実行する他、複数の装置で分担して実行することができる。

[0295] さらに、1つのステップに複数の処理が含まれる場合には、その1つのステップに含まれる複数の処理は、1つの装置で実行する他、複数の装置で分担して実行することができる。

[0296] なお、本明細書に記載された効果はあくまで例示であって限定されるものではなく、本明細書に記載されたもの以外の効果があってもよい。

[0297] なお、本技術は以下のような構成も取ることができる。

(1)

第1の検査行列を用いて、所定の情報語のLDPC符号を生成する第1 LDPC符号化部と、

前記LDPC符号のパリティビットをインターリーブする第1 パリティインターリーブ部と、

前記パリティビットがインターリーブされた前記LDPC符号に対して、第2の検査行列を用いて、ETRI形式LDPC符号を生成する第2 LDPC符号化部と
を備える符号化装置。

(2)

前記第1 LDPC符号化部と前記第2 LDPC符号化部は、同一のLDPC符号化部で構成される

前記(1)に記載の符号化装置。

(3)

前記LDPC符号化部は、

前記情報語と、その情報語に対応する前記第1の検査行列または前記第2の検査行列の情報行列との積を積算する符号化部と、

前記符号化部による積算結果を積算することにより、前記LDPC符号のパリティビットを生成する積算部と

を有する

前記(2)に記載の符号化装置。

(4)

前記LDPC符号化部は、前記ETRI形式LDPC符号を生成する場合、前記符号化部による処理を2回実行し、1回目の前記処理の後には、前記積算部の処理を実行し、2回目の前記処理の後には、前記積算部の処理を実行しない

前記(3)に記載の符号化装置。

(5)

前記第1 パリティインターリーブ部は、前記ETRI形式LDPC符号のパリティビットのインターリーブも行う

前記（２）乃至（４）のいずれかに記載の符号化装置。

（６）

前記ETRI形式LDPC符号のパリティビットをインターリーブする第２パリティインターリーブ部をさらに備える

前記（１）乃至（４）のいずれかに記載の符号化装置。

（７）

前記第１LDPC符号化部と前記第２LDPC符号化部は、異なるLDPC符号化部で構成される

前記（１）に記載の符号化装置。

（８）

第１の検査行列を用いて、所定の情報語のLDPC符号を生成する第１LDPC符号化ステップと、

前記LDPC符号のパリティビットをインターリーブするパリティインターリーブステップと、

前記パリティビットがインターリーブされた前記LDPC符号に対して、第２の検査行列を用いて、ETRI形式LDPC符号を生成する第２LDPC符号化ステップと

を備え、

前記第１LDPC符号化ステップと前記パリティインターリーブステップを実行し、その後、そのまま出力するか、または、前記第２LDPC符号化ステップを実行して出力するかを切り替える

符号化方法。

符号の説明

[0298] ５０ 符号化装置, ５１ AB行列エンコーダ, ５２ B行列パリティインターリーバ, ５３ CD行列エンコーダ, ５４ セレクタ, ５５ パリティインターリーバ, ５６ 制御部, ７１ セレクタ, ７２ AB/CD行列エンコーダ, ７３ アキュムレータ, ７４, ７５ セレクタ, ７６ パリティインターリーバ, ７７ セレクタ, ７８ 制御部, ９１

B行列パリティインターリーバ, 92, 93 セクタ, 94 制御部
, 201 CPU, 203 ROM, 204 RAM, 205 ハードディス
ク, 206 出力部, 207 入力部, 208 通信部, 209
ドライブ, 211 リムーバブル記録媒体

請求の範囲

- [請求項1] 第1の検査行列を用いて、所定の情報語のLDPC符号を生成する第1 LDPC符号化部と、
前記LDPC符号のパリティビットをインターリーブする第1パリティインターリーブ部と、
前記パリティビットがインターリーブされた前記LDPC符号に対して、第2の検査行列を用いて、ETRI形式LDPC符号を生成する第2 LDPC符号化部と
を備える符号化装置。
- [請求項2] 前記第1 LDPC符号化部と前記第2 LDPC符号化部は、同一のLDPC符号化部で構成される
請求項1に記載の符号化装置。
- [請求項3] 前記LDPC符号化部は、
前記情報語と、その情報語に対応する検査行列の情報行列との積を積算する符号化部と、
前記符号化部による積算結果を積算することにより、前記LDPC符号のパリティビットを生成する積算部と
を有する
請求項2に記載の符号化装置。
- [請求項4] 前記LDPC符号化部は、前記ETRI形式LDPC符号を生成する場合、前記符号化部による処理を2回実行し、1回目の前記処理の後には、前記積算部の処理を実行し、2回目の前記処理の後には、前記積算部の処理を実行しない
請求項3に記載の符号化装置。
- [請求項5] 前記第1パリティインターリーブ部は、前記ETRI形式LDPC符号のパリティビットのインターリーブも行う
請求項2に記載の符号化装置。
- [請求項6] 前記ETRI形式LDPC符号のパリティビットをインターリーブする第2

パリティインターリーブ部をさらに備える

請求項 1 に記載の符号化装置。

[請求項7] 前記第 1 LDPC符号化部と前記第 2 LDPC符号化部は、異なるLDPC符号化部で構成される

請求項 1 に記載の符号化装置。

[請求項8] 第 1 の検査行列を用いて、所定の情報語のLDPC符号を生成する第 1 LDPC符号化ステップと、

前記LDPC符号のパリティビットをインターリーブするパリティインターリーブステップと、

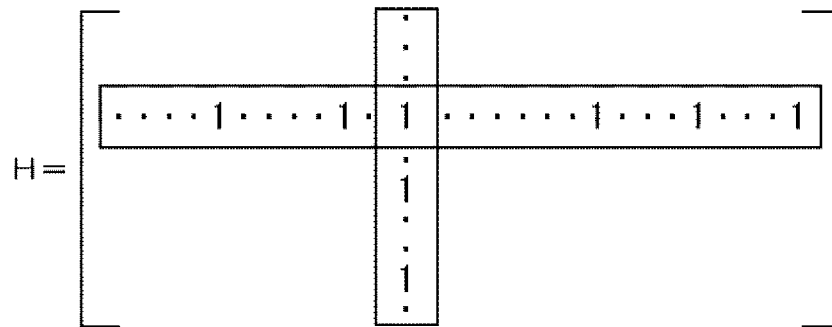
前記パリティビットがインターリーブされた前記LDPC符号に対して、第 2 の検査行列を用いて、ETRI形式LDPC符号を生成する第 2 LDPC符号化ステップと

を備え、

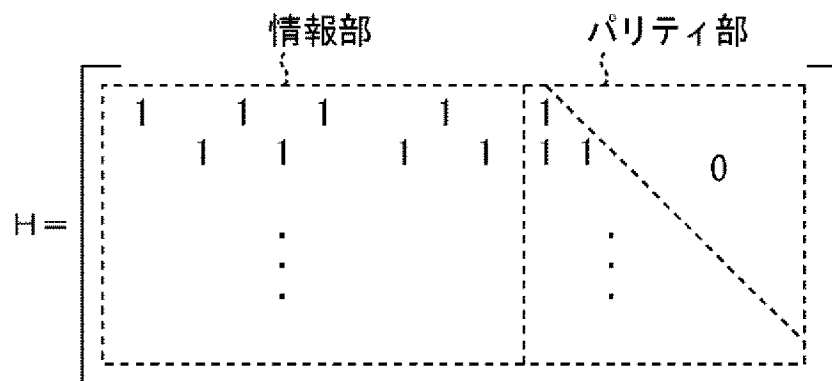
前記第 1 LDPC符号化ステップと前記パリティインターリーブステップを実行し、その後、そのまま出力するか、または、前記第 2 LDPC符号化ステップを実行して出力するかを切り替える

符号化方法。

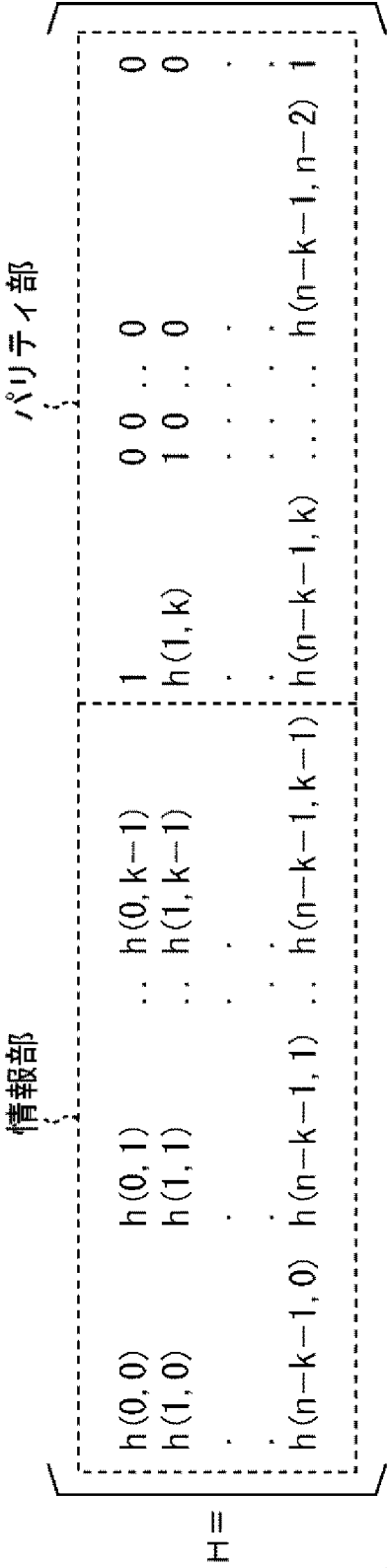
[図1]
FIG.1



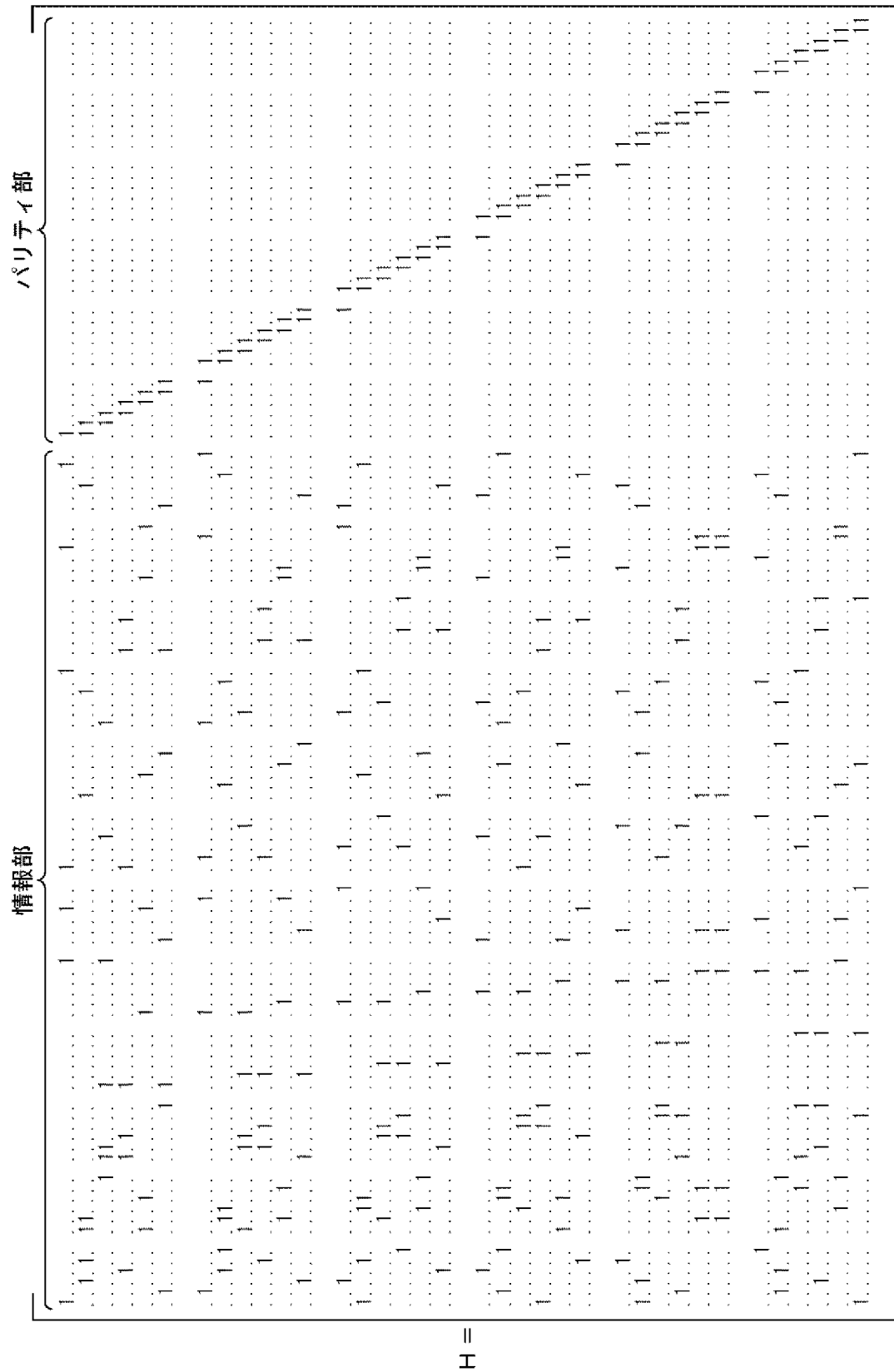
[図2]
FIG.2



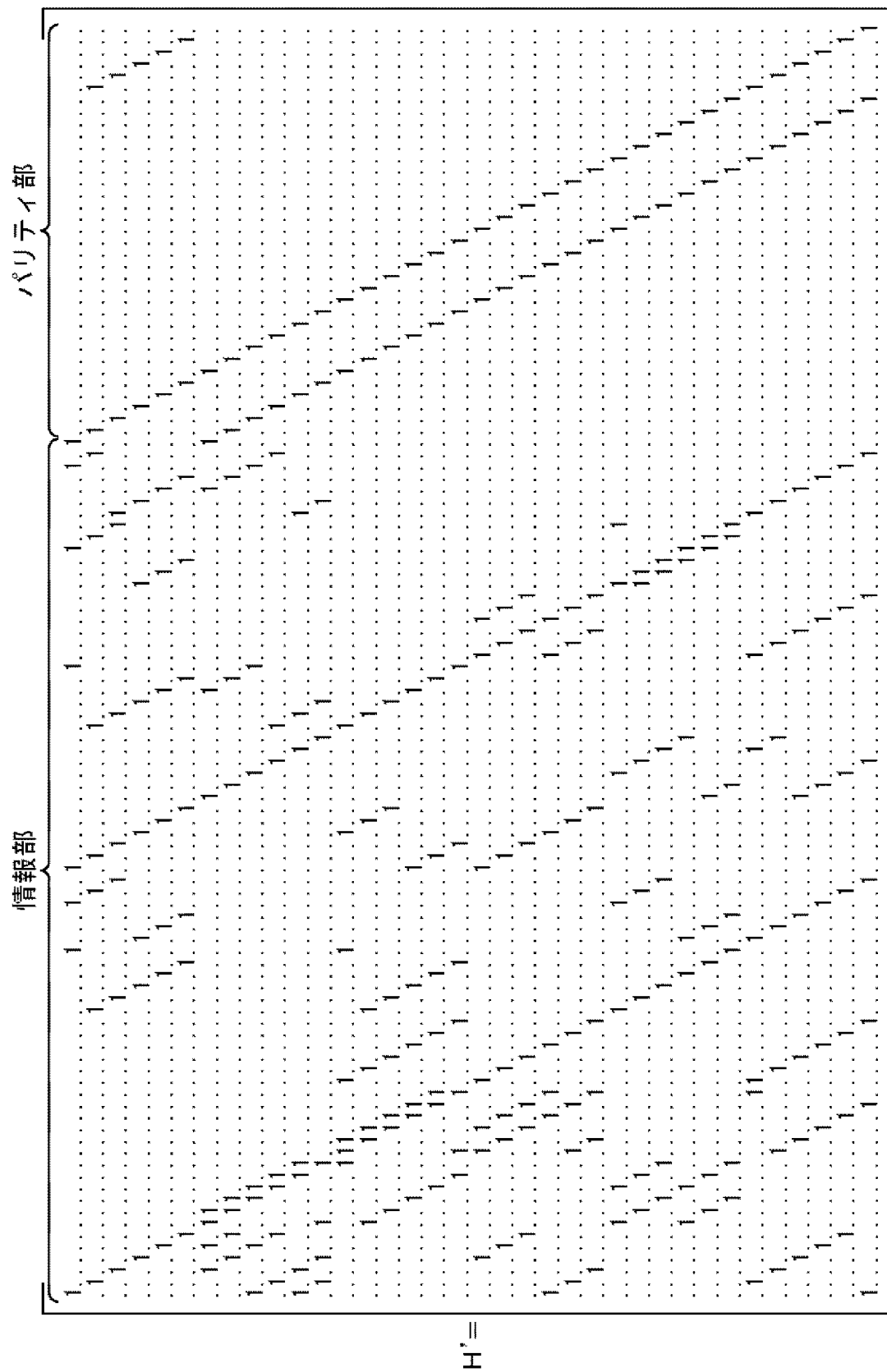
[図3]
FIG.3



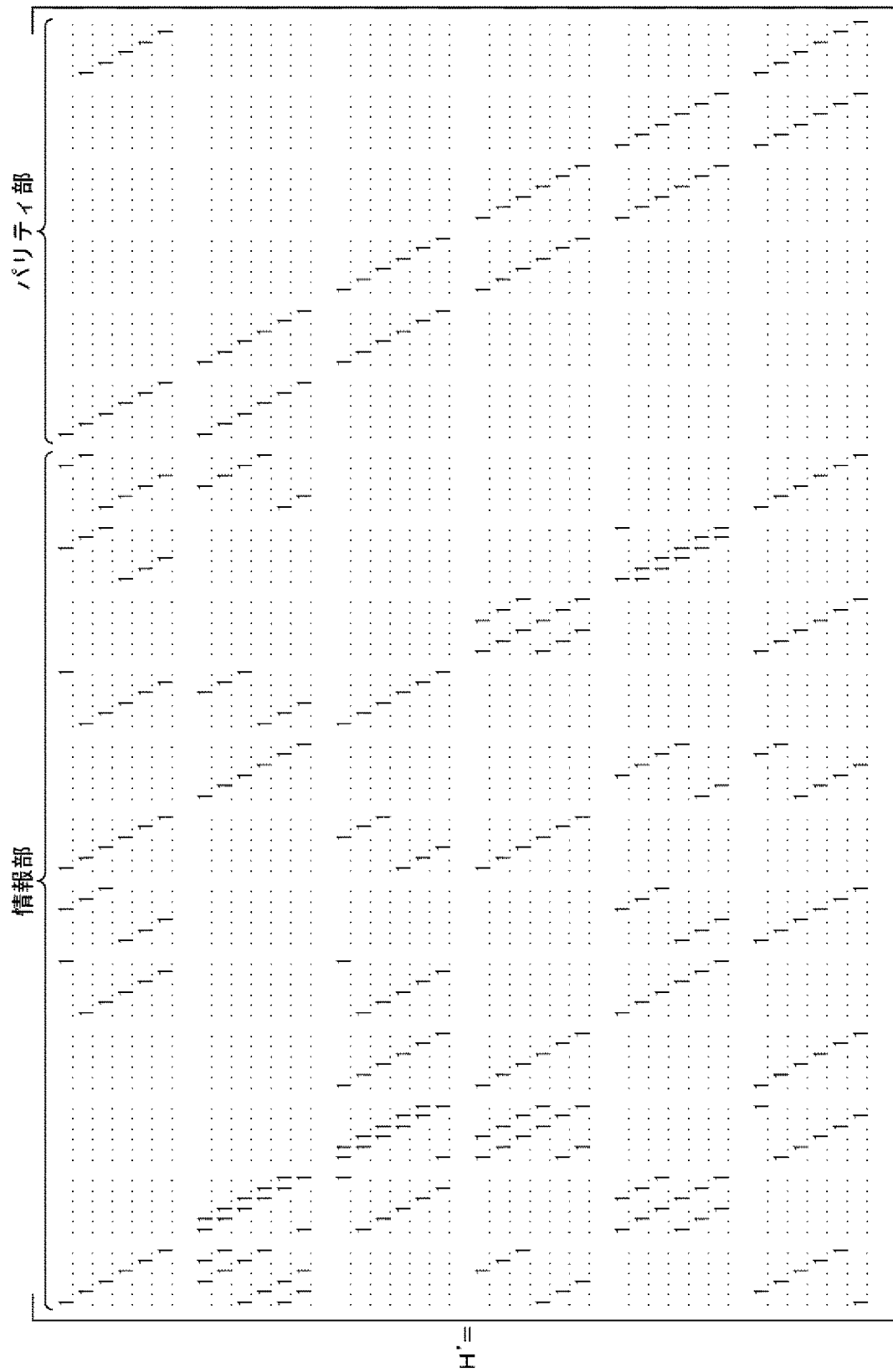
[図4]
FIG.4



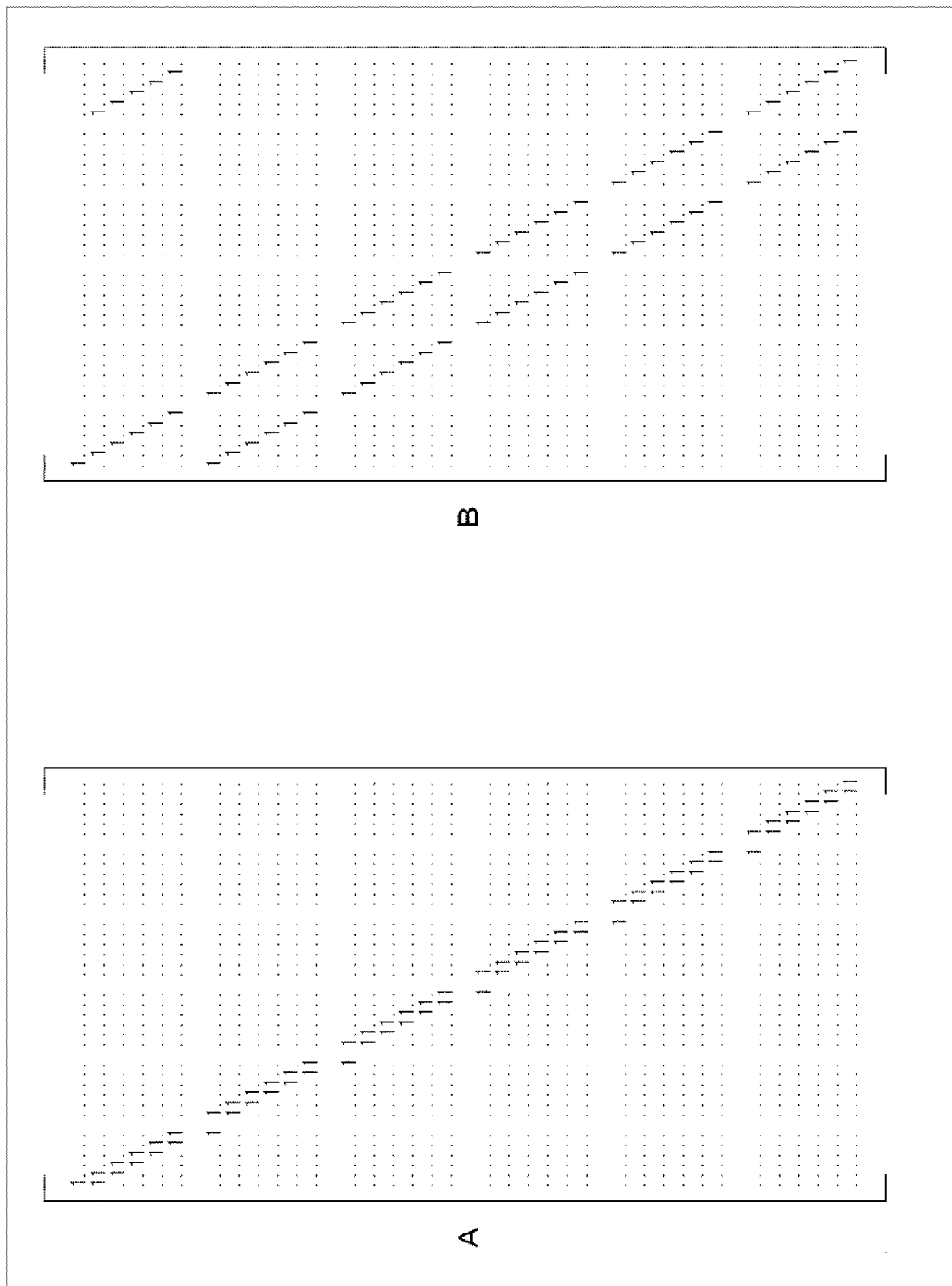
[図5]
FIG. 5



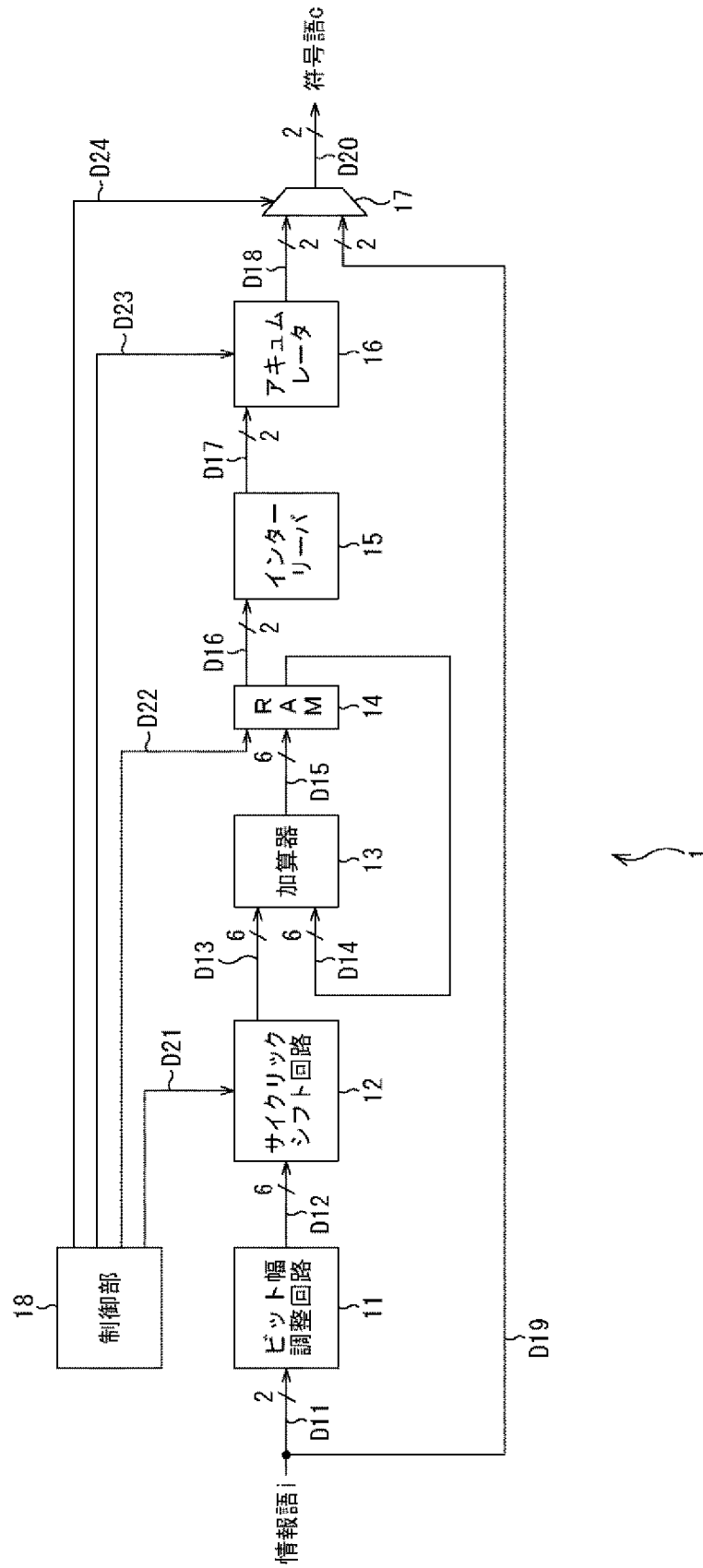
[図6]
FIG. 6



[図7]
FIG.7



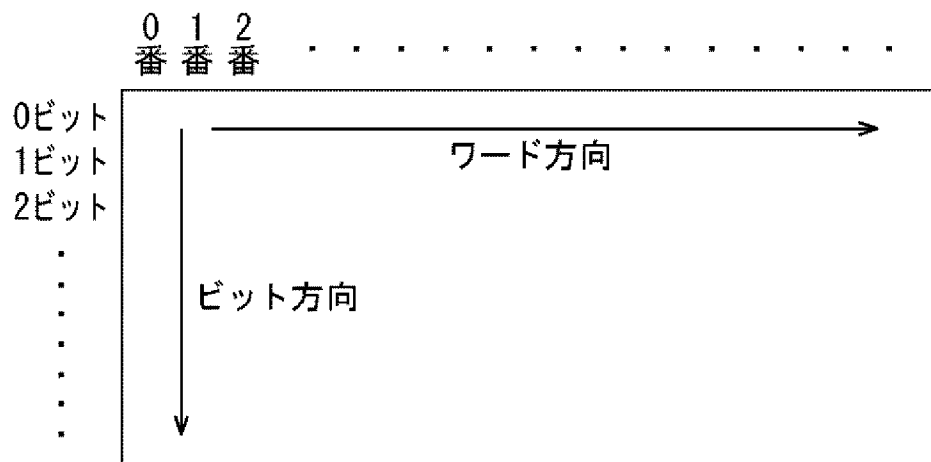
[図8]
FIG. 8

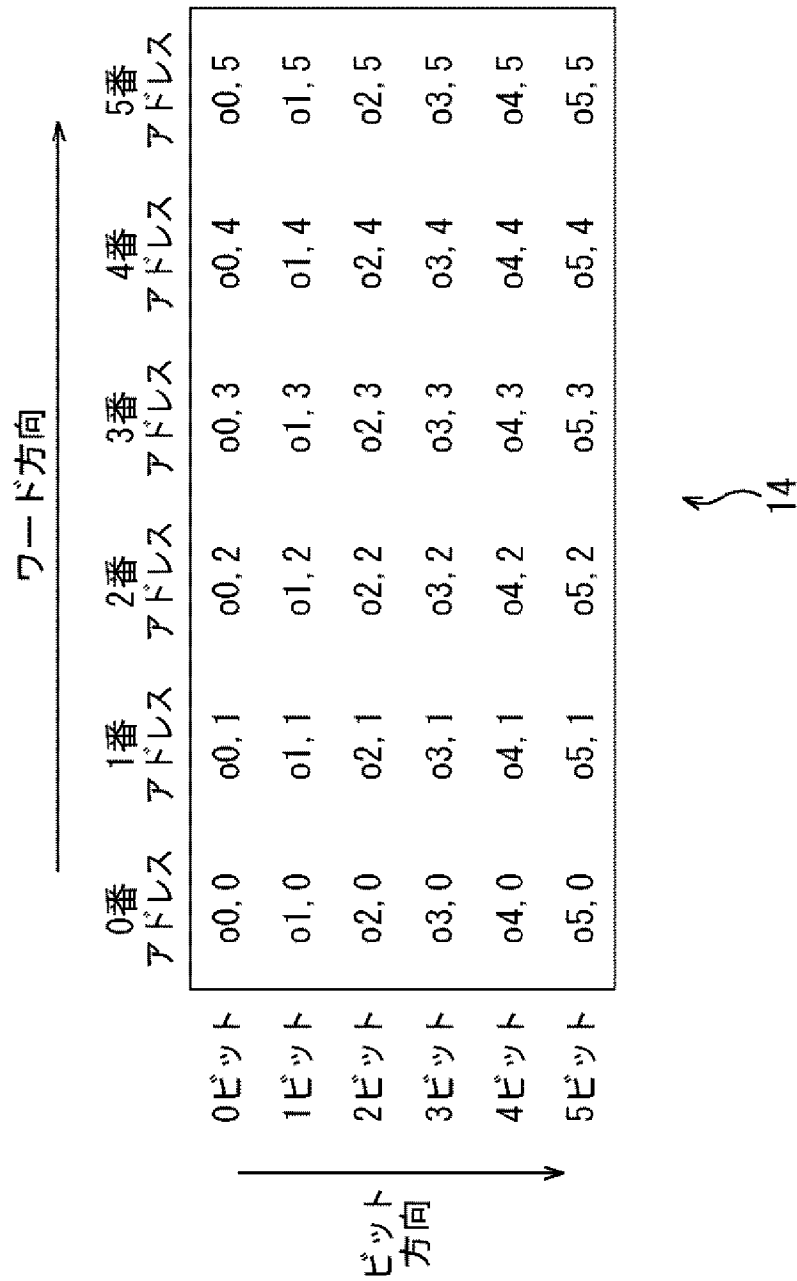


[図9]
FIG.9

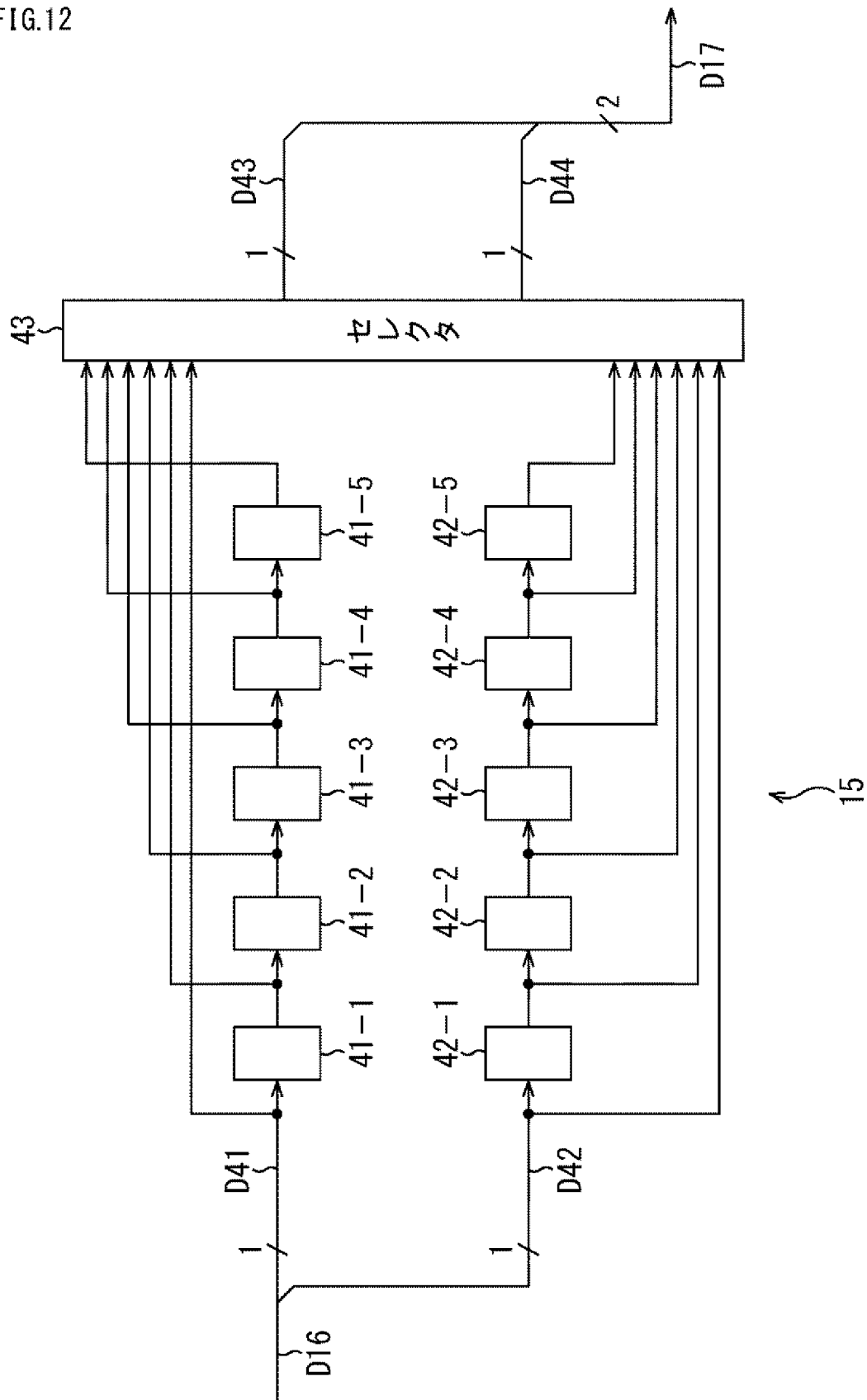
	0	1	2	3	4	5	6	7	8	9	10	11
0	0	—	—	—	1	3	0	—	1	—	3	2
1	2, 4	0, 5	—	—	—	—	—	0	3	—	—	4
2	—	1	0, 5	0	1	—	3	—	0	—	—	—
3	3	—	0, 4	0	—	—	0	—	—	0, 3	—	—
4	—	0, 3	—	—	0	3	—	4	—	—	0, 1	—
5	5	—	1	0	—	0	—	2	—	0	—	0

[図10]
FIG.10

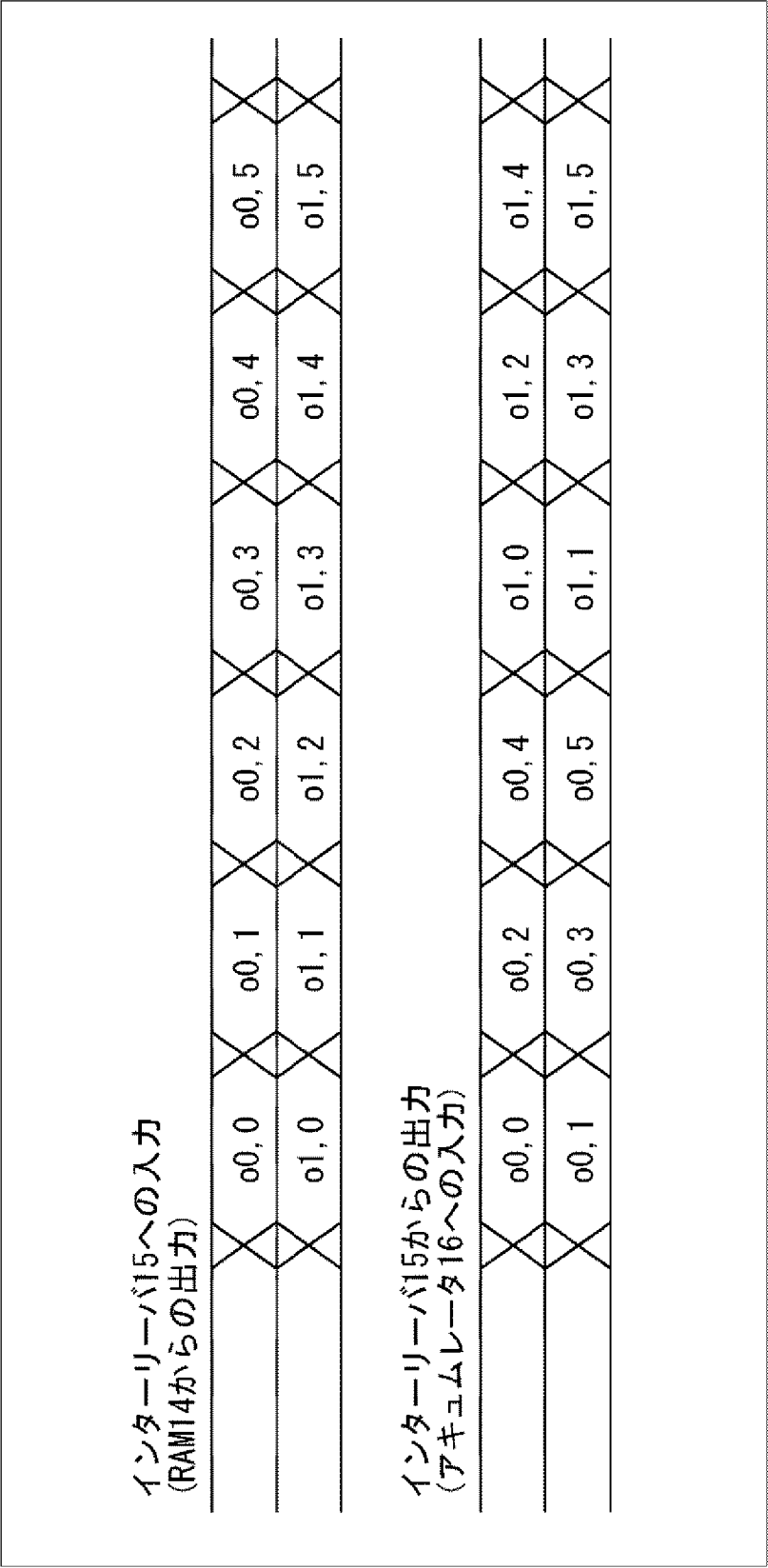


[図11]
FIG.11

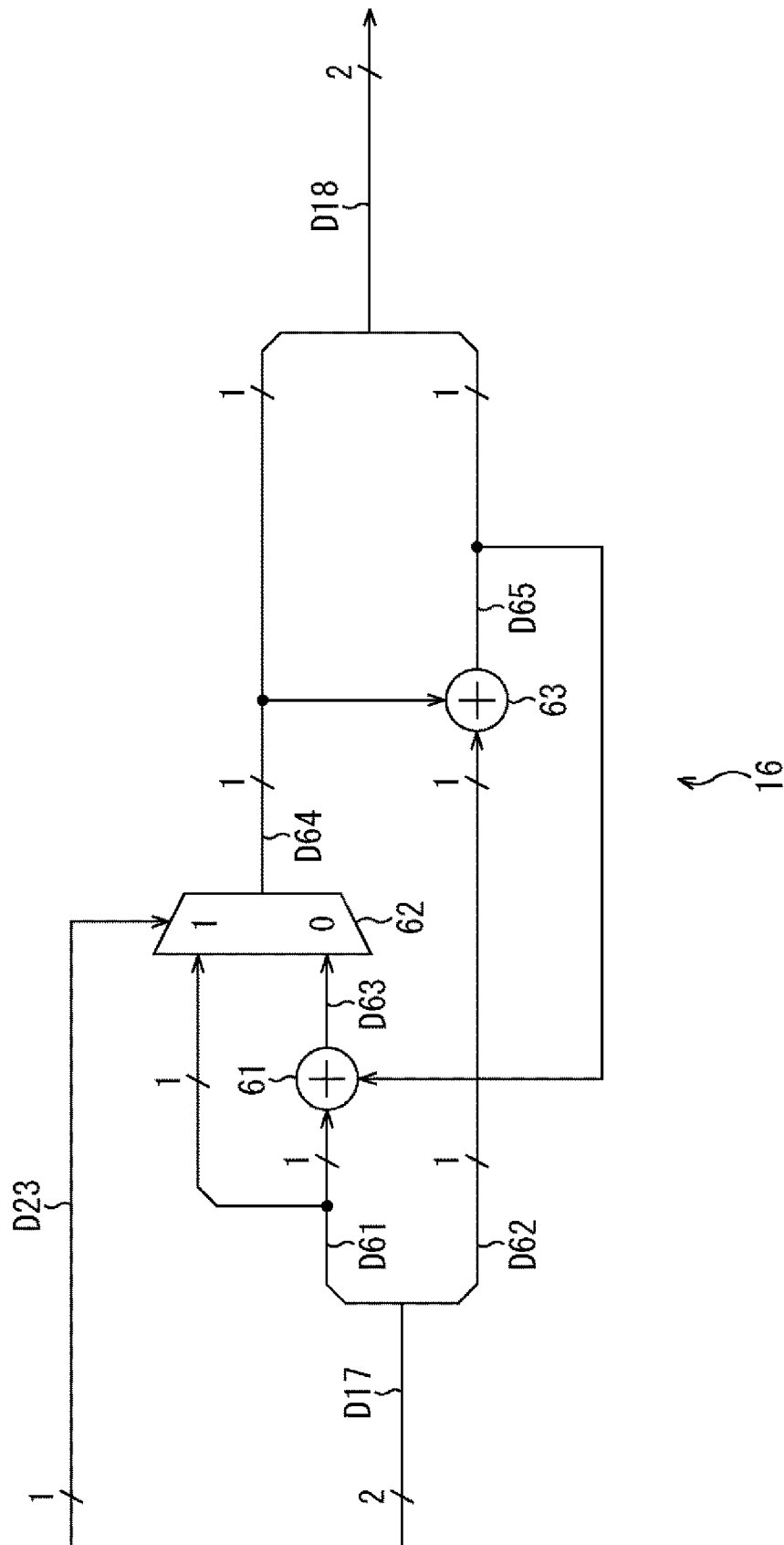
[図12]
FIG.12



[図13]
FIG.13



[図14]
FIG.14

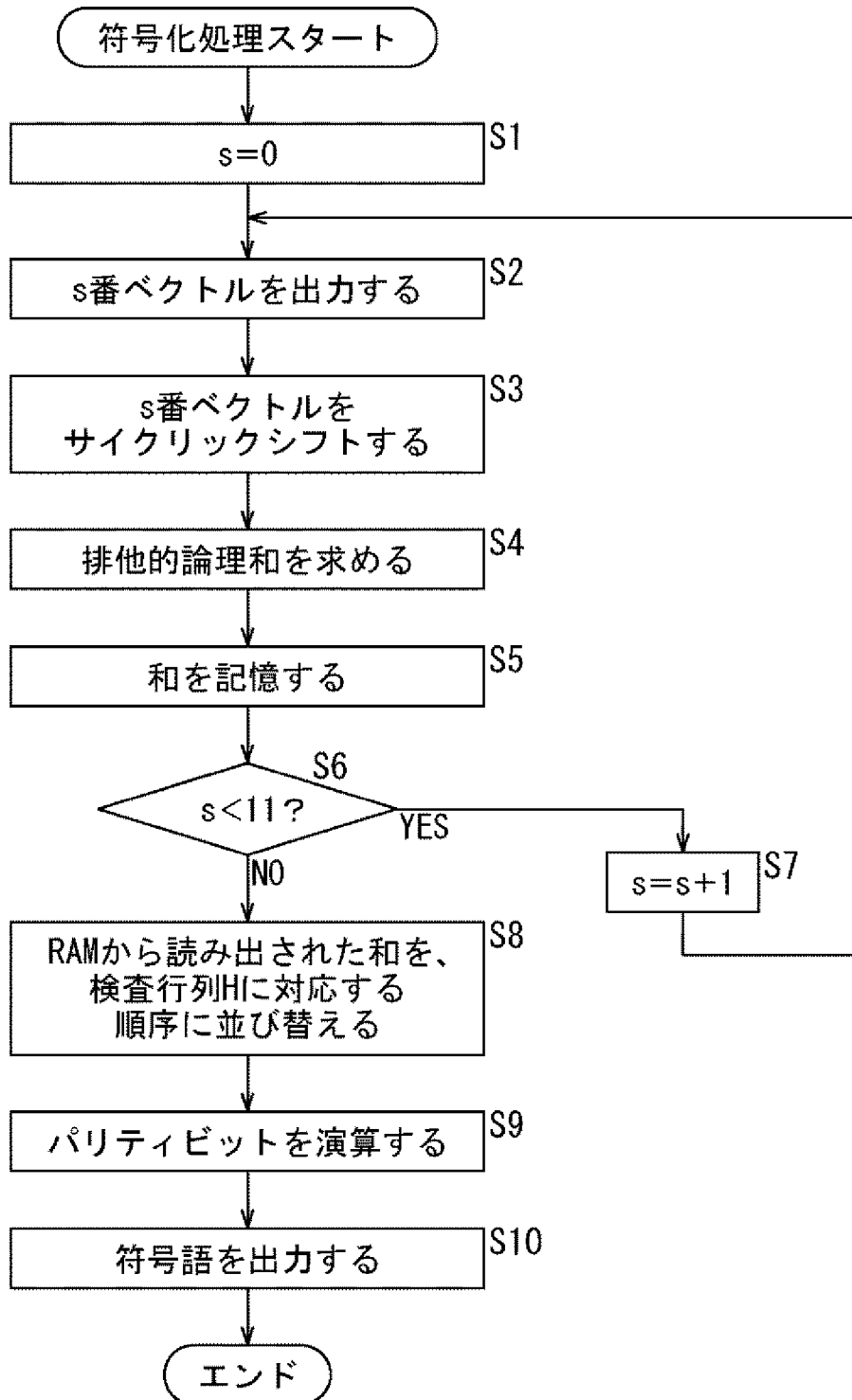


[図15]
FIG.15

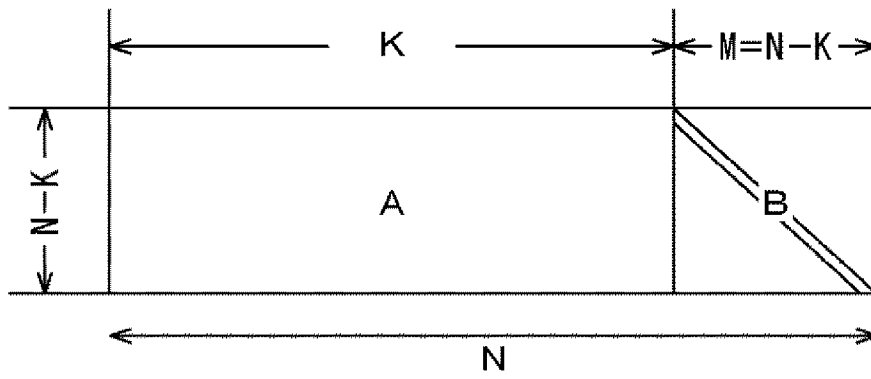
$$\begin{aligned}
o_{0,0} &= p_0 \cdot & o_{1,0} &= p_5 + p_6 \cdot \\
o_{0,1} &= p_0 + p_1 \cdot & o_{1,1} &= p_6 + p_7 \cdot \\
o_{0,2} &= p_1 + p_2 \cdot & o_{1,2} &= p_7 + p_8 \cdot \\
o_{0,3} &= p_2 + p_3 \cdot & o_{1,3} &= p_8 + p_9 \cdot \\
o_{0,4} &= p_3 + p_4 \cdot & o_{1,4} &= p_9 + p_{10} \cdot \\
o_{0,5} &= p_4 + p_5 \cdot & o_{1,5} &= p_{10} + p_{11} \cdot \\
\\
o_{2,0} &= p_{11} + p_{12} \cdot & o_{3,0} &= p_{17} + p_{18} \cdot \\
o_{2,1} &= p_{12} + p_{13} \cdot & o_{3,1} &= p_{18} + p_{19} \cdot \\
o_{2,2} &= p_{13} + p_{14} \cdot & o_{3,2} &= p_{19} + p_{20} \cdot \\
o_{2,3} &= p_{14} + p_{15} \cdot & o_{3,3} &= p_{20} + p_{21} \cdot \\
o_{2,4} &= p_{15} + p_{16} \cdot & o_{3,4} &= p_{21} + p_{22} \cdot \\
o_{2,5} &= p_{16} + p_{17} \cdot & o_{3,5} &= p_{22} + p_{23} \cdot \\
\\
o_{4,0} &= p_{23} + p_{24} \cdot & o_{5,0} &= p_{28} + p_{30} \cdot \\
o_{4,1} &= p_{24} + p_{25} \cdot & o_{5,1} &= p_{30} + p_{31} \cdot \\
o_{4,2} &= p_{25} + p_{26} \cdot & o_{5,2} &= p_{31} + p_{32} \cdot \\
o_{4,3} &= p_{26} + p_{27} \cdot & o_{5,3} &= p_{32} + p_{33} \cdot \\
o_{4,4} &= p_{27} + p_{28} \cdot & o_{5,4} &= p_{33} + p_{34} \cdot \\
o_{4,5} &= p_{28} + p_{29} \cdot & o_{5,5} &= p_{34} + p_{35} \cdot
\end{aligned}$$

[illegible]

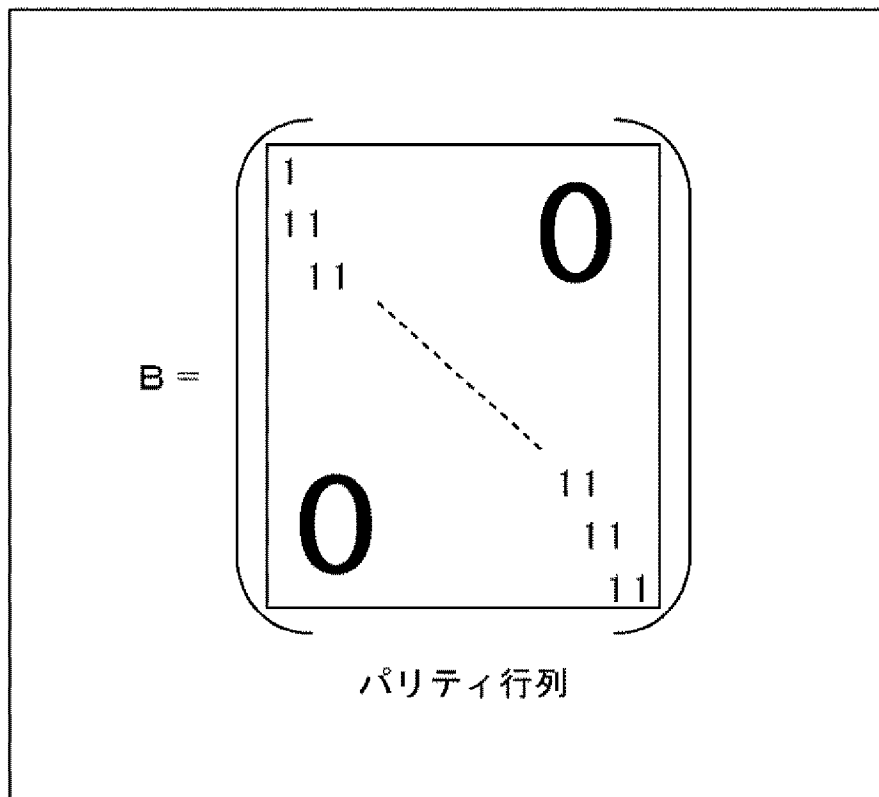
[図17]
FIG.17



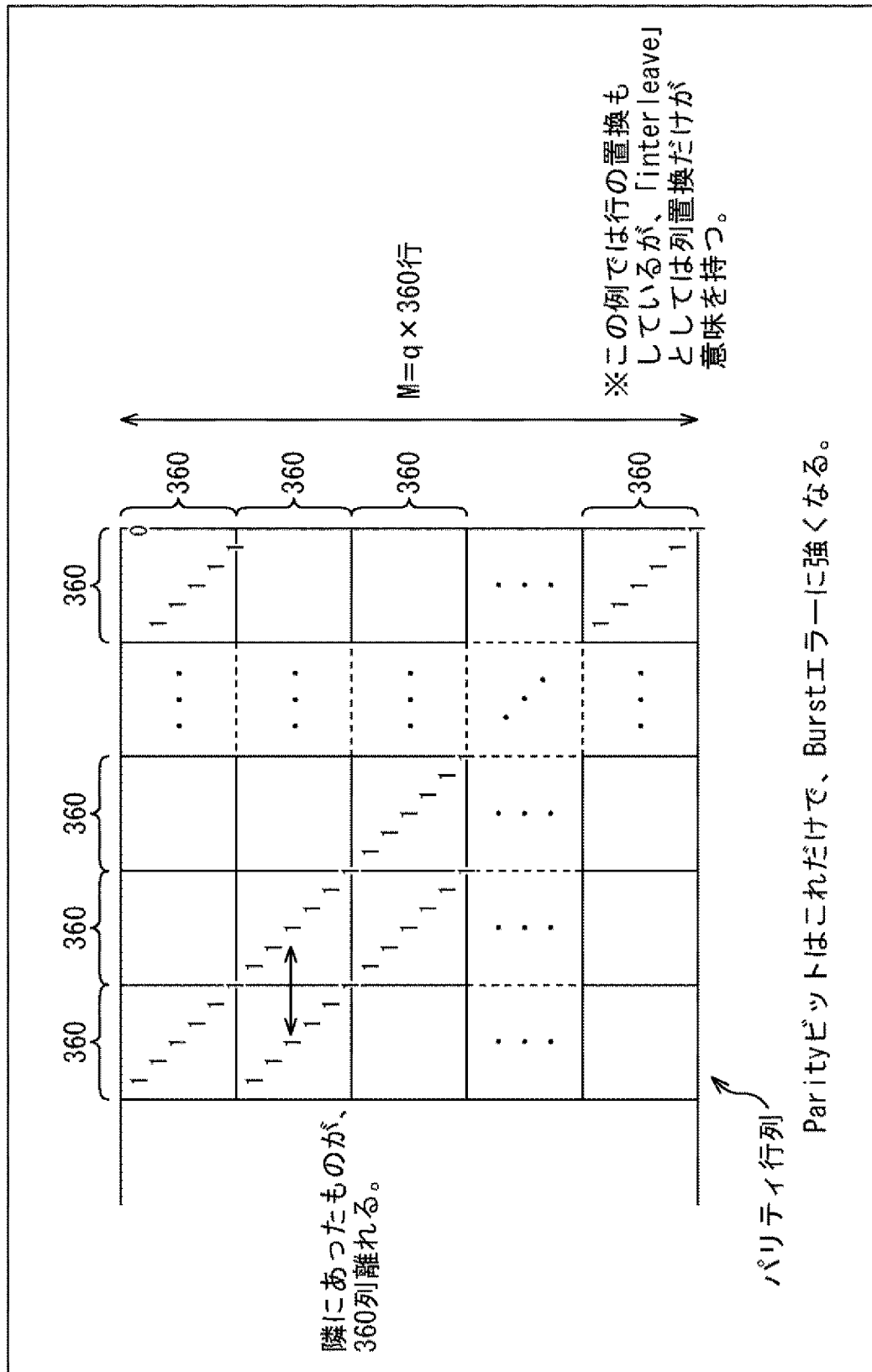
[図18]
FIG.18



[図19]
FIG.19

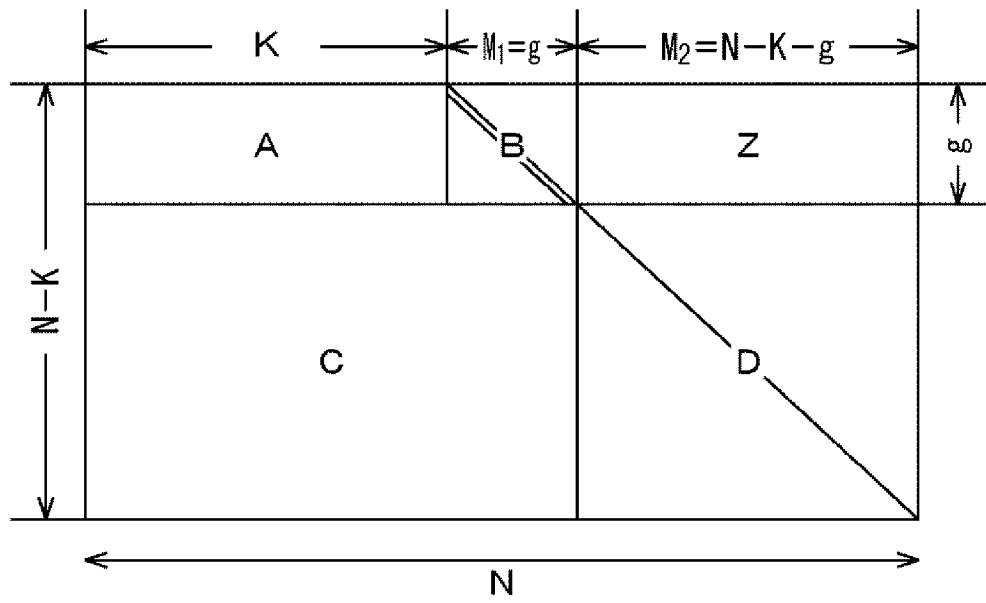


[図20]
FIG.20

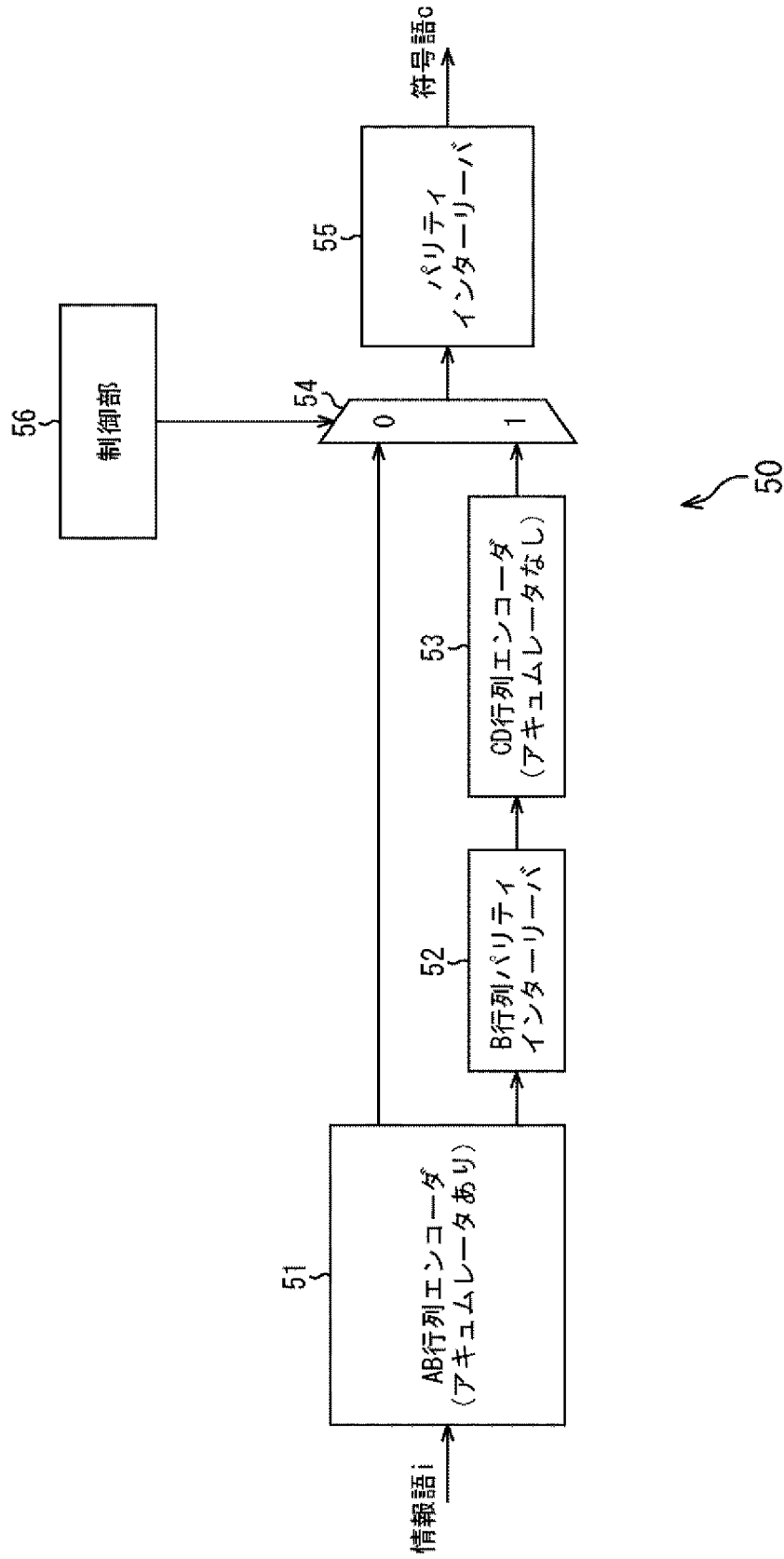


[図21]

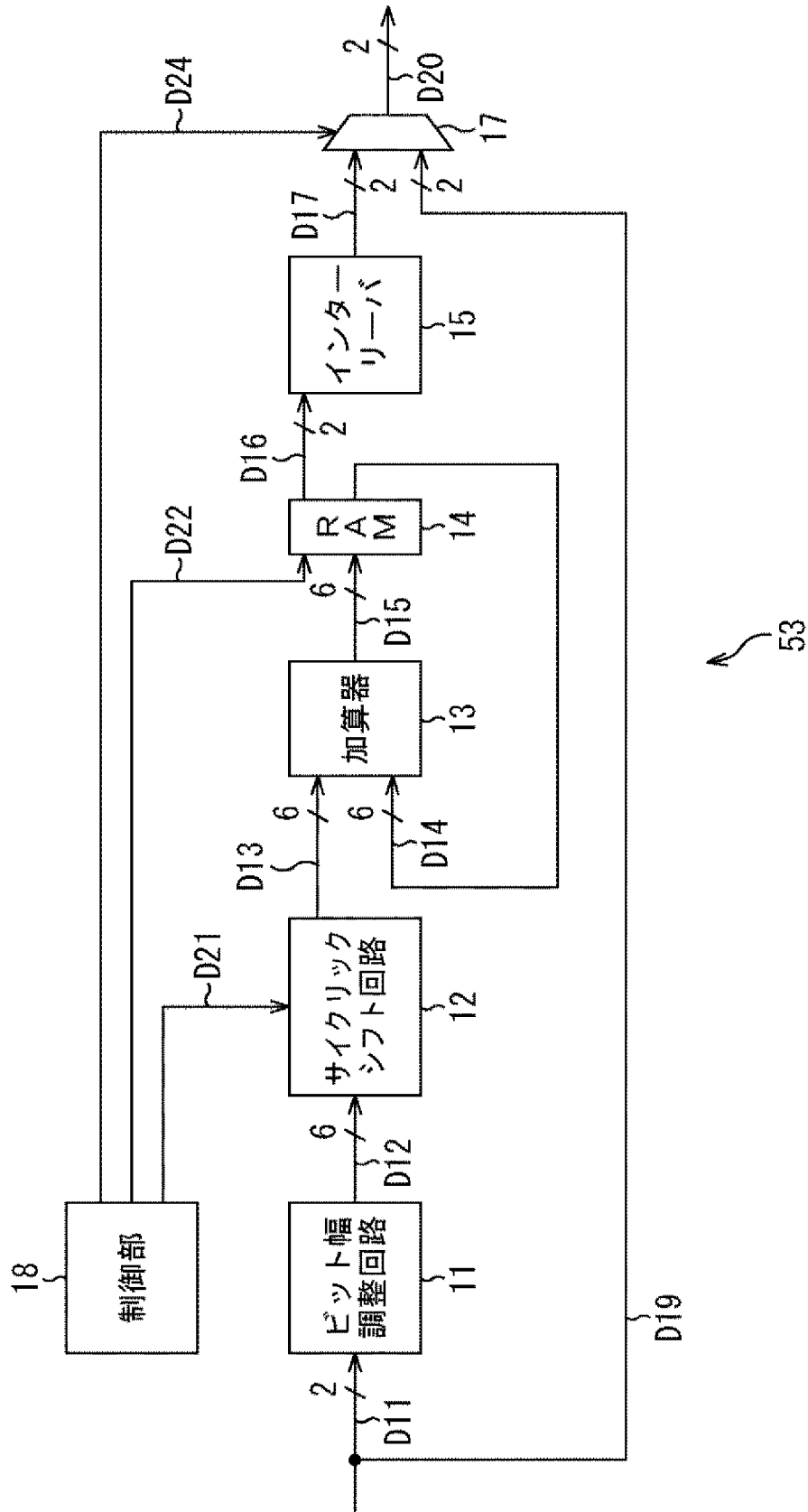
FIG.21



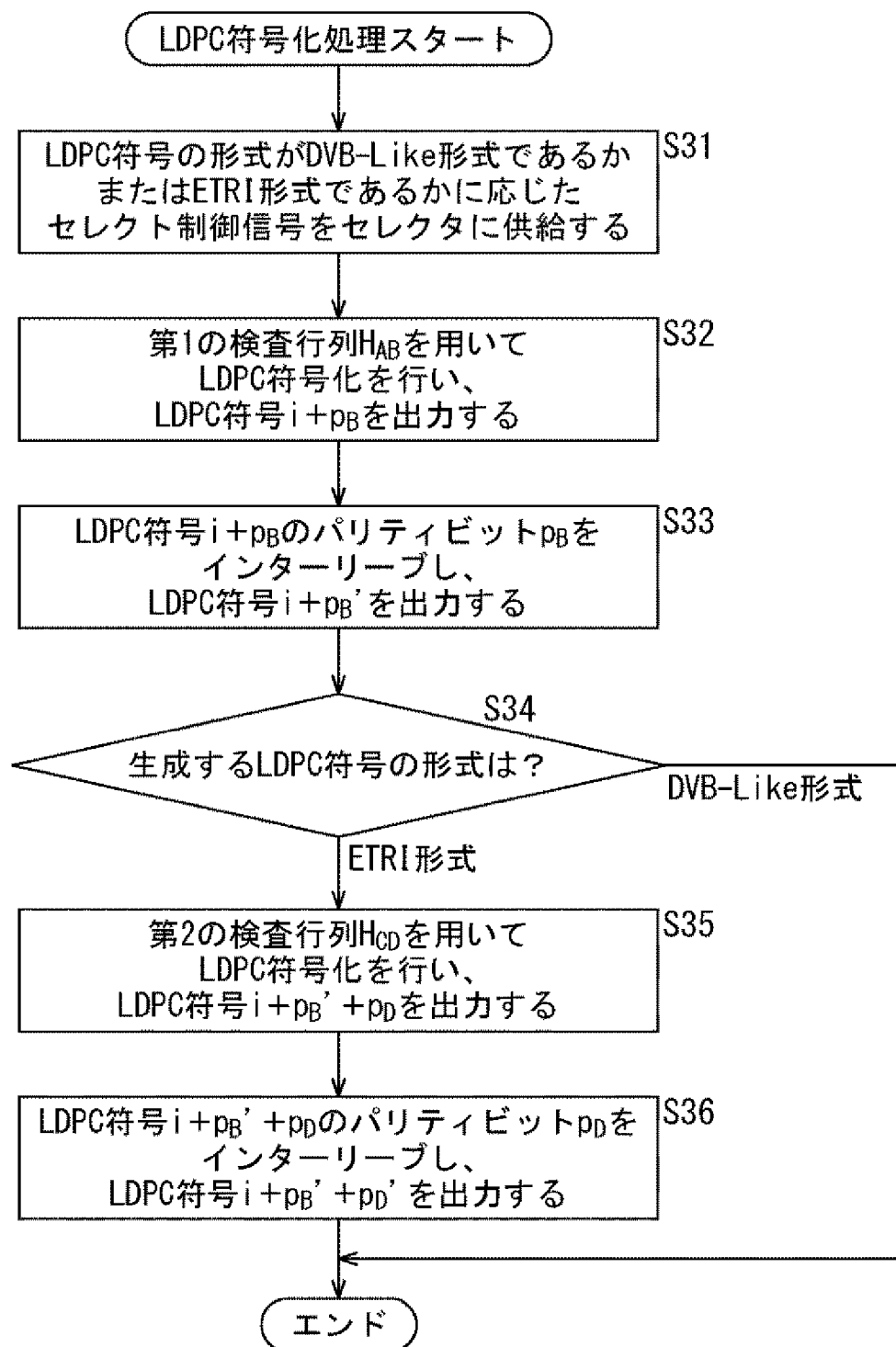
[図22]
FIG. 22



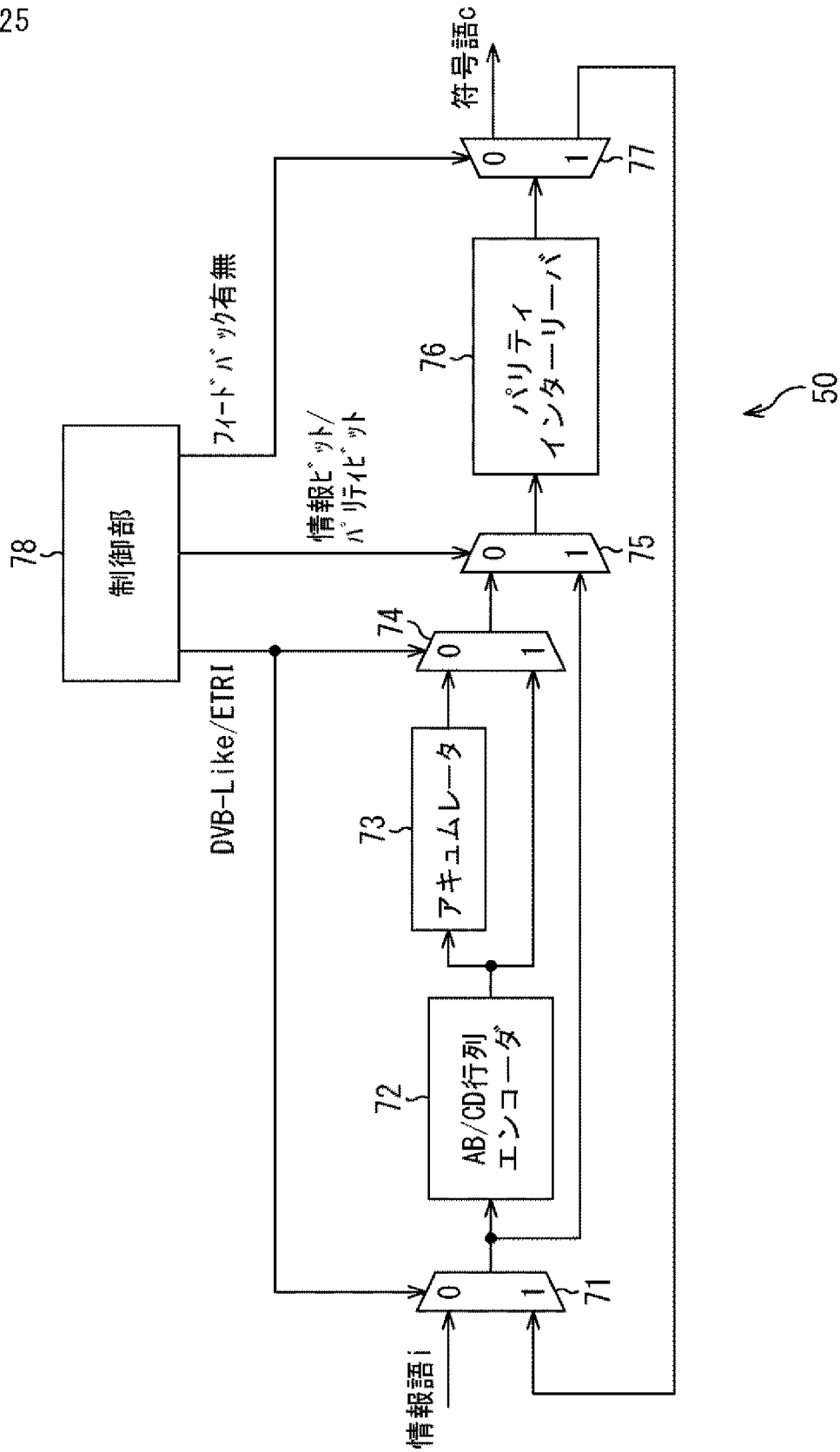
[図23]
FIG. 23



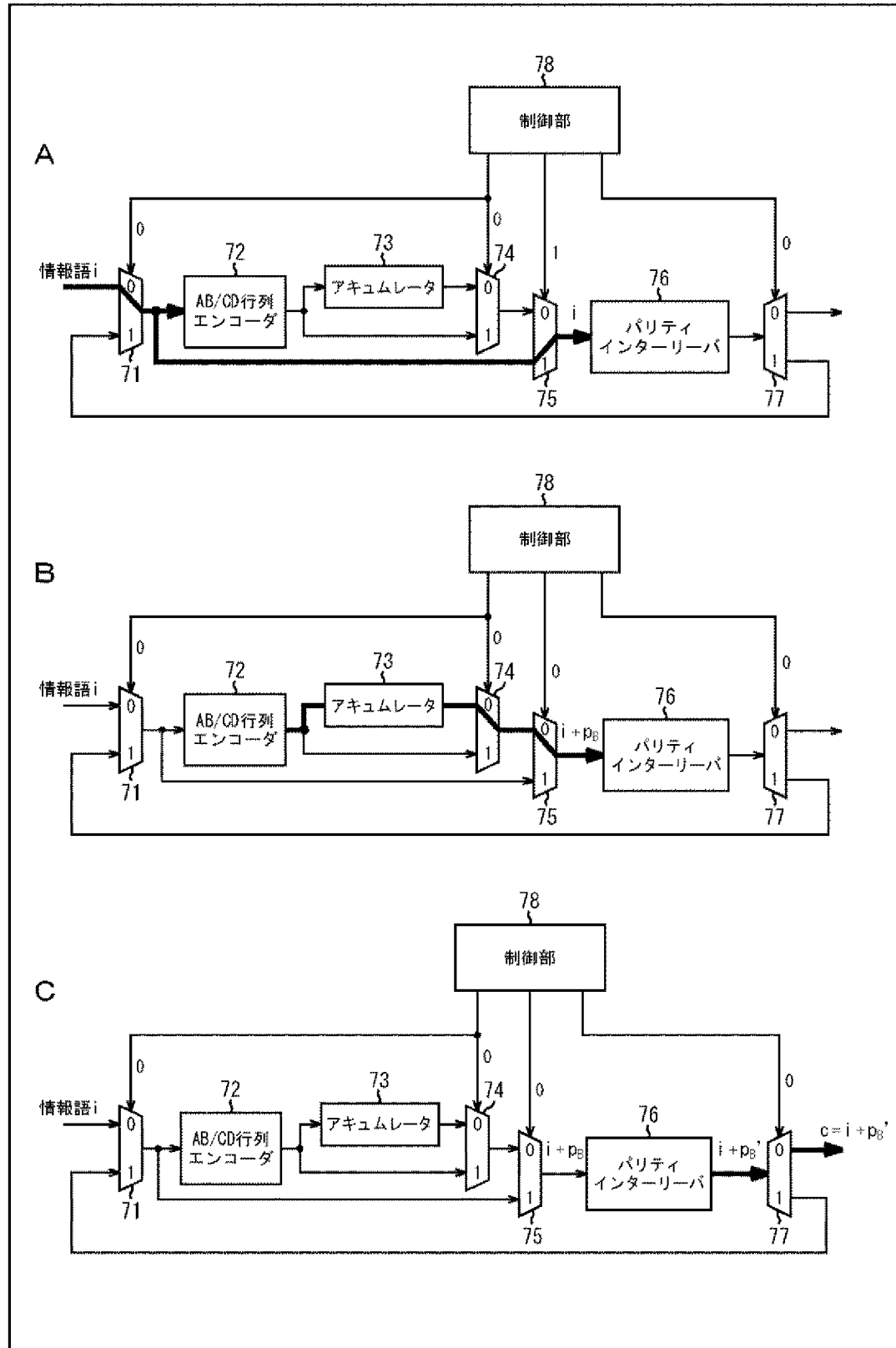
[図24]
FIG. 24



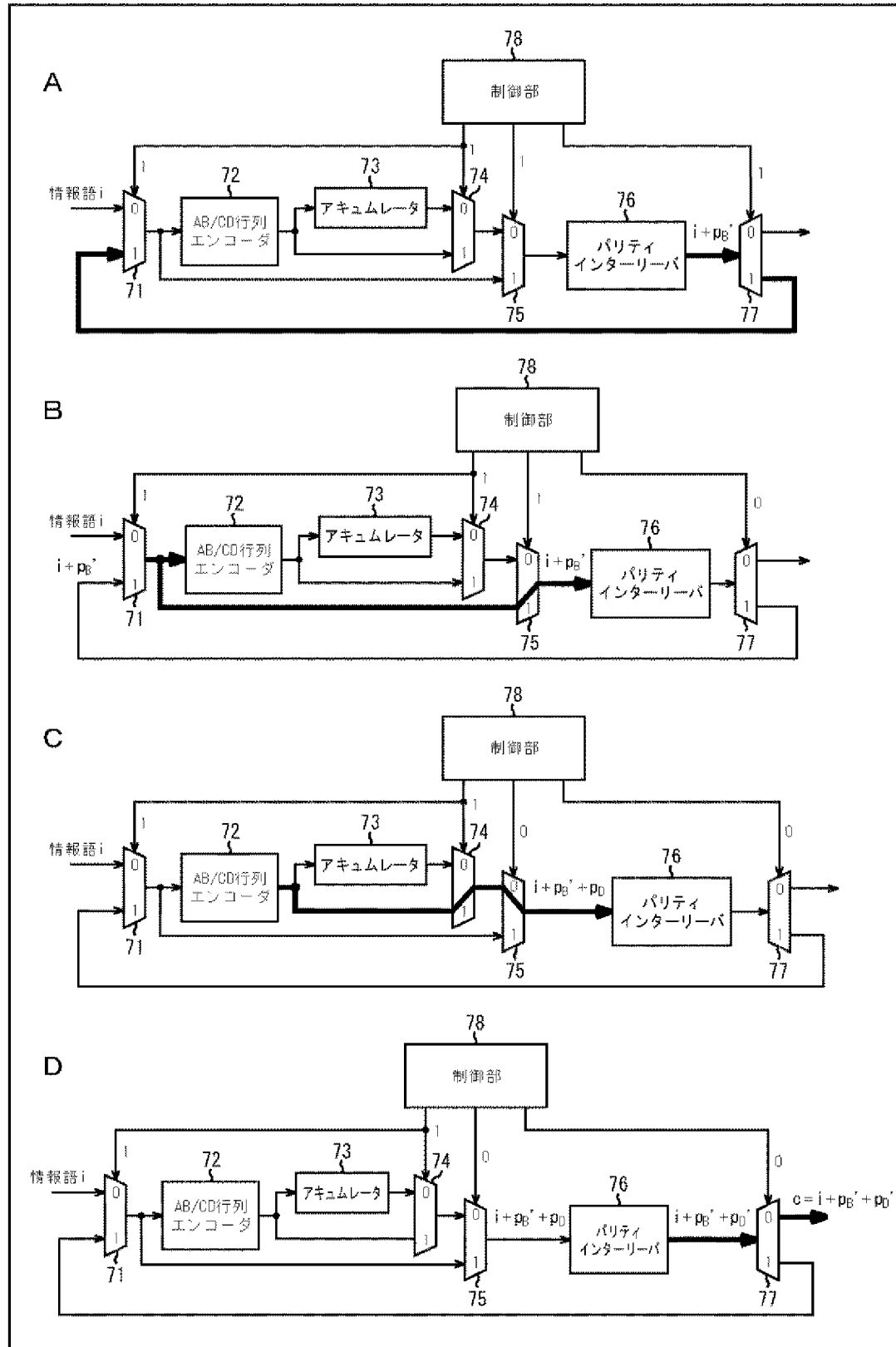
[図25]
FIG. 25



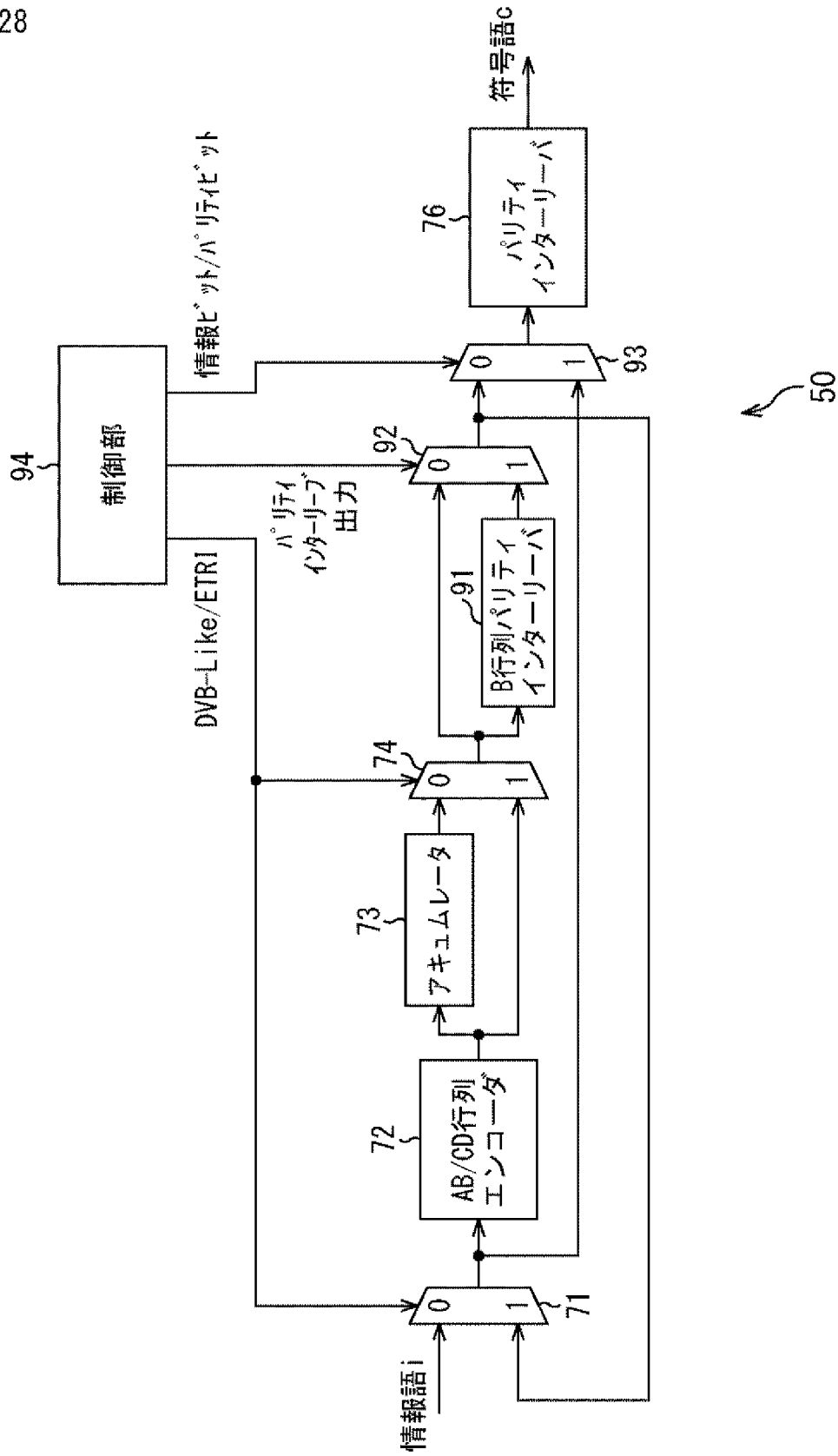
[図26]
FIG. 26



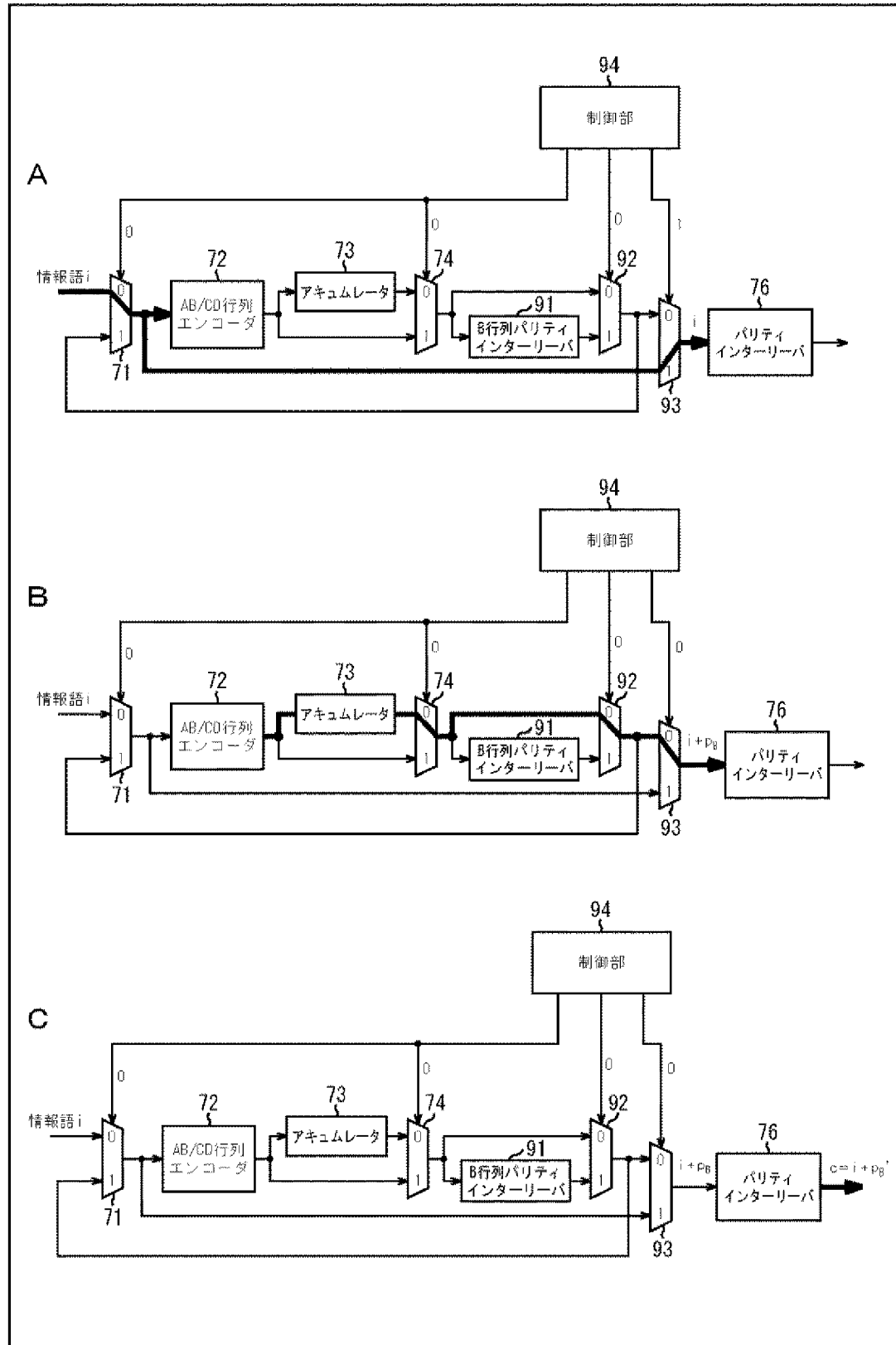
[図27]
FIG. 27



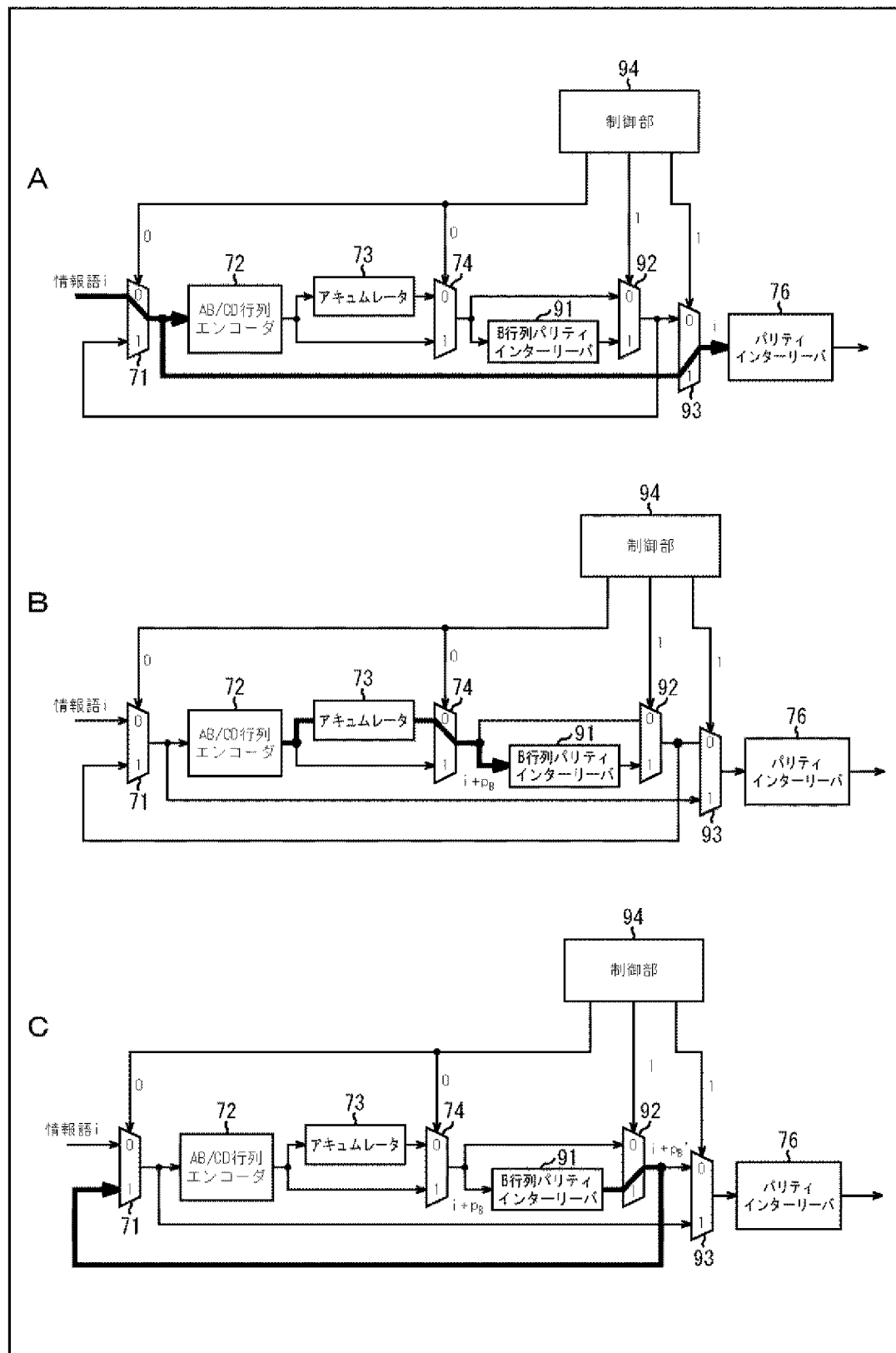
[図28]
FIG. 28



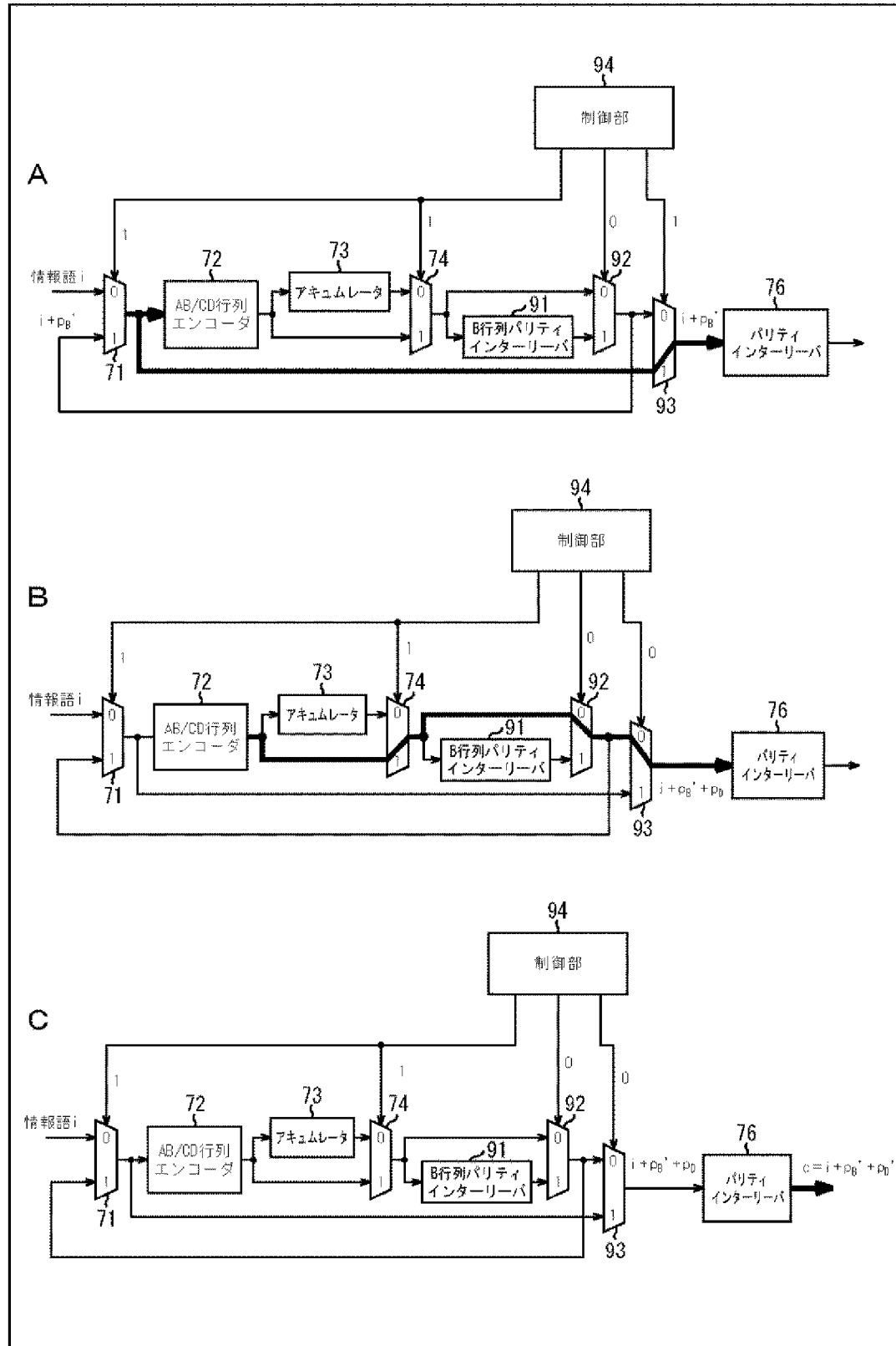
[図29]
FIG. 29



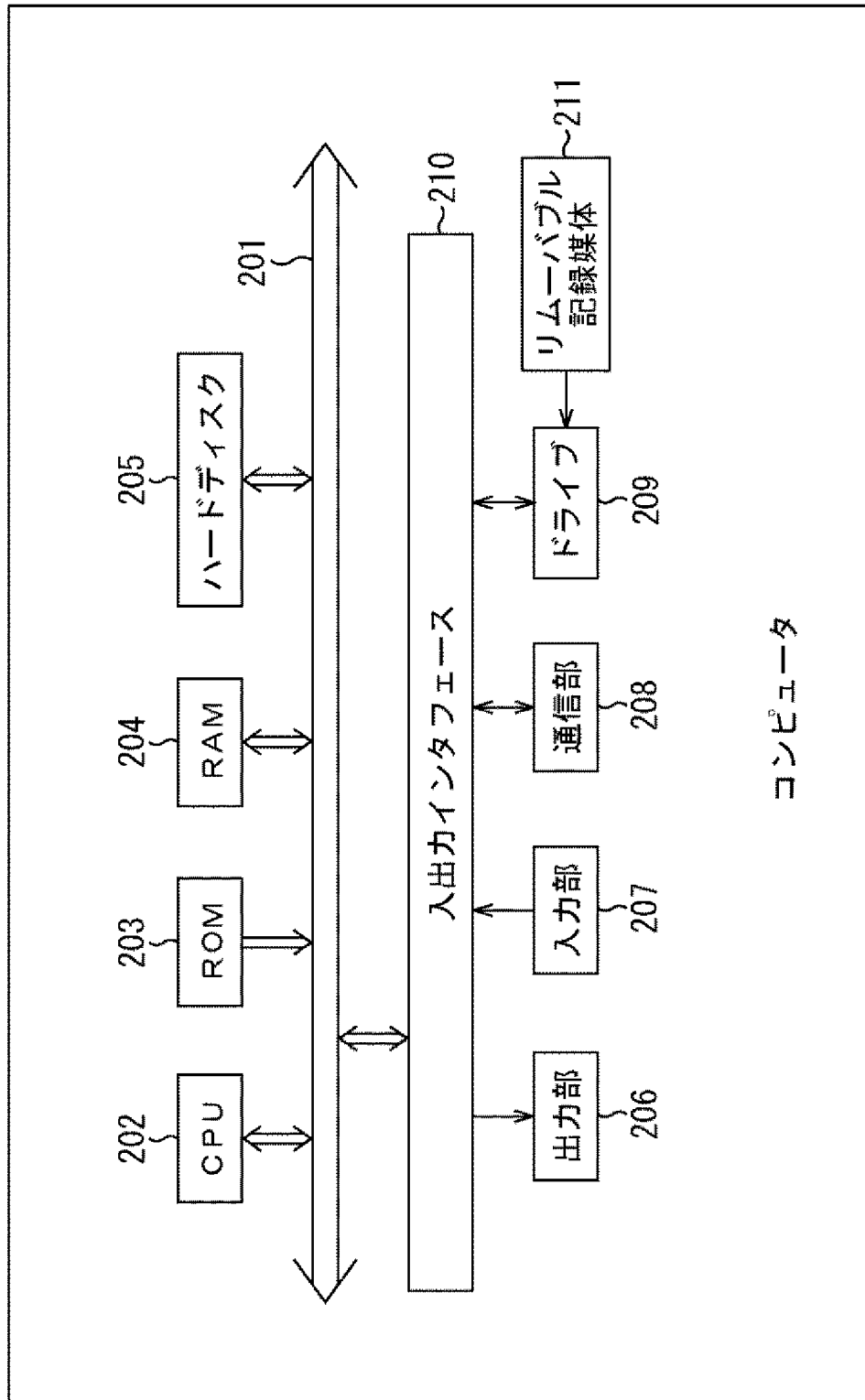
[図30]
FIG.30



[図31]
FIG.31



[図32]
FIG.32



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/063619

A. CLASSIFICATION OF SUBJECT MATTER

H03M13/19(2006.01) i, H03M13/27(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03M13/19, H03M13/27

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

IEEE Xplore, CiNii

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2006/115166 A1 (Sony Corp.), 02 November 2006 (02.11.2006), abstract; fig. 7 to 8; claims 1 to 11 & JP 2006-304132 A & US 2009/0217122 A1 abstract; fig. 7 to 8; claims 1 to 11 & EP 1876717 A1 & CN 101164241 A & KR 10-2008-0005511 A	1-8
A	JP 2013-126028 A (Toshiba Corp.), 24 June 2013 (24.06.2013), abstract; claims 1 to 6; fig. 1 to 4, 6 to 8 & US 2013/0151921 A1 abstract; claims 1 to 6; fig. 1 to 4, 6 to 8	1-8

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
14 June 2016 (14.06.16)

Date of mailing of the international search report
21 June 2016 (21.06.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/063619

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2008/026740 A1 (Matsushita Electric Industrial Co., Ltd.), 06 March 2008 (06.03.2008), abstract; fig. 1 to 5; claims 1 to 11 & JP 2008-86008 A & US 2010/0180176 A1 abstract; fig. 1 to 5; claims 1 to 11 & CN 101490964 A	1-8
P,A	Kyung-Joong Kim et al., Low-Density Parity- Check Codes for ATSC 3.0, IEEE Transactions on Broadcasting, 2016.03, Vol.62, No.1, pp.189-196	1-8

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H03M13/19(2006.01)i, H03M13/27(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H03M13/19, H03M13/27

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

IEEE Xplore, CiNii

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2006/115166 A1（ソニー株式会社）2006.11.02, 要約, 第7-8図, 請求項1-11 & JP 2006-304132 A & US 2009/0217122 A1, Abstract, Figures 7-8, Claims 1-11 & EP 1876717 A1 & CN 101164241 A & KR 10-2008-0005511 A	1-8
A	JP 2013-126028 A（株式会社東芝）2013.06.24, 要約, 請求項1-6, 第1-4, 6-8図 & US 2013/0151921 A1, Abstract, Claims 1-6, Figures 1-4, 6-8	1-8

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

14.06.2016

国際調査報告の発送日

21.06.2016

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

岡 裕之

5 K

3 2 5 1

電話番号 03-3581-1101 内線 3556

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2008/026740 A1 (松下電器産業株式会社) 2008.03.06, 要約, 第 1 - 5 図, 請求項 1 - 1 1 & JP 2008-86008 A & US 2010/0180176 A1, Abstract, Figures 1-5, Claims 1-11 & CN 101490964 A	1-8
P, A	Kyung-Joong Kim et al., Low-Density Parity-Check Codes for ATSC 3.0, IEEE Transactions on Broadcasting, 2016.03, Vol.62, No.1, pp. 189-196	1-8