

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 29/788

H01L 27/115 H01L 27/10

H01L 21/336



[12] 发明专利申请公开说明书

[21] 申请号 02155823. X

[43] 公开日 2003 年 6 月 18 日

[11] 公开号 CN 1424771A

[22] 申请日 2002. 11. 1 [21] 申请号 02155823. X

[30] 优先权

[32] 2001. 11. 1 [33] JP [31] 336822/2001

[32] 2002. 10. 18 [33] JP [31] 303845/2002

[71] 申请人 伊诺太科株式会社

地址 日本横滨市

[72] 发明人 山井田高

[74] 专利代理机构 中国专利代理(香港)有限公司

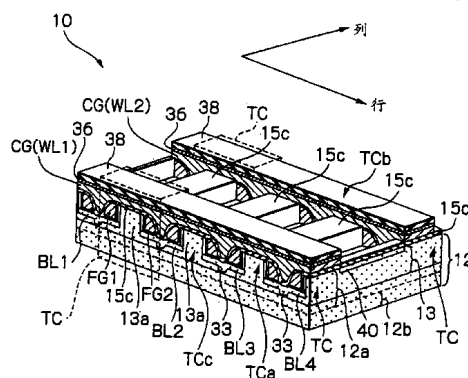
代理人 黄力行

权利要求书 7 页 说明书 21 页 附图 31 页

[54] 发明名称 具有存储多个字节的存储单元的半导体存储器及其制造方法

[57] 摘要

多位单元晶体管包括 P 型硅衬底、栅绝缘层、一对 N 型源/漏区、一对隧道绝缘层和一对浮栅。硅衬底形成有凸台，而每个浮栅位于凸台的相对侧壁之一上。每个内多晶绝缘层形成在浮栅之一上。控制栅极通过栅绝缘层面对凸台的顶部。N 型区形成在凸台的每一侧面并接触相邻的源/漏区。单元晶体管降低了所需的写入电压，增大了电流窗口并提高了到达内带隧道的阻抗。



ISSN 1008-4274

1. 一种晶体管，包括：
形成有凸台的一种导电类型的半导体衬底，该凸台具有彼此面对的一对侧
5 壁；
在凸台的顶部上形成的第一绝缘层；
在凸台的两个侧面处的所说半导体衬底的表面上形成的一对源/漏区；
第二绝缘层，每个覆盖一对侧壁之一和邻接侧壁的所说源/漏区之一；
在凸台的一对侧壁上分别形成的一对浮栅，通过各自的第二绝缘层分别面
10 对侧壁和所说源/漏区；
第三绝缘层，每个形成在所说浮栅之一上；以及
控制栅极，通过所说第三绝缘层面对所说一对浮栅并通过所说第一绝缘层
面对凸台的顶部；
形成的具有底部的凸台以至实质上直线连接所说源/漏区，底部的杂质的一
15 种导电类型的浓度比凸台保留部分更高。
2. 根据权利要求1的晶体管，其中所说控制栅极包括通过所说第三绝缘
层面对所说浮栅的第一控制栅极部分和通过所说第一绝缘层面对凸台的顶部的
第二控制栅极部分，所说第一和第二控制栅极相互电连接地形成。
3. 根据权利要求1的晶体管，其中所说控制栅极包括通过所说第三绝缘
20 层面对所说浮栅的第一控制栅极部分和通过所说第一绝缘层面对凸台的顶部的
第二控制栅极部分，所说第一和第二控制栅极彼此电气独立地形成。
4. 根据权利要求1的晶体管，其中每个所说浮栅在凸台的顶部之上部分
突出。
5. 根据权利要求1的晶体管，其中每个所说浮栅不覆盖凸台的顶部。
25 6. 一种晶体管，包括：
形成有凸台的一种导电类型的半导体衬底，该凸台具有相互面对的一对侧
壁；
在凸台的顶部形成的第一绝缘层；
在凸台的两侧处的所说半导体衬底的表面上形成的一对源/漏区；
30 第二绝缘层，每个覆盖一对侧壁之一和邻接侧壁的所说源/漏区之一；

分别在凸台的一对侧壁上形成、通过各自的第二绝缘层分别面对侧壁和所说源/漏区的一对浮栅；

第三绝缘层，每个形成在所说浮栅之一上；

5 控制栅极，通过第三绝缘层面对所说一对浮栅并通过所说第一绝缘层面对凸台的顶部；以及

在凸台的侧壁上形成并接触所说源/漏区的相反的导电类型区。

7. 根据权利要求6的晶体管，其中所说控制栅极包括第一控制栅极部分和第二控制栅极部分，该第一控制栅极部分通过所说第三绝缘层面对所说浮栅，该第二控制栅极部分通过所说第一绝缘层面对凸台的顶部，所说第一和第二控制栅极相互电连接地形成。

8. 根据权利要求6的晶体管，其中所说控制栅极包括第一控制栅极部分和第二控制栅极部分，该第一控制栅极部分通过所说第三绝缘层面对所说浮栅，该第二控制栅极部分通过所说第一绝缘层面对凸台的顶部，形成所说第一和第二控制栅极以至彼此独立地被电控制。

15 9. 根据权利要求6的晶体管，其中所说相反的导电类型区具有所说源/漏区的杂质浓度的1/100至1/10000的杂质浓度。

10. 根据权利要求6的晶体管，其中每个所说浮栅在凸台的顶部之上部分突出。

11. 根据权利要求6的晶体管，其中每个所说浮栅不覆盖凸台的顶部。

20 12. 一种晶体管，包括：

形成有凸台的一种导电类型的半导体衬底，该凸台具有相互面对的一对侧壁；

在凸台的顶部上形成的第一绝缘层；

在凸台的两侧处的所说半导体衬底的表面上形成的一对源/漏区；

25 第二绝缘层，每个覆盖一对侧壁之一和邻接侧壁的所说源/漏区之一；

分别在凸台的一对侧壁上形成、通过各自的第二绝缘层分别面对侧壁和所说源/漏区的一对浮栅；

第三绝缘层，每个形成在所说浮栅之一上；

30 控制栅极，通过第三绝缘层面对所说一对浮栅并通过所说第一绝缘层面对凸台的顶部；

所说控制栅极依靠凸台的顶部通过所说第一绝缘层形成第一电容，所说浮栅依靠所说源/漏区通过所说第二绝缘层形成第二电容，第一电容大于第二电容。

13. 根据权利要求 12 的晶体管，其中所说控制栅极包括第一控制栅极部分和第二控制栅极部分，该第一控制栅极部分通过所说第三绝缘层面对所说浮栅，该第二控制栅极部分通过所说第一绝缘层面对凸台的顶部，所说第一和第二控制栅极相互电连接地形成。

14. 根据权利要求 12 的晶体管，其中所说控制栅极包括第一控制栅极部分和第二控制栅极部分，该第一控制栅极部分通过所说第三绝缘层面对所说浮栅，该第二控制栅极部分通过所说第一绝缘层面对凸台的顶部，形成所说第一和第二控制栅极以至彼此独立地被电控制。

15. 根据权利要求 12 的晶体管，其中每个所说浮栅在凸台的顶部之上部分突出。

16. 根据权利要求 12 的晶体管，其中每个所说浮栅不覆盖凸台的顶部。

17. 一种晶体管，包括：

15 形成有凸台的一种导电类型的半导体衬底，该凸台具有相互面对的一对侧壁；

在凸台的顶部上形成的第一绝缘层；

在凸台的两侧处的所说半导体衬底的表面上形成的一对源/漏区；

第二绝缘层，每个覆盖一对侧壁之一和邻接侧壁的所说源/漏区之一；

20 分别在凸台的一对侧壁上形成、通过各自的第二绝缘层分别面对侧壁和所说源/漏区的一对浮栅；

第三绝缘层，每个形成在所说浮栅之一上；

控制栅极，通过第三绝缘层面对所说一对浮栅并通过所说第一绝缘层面对凸台的顶部；

25 所说浮栅与具有第一电容和第二电容的电容结合，依靠凸台的侧壁、顶部和所说源/漏区通过所说第二绝缘层建立第一电容，依靠所说控制栅极通过所说第三绝缘层建立第二电容，形成的第一电容较大。

18. 根据权利要求 17 的晶体管，其中所说控制栅极包括第一控制栅极部分和第二控制栅极部分，该第一控制栅极部分通过所说第三绝缘层面对所说浮栅，该第二控制栅极部分通过所说第一绝缘层面对凸台的顶部，所说第一和第

30

二控制栅极相互电连接地形成。

19. 根据权利要求 17 的晶体管，其中所说控制栅极包括第一控制栅极部分和第二控制栅极部分，该第一控制栅极部分通过所说第三绝缘层面对所说浮栅，该第二控制栅极部分通过所说第一绝缘层面对凸台的顶部，形成所说第一
5 和第二控制栅极以至彼此独立地被控制。

20. 根据权利要求 17 的晶体管，其中每个所说浮栅在凸台的顶部之上部分突出。

21. 根据权利要求 17 的晶体管，其中每个所说浮栅不覆盖凸台的顶部。

22. 一种半导体存储器，包括排列在行的方向和列的方向上的多个单元
10 晶体管，所说多个单元晶体管每个包括：

形成有凸台的一种导电类型的半导体衬底，该凸台具有彼此面对的一对侧壁；

在凸台的顶部上形成的第一绝缘层；

在凸台的两个侧面处的所说半导体衬底的表面上形成的一对源/漏区；

15 第二绝缘层，每个覆盖一对侧壁之一和邻接侧壁的所说源/漏区之一；

在凸台的一对侧壁上分别形成、通过各自的第二绝缘层分别面对侧壁和所说源/漏区的一对浮栅；

第三绝缘层，每个形成在所说浮栅之一上；以及

控制栅极，通过第三绝缘层面对所说一对浮栅并通过所说第一绝缘层面对
20 凸台的顶部；

形成的具有底部的凸台以至直线连接所说源/漏区，底部杂质的一种导电类型的浓度比凸台的保留部分更高。

23. 根据权利要求 22 的半导体存储器，其中所有（ones of）在列的方向上彼此邻接的所说单元晶体管共享相同的源/漏区，并且所有在行的方向上彼此
25 邻接的所说单元晶体管共享所说控制栅极并共享它们之间的所说的相同源/漏区。

24. 根据权利要求 22 的半导体存储器，其中在连接所说源/漏区的方向上排列所说多个单元晶体管，

第四绝缘层，在所说单元晶体管之一的所说浮栅之一和与所说一个单元晶
30 体管相邻的所说多个单元晶体管的另一个的其它浮栅之间形成以便所说控制栅

极电隔离所说源/漏区。

25. 一种半导体存储器，包括排列在行的方向和列的方向上的多个单元晶体管，所说多个单元晶体管每个包括：

5 形成有凸台的一种导电类型的半导体衬底，该凸台具有相互面对的一对侧壁；

在凸台的顶部形成的第一绝缘层；

在凸台的两侧处的所说半导体衬底的表面上形成的一对源/漏区；

第二绝缘层，每个覆盖一对侧壁之一和邻接侧壁的所说源/漏区之一；

10 分别在凸台的一对侧壁上形成、通过各自的第二绝缘层分别面对侧壁和所说源/漏区的一对浮栅；

第三绝缘层，每个形成在所说浮栅之一上；

控制栅极，通过第三绝缘层面对所说一对浮栅并通过所说第一绝缘层面对凸台的顶部；以及

在凸台的侧壁上形成并接触所说源/漏区的相反的导电类型区。

15 26. 根据权利要求 25 的半导体存储器，其中所有在列的方向上彼此邻接的所说单元晶体管共享相同的源/漏区，并且所有在行的方向上彼此邻接的所说单元晶体管共享所说控制栅极并共享它们之间的所说的相同源/漏区。

27. 根据权利要求 25 的半导体存储器，其中在连接所说源/漏区的方向上排列所说多个单元晶体管，

20 第四绝缘层，在所说单元晶体管之一的所说浮栅之一和与所说一个单元晶体管相邻的所说多个单元晶体管的另一个的其它浮栅之间形成以便所说控制栅极电隔离所说源/漏区。

28. 一种半导体存储器，包括排列在行的方向和列的方向上的多个单元晶体管，所说多个单元晶体管每个包括：

25 形成有凸台的一种导电类型的半导体衬底，该凸台具有相互面对的一对侧壁；

在凸台的顶部上形成的第一绝缘层；

在凸台的两侧处的所说半导体衬底的表面上形成的一对源/漏区；

第二绝缘层，每个覆盖一对侧壁之一和邻接侧壁的所说源/漏区之一；

30 分别在凸台的一对侧壁上形成、通过各自的第二绝缘层分别面对侧壁和所

说源/漏区的一对浮栅;

第三绝缘层, 每个形成在所说浮栅之一上;

控制栅极, 通过第三绝缘层面对所说一对浮栅并通过所说第一绝缘层面对凸台的顶部;

- 5 所说控制栅极依靠凸台的顶部通过所说第一绝缘层形成第一电容, 所说浮栅依靠所说源/漏区通过所说第二绝缘层形成第二电容, 第一电容大于第二电容。

29. 根据权利要求 28 的半导体存储器, 其中所有在列的方向上彼此邻接的所说单元晶体管共享相同的源/漏区, 并且所有在行的方向上彼此邻接的所说单元晶体管共享所说控制栅极并共享它们之间的所说的相同源/漏区。

- 10 30. 根据权利要求 28 的半导体存储器, 其中在连接所说源/漏区的方向上排列所说多个单元晶体管,

第四绝缘层, 在所说单元晶体管之一的所说浮栅之一和与所说一个单元晶体管相邻的所说多个单元晶体管的另一个的其它浮栅之间形成以便所说控制栅极电隔离所说源/漏区。

- 15 31. 一种半导体存储器, 包括排列在行的方向和列的方向上的多个单元晶体管, 所说多个单元晶体管每个包括:

形成有凸台的一种导电类型的半导体衬底, 该凸台具有相互面对的一对侧壁;

在凸台的顶部上形成的第一绝缘层;

- 20 在凸台的两侧处的所说半导体衬底的表面上形成的一对源/漏区;

第二绝缘层, 每个覆盖一对侧壁之一和邻接侧壁的所说源/漏区之一;

分别在凸台的一对侧壁上形成、通过各自的第二绝缘层分别面对侧壁和所说源/漏区的一对浮栅;

第三绝缘层, 每个形成在所说浮栅之一上;

- 25 控制栅极, 通过第三绝缘层面对所说一对浮栅并通过所说第一绝缘层面对凸台的顶部;

所说浮栅与具有第一电容和第二电容的电容结合, 依靠凸台的侧壁、顶部和所说源/漏区通过所说第二绝缘层建立第一电容, 依靠所说控制栅极通过所说第三绝缘层建立第二电容, 形成的第一电容较大。

- 30 32. 根据权利要求 31 的半导体存储器, 其中所有在列的方向上彼此邻接

的所说单元晶体管共享相同的源/漏区，并且所有在行的方向上彼此邻接的所说单元晶体管共享所说控制栅极并共享它们之间的所说的相同源/漏区。

33. 根据权利要求 31 的半导体存储器，其中在连接所说源/漏区的方向上排列所说多个单元晶体管，

- 5 第四绝缘层，在所说单元晶体管之一的所说浮栅之一和与所说一个单元晶体管相邻的所说多个单元晶体管的另一个的其它浮栅之间形成以便所说控制栅极电隔离所说源/漏区。

34. 一种制造晶体管的方法，包括步骤：

- 10 (a) 将杂质注入到一种导电类型的衬底的主表面以便在衬底的深度方向上以从主表面的顺序形成具有较低的杂质浓度的第一区和具有较高杂质浓度的第二区；

 (b) 在主表面中形成到达一个深度的沟槽以便形成具有彼此相对的一对侧壁的凸台，在该深度沟槽具有到达第二区的底部；

- 15 (c) 在沟槽的底部中注入相反的导电类型的杂质以便在底部处形成源/漏区；

 (d) 在源/漏区和沟槽的侧壁上形成第一绝缘层；

 (e) 至少局部地在凸台的侧壁和源/漏区上通过第一绝缘层形成浮栅；

 (f) 在凸台的顶部上形成第二绝缘层；

 (g) 在浮栅上形成第三绝缘层；

- 20 (h) 在第二和第三绝缘层上形成控制栅极。

35. 一种制造晶体管的方法，包括步骤：

 (a) 在一种导电类型的半导体衬底的主表面中形成沟槽以便形成具有彼此相对的一对侧壁的凸台；

- 25 (b) 在沟槽的底部中通过利用凸台作为掩膜的自对准工艺注入相反的导电类型的杂质以便在底部处形成源/漏区，此掩膜防止杂质注入到凸台中；

 (c) 在源/漏区和沟槽的侧壁上形成第一绝缘层；

 (d) 至少局部地在凸台的侧壁和源/漏区上通过第一绝缘层形成浮栅；

 (e) 在凸台的顶部上形成第二绝缘层；

 (f) 在浮栅上形成第三绝缘层；

- 30 (g) 在第二和第三绝缘层上形成控制栅极。

具有存储多个字节的存储单元的 半导体存储器及其制造方法

5

发明背景

发明领域

本发明涉及一种晶体管、包括这种晶体管的半导体存储器，以及一种制造晶体管的方法。更具体地，本发明涉及一种用于具有存储单元的半导体存储器的技术，每个存储单元存储多个字节。

10

背景技术的描述

15

现在，包括 EEPROMs（电可擦除编程只读存储器）的非易失性存储器已广泛应用到例如移动电话。例如，通常 EEPROM 只允许在每个存储单元晶体管中存储一个字节的信息。然而，为了促进器件尺寸的降低，优选采用允许在单元晶体管中存储两个或多个字节信息的单元晶体管的多位结构。

20

图 29 示出了在美国专利号 US6, 011, 725 中教导的作为一个实例的具有多位结构的存储单元晶体管。如图所示，存储单元晶体管，一般地为 1，具有称作 MONOS（金属氧化物氮化物氧化物半导体）结构，该结构依次由控制栅极（金属）7、氧化硅层（氧化物）6、氮化硅层（氮化物）5、氧化硅层（氧化物）4 和 P 型硅衬底（半导体）2 制成。

在单元晶体管 1 中，N 型源/漏区 3 和 8 在写入或读出顺序的不同阶段每个选择性地成为源电极或漏电极。换句话说，源/漏区 3 和 8 地哪一个作为源电极或漏电极是不确定的。在下面的描述中，源/漏区 3 和 8 之一释放导电的载流子，在此具体的情况下载流子是电子，而其它区域将分别作为源区和漏区。

25

30

图 30A 表明如何将数据写入到存储单元晶体管 1。如图所示，当适合的正电压 V_{D1} 和 V_{G1} 分别施加到漏区 3 和控制栅极 7 时，源区 8 接地。在此条件下，在源区 8 和漏区 3 之间就建立电场并加速电子，因此在漏区 3 附近就产生热电子。由于它相对于声子的碰撞以及控制栅电极 7 的正电势，由此产生的热电子就注入到由氧化硅层 4 形成的电势阻挡层之上的氮化硅层 5。因为氮化硅层 5 不导电，注入到氮化硅层 5 中的热电子就位于漏区 3 的附近，形成存储信息的

右字节 9a。这种存储条件表示为存储字节状态 (1, 0)。

图 30B 示出了一种条件, 其中相互替换图 30A 的源电压和漏电压。如图所示, 注入到氮化硅层 5 的热电子位于漏区 8 的附近, 形成存储信息的左字节 9b。这就建立存储状态 (0, 1)。

- 5 图 31A 至 31D 示出了适合于单元晶体管 1 的四种不同的逻辑存储状态。如图 31A 所示, 当在右字节和左字节位置的任何一个中没有存储电子时, 建立状态 (1, 1)。如图 31D 所示, 当在右字节和左字节两个位置上存储电子时, 建立状态 (0, 0)。在此方式下, 单元晶体管 1 允许其中存储两字节的数据。为了从单元晶体管 1 读出该数据, 就从写入条件相互替换提供到源区 8 和漏区 3 的电压以至当测量的各漏电流与参考的电流值进行比较时两次测量漏电流, 下面将更详细地进行描述。
- 10

- 图 31D 所示的状态 (0, 0) 中, 电子位于右字节和左字节位置 9a 和 9b, 以致在四种状态中氮化硅层 5 的电势最低。因此, 单元晶体管 1 的阈值电压变得最高并基本上没有漏电流流动。即使当提供到源区 8 和漏区 3 的电压替换时, 漏电流的值保持恒定, 并几乎为零。结果, 由此连续两次测量的漏电流都比参考电流小。
- 15

- 在图 31A 所示的状态 (1, 1) 中, 右字节和左字节位置 9a 和 9b 两处都缺少电子, 以致在四种状态中氮化硅层 5 的电势最高。因此, 晶体管 1 的阈值电压在四种状态中变得最低, 导致了最大的漏电流流动。即使当源区 8 和漏区 3 相互替换时, 漏电流的值保持恒定, 并在四种状态中为最大值。结果, 相继两次测量的漏电流就比参考电流要大。
- 20

- 另一方面, 分别在图 31B 和 31C 所示的状态 (1, 0) 和 (0, 1) 中, 电子仅位于右字节和左字节位置之一, 使晶体管 1 相对于电势分布在右方向和左方向中上不对称。当提供到源区 8 和漏区 3 的电压替换时连续测量的漏电流就彼此不同。因此, 可以通过确定连续测量的两个漏电流比参考电流大或小来识别状态 (1, 0) 和 (0, 1)。
- 25

- 然而, 具有上述结构的单元晶体管 1 具有一些遗留未解决的问题, 此后将进行描述。首先, 参见图 30A 和 30B, 在写入情况下, 为了将热电子注入到氮化硅层 5, 就必须将高电压 V_{GI} 施加到控制栅极 7。更具体地, 为了热电子的注入, 就必须使热电子从硅衬底 2 的导带穿过隧道到达氧化硅层 4 的导带。上述
- 30

两种导带之间的能量差为大约 3.2 电子伏特 (eV)。然而, 热电子在与硅衬底 2 中出现的声子碰撞中失去能量, 即使将 3.2 伏 (V) 的电压施加到控制栅极 7, 热电子在上述的两个导带之间也不会产生隧道 (穿通)。因此, 实际上, 提供到控制栅极 7 的电压 V_{G1} 必须同 12V 至 13V 一样高。

- 5 当期望上述高电压从高电压-阻抗的晶体管提供到控制栅极 7 时, 该晶体管包含在解码器电路中, 未示出, 这种晶体管不能小型化, 因为小型化会导致晶体管的源电极和漏电极之间的穿通。因此采用上述的现有技术的结构就不可能减少包含解码器电路的整个 EEPROM 的芯片尺寸。

- 10 第二, 当读出状态 (1, 0) 或 (0, 1) 时, 用于识别漏电流的电流窗口较小。电流窗口 (current window) 指一旦读出状态 (1, 0) 或 (0, 1), 通过改变提供到源区和漏区 3 和 8 的电压依次测量的漏电流之间的差值。当电子明显地位于氮化硅层 5 的右端或左端时, 即, 当单元晶体管 1 在右-和-左方向上的电势或电子分布明显不对称时, 电流窗口明确开启。

- 15 然而, 因为电子以较大宽幅地分布在氮化硅层 5 中, 所以在单元晶体管中不对称并不清楚地出现。具体地, 参见图 30A, 当为了减少单元尺寸降低栅极长度 L 时, 电子位于右字节和左字节的哪一个位置就不明显, 更加降低单元晶体管 1 的不对称性, 并因此减少了电流窗口。这种小电流窗口减少了漏极电流和参考电流的差, 因此加重了存储数据的错误识别。

- 20 第三, 适合于现有技术的结构对于内带隧道的阻抗低, 这将参照图 32 在此后进行描述。图 32 示出了一种条件, 其中不选择单元晶体管 1。如图所示, 使单元晶体管 1 不被选择, 比赋予读出的电势更低的地电位提供到控制栅极 7。在另一方面, 正电势 V_{D1} 提供到选择的单元晶体管的漏电极。因为正电势 V_{D1} 与存储器件的列的方向中的所有单元的电势相同, 所以正电势 V_{D1} 就提供到单元晶体管 1 的漏区 3。

- 25 在图 32 所示的条件下, 在氮化硅层 5 和漏区 3 之间的电势差 ΔV 大于读出状态, 因为控制栅极 7 的电势较低。特别地, 当电子位于氮化硅层 5 中时, 因为电子降低了氮化硅层 5 的电势, 所示电势差 ΔV 就进一步增加。如果电势差 ΔV 很大, 那么隧道电流就在漏区 3 和氮化硅层 5 之间流动, 并导致氧化硅层 4 退化。

- 30 此外, 较大的电势差 ΔV 在漏区 3 的边缘处产生较大的电场, 以致就容易

在漏区 3 和硅衬底 2 的 PN 结处发生击穿。击穿引起成对的热空穴和电子出现，在附图的圆圈 100 的放大图中所示。热空穴 102 吸引到较低的电位一侧并由此穿通氧化硅层 4，使层 4 退化。较早提及的内带隧道(inter-band tunneling)的低阻抗就指上述描述的情况。

5 发明的概述

本发明的目的是提供多个字节的晶体管、包含这种多个字节晶体管的半导体存储器，制造这种多个字节晶体管的方法，和传统的晶体管相比，该晶体管能够用降低的电压写入数据、具有增加的电流窗口并获得内带隧道的较高阻抗。

根据本发明，晶体管包括：一种导电类型的半导体衬底，该半导体衬底形成有具有一对相互面对的侧壁的凸台；形成在凸台的顶部的第一绝缘层；形成在凸台的两个侧面处的半导体衬底的表面上的一对源/漏区；第二绝缘层，每个覆盖一对侧壁之一和所说的与侧壁相邻的源/漏区之一；一对浮栅，分别形成在凸台的一对侧壁上并分别通过各自的第二绝缘层面对侧壁和源/漏区；第三绝缘层，每个被形成在浮栅之一上；控制栅极，通过第三绝缘层面对一对浮栅并通过第一绝缘层面对凸台的顶部。凸台具有形成的底部以使直线连接源/漏区，底部的一种导电类型杂质的浓度高于凸台的其余部分。

此外，控制栅极可以依靠凸台的顶部通过第一绝缘层形成第一电容，并且浮栅可以依靠源/漏区通过第二绝缘层形成第二电容，第一电容大于第二电容。

进一步可选择地，浮栅可以与第一电容和第二电容耦合在电容，依靠凸台的侧壁和顶部以及源/漏区通过第二绝缘层建立第一电容，依靠控制栅极通过第三绝缘层建立第二电容，形成的第一电容较大。

此外，晶体管进一步包括形成在凸台的侧壁上并接触源/漏区的相反导电类型的区域。

优选地，控制栅极可以包括通过第三绝缘层面对浮栅的第一控制栅极部分(segment)以及通过第一绝缘层面对凸台的顶部的第二控制栅极部分。可以形成第一和第二控制栅极以相互电连接。此外。可以形成第一和第二控制栅极以相互独立地被电控制。

同样，根据本发明，半导体存储器包括多个单元晶体管，每个晶体管具有上述的结构。

进一步地，根据本发明，制造晶体管的方法包括步骤：将杂质注入到一种

导电类型的半导体衬底的主表面以在衬底的深度方向上从主表面顺序形成具有较低杂质浓度的第一区和具有较高杂质浓度的第二区；在主表面中形成一定深度的沟槽，使沟槽具有到达第二区的底部，以形成具有相互对立的一对侧壁的凸台；在沟槽的底部中注入相反导电类型的杂质以在底部形成源/漏区；在源/漏区和沟槽的侧壁上形成第一绝缘层；在凸台的侧壁和源/漏区上通过第一绝缘层至少部分形成浮栅；在凸台的顶部上形成第二绝缘层；在浮栅上形成第三绝缘层；以及在第二和第三绝缘层上形成控制栅极。

附图的简要描述

本发明的目的和特征将从下面的结合附图的详细说明中变得更加明显，其中：

图 1 是本发明实施例的半导体存储器的局部透视图；

图 2 示出包含在图 1 的半导体存储器中的单元晶体管之一的放大部分；

图 3 示出表示图 2 的单元晶体管的等效电路；

图 4 示出说明在实施例说明的单元晶体管中用于写入数据的写入模式的剖面图；

图 5 示出在凸台的顶部设置有高阻区的单元晶体管的剖面图；

图 6A 至 6D 示出由实施例说明的单元晶体管获得的四种不同状态的剖面图；

图 7A 和 7B 示出从实施例说明的单元晶体管中用于读出数据的读出模式的剖面图；

图 8A 和 8B 示出用于理解如何从实施例说明的单元晶体管读出状态(1,0)的剖面图；

图 9 示出用于理解释放在形成单元晶体管部分的浮栅中注入的电子的具体方法；

图 10 示出用于理解释放在浮栅中注入的电子的另一种具体方法；

图 11 示出其中相关示出的具有硼浓度分布的凸台的实施例说明的单元晶体管的剖面图；

图 12 示出在实施例说明的单元晶体管中包含的连接隧道绝缘层的选择氧化层的剖面图；

图 13 示出实施例说明的半导体存储器的常规结构的方框简图；

图 14A 至 25 是说明制造实施例说明的半导体存储器的一系列步骤的局部视图;

图26 是包括在实施例说明的从表面测量的P型阱的深度和硼浓度之间的关系图;

5 图27A 和 27B 分别示出实施例说明的唯一的离子注入之前和之后的条件的剖面图;

图 28 示出适合实施例说明的另一种源和漏区的具体结构的剖面图;

图 29 示出现有技术的多个字节单元晶体管的剖面图;

图30A 和 30B 示出用于理解在现有技术的单元晶体管中用于写入数据的程序
10 的剖面图;

图31A 至 31D 示出表示四种不同的存储状态特别是对现有技术的单元晶体管的剖面图;

图 32 示出用于理解为什么现有技术的单元晶体管未达到内带隧道的阻抗的剖面图, 以及它的部分放大图。

15 优选实施例的描述

附图的图 1 部分示出了体现本发明的半导体存储器 10, 它包括存储单元晶体管矩阵。主要地, 在说明性实施例中, 每个存储单元晶体管的两种控制栅极部分构成单一的控制栅极。具体地, 如图 1 所示, 在 P 型硅衬底 12 上形成半导体存储器 10, 该衬底 12 为一种导电类型的半导体衬底。P 型硅衬底 12 由 P+型衬底 12b 和 P 型外延层 12a 制成, P 外延层 12a 形成在 P+型衬底 12b 的一个主
20 表面上。在 P 外延层 12a 中形成 P 型阱 13。

本发明独特的多个凸台或脊背 (ridge) 13a 从 P 型硅衬底 12 的主表面突出。在凸台 13a 的两个侧面处的 P 型阱 13 的表面上形成位线 BL1 至 BL4。更具体地, 在 P 型阱 13 的表面中、在期望形成位线 BL1 至 BL4 的位置处注入与 P 型
25 阱 13 的导电类型相反的 N 型杂质的离子。尽管被另一结构元件遮住并且在图中不能清楚地看出, 在存储器单元阵列的行的方向上并排地设置位线 BL1 至 BL4, 并且位线 BL1 至 BL4 在每个列的方向上延伸。

浮栅 FG1 和 FG2 以及控制栅极 CG 由多晶硅形成。更具体地, 在列的方向上设置多个控制栅极 CG, 同时每个行的方向上延伸。控制栅极 CG 分别作为
30 字线 WL1、WL2 等等。各硅化钨 (WSi) 层 36 用于降低专门一个控制栅极 CG

的阻值，此时各盖层 38 保护控制栅极 CG。盖层 38 由氧化硅形成。

图 2 示出了具有本发明特征的单元晶体管 TC 的放大图。如图所示，单元晶体管 TC 包括前述的凸台 13a 和在凸台 13a 的顶部 13c 上形成的栅绝缘层或第一绝缘层 15c。凸台 13a 具有一对彼此相对的侧壁 13b，凸台上形成的是相反的
5 导电类型、与凸台 13a 的导电类型相反的 N 型区域 17。N 型区域 17 的杂质浓度选择为在 1/100 和 1/10000 之间，优选 1/1000，与位线 BL1 和 BL2 的杂质浓度一样高。隧道绝缘层或第二绝缘层 15a 分别覆盖侧壁 13a 和位线 BL1 以及另一个侧壁 13b 和位线 BL2 之一。位线 BL1 和 BL2 同时作为源/漏区，并将在此后进行详细的说明。既然这样，位线 BL1 和 BL2 就有时称作源/漏区。

10 浮栅 FG1 和 FG2 通过与它们邻接的隧道绝缘层 15a 分别面对源/漏区 BL1 和 BL2、凸台 13a 的相对的侧壁 13b。在浮栅 FG1 和 FG2 之一上形成每个内多晶硅绝缘层或第三绝缘层 15b。隧道绝缘层 15a、内多晶硅绝缘层 15b 和栅绝缘层 15c 都由氧化硅形成。

控制栅极 CG 至少部分通过内多晶硅绝缘层 15b 面对浮栅 FG1 和 FG2、并
15 通过栅绝缘层 15c 部分面对凸台 13a 的顶部 13c。此外，控制栅极 CG 可以包括面对具有在其间插入的内多晶硅绝缘层 15b 的浮栅 FG1 和 FG2 的部分、面对具有在其间插入的栅绝缘层 15c 的顶部表面 13c 的部分，这些部分电隔离并相互独立地被电控制。

在图 2 所示的结构中，在凸台 13a 的相对侧壁 13b 和顶部 13c 的表面层上
20 以三维结构形成沟道区。这与传统的沟道区相反，传统沟道区形成在单一平面中。因此，当占用最小的面积时单元晶体管 TC 就获得了较长的沟道长度，并因此减少了存储器件的尺寸。

凸台 13a 的 P 型杂质具有调整的程度，以致单元晶体管 TC 通常保持在它的非导通或 OFF 状态。更具体地，假定一个条件，其中预选的电压施加到源/漏区 BL1 或 BL2。那么，调整 P 型杂质浓度，以致当由此偏置的源/漏区 BL1
25 或 BL2 和控制栅极 CG 之间的电位差低于阈值电压时，通过栅绝缘层 15c 响应控制栅极 CG 的在背脊 13a 的上表面 13c 附近建立的沟道区出现它的非导电状态以至导致单元晶体管 TC 的非导电状态；或者当电位差等于或高于阈值电压时，晶体管 TC 导电。应当注意，施加到源/漏区 BL1 或 BL2 的预选电压是指用于写
30 入、读出和其它不同操作必需的电压 V_{DD} ，这将在下面进行详细的说明。

图 3 示出表示单元晶体管 TC 并包含其中相关的各种电容的等效电路。电容由相互面对的控制栅极 CG 和凸台 13a 的顶部 13c 之间的电容 C_{CG} 、相互面对的控制栅极 CG 和浮栅 FG1 (FG2) 之间的电容 C_{CF1} (C_{CF2})、相互面对的浮栅 FG1 (FG2) 和源/漏区 BL1 (BL2) 之间的电容 C_{FG1} (C_{FG2})、以及相互面对的浮栅 FG1 (FG2) 和源/漏区 BL1 (BL2) 之间的电容 C_{FS} (C_{FD}) 表示。

再次参照图 1, 在行和列的两个方向上并排设置多个单元晶体管 TC。在列方向上彼此相邻的单元晶体管 TC, 例如单元晶体管 TC_a 和 TC_b 共享源/漏区 BL3 和 BL4, 而彼此通过隔离区 40 电隔离。另一方面, 例如, 在列方向上彼此相邻的单元晶体管 TC_c 和 TC_a 共享控制栅极 CG 并共享它们之间的源/漏区 BL3。

将在此后描述驱动各自的单元晶体管 TC 的方法。首先, 将参考图 4, 图 4 用于说明如何将两字节数据写入单元晶体管 TC。在说明的实施例中, 电子可以选择地注入到位于凸台 13a 的相对侧面处的浮栅 FG1 和 FG2 中的任何一个。如图 4 中所示, 例如为了将电子注入到图中的右侧的浮栅 FG2, 例如 2.2V 的栅电压 V_G 被施加到控制栅极 CG, 此时高于栅电压的例如 6V 的电压 V_{DD} 被施加到将电子注入的源/漏区 BL2。此时, 衬底 12 和另一个源/漏区 BL1 接地。

在图 4 所示的条件下, 提供到控制栅极 CG 的正电位导致了在凸台 13a 的顶部 13c 的表面中形成的反型 (inversion) 层 13d。由此出现的反型层 13d 导致了相互电连接的 N 型区 17。因为 N 型区 17 每个与 N 型源/漏区 BL1 和 BL2 之一邻接, 所以 N 型源/漏区 BL1 和 BL2 它们自己就相互电连接。因此, 载流子, 在说明的实施例中的电子就通过由箭头 50 和 52 表示的路径流动。

注意其中沿顶部 13c 流动的电子, 浮栅 FG2 仅位于图中流动方向的右手一侧。因此这些电子被直接注入到浮栅 FG2 而没有受到传统结构中的控制。这样就允许用于吸引电子朝向浮栅 FG2 的栅极电压 (写入电压) V_G 低于传统的栅极电压。此外, 通过穿过具有较大电容的栅绝缘层 15a 的漏极电压降低浮栅 FG2 的电位。这样允许更大程度地降低用于吸引电子朝向浮栅 FG2 的栅极电压或写入电压 V_G 。

进一步地, 在凸台 13a 的侧壁 13b 上形成的 N 型区 17 用于降低侧壁 13b 的电阻, 由此阻隔电压穿过侧壁 13b 下降。因此, 微小地低于源/漏区 BL1 和 BL2 之间的电压例如 6V 的较高电压被施加到顶部 13c 的相对端部, 导致了顶部 13c 强制地加速电子。结果, 电子被有效地注入到浮栅 FG2, 如图 4 中的箭头

52 所示。在此种方式下，N 型区 17 还用以降低写入电压 V_G 。N 型区 17 具有选自低于源/漏区的杂质浓度，按 1/100 至 1/10000，优选 1/1000。

即使当顶部 13c 处的沟道电阻增加时也能获得上述优点。如果增加栅绝缘层 15c 的厚度，就能增加沟道电阻以至减少控制栅极 CG 和沟道区之间的电容。

5 在说明的实施例中，如图 4 所示，为了此目的，栅绝缘层 15c 的厚度制造得比隧道绝缘层 15a 的厚度要厚。

图 5 示出用于在顶部 13c 处增加沟道电阻的另一个具体的结构。如图所示，在凸台 13a 的顶部 13c 上形成一种导电类型的杂质掺杂区的高阻区 13e。为了形成高阻区 13e，将 P 型杂质离子注入到顶部 13c 中致使浓度高于凸台 13a 的浓度。

10 当顶部 13c 的沟道电阻增加时，如图 4 或 5 所示，顶部 13c 处的电压降增加结果，将轻微地低于源/漏区 BL1 和 BL2 之间的电压的较高电压施加到顶部 13c 的相对端部。因此，由于与上述相同的原因，就能降低写入电压 V_G 。

如上所述，i) 如果在侧壁 13b 上形成 N 型区，ii) 如果隧道绝缘层具有增加的电容以便随着漏极电压提高浮栅电位，iii) 如果栅绝缘层 15c 的厚度增加，或者 iv) 如果在顶部 13c 上形成高阻区 13e，那么就能降低写入电压 V_G 。
15 如果需要，这些不同的假设 i) 至 iv) 可以适当地组合以至获得上述所指的优点。无论如何，写入电压 V_G 应当仅为约 2.2V，远远低于传统的大约 12V 至 13V 的写入电压。

在图 4 所示的例子中，将电子注入到右侧的浮栅 FG2。然而，仅仅当施加
20 到源/漏区 BL1 和 BL2 的电压从图 4 的例子中彼此替换时，电子才会被注入到左侧的浮栅 FG1。因此说明的实施例进行了四种不同的状态，如图 6A 至 6D 所示。图 6A 示出存储字节状态 (1, 1)，其中没有将电子注入到浮栅 FG1 和 FG2 中的任何一个。图 6A 和 6B 分别示出存储状态 (1, 0) 和 (0, 1)，每一个状态中电子被注入到浮栅 FG1 和 FG2 中的任何一个。图 6D 示出状态 (0, 0)，
25 其中电子被注入到两个浮栅 FG1 和 FG2；例如，电子可以被注入到右侧的浮栅 FG2，然后注入到左侧的浮栅 FG1。在这种方式下，说明的实施例允许将两字节数据 (1, 1) 至 (0, 0) 分别写入到单独的单元晶体管 TC。

如上所述，说明的实施例包括两个浮栅 FG1 和 FG2 并允许电子在浮栅 FG1 和 FG2 中彼此独立地存在。因此，即使在单元尺寸减少的应用中，与现有技术
30 的结构比较，可以明确地区别出哪一个浮栅 FG1 和 FG2 包含足够的电子。

参考图 7A 和 7B, 图 7A 和 7B 用于说明如何将两字节数据从单独的单元晶体管 TC 中读出。首先, 如图 7A 所示, 将栅极电压 V_G 例如 2.2V 施加到控制栅极 CG。随后将电压 V_{DD} 例如 1.6V 施加到一个源/漏区 BL2, 此时另一个源/漏区 BL1 和衬底 12 接地, 即连接参考电位。在最终的电位分布中, 控制栅极 CG 的电位为正电位, 因此在凸台 13a 的顶部 13c 上形成反型层 13d。结果, 漏极电流 I_{d1} 在图 7A 中箭头所示的方向上流动。

接着, 如图 7B 中所示, 施加到源/漏区 BL1 和 BL2 的电压彼此由 2.2V 的栅极电压 V_G 替换维持相同的电压。结果, 源/漏区 BL1 和 BL2 之间的电位差被反置, 导致漏极电流 I_{d2} 在图 7B 中箭头所示的方向上流动。

在说明的实施例中, 测量漏极电流 I_{d1} 和 I_{d2} , 由于施加到源/漏区 BL1 和 BL2 的电压的替换, 所以测量一个接着一个地流动的漏极电流 I_{d1} 和 I_{d2} 。漏极电流 I_{d1} 和 I_{d2} 的值根据状态是不同的, 这将在下面进行详细的描述。因此随着一个到一个的状态来比较电流装置 (I_{d1} , I_{d2}) 以确定单元的状态是可能的。在不同状态 (1, 1) 至 (0, 1) 下流动的漏极电流将在此后进行详细的描述。

图 8A 和 8B 说明如何从单元晶体管 TC 检测状态 (1, 0)。如图 8A 所示, 与图 7A 中的相同的方式将电压施加到单元晶体管 TC 的结构部件, 引起漏极电流 I_{d1} 流动。在此条件下, 虽然由于电子注入使右侧流动的栅极 FG2 的电位降低, 通过电容 C_{CF2} 和 C_{FD} 将电压朝着控制栅极 CG (2.2V) 和源/漏极 BL2 (1.6V) 的正电位增加。因此, 限制了浮栅 FG2 的电压降, 以致栅极 FG2 周围的沟道电阻不是如此的高。因此漏极电流 I_{d1} 就具有相对较大的值。

特别地, 与源/漏极区 BL2 接触的 N 型区 17 具有基本上等于源/漏极区 BL2 的电位。由此浮栅 FG2 的电位就通过电容 C_{FG2} 提高到源/漏极 BL 的一侧, 并且进一步降低栅极 FG2 周围的沟道电阻。结果, 漏极电流 I_{d1} 的值就进一步增加。

随后, 如图 8B 所示, 施加到源/漏极 BL1 和 BL2 的电压彼此替换以至引起漏极电流 I_{d2} 的流动。在此情况下, 由于注入电子右侧的浮栅 FG2 的电位就降低。此外, 因为右侧的源/漏极区 BL2 接地, 通过栅极 FG2 和区 BL2 之间的电容 C_{FD} 、浮栅 FG2 的电位就降低到地电位。因此, 图 8B 中的浮栅 FG2 的电位就低于图 8A 中的浮栅 FG2 的电位, 并导致栅极 FG2 周围的沟道电阻增加。由此漏极电流 I_{d2} 就小于前述的漏极电流 I_{d1} 。

具体地, N 型区 17 导致了右侧的浮栅 FG2 的电位通过电容 C_{FG2} 降低到地

的一侧,以致进一步降低漏极电流 I_{d2} 的值。如上所述,根据 $(I_{d1}, I_{d2}) = (\text{大}, \text{小})$ 就能够确定状态 $(1, 0)$ 。为了确定较大的漏极电流 I_{d1} 和 I_{d2} 的之一,没有示出的与存储器电路相关的检测放大器进行它们中的每一个值与参考电流的比较。

5 在说明的实施例中,漏极电流 I_{d1} 和 I_{d2} 的值可以根据电容 C_{CF2} 、 C_{FD} 和 C_{FG2} 按照所需增加或减少。这样允许差值 $(I_{d1}-I_{d2})$ 增加以达到所需的值。另一种方式的状态下,说明的实施例允许由上述差值表示的电流窗按照所需增大。宽的电流窗增加了漏极电流 I_{d1} 和 I_{d2} 和参考电流的极限,因此就减少了写入数据的错误判定的可能性。

10 为了从单元晶体管 TC 中检测状态 $(0, 1)$,电子被注入到相对于右侧的浮栅 FG2 的左侧的浮栅 FG1。因此,以上述说明的相同的方式估算漏极电流 I_{d1} 和 I_{d2} ,以致保持 $(I_{d1}, I_{d2}) = (\text{小}, \text{大})$ 。

当从单元晶体管 TC 检测状态 $(1, 1)$ 时,并不将电子注入到浮栅 FG1 和 FG2 中的任何一个。在此情况下,漏极电流 I_{d1} 和 I_{d2} 两者都很大,因为电子并不降低浮栅 FG1 或浮栅 FG2 的电位。此条件在右和左方向上是对称的,即漏极
15 电流 I_{d1} 和 I_{d2} 彼此没有差别;保持 $(I_{d1}, I_{d2}) = (\text{大}, \text{大})$ 。

此外,当为状态 $(0, 0)$ 时,在右和左方向上建立了对称,因为电子注入到两个浮栅 FG1 和 FG2。因此保持 $(I_{d1}, I_{d2}) = (\text{小}, \text{小})$,意思是漏极电流 I_{d1} 和 I_{d2} 彼此没有差别。

20 释放在浮栅 FG1 和 FG2 中注入的电子的具体地方法,即删除存储的数据,将在此后结合适合的说明的实施例进行描述。图 9 示出具体方法,即将电子从浮栅 FG1 和 FG2 分别回收到源/漏区 BL1 和 BL2 中。该方法实际是通过将控制栅极 CG 连接到地并提供高电位“H”(例如 12V)到每个源/漏区 BL1 和 BL2。在这点上,就可以在控制栅极 CG 和源/漏区 BL1 和 BL2 之间相应地建立起电位
25 差。例如,控制栅极 CG 和源/漏区 BL1 和 BL2 可以被分别施加-6V 和+6V 的电压。

图 10 示出另一种具体方法,即将高电位 V_G (例如 12V)提供到控制栅极 CG 并将衬底 12 和源/漏区 BL1 和 BL2 接地。在此电位分布下,因为控制栅极 CG 的电位高于栅极 FG1 和 FG2 的电位,所以就将电子从浮栅 FG1 和 FG2 回
30 收到控制栅极 CG。同样在这点上,控制栅极 CG 和源/漏区 BL1 和 BL2 可以被

分别施加-6V 和+6V 的电压。

在假设存储器单元阵列中选择单元晶体管 1 的条件下, 已经显示并说明了说明的实施例的写入、读出和删除操作。然而, 实际中, 有时不选择单元晶体管 1。即使当单元晶体管 1 不被选择, 驱动电压 V_{DD} 也会提供到位线 BL1, 参见图 3, 以便选择另一个单元晶体管 TC。在这点上, 由于在栅极 FG1 和位线 BL1 之间的大电容 C_{FS} , 未选择的单元晶体管 TC 的浮栅 FG1 的电位就被上拉到位线 BL1 的电位。结果, 浮栅 FG1 和源/漏区 BL1 之间的电位差就降低, 这样, 防止在栅极 FG1 和区 BL1 之间的隧道绝缘层 15a 被暴露到强电场。因此, 就成功地防止了使隧道绝缘层 15a 退化的隧道电流穿过层 15a 流动。

应当注意, 浮栅 FG1 (FG2) 和源/漏区 BL1 (BL2) 之间的电容 C_{FS} (C_{FD}) 在获得上述的与写入、读出和删除以及未选择的条件相关的优点中起作重要的作用。在说明的实施例中, 浮栅 FG1 (FG2) 位于源/漏区 BL1 (BL2) 之上以便降低浮栅 FG1 和 FG2 之间的距离, 因此减少了器件尺寸并减少了电容 C_{FD} 和 C_{FS} 。

公开了其上浮栅 FG1 (FG2) 和源/漏区 BL1 (BL2) 彼此面对的区域以供选择。当上述面积变得较大时, 上述优点容易获得, 即使如果面积较小, 也能获得这些优点。图 28 示出另一个具体的结构, 其中源/漏区 BL1 (BL2) 设置为背向凸台 13a, 导致了部分源/漏区 BL1 (BL2) 面对浮栅 FG1 (FG2)。具有这种结构以及由于上述原因, 能够获得优点。

说明的实施例解决了穿通 (punch-through) 并在随后的操作中稳定了阈值电压 V_{th} 。当在源/漏区 BL1 和 BL2 之间穿通可能发生时, 优选采用图 11 中所示的具体的结构。图 11 所示的图表以及具体的结构表示出相对于凸台 13a 中的深度, 作为 P 型杂质的硼浓度。如图所示, 凸台 13a 的硼浓度在到达凸台 13a 的底部的深度方向中逐渐增加。因此在邻近源/漏区 BL1 和 BL2 的侧壁 13b 的部分上较高。

上述结构的特征是具有 P 型杂质的浓度在靠近 N 型源/漏区 BL1 和 BL2 的期望的沟道部分中较高。因此沟道将远离连接 N 型源/漏区 BL1 和 BL2 的直线处建立。换句话说, 沟道将在凸台 13a 的侧壁表面 13b 和顶部表面 13c 中形成。在图 11 所示的结构中还表示, 即在较靠近 N 型源/漏区 BL1 和 BL2 的沟道部分较高的 P 型杂质浓度消除了源/漏区 BL1 和 BL2 之间的穿通。利用以集成电路

形式集成单元晶体管的半导体存储器，完成较高的封装密度。

单元晶体管 TC 的阈值电压 V_{th} 显著地受靠近凸台 13a 底部的侧壁 13b 的部分上的杂质浓度的影响。随后，凸台 13a 底部处的高硼浓度导致高的阈值电压 V_{th} 。然而，形成在侧壁 13b 上的 N 型区 17 的 N 型杂质和侧壁 13b 的 P 型杂质相互补偿，以致降低侧壁 13b 的实质上的受主浓度。因此，即使在凸台 13a 底部中增加硼浓度，N 型区 17 也能确保防止阈值电压 V_{th} 升高到过高的水平。

如上所述，因为阈值电压 V_{th} 易受凸台 13a 底部的杂质浓度的影响，所以底部的杂质浓度应当优选为防止额外的变化以便稳定阈值电压 V_{th} 。为了此目的，优选不仅渐渐地增加凸台 13a 的硼浓度，而且使它的峰值尽可能地平坦，如图 11 中所示的曲线的粗体部分。在此平坦部分中，硼浓度变化小，以致 N 型区 17 的硼浓度和砷浓度之间的关系基本上保持恒定。这就成功地使阈值电压 V_{th} 保持稳定。

如图 12 所示，在说明的实施例中，控制栅极 CG 和位线 BL2 在列方向上彼此相邻的单元晶体管 TC 之间的部分 A 处彼此面对。在此结构中，漏电流会在控制栅极 CG 和位线 BL2 之间在前述的任何一种操作模式下流动。据此，优选形成隧道绝缘层 15a 相邻的选择氧化层或第四绝缘层 34 并使选择氧化层 34 比隧道绝缘层 15a 更厚。具有这种厚度的选择氧化层 34 防止了上述的漏电流。根据图 12 中所示的例子，为了防止漏电流从控制栅极 CG 和位线 BL1 和 BL2 之间流动，通过选择氧化建立第四绝缘层。这并不限制本发明。此外，在彼此相邻的浮栅之间可以切割开口，并填充氧化物，在氧化物上形成控制栅极 CG。

此外，在此方式下，在控制栅极 CG 和位线 BL1 和 BL2 之间埋置的绝缘层 34 仅允许接触内多晶硅绝缘层 15b 的部分浮栅 FG1 和 FG2 面对控制栅极 CG。

再次参考图 1，虽然仅示出了几个单元晶体管 TC，实际上在实际的器件中设置了多个单元晶体管。当制造的单元晶体管 TC 的数量增加时位线 BL1 至 BL4 每个在行的方向上变长，以致位线 BL1 至 BL4 的电阻不能忽略。因此优选尽可能地降低位线 BL1 至 BL4 的电阻。

说明的实施例提供具有 N+ 型区 33 的每个位线 BL1 至 BL4，其是较高浓度、相反导电类型的区以便降低这些位线的电阻。当仅在图 1 的剖面中看见每个 N+ 型区 33 时，它平行地伸展到位线 BL1 至 BL4 的相关的一个。N+ 型区 33 用于降低位线 BL1 至 BL4 的电阻，由此防止了器件的操作速度的显著下降。

将参考图 13, 图 13 用于描述说明的实施例的常规电路设置。如图所示, 存储器单元阵列 44 包括以行和列排列的单元晶体管 TC。控制栅极 WL1 至 WL4 连接到行解码器 43 的输出, 其作为电路中的字线, 每个由单元晶体管 TC 的具体的行共享。行解码器 43 译解具有预选位数的低解码信号 RDC, 由此选择出与信号 RDC 相应的字线 WL1 至 WL4 之一。将栅极电压 V_G 施加到选择的字线 WL1 至 WL4 之一。根据操作模式: 写入模式、读出模式或删除模式开关栅极电压 V_G 。更具体地, 如前所述, 在写入模式和读出模式下栅极电压 V_G 为 2.2V, 或者在删除模式下为 12V。当未选择时字线 WL1 至 WL4 可以转换为它的浮栅状态。

- 10 与单元晶体管 TC 相关的位线 BL1、BL2 和 BL3 连接到列解码器 42 的输出。列解码器 42 译解具有预选位数的列解码信号 CDC, 由此选择出与信号 CDC 相应的位线 BL1 至 BL3 之一。将电压 V_{DD} 施加到选择的位线 BL1、BL2 和 BL3 之一。根据操作模式: 写入模式、读出模式或删除模式开关电压 V_{DD} 。更具体地, 如前面所述, 在写入模式下电压 V_{DD} 为地电位或参考电压或 6V, 在读出模式
15 式下为地电压或 1.6V, 或者在删除模式下为地电压。当未选择时位线 BL1、BL2 和 BL3 可以转换为它的浮栅状态。

单元晶体管 TC 每个通过选择的位线 Bli 和选择的字线 WLj 在写入模式、读出模式和删除模式的任何一个中进行选择, 其中 i 和 j 为自然数。

- 将参照图 14A 至 25 描述制造说明的实施例的半导体存储器的具体的步骤。
20 首先, 如图 14A 所示, 制备 P 型硅或一种导电类型的半导体的平面衬底 12。半导体衬底 12 由具有 $4.0 \times 10^{18} \text{cm}^{-2}$ 的硼浓度的 P+衬底 12b 和在衬底 12b 上形成的具有 $1.0 \times 10^{15} \text{cm}^{-2}$ 的硼浓度的 P 型外延层 12a 制成。在前述的半导体衬底 12 的主表面之一上形成硅热氧化层 18。随后, 如图 14B 所示, 在硅热氧化层 18 上形成氮化硅层 19, 然后构图形成孔 19a。

- 25 在说明的实施例中, 单元晶体管的制造可以与 CMOS 晶体管的制造同时完成。此后将结合制造单元晶体管的步骤描述用于制造 CMOS 晶体管的步骤。在此图中, CMOS 晶体管部分 104 指分配到此后形成的 CMOS 晶体管的部分, 而单元晶体管部分 106 指分配到单元晶体管的部分。在 CMOS 晶体管部分中包括孔 19a。当然应当注意, 在这些图中仅简单地说明一个单元晶体管部分或单一的
30 CMOS 晶体管部分, 而实际上在这些步骤中在半导体衬底上制造多个单元晶体

管和多个 CMOS 晶体管。

随后,如图 15A 所示,形成场氧化层 18。更具体地,图 14B,用氮化硅层 19 作为掩膜使场氧化层 18a 生长。在场氧化层 18a 生长之后,通过腐蚀去除氮化硅层 19。

- 5 在图 15A 的步骤之后,如图 15B 所示,在叠层的整个表面上覆盖光刻胶层 20,然后曝光并显影以形成孔 20a。随后,在光刻胶层或掩膜上注入砷离子由此在孔 20a 下形成 N 型阱 21。此后,去除光刻胶层 20。

- 如图 16A 所示,在 N 型阱 21 形成后,在叠层的整个表面上重新覆盖光刻胶层 22,然后曝光显影以形成孔 22a。随后,在光刻胶层或掩膜 22 之上注入硼
10 离子由此在孔 22a 之下形成 P 型阱 23。此后,去除光刻胶层 22。

- 在图 16B 的步骤之后,在叠层的整个表面上覆盖光刻胶层 24,然后曝光并显影以形成孔 24a,其位于单元晶体管部分的顶部处。在光刻胶层或掩膜 24 之上注入离子,由此形成 P 型阱 13。更具体地,按下列条件连续四次注入离子。用于第一次和第二次离子注入的离子源是 BF_2 ,并且用于第三次和第四次的离子
15 注入的离子源是 B (硼)。用于第一次离子注入的加速能量为 15kV、用于第二次离子注入为 45kV、用于第三次离子注入为 20kV、用于第四次离子注入为 40kV。此外,用于第一次离子注入的剂量为 $5.0 \times 10^{11} \text{cm}^{-2}$ 、用于第二次离子注入为 $5.0 \times 10^{11} \text{cm}^{-2}$ 、用于第三次离子注入为 $6.0 \times 10^{12} \text{cm}^{-2}$ 、用于第四次离子注入为 $5.0 \times 10^{12} \text{cm}^{-2}$ 。

- 20 受四次离子注入影响的 P 型阱 13 具有图 26 所示的硼浓度分布。具体地,图 26 示出从表面测量的 P 型阱 13 的深度和硼浓度之间的关系。在图 26 中,净硼浓度由包络线(实体曲线)表示,包络线包络连续多次离子注入的硼浓度。如图所示,硼浓度分布具有由曲线的粗体部分表示的峰值。优选通过适当地调整注入条件使峰值平坦以至使平坦部分尽可能地沿深度方向延伸,将从图 17B
25 的此后的描述中理解。

- 图 17A 示出在图 16B 所示的步骤之后将实施的步骤。如图所示,利用留在叠层上的场氧化层 18a 的刻蚀掉硅热氧化层 18。随后,再次对衬底 12 的表面进行热氧化,由此形成大约 10nm 厚度的栅绝缘层 15c。在栅绝缘层 15c 上依次形成大约 10nm 厚度的氮化硅层 25、大约 4nm 厚度的氧化硅层 26 和大约 50nm 厚
30 度的氮化硅层 27。将从下面描述的步骤理解这些层的功能,这些层通过常规

CVD（化学气相淀积）方法形成。

如图 17B 所示，在位于上述叠层的顶部上的氮化硅层 27 上覆盖光刻胶层 45。然后曝光光刻胶层 45 并显影以形成条状孔 45a。随后，在光刻胶层或掩膜 45 之上进行腐蚀，由此开口氮化硅层 25 和 27、氧化硅层 26 和栅绝缘层 15c。

- 5 此后，通过上述层的开口腐蚀 P 型硅衬底 12 以形成沟槽 28，以致沟槽 28 的底部与硼浓度的峰值相合，参见图 26。如前面所述，使硼浓度的峰值平坦并在图 16B 的步骤中尽可能深地延伸。因此，即使沟槽 28 的深度由于工艺原因不精确，每个沟槽 28 的底部能够确保与硼浓度的峰值相合。

- 10 通过迄今为止描述的步骤，就形成了凸台 13a，每个凸台 13a 在它的底部处具有高的硼浓度，参考图 11 所述。尽管底部处的杂质浓度对阈值电压 V_{th} 有较大的影响，但因为每个沟槽 28 的底部确保了与硼浓度的峰值 108 相合，所以就避免了阈值电压 V_{th} 的变化。

- 当开放每个沟槽 28 的尺寸以供选择时，在说明的实施例中沟槽 28 为大约 380nm。同样，邻近沟槽 28 之间的距离即凸台 13a 的宽度为大约 160nm。在沟槽 28 形成之后，去除光刻胶层 45。

如图 18A 所示，在图 17B 的步骤之后，通过 CVD 方法在叠层的整个露出表面上形成大约 20nm 的氧化硅层 29。随后，如图 18B 所示，通过 RIE（反应离子腐蚀）在厚度的方向上对氧化硅层 29 进行各向异性腐蚀。结果，除了凸台 13a 的侧壁 13b 上存在它的部分之外，去除氧化硅层 29。

- 20 在氧化硅层 29 去除之后，注入砷离子（As）以至在沟槽 28 的底部中形成位线 BL1 和 BL2。此时，留在侧壁 13b 上的氧化硅层 29 就防止砷离子注入到侧壁 13b 中。此外，通过自对准工艺，作为掩膜的凸台 13a 允许在沟槽 28 的底部中形成位线 BL1 和 BL2。注入砷离子具有 15kV 的加速能量、 $2.0 \times 10^{14} \text{cm}^{-2}$ 的剂量。

- 25 在注入砷离子之后，腐蚀在侧壁 13b 上出现的氧化硅层 29 以至由此减薄大约 10nm。因为腐蚀的氧化硅层 29 太薄，所以在下面的图中未示出。

- 图 19 示出在图 18B 的步骤之后实施的步骤。如图所示，在凸台 13a 的侧壁 13b 中注入砷离子，由此在侧壁 13b 上形成相反导电类型的 N 型区 17。如果衬底 12 相对于注入方向倾斜，也能进行这种注入。在说明的实施例中，垂直于 P 型硅衬底 12 的线 n1 相对于注入方向倾斜大约 $\pm 20^\circ$ 。此时，注入的砷离子具

有 10keV 的加速能量、 $5.0 \times 10^{11} \text{cm}^{-2}$ 的剂量。应当注意，在侧壁 13b 上出现的薄氧化硅层 29 就防止了砷离子非常高地注入到侧壁 13b 中，参见图 18B。

沟槽 28 的表面层期望作为器件的沟道，以致表面层的特性严重影响器件特性。因此，必须保护沟槽 28 的表面不受后续步骤的沾污。为了这个目的，在说明的实施例中，通过热氧化在沟槽 28 的侧面和底部上形成大约 4nm 厚度的牺牲氧化硅层 31。牺牲氧化硅层 31 成功地保护沟槽 28 的表面不受沾污。此外，该层 31 用作去除晶格缺陷，特别是用作去除沟槽 28 表面的晶格缺陷，由此防止器件特性退化。随后，在包含沟槽 28 内部的叠层的整个暴露表面上通过 CVD 方法形成大约 60nm 厚度的氮化物层或掩膜 30。

10 如图 20A 所示，在图 19B 的步骤之后，为了形成伸长的凹槽 30a，在厚度方向上进行氮化硅层 30 的各向异性腐蚀。应当注意，每个凹槽 30a 的宽度小于沟槽 28。随后，用氮化硅层 30 作为掩膜选择腐蚀牺牲氧化硅层 31 和部分位线 BL1 和 BL2。结果，在位线 BL1 和 BL2 中形成凹槽 32，每个凹槽的深度为大约 10nm。

15 在凹槽 32 已经形成之后，为了降低位线 BL1 和 BL2 的电阻，在位线 BL1 和 BL2 中通过凹槽 30a 注入砷离子。此时，注入的砷离子具有 30keV 的加速能量、 $3.0 \times 10^{15} \text{cm}^{-2}$ 的剂量。在图 20A 中，注入砷离子的部分由参考数字 33 表示。

图 27A 和 27B 分别示出在上述离子注入之前的条件和注入之后的条件。如图所示，通过每个宽度小于沟槽 28 的每个凹槽 30a 实现离子注入，以致在位线 BL1 (BL2) 中集中地注入砷离子而不会分散到侧边。因此降低位线 BL1 和 BL2 20 的电阻是可能的，从而减少了由于砷的分散导致邻近的位线 BL1 和 BL2 穿通的可能性。

随后，如图 20B 所示，用氮化硅层 30 作为掩膜选择性氧化凹槽 32，由此形成选择氧化层或第四氧化层 34。此外，为了形成选择氧化层 34，可以在图 20B 25 的步骤中氧化位线 BL1 和 BL2 的表面，而不用在图 20A 的步骤中形成凹槽 32。然而，这种选择方法，会在位线 BL1 和 BL2 的表面和牺牲氧化硅层 31 之间的选择氧化层 34 中形成鸟喙。

我发现，如果形成凹槽 32、然后氧化凹槽 32 就能减少鸟喙。如果鸟喙不重要，那么就可以忽略凹槽 32 形成选择氧化层 34。

30 在选择氧化层 34 已经形成之后，通过腐蚀去除氮化硅层 27 和 30。此时，

氧化硅层 26 和牺牲氧化硅层 31 担任腐蚀阻挡层的作用。随后, 通过用氮化硅层 25 作为腐蚀阻挡层的腐蚀, 去除氧化硅层 26。这种腐蚀达到这种程度, 即完全去除氧化硅层 26, 但保留选择氧化层 34。

图 21A 示出图 20B 的步骤之后的步骤。如图所示, 再次氧化沟槽 28 的底部和侧面以形成隧道绝缘层 15a。隧道绝缘层 15a 优选提供有所需的特性, 因为它们

5 它们的特性将严重影响器件的工作特性。为了这个目的, 说明的实施例通过采用等离子体氧化并在等离子体装置中引入氪 (Kr) 和氧 (O_2) 混合气体形成隧道绝缘层 15a, 上述等离子体氧化是通过采用射线状天线的微波激发的高密度等

离子体装置进行的。

在上述的等离子体装置中, 通过微波激发的 Kr 与 O_2 碰撞, 由此产生大量的原子态氧 O^* 。原子态氧 O^* 容易进入沟槽 28 的表面层并以实质上相同的速度氧化沟槽 28 的底部和侧面, 而与平面方向无关。因此, 在沟槽 28 的角落部分中形成具有均匀厚度的隧道绝缘层 15a, 在放大图中的圆圈 110 和 112 表示。用于等离子体氧化的详细描述, 可以参考例如论文 No.29p-YC-4, The 48th Joint

10 15 Meeting of Engineers of Applied Physics of Japan 以及日本专利 JP 特开平 2001-160555。

图 21B 示出在图 20B 的步骤之后的步骤。如图所示, 在隧道绝缘层 15a 和氮化硅层 25 上形成大约 50nm 厚度的多晶硅层或导电层 34。多晶硅层 34 通过前述的即时工艺掺杂有磷 (P)。

随后, 如图 22B 所示, 在厚度或深度方向上各向异性腐蚀多晶硅层 34。结果, 去除掉隧道绝缘层 15a 上的多晶硅层 34, 而保留沟槽 28 的侧面上的隧道绝缘层 15a 上的多晶硅层 34。沟槽 28 的侧面上的多晶硅层 34 构成浮栅 FG1 和 FG2。此后, 通过腐蚀去除氮化硅层 25。

20

应当注意, 参见图 21B, 氮化硅层 25 在此制造步骤中处于次要地位。在图 17A 所示的步骤中已经在栅绝缘层 15c 上形成氮化硅层 25, 氮化硅层 25 保护栅绝缘层 15c 直到图 21B 所示的步骤。栅绝缘层 15c 对器件的工作有巨大的影响。关于这点, 氮化硅层 25 保护栅绝缘层 15c 防止栅绝缘层 15c 的特性在包括离子注入、腐蚀以及形成不同种类层的各种工艺期间退化。因此, 防止器件的工作特性退化。

25

随后, 如图 22B 中所示, 在叠层的整个表面上覆盖光刻胶层 35, 然后曝光

30

并显影以在 CMOS 晶体管部分中形成孔 35a。此后，用光刻胶层 35 作为掩膜腐蚀 CMOS 晶体管部分中的栅绝缘层 15c，由此使 N 型阱 21 和 P 型阱 23 的表面暴露到外面。

如图 23A 中所示，在图 22B 的步骤之后，通过前述的等离子体氧化工艺氧化叠层的整个暴露的表面。这就氧化在栅绝缘层 15c 之下的硅，并由此增加了层 15c 的厚度。同时，氧化浮栅 FG1 和 FG2 的表面以至形成内多晶硅绝缘层 15b，每个内多晶硅绝缘层 15b 具有大约 8nm 的厚度。

浮栅 FG1 和 FG2 由多晶硅形成，以致在浮栅 FG1 和 FG2 的表面上形成平面方向上的无数的不同晶粒。然而，等离子体氧化允许均匀地形成氧化硅层，如前面所述而与平面方向无关。这就消除了内多晶硅绝缘层 15b 局部太薄并且在其较薄的部分处它的绝缘特性退化情况的发生。即使当多晶硅掺杂有磷时，也能获得这种优点。

图 23B 示出在图 23A 的步骤之后实施的步骤。如图所示，在叠层的整个暴露的表面上形成期望构成控制栅极 CG 的多晶硅层。通过前述的工艺用磷掺杂多晶硅层。随后，在多晶硅层上形成 WSi 层 36。此外，在 WSi 层 36 上形成作为氧化硅层完成的盖帽层 38。此后，构图一个位于另一个之上的这些层以制造图 23B 中所示的结构。

通过图 23B 的步骤，在行的方向上相互结合形成多个控制栅极 CG。同时，在 P 型阱 23 和 N 型阱 21 之上分别形成栅电极 41，其包含在 CMOS 晶体管部分中。栅电极 41 每个主要通过多晶硅层 37 实现，并且它具有通过 WSi 层 36 降低的电阻。WSi 层 36 还在每个控制栅极 CG 中出现并低于控制栅极 CG 的电阻。

如图 24A 中所示，在图 23B 的步骤之后，在叠层的整个表面上覆盖光刻胶层 39，然后曝光并显影以在相邻的控制栅极 CG 之间形成孔 39a。随后，如图 24B 中所示，通过用光刻胶层 39 作为掩膜腐蚀去除没有被控制栅极 CG 覆盖的内多晶硅层 15b 的部分。此时，控制栅极 CG 之间的栅绝缘层 15c 别轻微地腐蚀。此后，通过采用不同的蚀刻剂腐蚀，去除没有被控制栅极 CG 覆盖的浮栅 FG1 和 FG2 的部分。结果，隧道绝缘层 15a 暴露于相邻的控制栅极 CG 之间的外部。

最后，如图 25 中所示，在没有被控制栅极 CG 覆盖的每个凸台 13a 的侧壁 13b 和顶部 13c 上形成隔离区 40。当侧壁 13b 和顶部 13c 在相应的控制栅极 CG

之下形成沟道时, 隔离区 40 就电隔离这些在邻近控制栅极 CG 之下的沟道。为了形成隔离区 40, 在光刻胶层或掩膜 39 之上注入硼离子。此时, 衬底 12 相对于注入方向倾斜以致在凸台 13a 的侧壁 13b 上形成隔离区 40。在说明的实施例中, 如前面所述, 相对于 P 型硅衬底 12 的线 n_1 相对于注入 n_0 方向倾斜大约 $\pm 20^\circ$ 。

5 更具体地, 用 20kV 的加速能量、 $1.0 \times 10^{13} \text{cm}^{-2}$ 的剂量注入作为籽晶的 BF_2 。

随后, 去除光刻胶层 39 以完成半导体存储器 10, 如图 1 中所示。完成了具有在预选位置处形成的源/漏区的 CMOS 部分。

当在说明的实施例中分别采用 P 型和 N 型作为一种导电类型和相反的导电类型时, 当然, 可以采用 N 型和 P 型分别作为一种导电类型和相反的导电类型。

10 简而言之, 已经或将发现本发明提供一种晶体管、一种使用该晶体管的半导体存储器, 以及一种制造具有下列没有先例的各种优点的晶体管的方法。

在一个线性地连接源/漏区的区中没有形成沟道, 但在远离上述区的一个区中二维地形成沟道。因此, 以最小的面积和空间就获得了足够的沟道长度, 促进了晶体管的最小化。

15 沟道中的载流子在线形地连接源/漏区的区中二维地流动, 以致浮栅位于载流子前进的方向。因此, 在写入模式下, 载流子完全在不受控下直接地被注入到浮栅。这就降低了加速载流子所需的电压, 由此使写入电压低于传统的晶体管的写入电压。

20 在每个凸台的侧壁上形成相反的导电类型区以提高在凸台的顶部上的电压降, 以致在顶部急剧地加速载流子。这就更进一步地降低了写入电压。即使当在凸台的顶部上形成的第一绝缘层的厚度增加时, 或当在凸台的顶部上形成一种导电类型的杂质区、该杂质区的杂质浓度高于一种导电类型的凸台的杂质浓度时, 也能获得这种优点。

25 由于这些部件之间的电容, 浮栅的电位受凸台的相反的导电类型区的电位、源/漏区的电位和控制栅极的电位作用。因此将漏电流增加或降低到所需的值并由此扩大电流窗口是可能的。此外, 因为电子被选择注入到浮栅的任何一个, 即使当减少单元尺寸时, 其中浮栅的电子的存在也是显然的。

30 当未选择单元晶体管时, 尽管用于选择另一个单元的不同电位施加到源/漏区, 通过浮栅和源/漏区之间的电容浮栅被吸引到源/漏区的电位。因此, 第二绝缘层就没有暴露到强电场, 使阻抗达到增大隧道的内带。

增加凸台的底部处的一种导电类型的杂质浓度，以致凸台两侧的源/漏区小量地穿通。此时，因为在凸台的侧壁上出现相反的导电类型区，所以该区的相反的导电类型杂质和凸台底部的一种导电类型的杂质就相互补偿。这就防止了晶体管的阈值电压过大地增加。

- 5 通过在行和列的方向上设置每个具有上述优点的单元晶体管，就可以构成存储器阵列。此时，在行的方向上在彼此相邻的单元晶体管之间形成与第二绝缘层相邻的比第二绝缘层更厚的第四绝缘层。第四绝缘层减少了源/漏区和控制栅极之间的漏电流。

- 10 为了降低源/漏区的电阻，在源/漏区中形成浓度比每个源/漏区更高的相反的导电类型区。这就成功地防止了器件的工作速度被降低。

本发明的制造半导体存储器的方法保护具有保护层的第一绝缘层，然后在浮栅形成之后去除保护层。因此在不同工艺期间保护第一绝缘层不受损伤直至形成浮栅。

- 15 在保护层去除之后，氧化第一绝缘层的暴露的表面和浮栅的暴露的表面。这允许加厚第一绝缘层并允许在浮栅的表面上形成第三绝缘层。

在每个沟槽中形成掩膜层，然后形成具有窄凹槽的掩膜层，以致通过凹槽在源/漏区中尖锐地没有侧面分散地注入相反的导电类型的杂质。因此降低源/漏区的电阻是可能的，同时防止了由于杂质的分散源/漏区被穿通。

- 20 为了形成凹槽，通过上述凹槽选择腐蚀每个源/漏区。随后，选择性氧化凹槽。这使第四绝缘层比要形成的第二绝缘层更厚，同时导致出现的鸟喙最小。

在一种导电类型的半导体衬底中多次注入一种导电类型的杂质，以至由此形成一种导电类型的杂质浓度分布的峰值。本发明的方法可以使峰值平坦并将其延伸深入到衬底中。因此凹槽的底部可以确保与峰值一致、与凹槽的深度中的不规则无关，因此防止了晶体管的阈值电压变化。

- 25 在此，将分别在 2001 年 11 月 1 日和 2002 年 10 月 18 日提交的日本专利申请 Nos.2001-336822 和 2002-303845 的整个申请文本包括说明书、权利要求书、附图和说明书摘要的全部内容在此引作参考。

- 30 尽管本发明已经参考具体的说明实施例进行了描述，但并不通过实施例进行限制。很显然，本领域普通技术人员在不脱离本发明的精神和范围下可以改变或修改实施例。

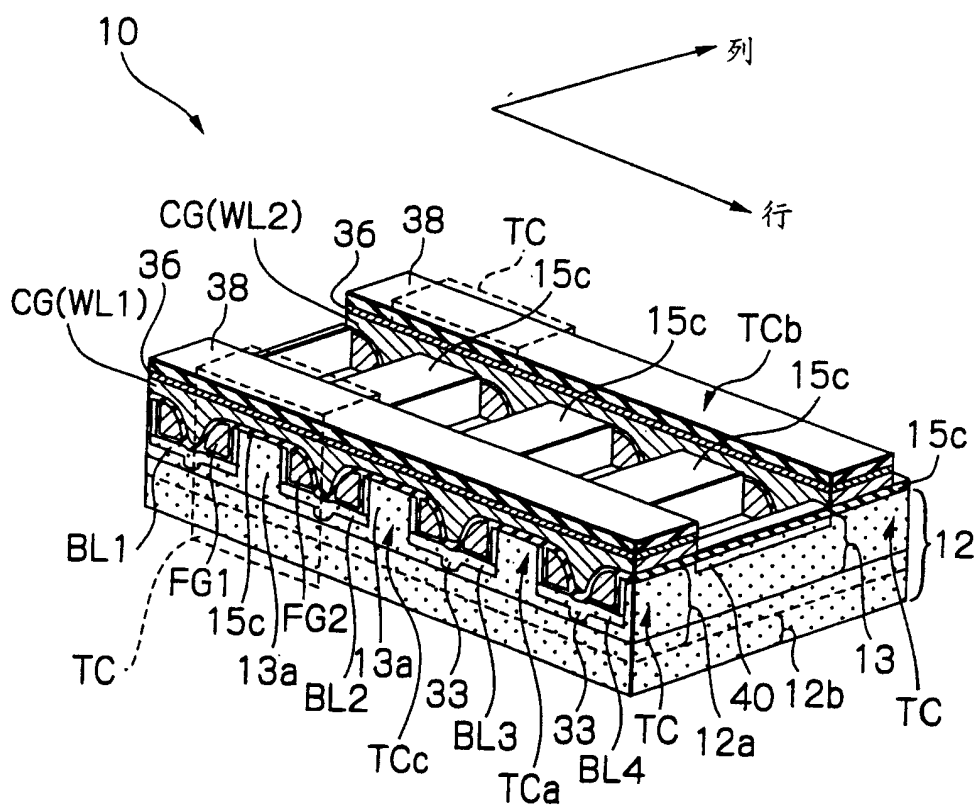


图 1

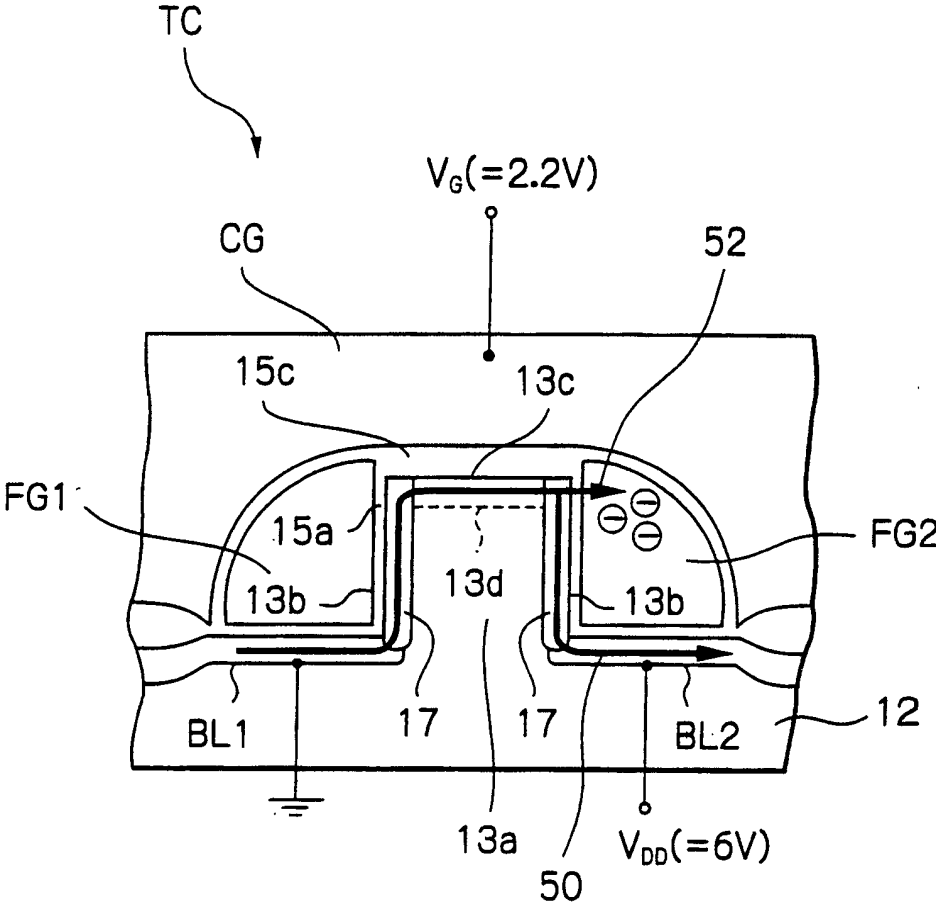


图 4

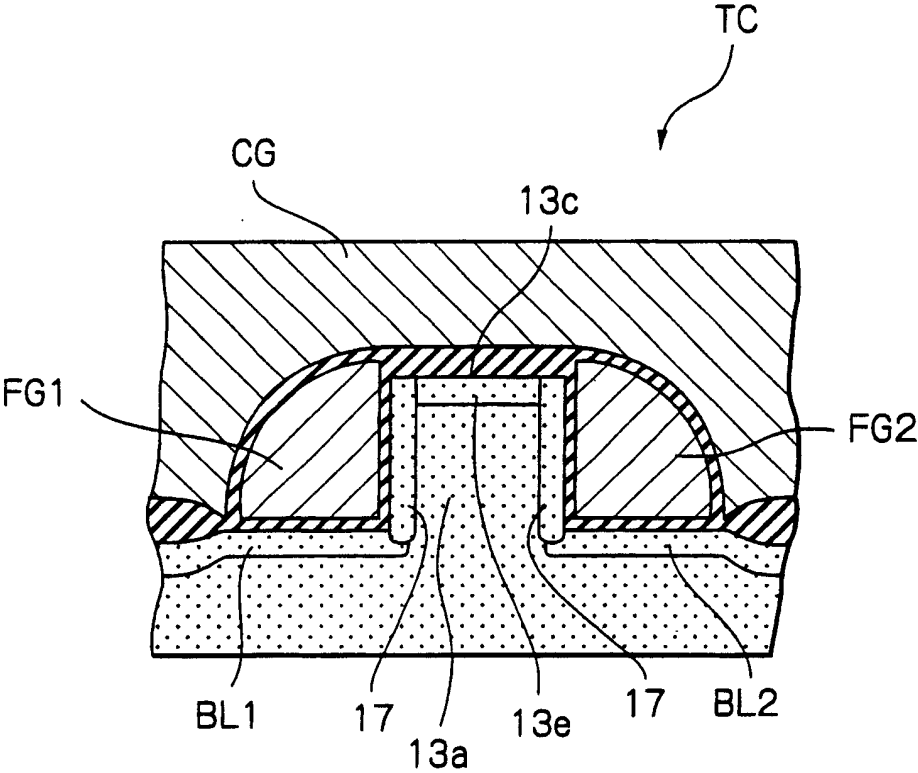
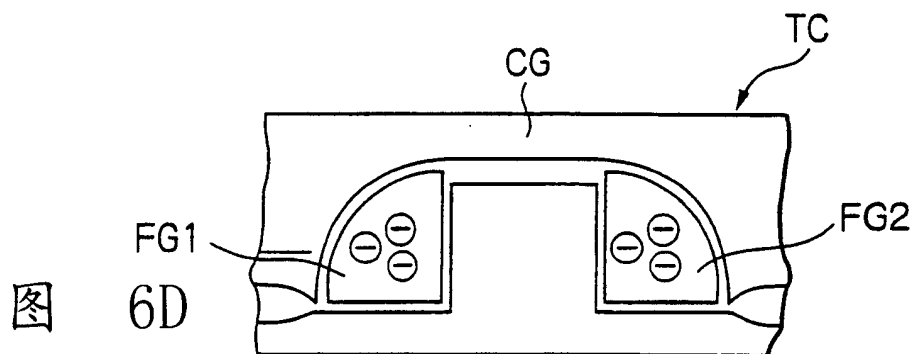
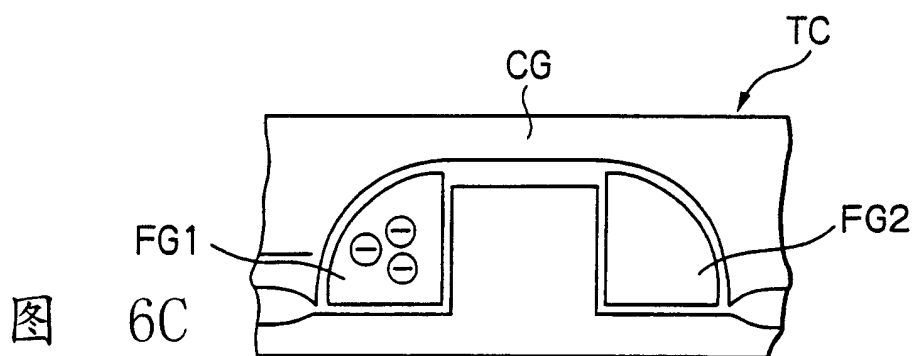
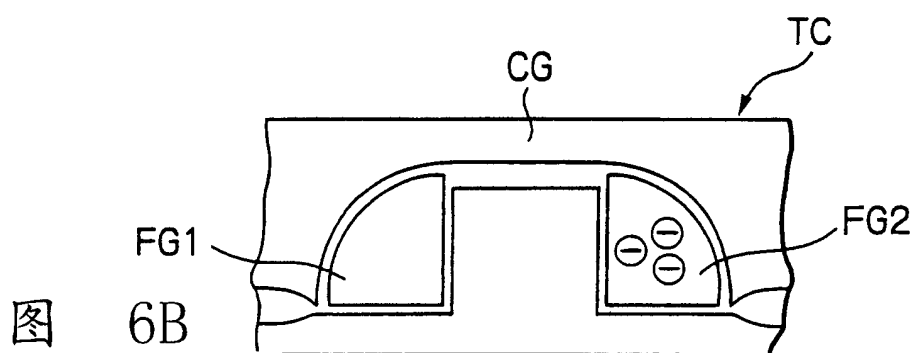
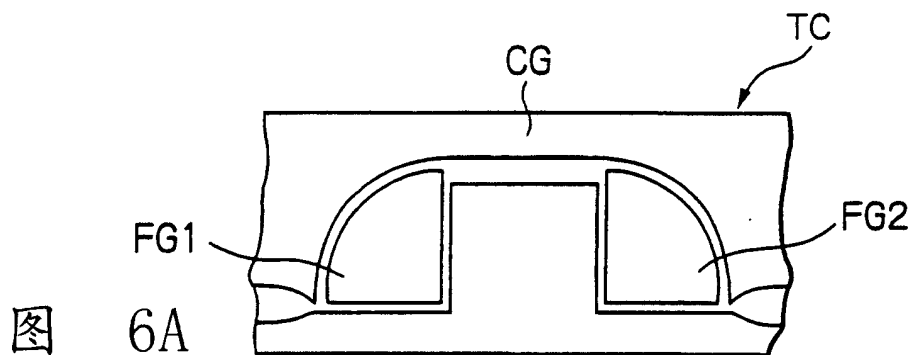


图 5



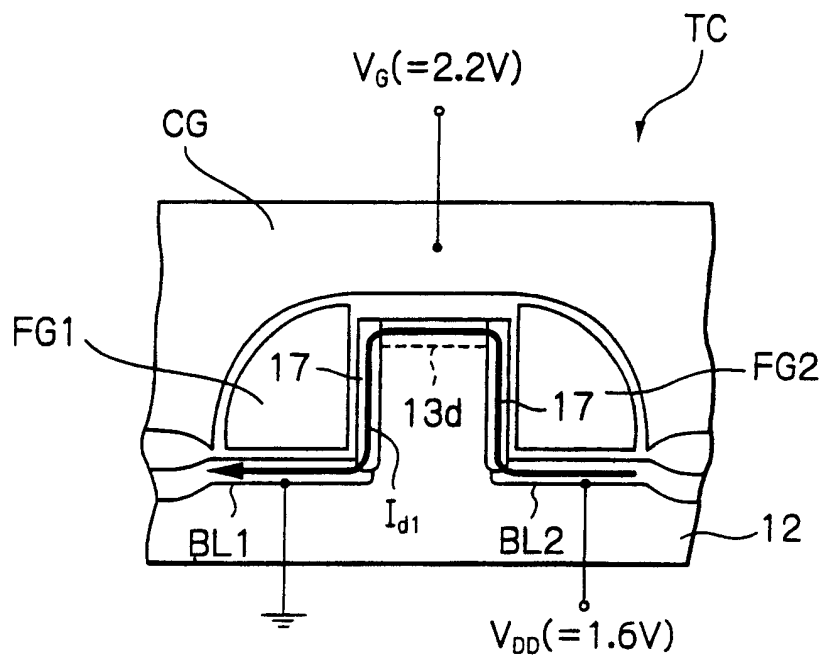


图 7A

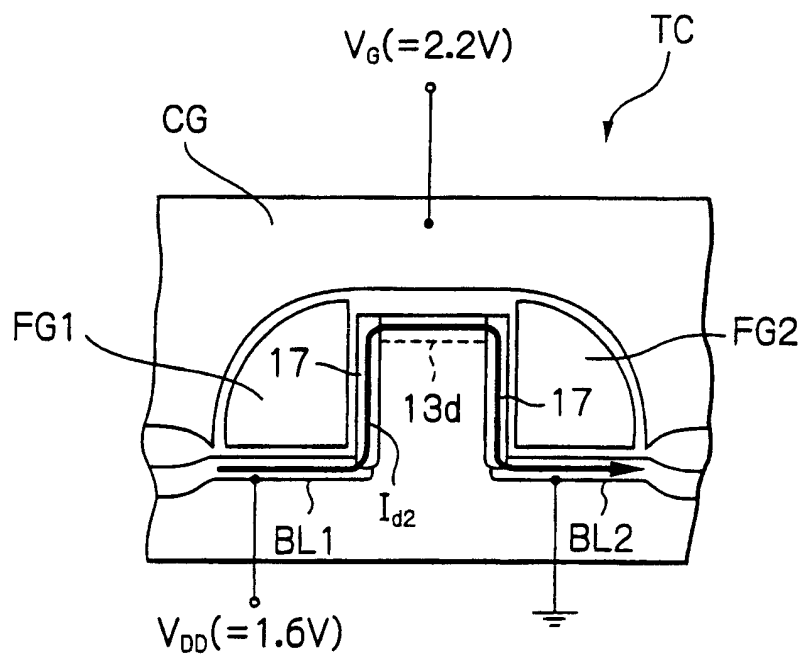


图 7B

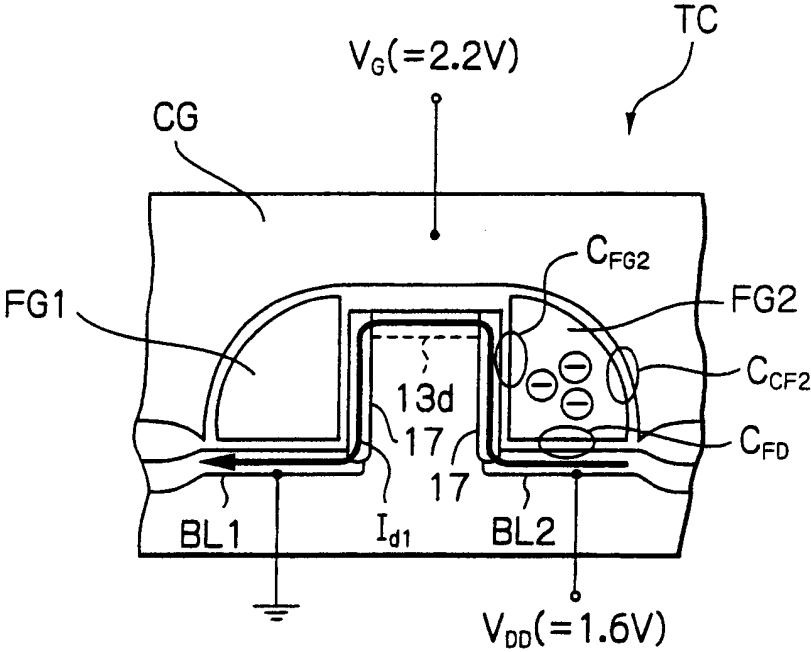


图 8A

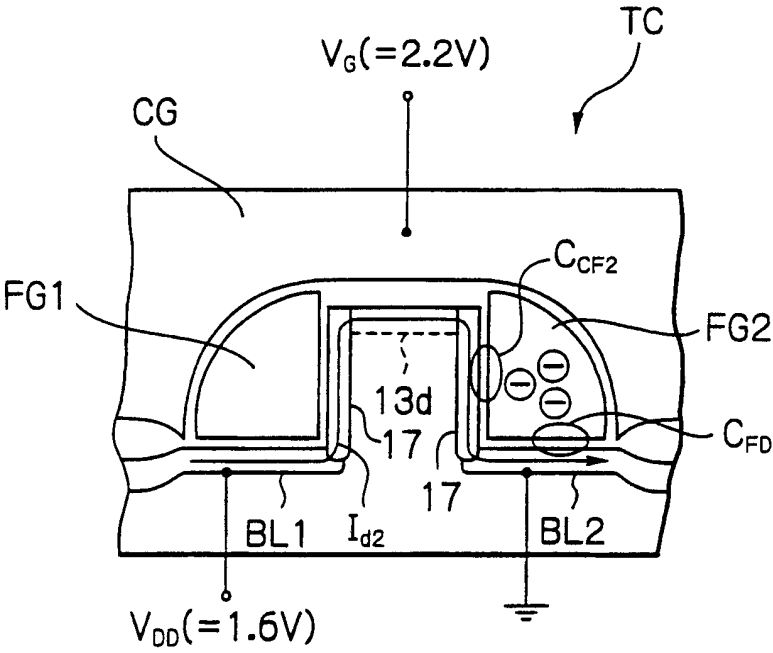


图 8B

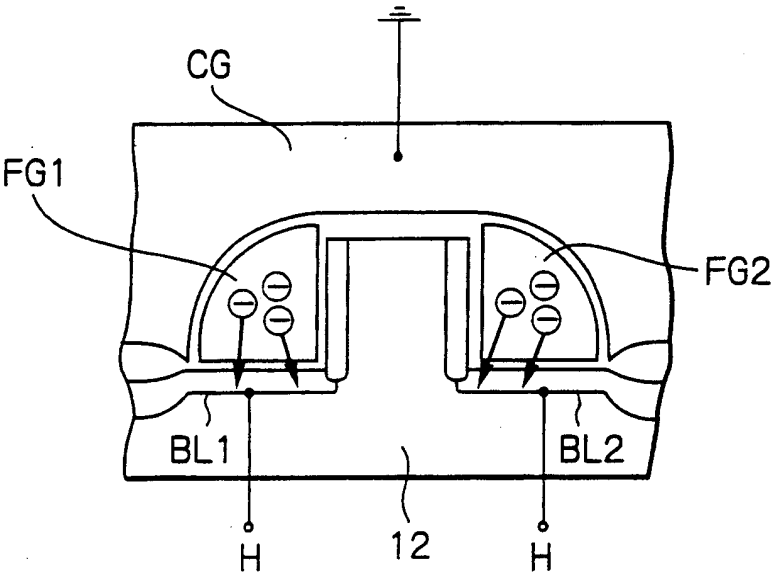


图 9

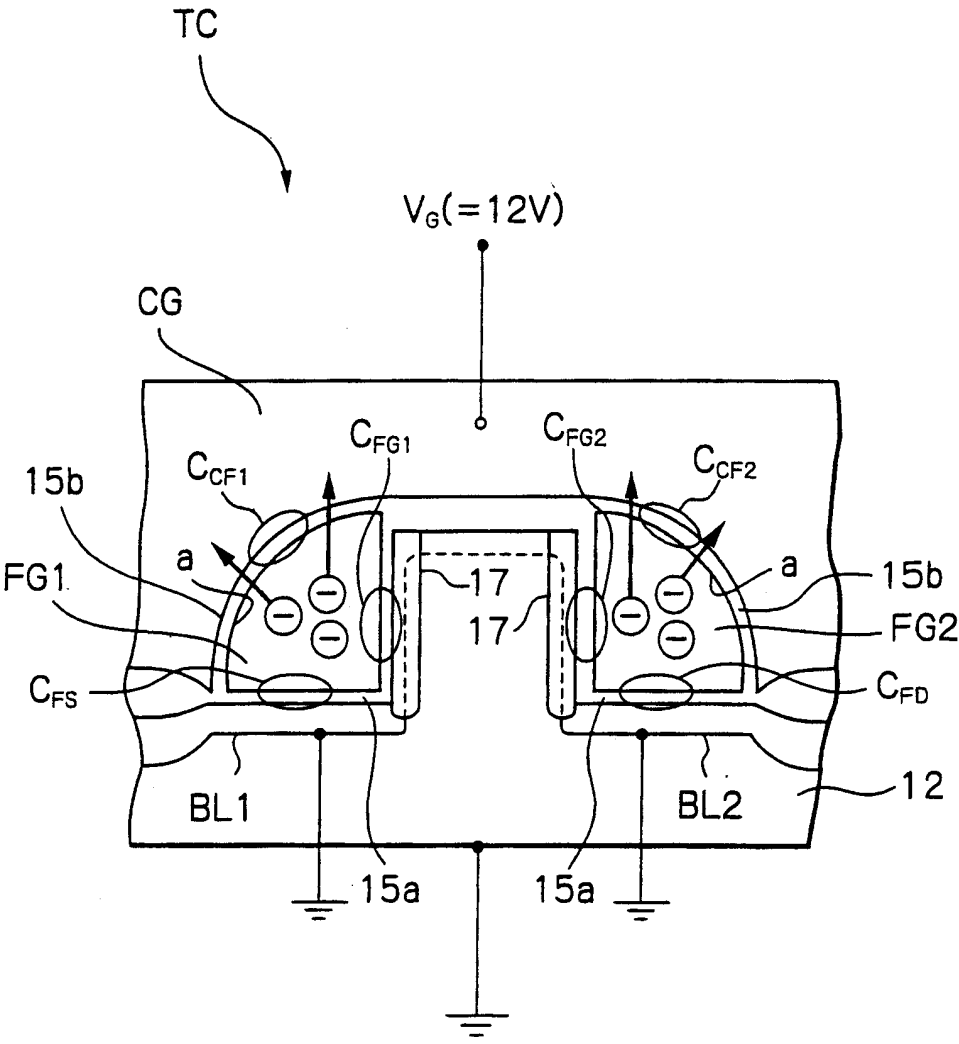


图 10

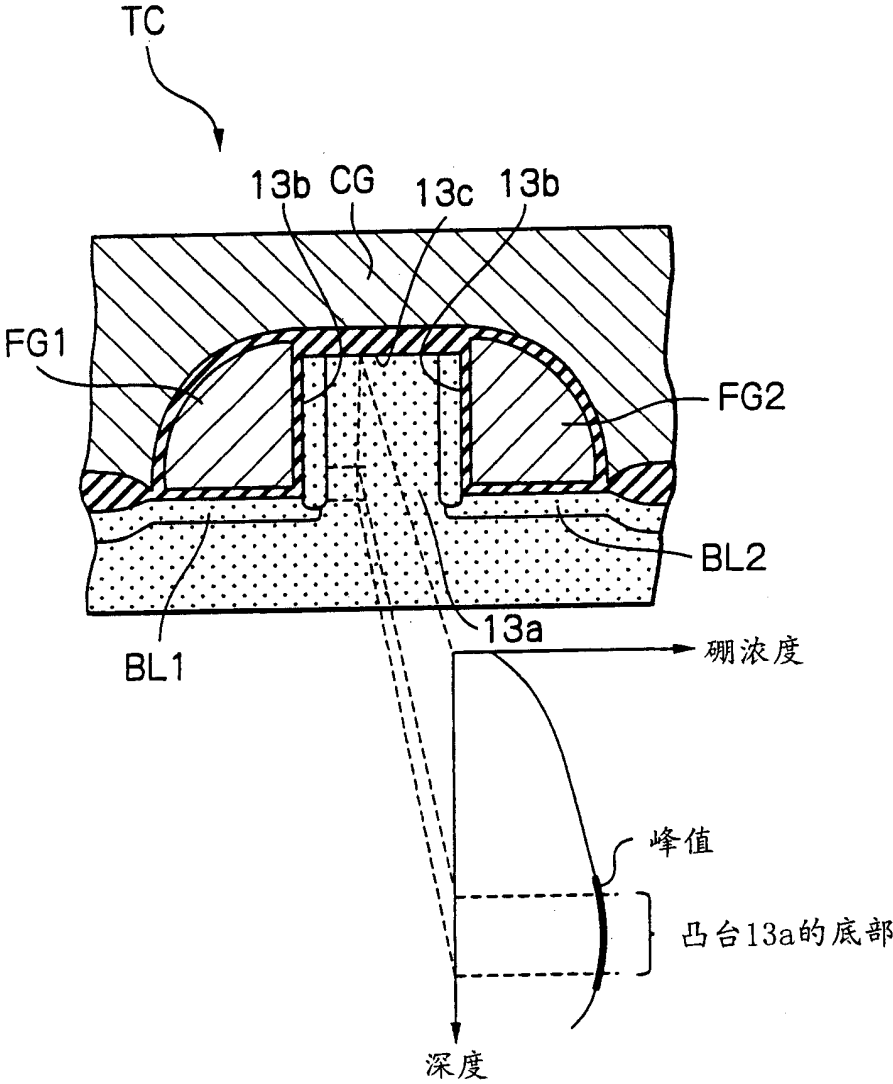


图 11

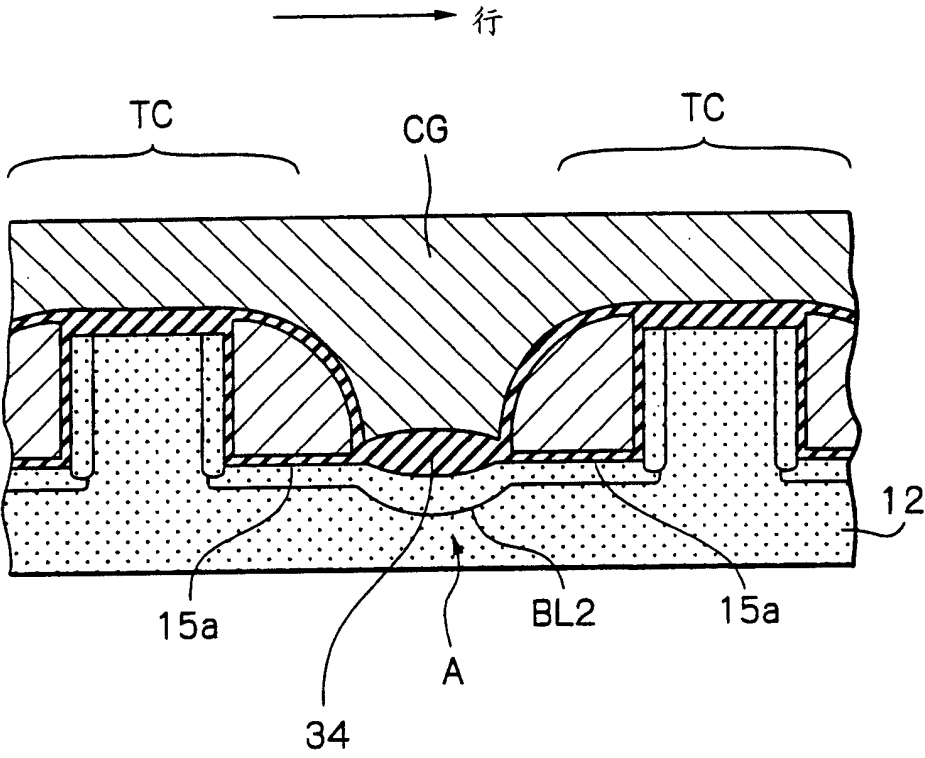


图 12

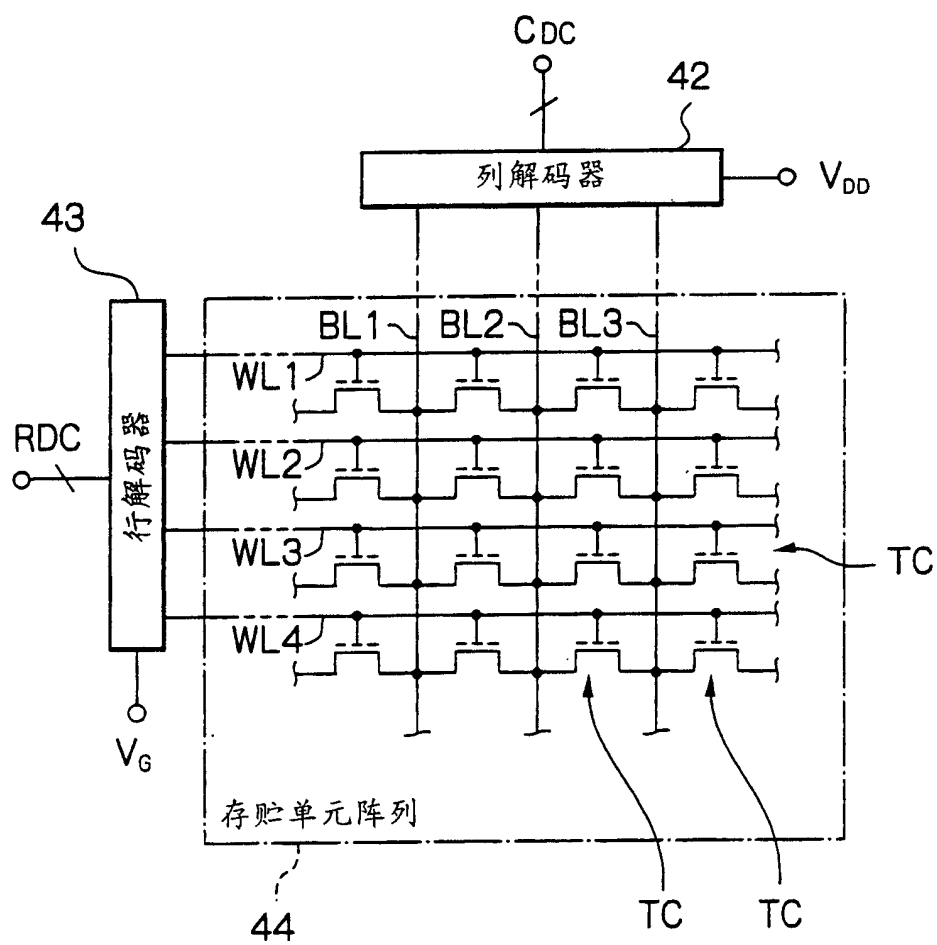


图 13

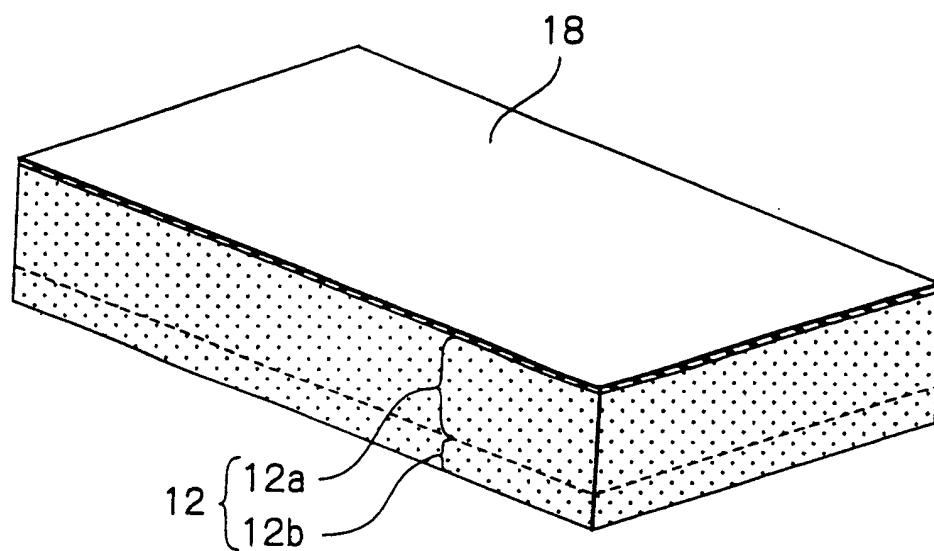


图 14A

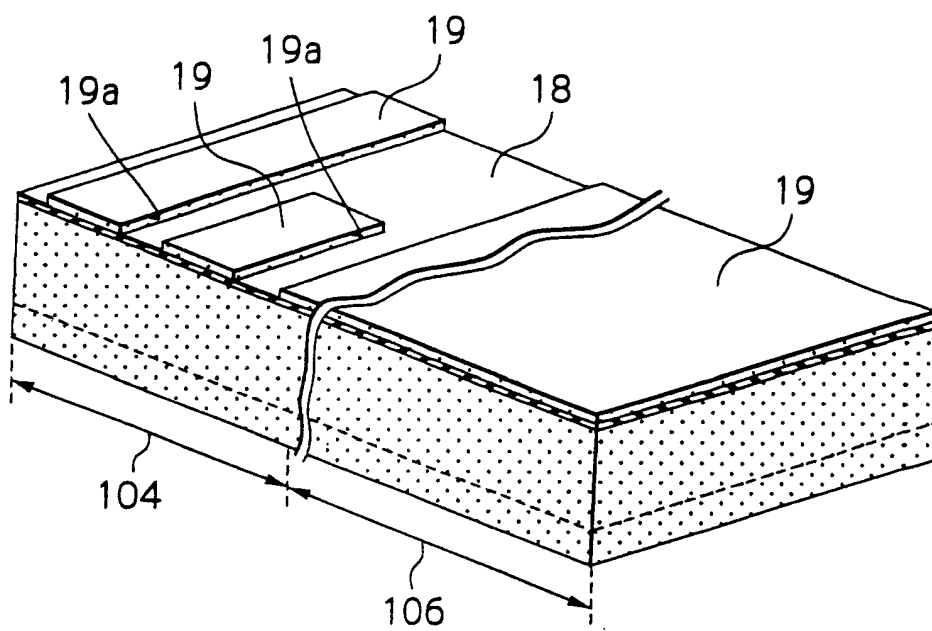


图 14B

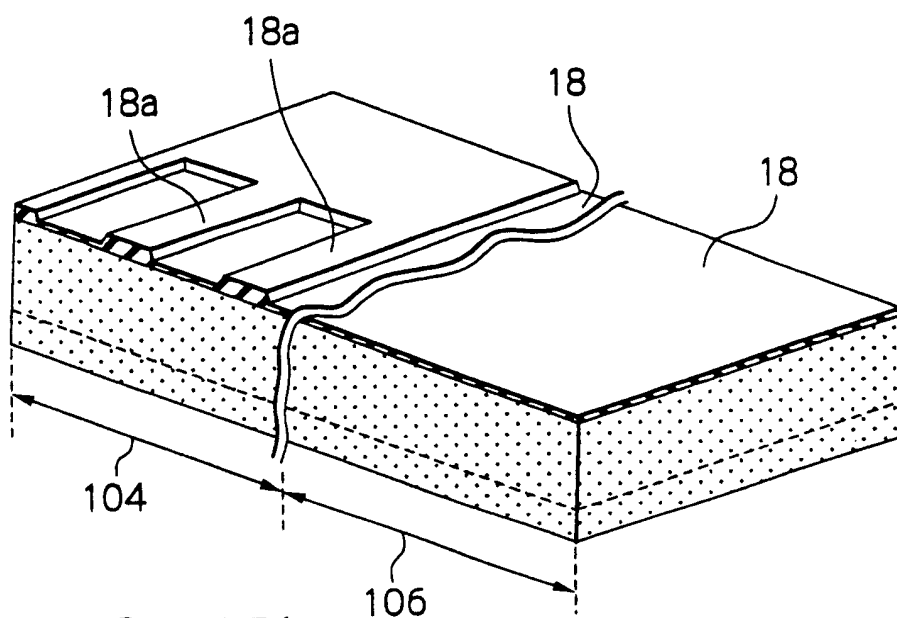


图 15A

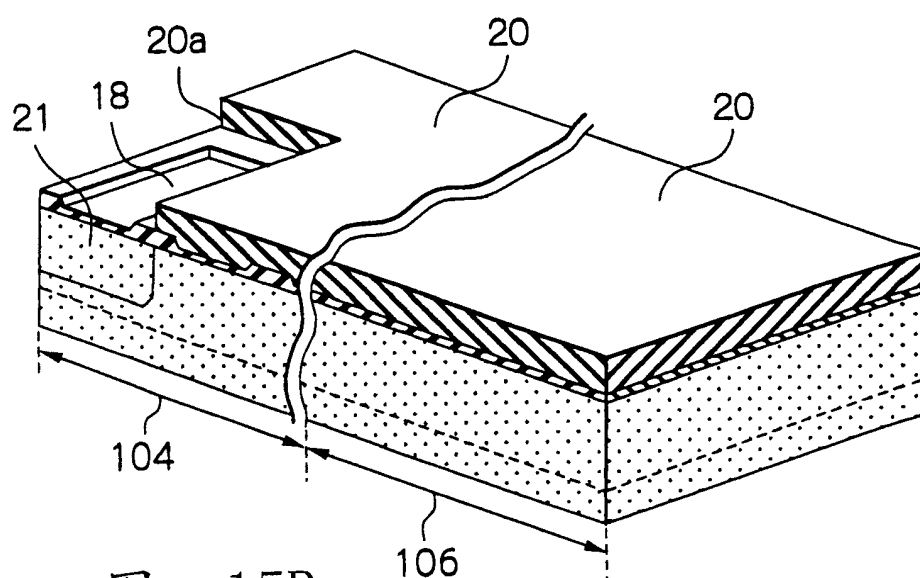


图 15B

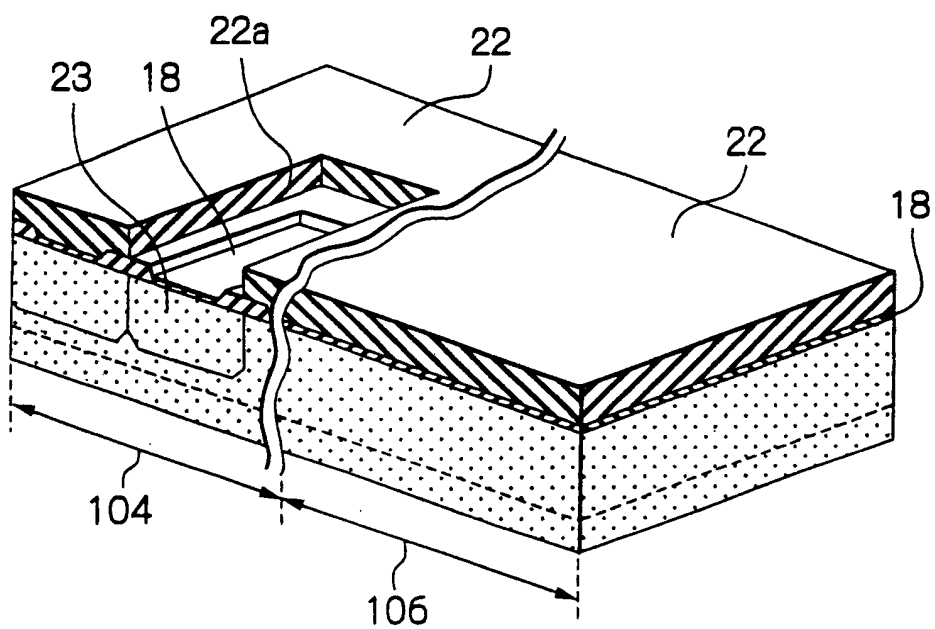


图 16A

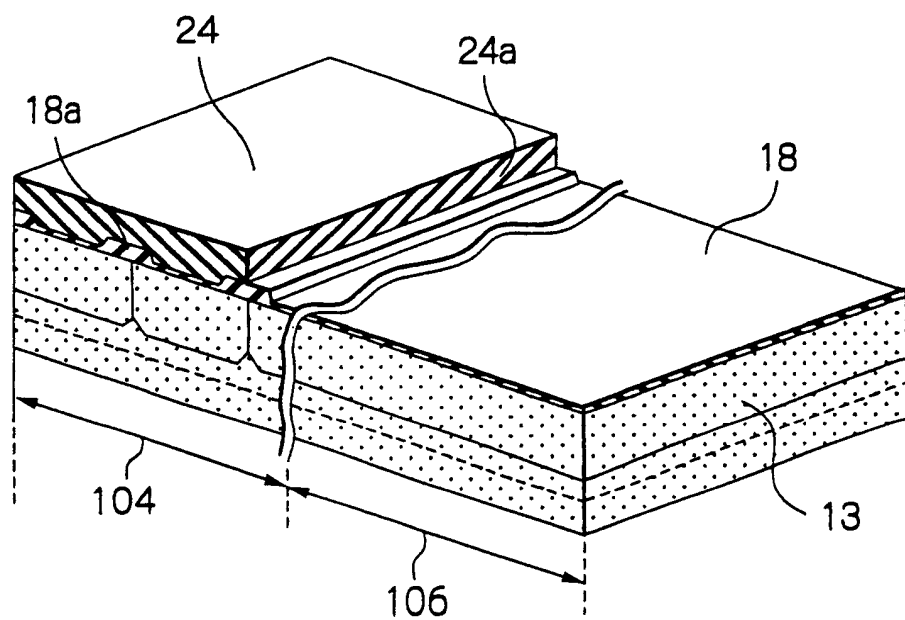


图 16B

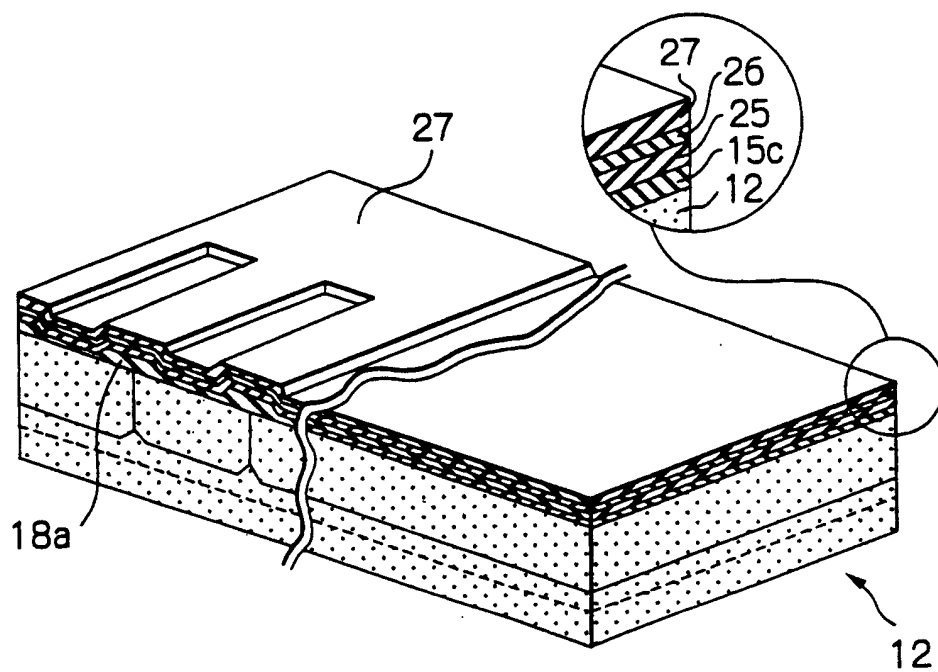


图 17A

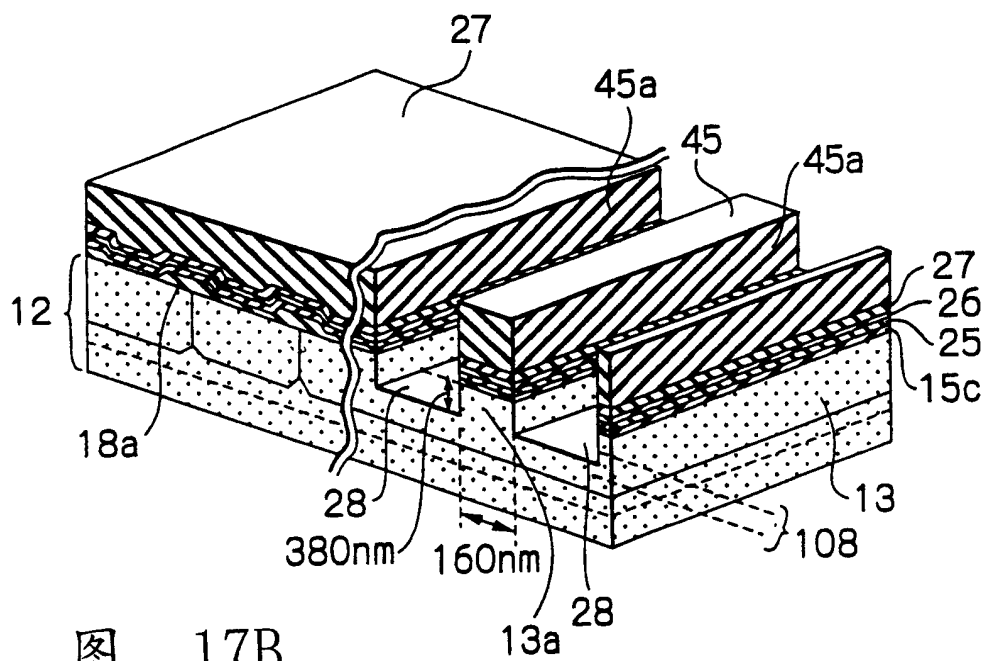


图 17B

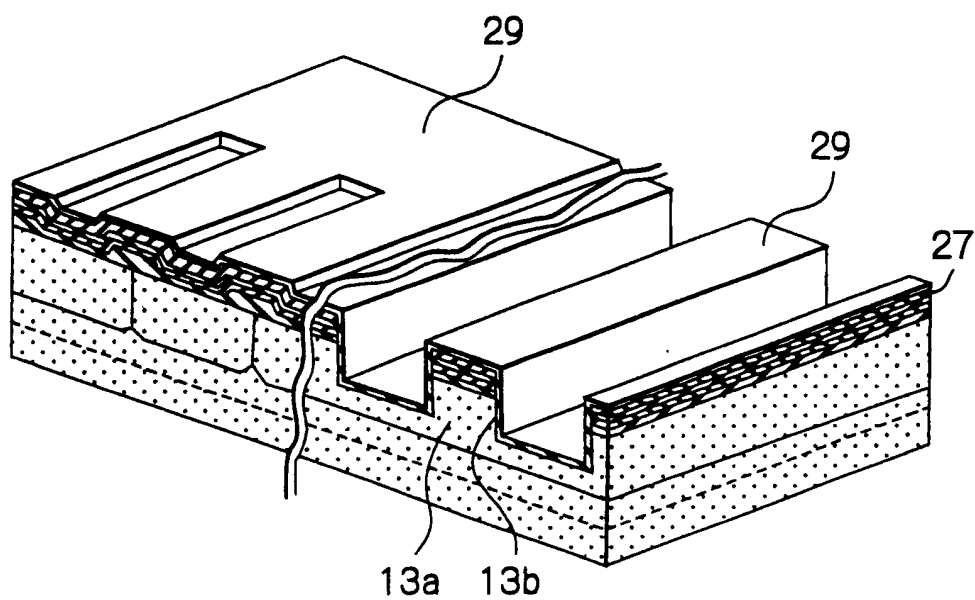


图 18A

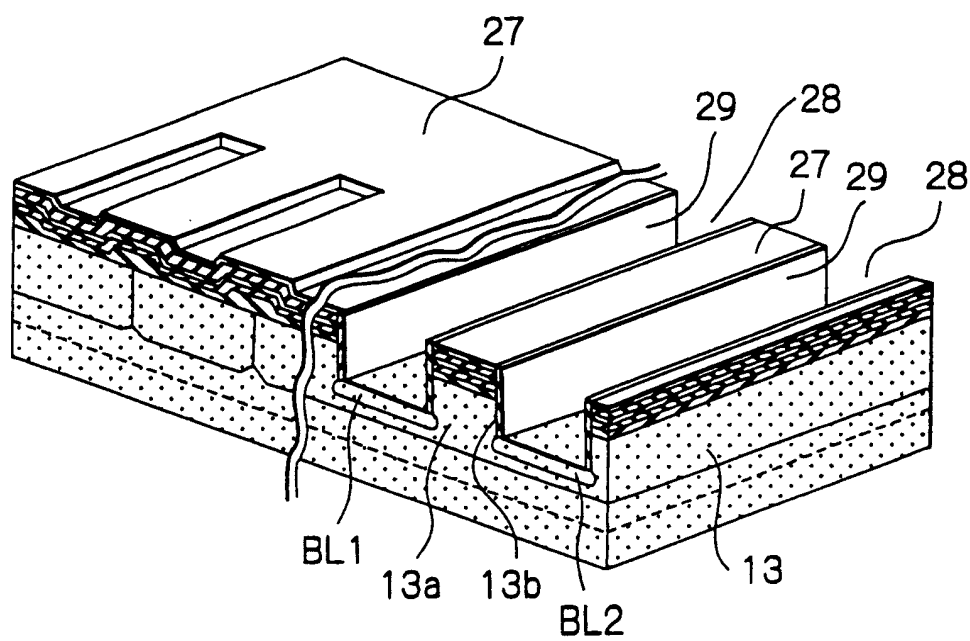


图 18B

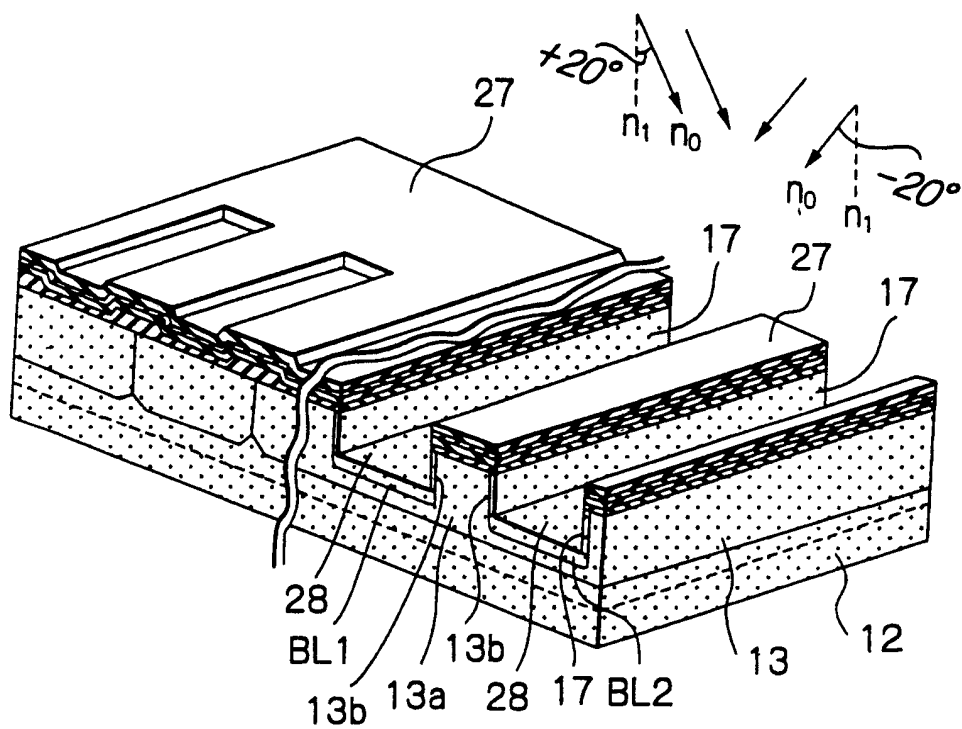


图 19A

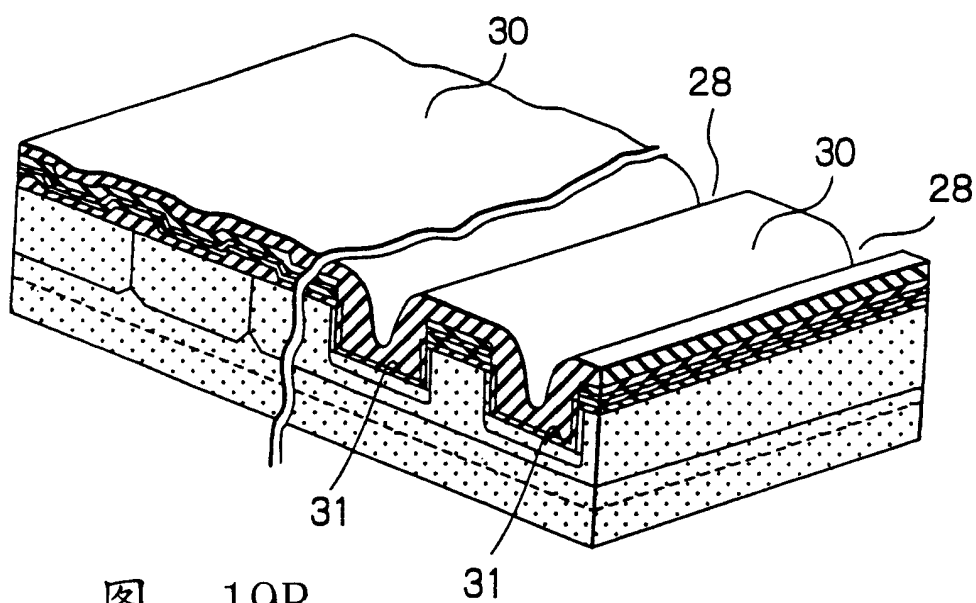


图 19B

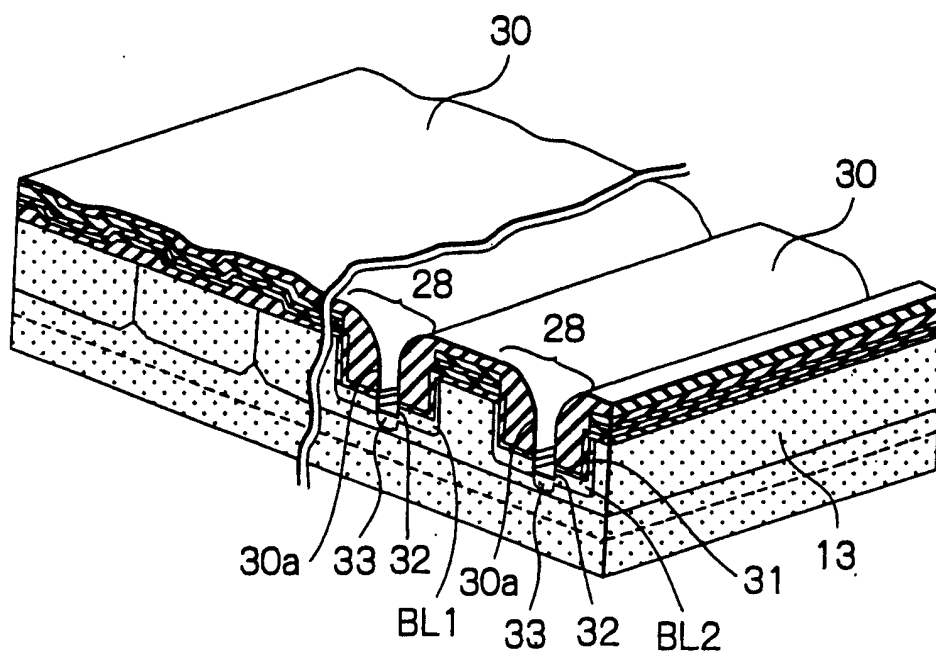


图 20A

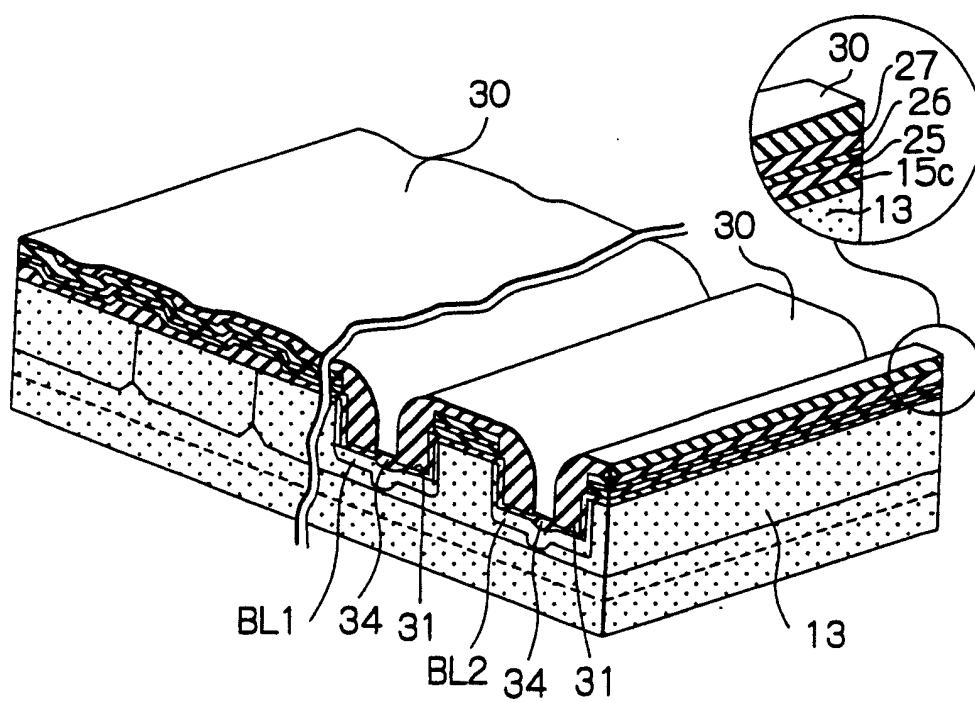


图 20B

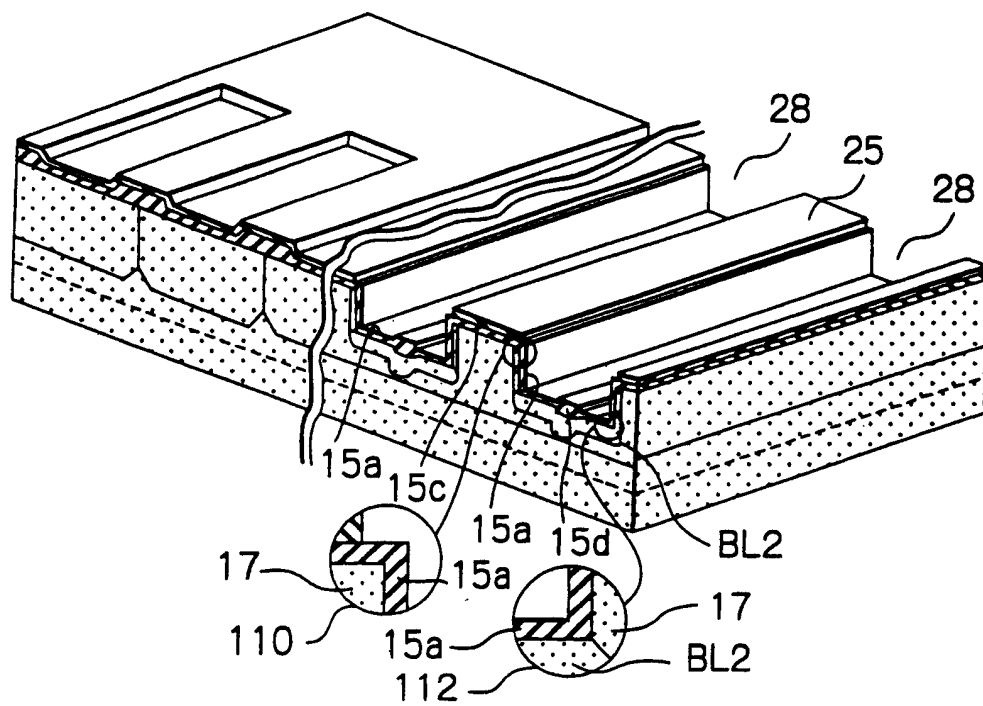


图 21A

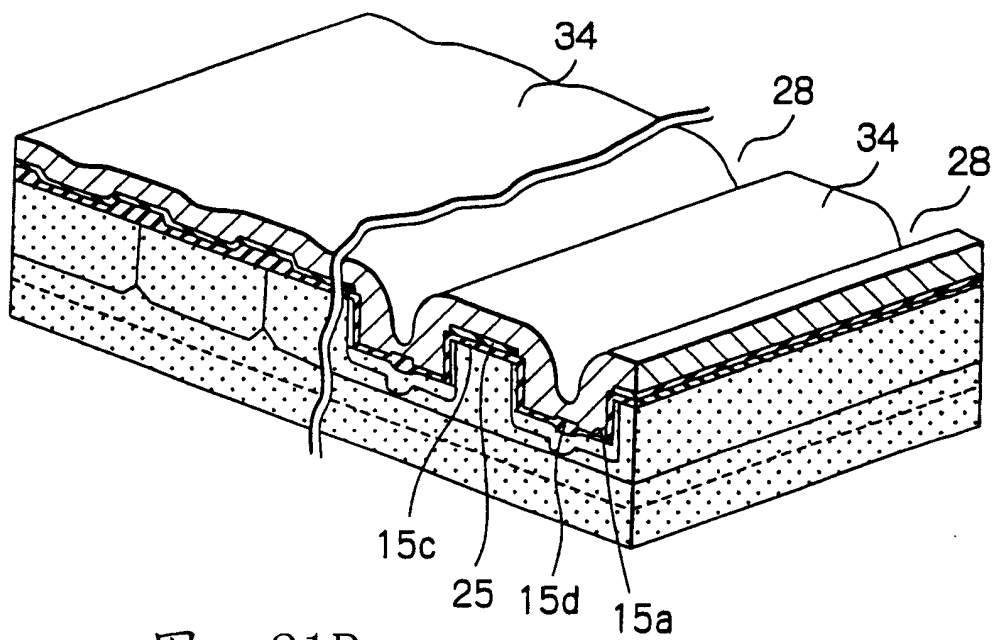


图 21B

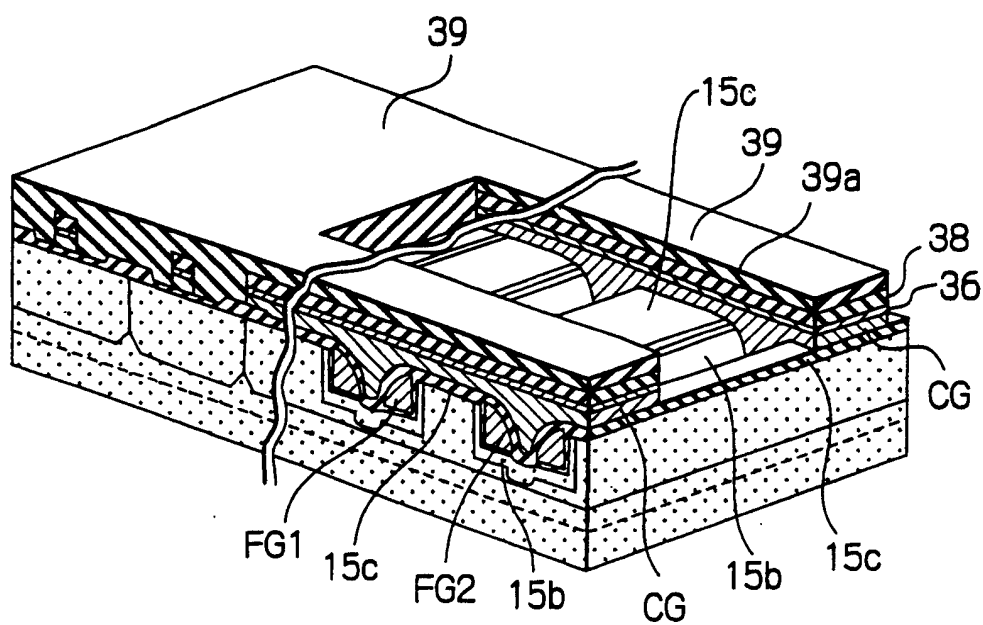


图 24A

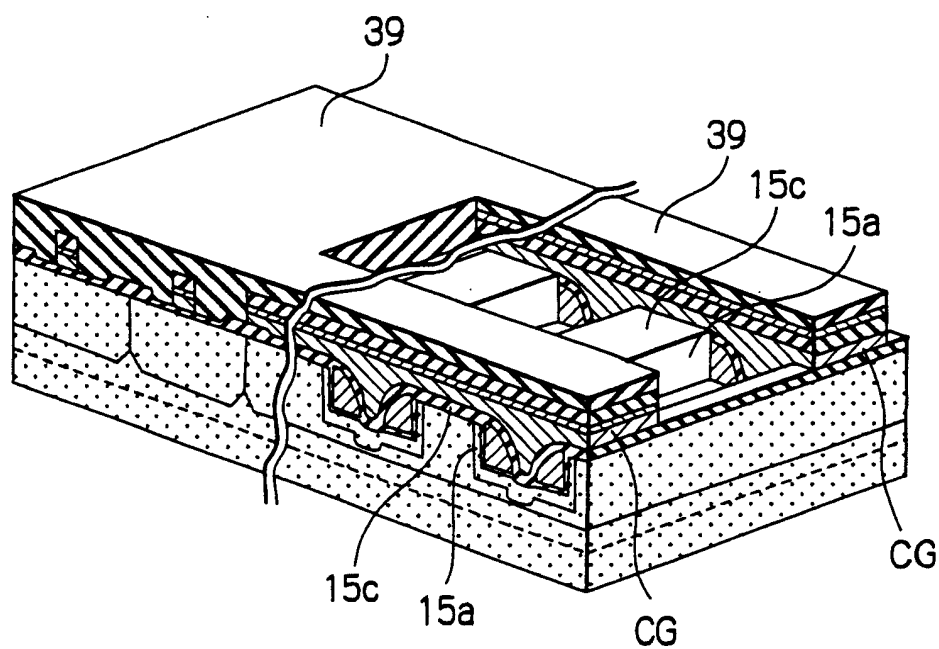


图 24B

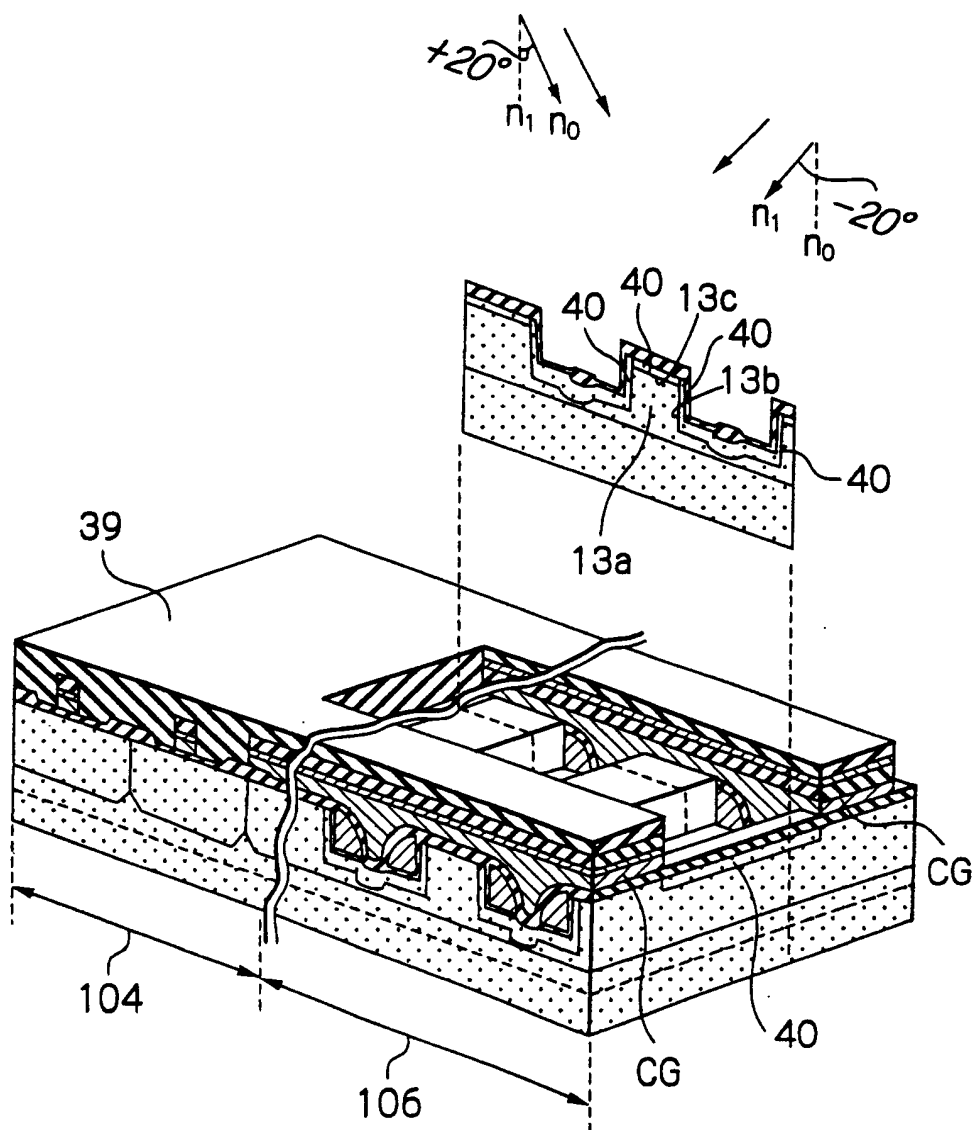


图 25

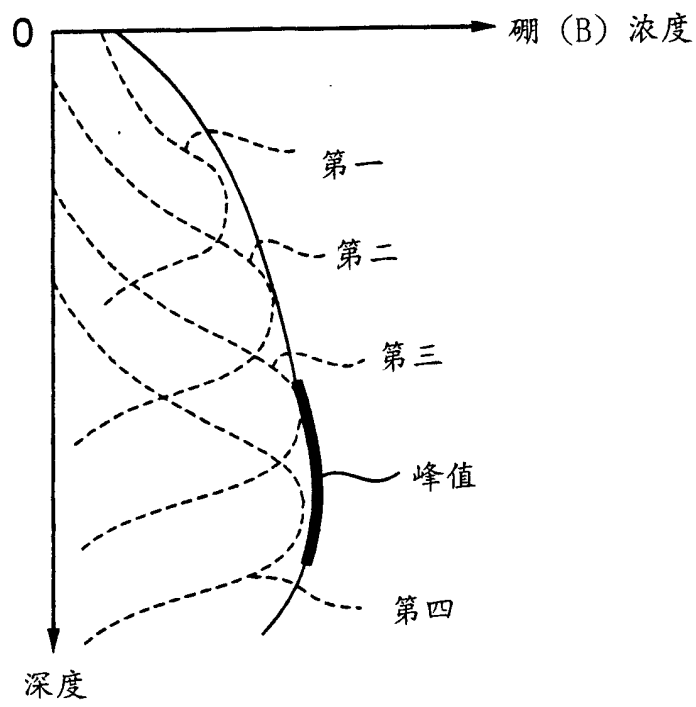


图 26

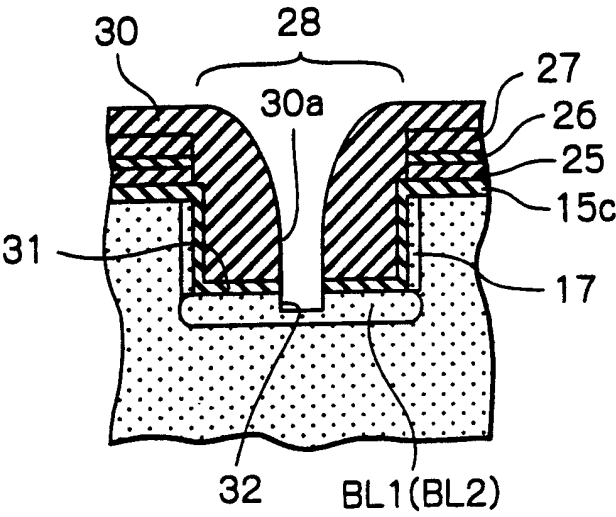


图 27A

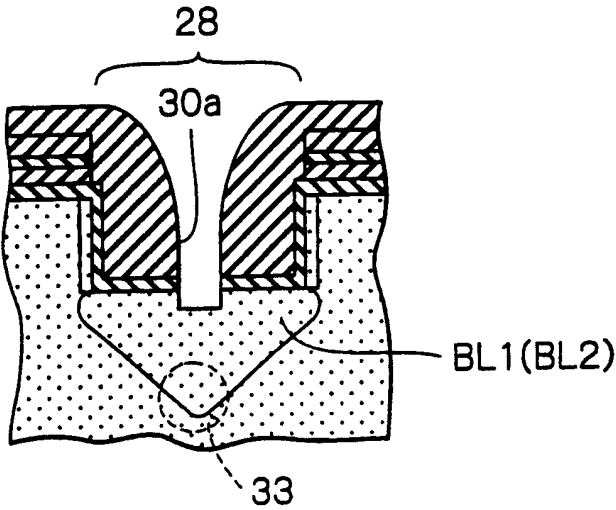


图 27B

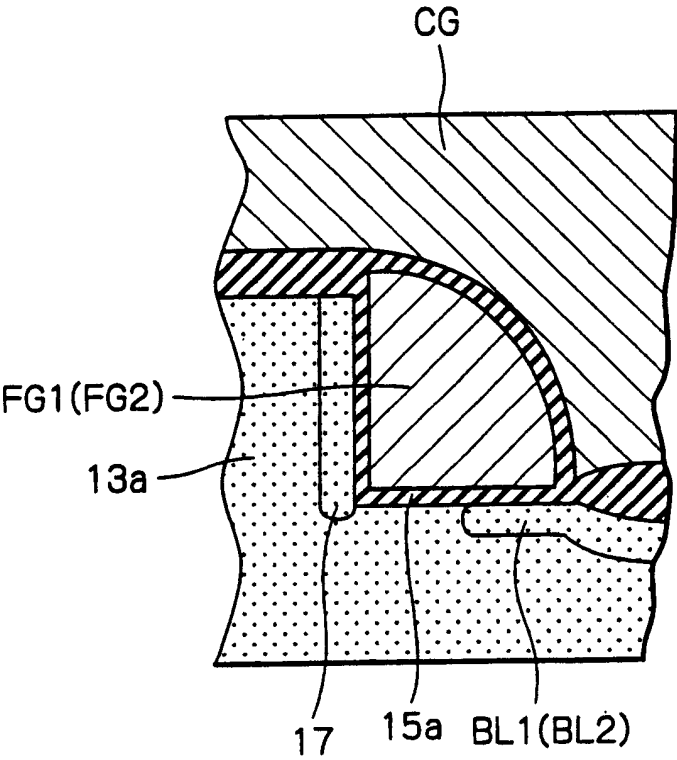


图 28

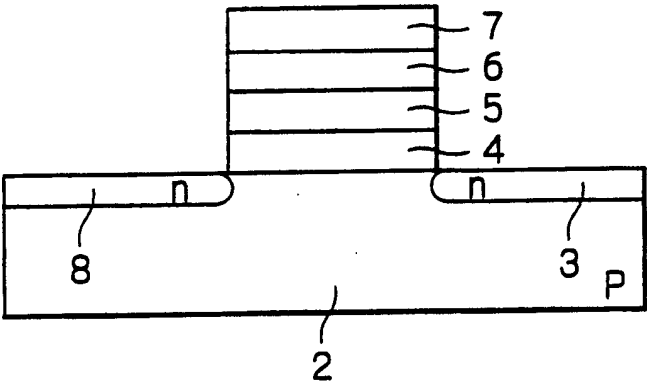


图 29

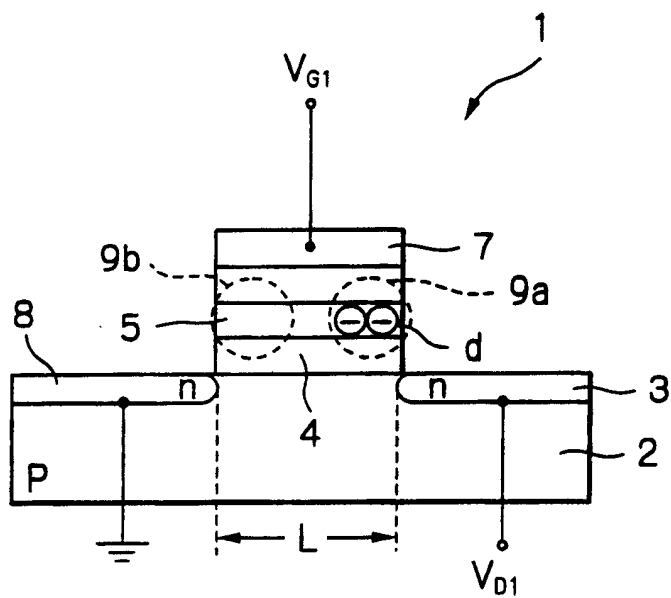


图 30A

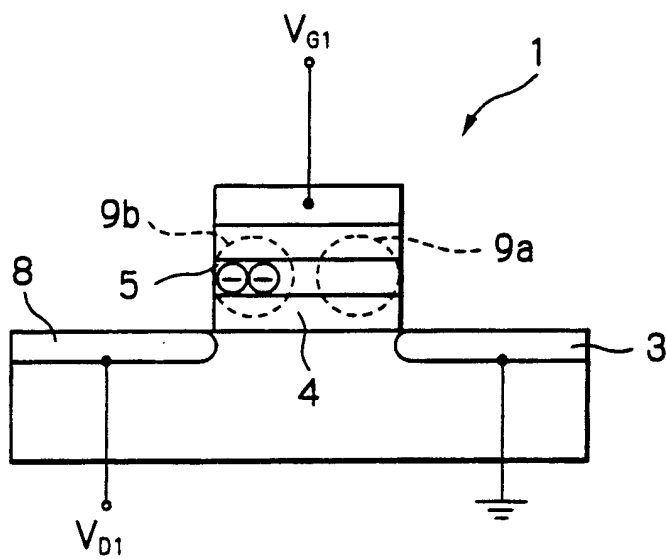


图 30B

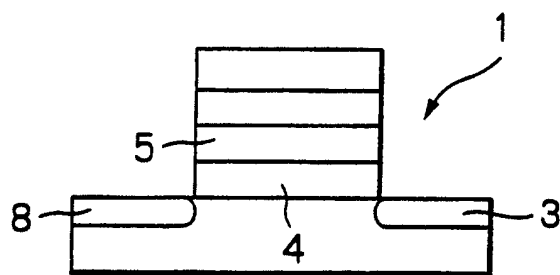


图 31A

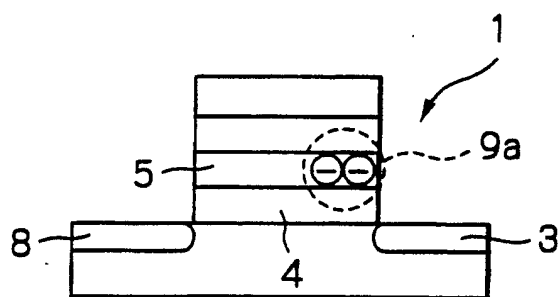


图 31B

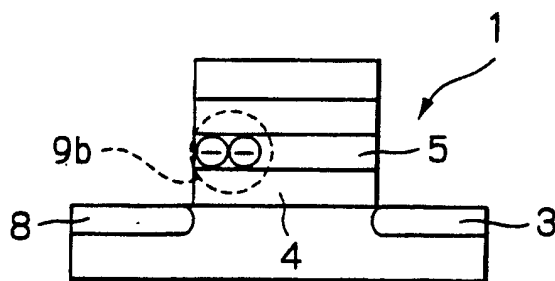


图 31C

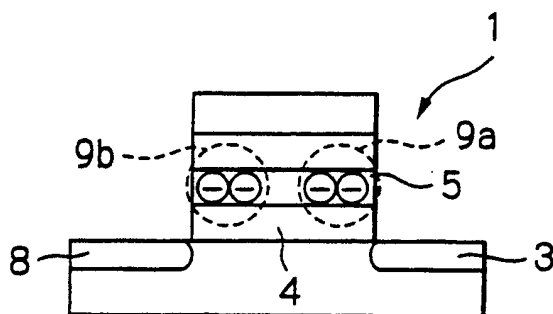


图 31D

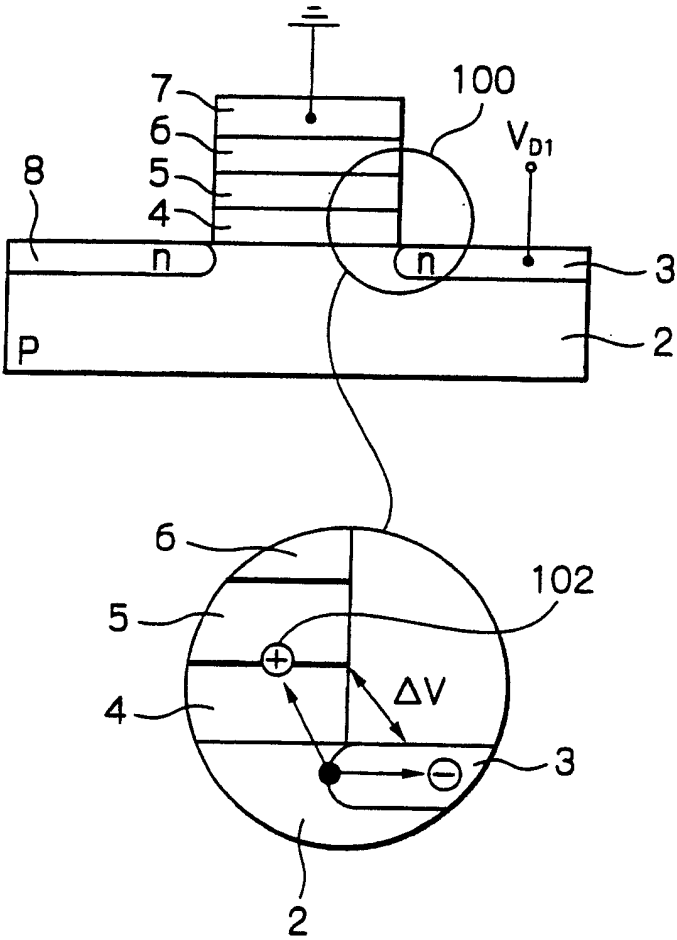


图 32