



19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA

11 Número de publicación: **2 356 520**

51 Int. Cl.:
H03M 1/10 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Número de solicitud europea: **01973714 .7**

96 Fecha de presentación : **11.09.2001**

97 Número de publicación de la solicitud: **1332558**

97 Fecha de publicación de la solicitud: **06.08.2003**

54

Título: **Procedimientos y aparatos para la conversión analógico-digital.**

30

Prioridad: **15.09.2000 US 233188 P**

45

Fecha de publicación de la mención BOPI:
08.04.2011

45

Fecha de la publicación del folleto de la patente:
08.04.2011

73

Titular/es: **RADIAN RESEARCH, Inc.**
3852 Fortune Drive
Lafayette, Indiana 47905, US

72

Inventor/es: **Mayfield, Glenn, A.**

74

Agente: **Carpintero López, Mario**

ES 2 356 520 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Campo de la invención

5 La presente invención versa acerca de convertidores analógico/digitales. Se da a conocer en el contexto de los convertidores analógico/digitales para su uso en instrumentos de medición de la potencia. Sin embargo, se cree que también es útil en otras aplicaciones.

Antecedentes de la invención

Existen muchas variaciones en las técnicas de conversión analógico/digitales (en lo sucesivo a veces A/D). La mayoría de las implementaciones pueden agruparse en una de seis categorías. Estas son de aproximaciones sucesivas, de flash, de tensión-frecuencia, de doble pendiente, de equilibrio de carga y delta-sigma.

10 Los convertidores de aproximaciones sucesivas emplean generalmente un circuito de muestreo y retención, un comparador, un convertidor digital/analógico y alguna lógica de control. La señal de entrada es capturada en primer lugar por el circuito de muestreo y retención y luego se ejecuta un patrón de búsqueda usando un patrón de búsqueda usando el convertidor digital/analógico y el comparador. Para la optimización de la velocidad, el patrón de búsqueda es normalmente de un tipo binomial. La señal de entrada se gradúa para que esté en algún punto dentro
15 del intervalo de la salida del convertidor digital/analógico. En el patrón de búsqueda binomial, el convertidor digital/analógico está configurado a media escala y se usa el comparador para determinar si la señal de entrada capturada es mayor o menor que la salida del convertidor digital/analógico. Esto elimina la mitad de los resultados posible y determina así el bit más significativo de la conversión. El convertidor digital/analógico es reconfigurado entonces para que divida por la mitad el intervalo de tensión restante, y vuelve a usarse el comparador para
20 determinar en qué mitad reside la tensión de entrada. Esto determina el siguiente bit más significativo. El proceso se repite hasta que se logra el número de bits requeridos. Un convertidor de doce bits requiere doce comparaciones tales.

25 Los convertidores de flash hacen uso de una escalera divisora, múltiples comparadores y lógica de decodificación para llevar a cabo la conversión A/D. Existen tantos comparadores y tomas en la escalera divisora como códigos en el convertidor A/D. Un convertidor de 8 bits requiere 256 comparadores y 256 tomas en el divisor. Un convertidor de 12 bits, si se produjera, requeriría el valor pasmoso de 4096. A continuación, los comparadores comparan la señal entrante con sus respectivas tensiones de toma. Los comparadores con tensiones de toma por encima de la tensión de entrada adoptan un primer estado. Los que tienen tensiones de toma por debajo de la tensión de entrada adoptan un segundo estado. Las salidas de todos los comparadores se suministran a la lógica de decodificación para crear la salida. Dado que llevan a cabo todas las comparaciones de una vez, los convertidores de flash son generalmente
30 considerados los más rápidos de estos seis tipos de convertidores A/D.

35 Los convertidores de doble pendiente son una forma de convertidor integrador. Funcionan midiendo la carga acumulada en un condensador. Si no es ya una corriente, la señal de entrada es convertida en una corriente y es aplicada a un condensador descargado durante un periodo fijo de tiempo. Se usa con frecuencia un circuito integrador basado en un amplificador operacional, en lo sucesivo amp op, para proporcionar un régimen sumamente bajo a la fuente de corriente de entrada. Puesto que la corriente multiplicada por el tiempo es la carga y dado que el tiempo de carga está fijado, la carga que se pone en el condensador es proporcional a la corriente media de entrada. Cuando se aplica la carga, la tensión del condensador se incrementa. Esta es la primera pendiente a la que se refiere el nombre de convertidor de doble pendiente. A continuación, se lleva a cabo la segunda etapa de medición
40 de esta carga. Para medir la carga acumulada, se pone término al proceso de carga y se aplica una corriente calibrada de descarga. Se mide el tiempo requerido para devolver el condensador al estado descargado. Al eliminarse la carga, la tensión entre los extremos del condensador vuelve a descender hasta cero. Cuando la tensión del condensador vuelve a cero, se ha eliminado exactamente la cantidad de carga que resultó de la corriente de entrada. Esta es la segunda pendiente a la que se refiere el nombre de doble pendiente. Puesto que se conocen tanto la corriente aplicada de descarga como el tiempo que se aplicó, también se conoce la carga que se eliminó del condensador y, por lo tanto, la carga que se acumuló en el condensador resultante de la señal de entrada. Si esta carga se divide a continuación por el tiempo requerida para que la corriente de entrada lo cargara, se calcula la corriente media de entrada para el periodo de la medición.
45

50 Un convertidor de equilibrio de carga es otra forma de convertidor integrador. Los convertidores de equilibrio de carga son similares a los convertidores de doble pendiente, porque la señal de entrada al convertidor de equilibrio de carga es una corriente o se convierte en una corriente, y se mide la carga que se está acumulando en un condensador. Difieren fundamentalmente en cómo se mide y se elimina la carga. En un convertidor de equilibrio de carga, la carga se acumula continuamente en el condensador mientras se elimina simultáneamente en cuantos discretos. La tensión entre los extremos del condensador se mide periódicamente. Si se ha acumulado suficiente
55 carga, se elimina un paquete de carga. Esto se logra normalmente aplicando una corriente calibrada durante un periodo de tiempo específico. Para cada periodo de muestreo cuando se elimina un paquete de carga, el convertidor produce un impulso. Si no se elimina carga durante el periodo de muestreo, no se produce ningún impulso. Cuando están presentes, los impulsos aparecen en límites periódicos. Entonces se mide la frecuencia de los impulsos para completar la conversión.

Un convertidor de tensión-frecuencia es otra forma de convertidor integrador. Los convertidores de tensión-frecuencia son similares a los convertidores de doble pendiente y de equilibrio de carga, porque la entrada es una corriente o se convierte en una corriente a partir de una tensión y se mide la carga acumulada en el condensador. Difieren de los convertidores de doble pendiente y de equilibrio de carga en cómo se elimina la carga. Como en los convertidores de equilibrio de carga, en los convertidores de tensión-frecuencia la carga es eliminada en cuantos discretos. A diferencia de los convertidores de equilibrio de carga, los convertidores de tensión-frecuencia eliminan la carga siempre que se ha acumulado un cuanto o paquete completo. Así, en los convertidores tensión-frecuencia, la carga no se elimina en límites periódicos. Esto hace que el convertidor proporcione una frecuencia de salida que es proporcional a la corriente aplicada de entrada. La familia LM131 de National Semiconductor de convertidores de tensión-frecuencia es un buen ejemplo de este tipo de convertidor A/D.

El convertidor delta-sigma es otra forma adicional de convertidor integrador. Los convertidores delta-sigma son una forma altamente especializada de convertidor de equilibrio de carga, pero aquí los presentamos aparte. El convertidor delta-sigma puede ser considerado como dos componentes: un modulador y un filtro digital. El modulador contiene la porción integradora del convertidor y una porción de eliminación de carga. El modulador funciona efectivamente como un digitalizador de 1 bit de muy alta velocidad, con un espectro de ruido del todo excepcional. Este digitalizador de 1 bit muestrea a una frecuencia que es varios órdenes de magnitud más elevada que la banda de la frecuencia de interés. Debido a su construcción excepcional. El espectro de ruido que produce está distribuido de manera no uniforme y el grueso de la energía acústica está fuera de la banda de frecuencias de interés. Así, mediante el debido filtrado, puede eliminarse gran parte de este ruido. Esta es una función realizada por el filtro digital. El modulador es interesante porque puede llevar a cabo la conversión tensión-corriente como parte inherente de su función y, así, desde la perspectiva del usuario, la entrada al convertidor es normalmente una tensión en vez de una corriente. El filtro digital realiza dos funciones. Funciona como una versión muy sofisticada del contador en el convertidor de equilibrio de carga, así como un filtro digital para extraer un resultado de resolución más alta a una tasa de datos inferior a la del digitalizador de 1 bit.

La medición tradicional de potencia ha girado principalmente en torno a la medición del flujo de la potencia en circuitos de potencia de flujo. Las mediciones, con independencia de que sean vatios, vatios-hora, voltamperios reactivos (VARS), Q-horas o similar, se han medido normalmente una a vez. Llevar a cabo estas mediciones implica la multiplicación precisa de una señal de tensión y una señal de corriente. Tradicionalmente esto se ha llevado a cabo con circuitería analógica. De estos circuitos, el que ha tenido mayor éxito comercial ha sido el modulador de impulsos en duración. En circuitería de comunicaciones suele denominarse mezclador equilibrado o desmodulador en anillo. En cualquier caso, la función es idéntica.

En un modulador típico de impulsos en duración, la primera de las dos señales controla un circuito que trocea la polaridad de la segunda señal de una forma controlada por la duración de impulsos, dependiendo de la amplitud de la primera señal. La salida del circuito es una serie de armónicos que son múltiplos de las frecuencias de las dos señales y un componente de CC que es proporcional a la coincidencia de las dos señales. La salida es sometida a un filtro de paso bajo para eliminar todo, salvo el componente de CC, y convertirlo luego en una señal digital.

Un inconveniente de un modulador de impulsos en duración es que solo puede producir una medición en un momento dado. La multiplicación ocurre en el propio modulador. Los consumidores de potencia empiezan a demandar ahora la medición simultánea de múltiples parámetros. Los consumidores de potencia piden también a los suministradores de potencia que midan más parámetros. Los consumidores piden ahora información de los armónicos de la señal de potencia. Quieren conocer tal información a partir del fundamental del quincuagésimo armónico tanto para sistemas de 50 Hz como de 60. Esto quiere decir que deben realizarse mediciones precisas en todo el tramo desde 45 Hz hasta 3 KHz. A la frecuencia fundamental, las expectativas de precisión por parte de los clientes requieren que esta supere el 0,01% (100 partes por millón) y que aumente a solo el 0,1% (1000 PPM) en el quincuagésimo armónico. Una buena manera de satisfacer estas necesidades es digitalizar las formas de onda de la tensión y la corriente y llevar a cabo las operaciones matemáticas en la corriente de datos digitalizados.

Dado que se está midiendo la potencia con suma precisión y con requisitos amplios de anchura de banda, se imponen demandas significativas en los convertidores analógico/digitales usados para digitalizar las formas de onda de tensión y corriente. Las tasas de muestreo tienen que ser muy elevadas. Dado que deben realizarse mediciones precisas hasta los 3 KHz, deben tomarse al menos 6K muestras por segundo. Lo ideal sería que las muestras se tomaran con una frecuencia al menos un orden de magnitud mayor para que el filtro antisolapamiento resulte más fácil de implementar. Son posibles tasas de muestreo menores, pero esto aumenta la dificultad de implementar un filtro antisolapamiento con un corrimiento de fase desdeñable en las frecuencias de interés.

La precisión requerida de ganancia es también muy elevada. Para lograr una precisión del sistema en el peor de los casos, la regla práctica es que, típicamente, todos los subsistemas del instrumento tienen que funcionar al menos un orden de magnitud por encima. Esto quiere decir que, a 60 Hz, es preciso que el convertidor A/D tenga una precisión del 0,001% (10 PPM). Para lograr este nivel de precisión, un convertidor A/D necesita una resolución efectiva mínima de al menos 17 bits ($\log(100.000)/\log(2) = 16.62 \approx 17$). Dado que será preciso medir factores de potencia de hasta aproximadamente 0,5, será preciso medir un bit adicional para mantener la escala dinámica. Así, será preciso medir 18 bits. Dado que también se espera que el convertidor A/D opere con señales de entrada a escala media o completa, se requerirá otro bit de resolución. Esto aumenta el requerimiento hasta los 19 bits. Dado

que la mayoría de los convertidores A/D disponibles comercialmente funcionan con una resolución efectiva mucho menor de lo que implicaría su número de bits, una resolución del convertidor A/D de 20 a 22 bits es un requisito realista.

5 Además, puesto que han de multiplicarse entre sí dos señales separadas, es preciso conocer la precisión de fase, o saber exactamente cuándo se tomó la muestra de la forma de onda con respecto a la muestra de la otra forma de onda. A 60 Hz y un factor de potencia de 0,5 (60 grados), un error en el tiempo entre las dos señales de solo 153 nanosegundos (nseg) causa un error del 0,01% (100 PPM) en el resultado calculado. Cuando se opera a 3 KHz con un factor de potencia de 0,5, un error de 30,6 nseg en el tiempo entre las dos señales causa un error del 0,1% (1000 PPM) en el resultado calculado. Estos errores consumen todo el presupuesto de errores del sistema. Para satisfacer la regla de la orden de magnitud para cualquier componente individual, es preciso que el error de tiempo se controle hasta los 3 nseg para las señales de 3 KHz y los 15,3 nseg para las señales de 60 Hz.

15 Los requisitos combinados de velocidad y resolución casi eliminan de inmediato todos los convertidores A/D actuales disponibles comercialmente de aproximaciones sucesivas, de flash y de doble pendiente. La mayoría de los convertidores A/D restantes disponibles comercialmente de alta velocidad y alta resolución han sido diseñados teniendo presente la conversión de audio. Una respuesta de frecuencia absolutamente plana entre 45 Hz y 3 KHz no es el más importante entre los criterios de diseño para los convertidores A/D de audio. Una banda de paso con una ondulación de 0,1 dB es muy aceptable desde un punto de vista de audio. Desgraciadamente, causaría un error de 11.579 PPM en esta aplicación. Muchos convertidores de audio también tienen filtros incorporados para rechazar señales de 50 y 60 Hz. Por último, los convertidores A/D de audio generalmente no se molestan en sincronizar los canales hasta el nivel de los nanosegundos. No existe ningún requisito práctico de hacer en las aplicaciones de audio.

25 El documento US-A-5321403 da a conocer un convertidor analógico/digital de múltiple pendiente del tipo que tiene un amplificador integrador operacional que tiene un elemento capacitivo acoplado a la salida del integrador. Este convertidor comprende un primer medio de conmutación acoplado a un terminal de entrada para conectar una entrada de tensión al nodo sumador y para desconectarla del mismo, un segundo medio de conmutación acoplado a una primera tensión de referencia para conectar la primera tensión de referencia al nodo sumador y para desconectarla del mismo, un tercer medio de conmutación acoplado a una segunda tensión de referencia para conectar la segunda tensión de referencia al nodo sumador y para desconectarla del mismo, siendo la segunda tensión de referencia sustancialmente igual a la primera tensión de referencia y de polaridad opuesta, un medio de control acoplado a una salida del comparador para monitorizar los estados del comparador y almacenar el historial de la secuencia de conmutación durante un ciclo de integración. El medio de control opera ulteriormente el primer medio conmutador para conectar la tensión de entrada al nodo sumador durante un intervalo fijo de tiempo para proporcionar el ciclo de integración, mientras que durante el ciclo de integración opera los medios conmutadores segundo y tercero para conectar las tensiones de referencia primera y segunda al nodo sumador, y desconectarlas del mismo, en una secuencia determinada por el medio de control en respuesta a un estado de la salida del comparador y al historial almacenado de la secuencia de conmutación para proporcionar una salida del integrador mientras se eliminan sustancialmente los efectos de la inyección de la corriente de carga del conmutador de acoplamiento cruzado en el nodo sumador.

40 Además, el documento US-A-5621406 muestra un sistema de calibración que calibra un convertidor analógico/digital que tiene un integrador y fuentes de corriente de referencia primera y segunda. Se acumula una cantidad de carga en el integrador. La cantidad de carga es eliminada del integrador aplicando las corrientes de referencia primera y segunda al integrador durante unos periodos de tiempo primero y segundo hasta que la carga acumulada alcanza un nivel de umbral. La cantidad de carga vuelve a acumularse en el integrador y vuelve a ser eliminada aplicando las corrientes de referencia primera y segunda durante los periodos de tiempo tercero y cuarto. La magnitud relativa de las corrientes de referencia primera y segunda se determina en base a los periodos de tiempo primero, segundo, tercero y cuarto.

50 El documento US-A-5.644.308 da a conocer un sistema convertidor algorítmico que incluye un convertidor algorítmico que tiene una ganancia de bucle sustancialmente menor que dos para convertir una señal analógica de entrada en un código digital redundante; y una unidad de cálculo digital para convertir el código digital redundante en una señal digital de salida calculando un polinomio de una raíz, siendo dicha raíz sustancialmente igual a la ganancia de bucle, en la que el código digital redundante especifica los coeficientes del polinomio. Este sistema convertidor algorítmico tiene la ventaja de proporcionar una redundancia que se extiende al intervalo de conversión de la entrada analógica con respecto a la referencia de tensión del convertidor algorítmico.

Revelación de la invención

55 Según la invención, tal como se define en la reivindicación 1, un circuito para la conversión analógica/digital de una señal de entrada, incluyendo el circuito un integrador, incluyendo el integrador un condensador y un amplificador, estando conectado el condensador a una toma de entrada del amplificador, un convertidor A/D conectado a una toma de salida del amplificador para proporcionar señales de salida, una fuente de referencia para cambiar una cantidad de carga almacenada en el condensador con una tasa temporal conocida, al menos un conmutador para conectar alternativamente la fuente de referencia y la señal de entrada al condensador, y un

procesador para controlar sucesivos ciclos de conversión A/D del convertidor A/D y para controlar el al menos un conmutador, está caracterizado porque el procesador está configurado para sumar las señales de salida del convertidor (A/D) durante los sucesivos ciclos de conversión A/D y dividir las señales de salida sumadas en ciclos sucesivos de conversión A/D por el número de señales de salida sumadas, y porque el amplificador comprende un amplificador de vídeo.

En las reivindicaciones dependientes se definen realizaciones preferentes de este circuito.

Además, de forma ilustrativa según la invención, el procesador incluye un procesador para sumar las salidas de cuatro ciclos consecutivos y dividir por cuatro.

De forma ilustrativa según la invención, el amplificador incluye múltiples amplificadores en configuración de cascada para aumentar la ganancia de la cascada de amplificadores.

Además, de forma ilustrativa según la invención, los múltiples amplificadores incluyen múltiples amplificadores de vídeo.

Además, de forma ilustrativa según la invención, el procesador controla el al menos primer conmutador para proporcionar una carga conocida al integrador y controla el convertidor A/D para la conversión A/D de una señal de salida del integrador antes y después de la aplicación de la carga.

Además, de forma ilustrativa según la invención, el circuito incluye un generador de base de tiempos conectado al procesador. El procesador acciona periódicamente el al menos primer conmutador para desconectar periódicamente la señal de entrada del integrador, conectar periódicamente la fuente de referencia al integrador y proporcionar periódicamente una carga conocida al integrador. El convertidor A/D realiza la conversión A/D de la señal de salida del integrador antes y después de la aplicación periódica de la carga.

De forma ilustrativa según la invención, el procesador determina, a partir de la señal de salida del integrador con conversión A/D, antes y después de la introducción de carga, una capacidad efectiva de la combinación del integrador y del convertidor A/D.

Además, de forma ilustrativa según la invención, el integrador que incluye un condensador y un amplificador incluye un primer integrador que incluye un primer condensador y un primer amplificador y un segundo integrador que incluye un segundo condensador y un segundo amplificador. Los condensadores primero y segundo están orientados de tal modo en el aparato que sus temperaturas permanecen sustancialmente iguales durante la operación del aparato. El procesador determina, a partir de la señal de salida del primer integrador con conversión A/D, antes y después de la introducción de la carga, la capacidad efectiva de la combinación del primer integrador y del convertidor A/D y concluye que los cambios en la capacidad efectiva del segundo integrador son comparables.

De forma ilustrativa según la invención, se conoce el coeficiente de temperatura del condensador. El procesador determina, a partir del cambio en la capacidad efectiva del condensador y del coeficiente de temperatura del condensador, la temperatura del condensador.

Además, de forma ilustrativa según la invención, la fuente de referencia incluye una primera fuente de referencia y una segunda fuente de referencia. El al menos primer conmutador incluye al menos un primer conmutador para desconectar selectivamente la señal de entrada del integrador y conectar la primera fuente de referencia al integrador y al menos un segundo conmutador para conectar selectivamente la segunda fuente de referencia al integrador. El procesador controla el al menos primer conmutador para proporcionar una primera carga al integrador, controla el convertidor A/D para la conversión A/D de la señal de salida del integrador después de la introducción de la primera carga, controla el al menos segundo conmutador para retirar del integrador una segunda carga calculada para que sea igual a la primera carga, y controla el convertidor A/D para la conversión A/D de la señal de salida del integrador después de retirar la segunda carga para proporcionar una tensión de desequilibrio del integrador y el convertidor A/D.

Además, de forma ilustrativa según la invención, el al menos primer conmutador desconecta selectivamente la señal de entrada del integrador y descarga el integrador. El procesador controla el convertidor A/D para la conversión A/D de la salida del integrador después de que el integrador se descarga y calcula una corriente de polarización del amplificador a partir de la salida del convertidor A/D después de que el integrador se ha descargado.

Además, de forma ilustrativa según la invención, el circuito incluye un generador de base de tiempos conectado al procesador. El procesador controla el convertidor A/D para la conversión A/D de la salida del integrador después de que el condensador del integrador se carga para determinar la fuga del condensador del integrador.

De forma ilustrativa según la invención, el procesador controla el al menos primer conmutador para proporcionar una carga conocida al integrador. El procesador también controla el convertidor A/D para la conversión A/D de la salida del integrador antes y después de la introducción de la carga. El procesador incluye una tabla de valores para compensar la salida del integrador con conversión A/D en una diferencia entre la señal de salida del integrador con conversión A/D y la carga conocida.

Además, de forma ilustrativa según la invención, el procesador acciona el al menos primer conmutador un número menor de veces para cargar el condensador hasta un valor calculado. El convertidor A/D realiza entonces la conversión A/D de una primera salida del integrador. El procesador acciona entonces el al menos primer conmutador un número mayor de veces para cargar el condensador hasta el valor calculado. El convertidor A/D realiza entonces la conversión A/D de una segunda salida del integrador. El procesador determina entonces una diferencia entre la primera salida con conversión A/D y la segunda salida con conversión A/D, divide la diferencia entre la primera salida con conversión A/D y la segunda salida con conversión A/D por la diferencia entre el número mayor y el número menor; y almacena el cociente como un parámetro de la inyección de carga.

Además, de forma ilustrativa según la invención, el procesador acciona el al menos primer conmutador una vez para cargar el condensador hasta el valor calculado.

De forma ilustrativa según la invención, el número mayor de veces es, al menos, cien veces el menor número de veces.

Además, de forma ilustrativa según la invención, la fuente de referencia incluye una primera fuente de referencia para cambiar la cantidad de carga almacenada en el condensador con una primera tasa temporal conocida y una segunda fuente de referencia para cambiar la cantidad de carga almacenada en el condensador con una segunda tasa temporal conocida. El al menos primer conmutador conecta selectivamente la primera fuente de referencia al integrador para cargar el condensador una primera cantidad conocida y desconecta la segunda fuente de referencia del integrador, y desconecta selectivamente la primera fuente de referencia del integrador y conecta la segunda fuente de referencia al integrador para cargar el condensador una segunda cantidad conocida. El procesador compara las cantidades conocidas primera y segunda para calibrar la segunda fuente de referencia con respecto a la primera fuente de referencia.

De forma ilustrativa según la invención, el integrador es un primer integrador que incluye un primer condensador y un primer amplificador. El primer condensador está conectado a una toma de entrada del primer amplificador. El convertidor A/D es un primer convertidor A/D. El circuito incluye además un segundo integrador que incluye un segundo condensador y un segundo amplificador. El segundo condensador está conectado a una toma de entrada del segundo amplificador. El circuito incluye además un segundo convertidor A/D. El al menos un conmutador conecta selectivamente la fuente de referencia al primer integrador o al segundo integrador. El procesador controla la posición del al menos primer conmutador, controla un primer ciclo de conversión A/D del primer convertidor A/D para producir una salida del primer convertidor A/D y controla un segundo ciclo de conversión A/D del segundo convertidor A/D para producir una salida del segundo convertidor A/D.

Además, de forma ilustrativa según la invención, la señal de entrada es una señal de corriente de entrada y la fuente de referencia incluye una fuente de referencia de corriente.

Además, de forma ilustrativa según la invención, la señal de entrada es una señal de tensión de entrada. El circuito incluye además un segundo amplificador y una resistencia para convertir la señal de tensión de entrada en una señal equivalente de corriente de entrada.

De forma ilustrativa según la invención, la fuente de referencia incluye una primera fuente de referencia de tensión para cambiar la cantidad de carga almacenada en el condensador con una primera tasa temporal conocida y una segunda fuente de referencia de tensión para cambiar la cantidad de carga almacenada en el condensador con una segunda tasa temporal conocida. El al menos primer conmutador conecta selectivamente la primera fuente de referencia de tensión al integrador para cargar el condensador hasta una primera cantidad conocida y desconecta la segunda fuente de referencia de tensión del integrador, y desconecta la primera fuente de referencia de tensión del integrador y conecta la segunda fuente de referencia de tensión al integrador para cargar el condensador hasta una segunda cantidad conocida.

Además, de forma ilustrativa según la invención, el segundo amplificador y la resistencia para convertir la señal de tensión de entrada en una señal equivalente de corriente de entrada incluye un segundo amplificador y una primera resistencia para convertir una de entre la señal de tensión de entrada, la primera fuente de referencia de tensión y la segunda fuente de referencia de tensión en una primera señal equivalente de corriente de entrada, y un tercer amplificador y una segunda resistencia para convertir una de entre la señal de tensión de entrada, la primera fuente de referencia de tensión y la segunda fuente de referencia de tensión en una segunda señal equivalente de corriente de entrada. El procesador conecta alternativamente dicha una de entre la señal de tensión de entrada, la primera fuente de referencia de tensión y la segunda fuente de referencia de tensión por medio del segundo amplificador para producir una señal de salida del primer convertidor A/D y por medio del tercer amplificador para producir una señal de salida del segundo convertidor A/D, y promedia la señal de salida del primer convertidor A/D y la señal de salida del segundo convertidor A/D.

Además, de forma ilustrativa según la invención, la primera fuente de referencia tiene una primera polaridad, y la segunda fuente de referencia tiene una segunda polaridad opuesta. La carga del condensador hasta la segunda cantidad conocida la descarga de la primera cantidad conocida del condensador.

De forma ilustrativa según la invención, el al menos primer conmutador tiene una posición en la que no hay presente ninguna señal de entrada. El procesador almacena la salida del convertidor A/D cuando el al menos primer conmutador está en la posición en la cual no hay presente ninguna señal de entrada.

5 Además, de forma ilustrativa según la invención, el al menos primer conmutador incluye un primer conmutador para conectar alternativamente la fuente de referencia y la señal de entrada al segundo amplificador, y un segundo conmutador para conectar y desconectar alternativamente el segundo amplificador al condensador. El segundo conmutador está caracterizado por una primera resistencia. El circuito incluye además el aparato un dispositivo de resistencia negativa que tiene una segunda resistencia cuya magnitud es sustancialmente una magnitud de la primera resistencia para conectarla en circuito con la primera resistencia.

10 Además, de forma ilustrativa según la invención, el circuito incluye una fuente de alimentación para proporcionar energía para al menos uno de entre el integrador, el convertidor A/D, la fuente de referencia, el conmutador y el procesador. La fuente de alimentación genera señales periódicas durante su funcionamiento. El procesador sincroniza el ciclo de conversión A/D y las señales periódicas para que el efecto de las señales periódicas en la salida del convertidor A/D sea sustancialmente constante.

15 Breve descripción de los dibujos

La invención puede comprenderse de forma óptima con referencia a la siguiente descripción detallada y a los dibujos adjuntos. En los dibujos:

la Fig. 1 ilustra un diagrama de bloques de una realización de un convertidor A/D integrador según la invención;

20 la Fig. 2 ilustra un diagrama de bloques de una realización de otro convertidor A/D integrador según la invención;

la Fig. 2a ilustra un diagrama de bloques de un detalle alternativo a un detalle ilustrado en la realización de la Fig. 2;

la Fig. 3 ilustra una forma de onda útil para comprender la invención; y

25 la Fig. 4 ilustra otra forma de onda útil para comprender la invención.

Descripción detallada de realizaciones ilustrativas

La Fig. 1 ilustra un diagrama de bloques de un convertidor A/D 20 integrador, de resolución relativamente elevada, según la invención. El convertidor A/D 20 incluye un integrador 22 de precisión, un convertidor A/D 24 de resolución relativamente menor y mayor velocidad, dos referencias 26 y 28 de corriente, tres conmutadores 30, 32 y 34 controlados por lógica, una referencia 36 de frecuencia y lógica 38 de control, que puede incluir, por ejemplo, un microordenador (μC) de un solo chip debidamente programado, una matriz de puertas programables (PGA), un circuito integrado para aplicaciones específicas (ASIC) o similar. Como en la mayoría de los convertidores integradores previos, la señal de entrada toma de la forma de una corriente $i_{in}(t)$. La carga es eliminada de manera controlada para llevar a cabo la conversión A/D. La realización emplea un integrador 22 y sobremuestreo para mejorar para mejorar la precisión y la linealidad de un convertidor A/D comercial 24. Por ejemplo, un convertidor A/D 24 de 16 bits funciona a 24 mil muestras (Kmuestras) por segundo para digitalizar una señal entrante con un ancho de banda de 3 KHz. Esto da como resultado un convertidor A/D 20 con al menos 18 bits de resolución efectiva a 3 KHz y más de 20 bits de resolución efectiva a 60 Hz.

El convertidor 20 usa el convertidor A/D 24 de alta velocidad para medir la tensión entre los extremos de un condensador 40 integrador. Dado que se conocen el tamaño aproximado del condensador 40 y la tensión entre sus extremos, la carga en el condensador 40 puede calcularse a partir de $Q = CV$. La lógica 38 de control pone en marcha una corriente de referencia desde una de las fuentes 26, 28 de referencia durante un periodo de tiempo calculado para eliminar esta cantidad estimada de carga durante el siguiente ciclo de conversión A/D. Si no se añade ninguna carga adicional procedente de $i_{in}(t)$ durante el periodo siguiente, la tensión entre los extremos del condensador 40 se reducirá a cero. Únicamente la carga adicional que se añade procedente de la entrada durante este periodo siguiente puede provocar una tensión entre los extremos del condensador 40. Esa tensión volvería a ser proporcional a la carga que se añade.

Lograr exactamente cero voltios en el condensador 40 del integrador al final de un ciclo de conversión A/D se basa en ciertas suposiciones. Estas suposiciones incluyen, por ejemplo, que el amp op 42 del integrador 22 tiene ganancia infinita y carece de corriente compensadora o de polarización de entrada, que la medición de tensión del convertidor A/D 24 de alta velocidad es perfecta, que se conoce el valor exacto de la corriente de referencia aumentada o disminuida por la fuente 26 o 28 de referencia (o ambas), que se conoce exactamente la cantidad de tiempo que se aplica la corriente de referencia y que se conoce el valor exacto del condensador 40. Por supuesto, estas condiciones nunca se logran del todo, pero con el sistema ilustrado en la Fig. 1 pueden ser evaluadas de forma relativamente precisa. La mayoría de los parámetros del convertidor 20 puede ser medida con mucha

precisión, lo que permite la autocalibración del convertidor 20. El único parámetro significativo del convertidor 20 que no puede ser calibrado es la tensión de error en la entrada del integrador 22 que resulta de la ganancia finita del amp op 42. El sobremuestreo de la señal entrante, combinado con el hecho de que cualquier error en la digitalización se retiene en el condensador 40 del integrador y se pasa al siguiente ciclo de conversión A/D permite que el convertidor A/D 20 logre una precisión mejorada. Por lo tanto, no se requiere la perfección de la medición ciclo a ciclo.

La tensión de error en la entrada del amp op 42 en el integrador 22 proviene de la ganancia finita del amp op 42 en el integrador 22, y se manifiesta como un error en la tensión que lee el convertidor A/D 24 de alta velocidad de la tensión del condensador 40. Esto puede apreciarse con la siguiente exposición. La tensión de salida del amp op 42 es la ganancia del amp op 42 multiplicada por la tensión de entrada. Por el contrario, la tensión de salida del amp op 42 dividida por la ganancia es la tensión que aparece entre los extremos de la entrada del amp op 42. Si la tensión de salida del amp op 42 es 1 voltio y el amp op tiene una ganancia de 10, la tensión entre los terminales de entrada del amp op 42 es de 0,1 voltios. La tensión entre los extremos del condensador 40 del integrador sería de 1,1 voltios, pero el convertidor A/D 24 de alta velocidad vería únicamente la salida de 1 V del amp op 42. El error presentado al convertidor A/D 24 de alta velocidad es proporcional a la corriente de salida del amp op 42. Es interesante que la carga almacenada en el condensador 40 del integrador 22 no se ve afectada por este error. Únicamente se ve afectada la capacidad de estimar la carga almacenada en el condensador 40. Cualquier error en la estimación de la carga se pasa al siguiente ciclo de mediciones. Este error de la ganancia no puede eliminarse mediante calibración. Sin embargo, su efecto puede hacerse arbitrariamente pequeño mediante dos técnicas. La primera técnica es aumentar la ganancia del amp op 42. La segunda es reducir la impedancia de salida del amp op 42.

Aumentar la ganancia del amp op 42 reduce la señal de estado estacionario en la entrada al amp op 42. Tal como se ha expuesto anteriormente, esta tensión está incluida como parte de la señal que mide el convertidor A/D 24 de alta velocidad como la tensión del condensador 40 del integrador. Si la ganancia del amp op 42 es mayor de un millón, el error de ganancia creado por la ganancia finita del amp op 42 es menor de 1 parte por millón (1 PPM). Aunque muchos amp op comerciales tienen ganancias mayores que 1 millón en CC y baja frecuencia, ninguno proporciona ganancias que se acerquen a 1 millón a frecuencias de 3 kHz. Para lograr ganancias del amp op 42 mayores de 1 millón a 3 kHz, los amp op tienen que estar conectados en una configuración de cascada.

Minimizar la impedancia de salida del amp op 42 contribuye a reducir los problemas transitorios del tiempo de estabilización causados por la conexión y desconexión de las referencias de corriente CC en un integrador 22 con ganancia finita. Cuando la referencia 26 o 28 de corriente se conecta inicialmente al circuito 20, la corriente que fluye hacia la salida del amp op 42 cambia abruptamente. Aunque el amp op 42 pueda tener una ganancia elevada a 3 KHz, no tiene ganancia elevada a las frecuencias de MHz causadas por la conexión o la desconexión de la fuente 26 o 28 de corriente en el circuito 20. Esto hace que aparezca una tensión transitoria repentina en la salida del amp op 42. Esta tensión es igual a la corriente fuente 26 o 28 que se conecta al circuito 20 multiplicada por la impedancia de salida del amp op 42. El amp op 42 empieza a reaccionar inmediatamente para devolver este error a cero voltios, pero los resultados no son instantáneos. El tiempo de recuperación es una función de la ganancia y los márgenes de fase del amp op 42 a frecuencias de MHz. Para obtener el nivel deseado de error, es preciso que estas respuestas transitorias sean estabilizadas para muchísimas constantes temporales. Por supuesto, si el amp op 42 tuviera ganancia infinita a todas las frecuencias, no existiría este problema transitorio. Sin embargo, no existen los amp op de ganancia infinita e infinito ancho de banda. No obstante, minimizar la impedancia de salida del amp op 42 minimiza la entrada transitoria y, por ende, la respuesta transitoria. Típicamente, la impedancia de salida del amp op 42 es del orden de 50 ohmios. Usando amp op 42 con gran anchura de banda en la etapa de salida, como los amp op 42 modernos de realimentación de tensión y corriente diseñados para aplicaciones de vídeo, como etapas de salida, pueden lograrse impedancias de salida de submiliohmios en la gama de frecuencias medidas en MHz. Esto mejora el problema del tiempo de estabilización en varios órdenes de magnitud.

El convertidor A/D 20 ilustrado en la Fig. 1 puede hacerse que sea en buena medida autocalibrante. Esto se hace usando las referencias de corriente 26, 28 y la frecuencia 36. La calibración puede mejorar parámetros tales como la tolerancia, la fuga y la deriva de temperatura del condensador 40; la falta de linealidad del convertidor A/D 24 de alta velocidad, la precisión de la ganancia del amp op 42, la deriva de la ganancia y la tensión de desequilibrio; las corrientes de tensión de desequilibrio y de polarización de entrada de la entrada del integrador 22; y la inyección de carga desde los conmutadores 30, 32, 34.

Los problemas de la tolerancia del condensador 40 y de la precisión de la ganancia del convertidor A/D 24 de alta velocidad no pueden determinarse ni eliminarse individualmente con la configuración ilustrada en la Fig. 1. Sin embargo, sus efectos colectivos pueden determinarse y reducirse con un solo factor de calibración. Dado que se conocen una corriente 26 o 28 de referencia y una frecuencia 36 de referencia, puede desconectarse la corriente de entrada e introducirse una cantidad conocida de carga en el condensador 40 del integrador. Midiendo la tensión vista por el convertidor A/D 24 de alta velocidad antes y después de la introducción de la carga, puede determinarse la capacidad efectiva de la combinación del condensador 40 del integrador y del convertidor A/D 24 de alta velocidad. Esto elimina las incertidumbres de la tolerancia del condensador 40 y de la ganancia del convertidor A/D 24. Llevar a cabo esta calibración periódicamente reduce la deriva del valor del condensador 40 y de la ganancia del convertidor A/D 24 con el tiempo y la temperatura.

Se cree que, en periodos cortos, la deriva de la temperatura y el coeficiente de temperatura relativamente elevado de la película de polipropileno en el condensador 40 del integrador que se usa actualmente se combinan para ser la causa predominante de la deriva en la capacidad efectiva del integrador 22. Debido a la predominancia de una sola fuente del error de corto plazo, combinada con el hecho de que los condensadores 40 de polipropileno usados en el integrador 22 tienden a tener coeficientes de temperatura que se mantienen muy bien en su valor, la cantidad de esfuerzo y aparatos requerida para mantener calibrados los sistemas con múltiples integradores 22 puede reducirse sustancialmente. Dado que los medidores prácticos de potencia basados en el convertidor A/D 20 requieren múltiples integradores 22, esto resulta de interés particular.

Cuando los condensadores integradores 40 están físicamente lo suficientemente cerca como para compartir un entorno de temperatura común, puede suponerse que el desplazamiento a corto plazo fue causado por una deriva de temperatura que afectó a los condensadores integradores 40. Las capacidades efectivas de todos los integradores 22 pueden calibrarse para compensar el mismo desplazamiento de temperatura. Ni siquiera tienen que conocerse los coeficientes de temperatura de los condensadores 40 si los coeficientes de temperatura son iguales para todos los condensadores 40. Esto permite una reducción del tiempo empleado calibrando las capacidades efectivas de múltiples integradores 22, al permitir la calibración de únicamente uno de los integradores 22 para la mayoría de las actualizaciones periódicas y al tener únicamente que calibrar todos los integradores 22 complemente a intervalos menos frecuentes. El efecto de esto en el coste de los medidores de potencia es doble. En primer lugar, dado que se requiere menor procesamiento para una cantidad dada de información, se reduce el coste de tal medidor de potencia para un rendimiento dado. En segundo lugar, si se conocen los coeficientes de temperatura de los condensadores 40, esta técnica de calibración es, de hecho, medir los desplazamientos de la temperatura ambiente en el entorno de los condensadores 40 del integrador, eliminando así la necesidad de aparatos aparte sensores de la temperatura para llevar a cabo una compensación del desplazamiento de la temperatura.

Como con la tolerancia del condensador 40 y la precisión de la ganancia del convertidor A/D 24 de alta velocidad, la tensión de desequilibrio de la entrada del integrador 22 y la tensión de desequilibrio del convertidor A/D 24 de alta velocidad no pueden separarse con la realización ilustrada en la Fig. 1. Sin embargo, como con la tolerancia del condensador 40 y la precisión de la ganancia del convertidor A/D 24 de alta velocidad, la tensión de desequilibrio de la entrada del integrador 22 y la tensión de desequilibrio del convertidor A/D 24 de alta velocidad pueden eliminarse conjuntamente con un ciclo de calibración. En un ciclo, el condensador 40 del integrador puede ser cargado para que contenga una tensión de desequilibrio igual al desequilibrio del amp op 42 del integrador 22 y al desequilibrio del convertidor A/D 24 de alta velocidad. Con la entrada $i_{in}(t)$ en circuito abierto, el convertidor A/D 24 de alta velocidad mide la tensión del condensador 40. Se estima y se elimina la carga sobre la capacidad efectiva. Si existe una tensión de desequilibrio, ya sea en el amp op 42 del integrador 22 o en el convertidor A/D 24, el condensador 40 del integrador no se descargará hasta cero voltios. Quedará una carga residual en la capacidad efectiva del integrador 22 en una cantidad que fija la tensión en el condensador 40 para que sea igual y opuesta a esta tensión de desequilibrio. Si ya se ha medido la capacidad efectiva del convertidor 20 y se ha usado en el cálculo de la carga que hay que eliminar, entonces el desequilibrio debería eliminarse casi perfectamente. La siguiente lectura inmediata del convertidor A/D 24 de alta velocidad debería medir cero voltios. Si no se ha medido aún la capacidad efectiva, también quedará en el condensador 40 una carga de error debida a una estimación indebida de la cantidad de carga que hay que eliminar. Esto puede corregirse midiendo la capacidad efectiva y llevando luego a cabo esta calibración o llevando a cabo de manera iterativa esta calibración hasta que se obtenga un nivel aceptable de error.

La corriente de polarización de entrada del amp op 42 del integrador se mide descargando el integrador 22 hasta cero voltios y luego abriendo todos los conmutadores 30, 32, 34 que proporcionan corriente al integrador 22 y midiendo el cambio de tensión en función del tiempo. Dado que la capacidad efectiva ya se conoce, y que $I = C(\Delta V/\Delta T)$, puede calcularse la corriente de polarización de entrada. Una vez que se conoce la corriente de polarización de entrada, sus efectos pueden ser eliminados matemáticamente de las mediciones. Las corrientes de polarización de entrada sí afectan las mediciones de la capacidad efectiva, pero pueden convertirse en un efecto secundario mediante técnicas conocidas del diseño de circuitos. Estimando de manera iterativa, en primer lugar, la capacidad efectiva y, luego, la corriente de polarización de entrada, y comparándolas con los resultados previos, puede demostrarse cualquier nivel deseado de precisión.

La fuga del condensador 40 del integrador 22 se mide cargando el integrador 22 hasta casi una carga a fondo de escala, abriendo todos los conmutadores 30, 32, 34 que proporcionan corriente al integrador 22, y luego midiendo el cambio de tensión en función del tiempo. Como con la medición de la corriente de polarización, puede calcularse la corriente que descargó el condensador 40 del integrador. Después de calibrar la corriente de polarización para el amp op 42, la corriente restante es la corriente de fuga del condensador 40 del integrador. Conociendo la tensión entre los extremos del condensador 40 y la corriente que lo atraviesa, puede calcularse la resistencia de fuga del condensador 40 a partir de la ley de Ohm, y sus efectos pueden ser compensados matemáticamente. Dependiendo de qué tensiones de integrador 22 se usaran para realizar las mediciones de la corriente de polarización de entrada y de la capacidad efectiva, la fuga del condensador 40 puede tener un efecto secundario en estas dos mediciones. Normalmente, las tensiones del condensador 40 usadas para realizar estas dos mediciones son suficientemente bajas, y las resistencias de fuga de los condensadores 40 suficientemente elevadas, de modo que este efecto se vuelve desdeñable para las mediciones de la polarización de entrada y de la capacidad efectiva. En cualquier caso, cuando no se satisfacen estas condiciones, el error puede eliminarse estimando de manera iterativa la capacidad efectiva, la corriente de polarización de entrada y la resistencia de fuga del condensador 40, y comparándolos

después con los resultados previos. Llevando a cabo estas estimaciones, puede demostrarse cualquier nivel deseado de precisión. El propósito de medir la resistencia de fuga es para el caso general de medición A/D en el que la tensión del integrador pueda volverse muy sustancial.

La no linealidad del convertidor A/D 24 de alta velocidad también puede ser medida y corregida. Aunque de cálculo intensivo, puede generarse y almacenarse una tabla de corrección para el convertidor A/D 24 de alta velocidad en la lógica 38 de control o en la memoria asociada con la lógica 38 de control. Dado que se conoce la capacidad efectiva, y puesto que la carga puesta en el integrador 22 puede ser controlada con precisión, puede controlarse la tensión efectiva que el convertidor A/D 24 de alta velocidad debería ver. Puede crearse una tabla de linealización de qué código corresponde a qué tensión para el convertidor A/D 24 de alta velocidad. Por este medio, se logran simultáneamente la linealidad de un dispositivo de equilibrio de carga y la velocidad de un dispositivo de aproximaciones sucesivas.

La inyección de carga de los conmutadores 30, 32, 34 usados para controlar las corrientes 26, 28 de referencia también puede ser medida y compensada matemáticamente. Para medir el efecto de la inyección de carga de los conmutadores 30, 32, 34, se introduce lo que se cree que son las mismas cantidades de carga de dos maneras diferentes: una vez con una inyección mínima de carga y una vez con una inyección máxima de carga. Primero, se introduce la carga deseada usando el menor número de ciclos posible del conmutador 30, 32, 34, preferentemente un ciclo. A continuación, se mide el cambio de tensión en la capacidad efectiva del integrador 22 y se calcula el cambio en la carga. Acto seguido, el integrador se devuelve al punto inicial original y se introduce lo que se cree que es la misma cantidad de carga en el máximo número de ciclos del conmutador 30, 32 o 34. El número de ciclos del conmutador 30, 32, 34 puede alcanzar con facilidad varios miles. Vuelve a medirse el cambio de la tensión en la capacidad efectiva del integrador 22 y se determina el cambio en la carga. La diferencia de carga entre estas dos mediciones es causada por la inyección de carga resultante de ciclar el conmutador 30, 32 o 34. Si esta diferencia de carga se divide entonces por la diferencia en el número de ciclos de conmutador 30, 32 o 34 que crearon la diferencia de carga, se obtiene la inyección de carga por ciclo de conmutador 30, 32, 34. Conociendo la inyección de carga por ciclo del conmutador 30, 32, 34, sus efectos pueden ser compensados matemáticamente. Dado que la inyección de carga de los conmutadores 30, 32, 34 puede afectar la medición de la capacidad efectiva, la capacidad efectiva y la inyección de carga pueden tener que ser medidas de forma iterativa para determinar que se han medido adecuadamente la capacidad efectiva y la inyección de carga.

Puesto que la estructura del integrador 22 ilustrada en la Fig. 1 es capaz de gestionar una entrada de corriente bipolar, contiene fuentes de corriente de referencia tanto positiva 26 como negativa 28. Aprovechando esta estructura, puede introducirse una variación del anterior procedimiento de calibración de la inyección de carga para reducir el tiempo requerido para la medición. Usando a la vez tanto las fuentes 26, 28 de corriente de referencia positiva y negativa, pueden introducirse simultáneamente tanto la inyección de carga mínima como la máxima. Una fuente 26 o 28 de corriente está activada continuamente para introducir una cantidad específica de carga. La otra fuente 26 o 28 de corriente se activa y se desactiva reiteradamente para introducir una carga teóricamente igual, pero opuesta. Cualquier cambio resultante en tensión en la capacidad efectiva representa el desequilibrio de la carga causado por la inyección de carga del conmutador 32 o 34. Dividiendo esta carga por el número de transiciones del conmutador 32 o 34, puede calcularse la inyección de carga por transición del conmutador 32 o 34. Dado que las inyecciones de carga tanto mínima como máxima ocurren simultáneamente, el tiempo de calibración puede reducirse en hasta el 50%.

Otro aspecto del convertidor A/D 20 ilustrado en la Fig. 1 es su capacidad de aumentar la resolución efectiva del convertidor A/D 24 de alta velocidad mediante integración y sobremuestreo. Sin esto, toda la información de calibración, simplemente, habría resultado en un convertidor A/D 20 muy preciso con la misma resolución que el convertidor A/D 24 de alta velocidad situado en su núcleo.

La forma en que la integración y el sobremuestreo mejoran la resolución puede explicarse como sigue. La corriente entrante es almacenada en el integrador 22 como carga. Esta carga permanece en el integrador 22 hasta que es eliminada por una corriente 26 o 28 de referencia sincronizada o por alguna combinación de las dos. Cuando el convertidor A/D 24 de alta velocidad realiza su estimación de la carga en el condensador 40, la resolución limitada del convertidor A/D 24 de alta velocidad hace que la estimación esté desviada en una cantidad pequeña. Aunque convertidor A/D 24 de alta velocidad sea perfecto, el error puede ser igual de grande que la mitad del bit menos significativo del convertidor A/D 24 de alta velocidad. Esto se denomina con frecuencia ruido de cuantificación. El error en la estimación de la carga en el condensador 40 provoca que se produzca un error en la cantidad de carga eliminada del condensador 40. Esta carga de error permanece en el condensador 40 y se suma a la carga entrante del ciclo siguiente, o se resta del mismo. Así, se calibrará el siguiente ciclo de conversión A/D del convertidor A/D 24 de alta velocidad. Si se promedian dos lecturas consecutivas, la media resultante será como si ambas lecturas se hubieran corregido hasta un bit adicional. Llevando a cabo esta media de dos lecturas, de hecho, se ha añadido un bit extra a la conversión, y la tasa de conversión se ha dividido por dos. Si se promedian cuatro lecturas, se obtienen dos bits extra, pero a un cuarto de la tasa de conversión. A medida que se reduce la frecuencia, la conversión se vuelve crecientemente precisa. Este aumento en la resolución prosigue a una tasa de 1 bit por octava de reducción de frecuencia. Usando integración y sobremuestreo, de hecho, se ha intercambiado un error de amplitud relativamente mayor por un error de fase relativamente menor.

En teoría, si este enfoque estuviera reducido en su totalidad a la CC, la precisión de la amplitud estaría limitada únicamente por la calidad de las referencias de corriente y de tiempo y la ganancia del amp op 42 del integrador 22, exceptuando las consideraciones térmicas y de ruido. En la práctica, se ha logrado un rendimiento de 24 bits con convertidores A/D 24 de 16 bits de alta velocidad disponibles comercialmente.

5 Es deseable contar solamente con una referencia 26 o 28 de corriente de precisión. La Fig. 1 ilustra dos referencias 26, 28 de corriente en el convertidor A/D 20. Sería deseable que una de estas referencias 26, 28 fuera una referencia de corriente maestra y que la otra fuera una referencia de corriente conocida aproximadamente calibrada a partir de la maestra. Esta realización puede ser implementada con el convertidor A/D 20 ilustrado en la Fig. 1. Primero, la referencia 26 o 28 de corriente de precisión carga el integrador 22. A continuación se mide el cambio en la tensión con el convertidor A/D 24 de alta velocidad y se determina la capacidad efectiva. Acto seguido, se descarga el integrador 22 con la fuente 28 o 26 de corriente conocida aproximadamente con lo que se cree que es la misma cantidad de carga. A continuación, se mide el cambio en la tensión, nuevamente con el convertidor A/D 24 de alta velocidad. A partir de esta medición de tensión y de la capacidad efectiva conocida puede determinarse la carga realmente eliminada. La proporción entre la carga realmente eliminada y la carga que esperaba eliminarse es el factor de corrección para la fuente 28 o 26 de corriente conocida aproximadamente.

Si hace falta más de un convertidor A/D 20 en un medidor de potencia, el convertidor 20 ilustrado en la Fig. 1 puede ser adaptado para permitir que todos los convertidores funcionen con una sola fuente de corriente de precisión. Ambas fuentes 26 y 28 de corriente ilustradas en la Fig. 1 se volverían fuentes de corriente conocidas aproximadamente a partir de la fuente de corriente maestra de precisión. Puede añadirse otro conmutador a cada convertidor A/D 20 para permitir que la fuente de corriente de precisión sea encaminada a ese convertidor 20. Cada una de las fuentes 26, 28 de corriente conocidas aproximadamente podría ser entonces calibrada en cada uno de los convertidores A/D 20 usando el procedimiento descrito anteriormente.

Para descargar el condensador 40 del integrador hasta cero voltios, el temporizador programable 36 que controla las fuentes 26, 28 de corriente tendría que tener una resolución infinita. Esto, por supuesto, no resulta práctico. Típicamente, una fuente 26, 28 de corriente está dimensionada para que puedan cargar o descargar completamente el integrador 22 en un ciclo de conversión A/D. Para hacer esto, se requiere un temporizador programable 36 que tenga al menos la misma resolución que el convertidor A/D 24 de alta velocidad, para que sea capaz de descargar el condensador 40 del integrador hasta la mitad del bit menos significativo del convertidor A/D 24 de alta velocidad. Si la fuente 26, 28 de corriente puede cargar o descargar el condensador 40 del integrador en menos de un ciclo completo, es preciso que la resolución del temporizador programable 36 sea aún mayor. Los temporizadores programables 36 de esta capacidad suponen una carga considerable para la lógica 38 de control. La única manera de reducir la complejidad del temporizador programable 36 es cargar y descargar hasta una resolución menor. Esto hace que en el integrador 22 permanezca carga que afecte la siguiente medición. Sin embargo, esto no plantea un problema, dado que se conoce la cantidad exacta de esta carga residual. La lógica 38 control puede hacer un seguimiento de la carga residual y sumar esta cantidad a la siguiente medición de carga, o restarla de la misma. Esto permite que se reduzcan la resolución requerida del temporizador 36 de carga.

El convertidor A/D 20 ilustrado en la Fig. 1 tiene una corriente como entrada y referencia. La Fig. 2 ilustra una realización que tiene una entrada de tensión y referencias 126, 128 de tensión. Hay muy poca diferencia entre las realizaciones ilustradas en las Figuras 1 y 2. La corriente de entrada y las dos referencias 26, 28 de corriente ilustradas en la Fig. 1 han sido sustituidas por una tensión de entrada y dos referencias 126, 128 de tensión en la Fig. 2. La realización ilustrada en la Fig. 2 también incluye dos amp op 150, 152 adicionales, conmutadores 154, 156 adicionales y dos resistencias 158, 160 adicionales. De cara a un rendimiento óptimo, las dos resistencias 158, 160 son tan casi idénticas en valor como permita el coste del medidor de potencia, y se combinan con los amp op 150, 152, respectivamente, para formar convertidores 162, 164 de tensión $v_{in}(t)$ 126, 128 a corriente. Una vez que las tensiones han sido convertidas en corrientes, el convertidor A/D 120 ilustrado en la Fig. 2 se comporta como antes. Sin embargo, con independencia de lo meticulosamente que se seleccionen las resistencias 158, 160, no puede lograrse una equivalencia perfecta usando dos resistencias 158, 160 separadas en los convertidores 162, 164 de tensión a corriente. La ganancia de la tensión de entrada nunca equivaldrá exactamente a la ganancia de la tensión 126, 128 de referencia. Esto añade un error que no puede eliminarse mediante autocalibración del convertidor A/D 120. Los conmutadores 154, 156 adicionales se usan para permitir que la ganancia de la conversión de tensión a corriente sea controlada por el valor medio de las resistencias 158, 160. Cada dos ciclos se intercambian las posiciones de las resistencias 158 y 160 en el circuito 120. Esto hace que la corriente inyectada por la tensión de entrada y las referencias 126, 128 de entrada sean esas tensiones divididas por la media óhmica de las resistencias 158, 160. Las ganancias de la conversión de tensión a corriente llevada a cabo tanto por la entrada de tensión como por las referencias 126, 128 de tensión son ahora idénticas. El convertidor A/D 120 puede ahora usarse tanto para una entrada de corriente como de tensión.

Los amp op 150, 152 de los convertidores 162, 164 de tensión a corriente ilustrados en la Fig. 2 no son ideales y, como tales, tienen corrientes de polarización de entrada y tensiones de desequilibrio de entrada. Estas corrientes de polarización y estas tensiones de desequilibrio pueden afectar a la conversión de una referencia 26, 28 de corriente de precisión a una referencia 126, 128 de tensión de precisión. Típicamente, las referencias 126, 128 de tensión de precisión tienen tensiones de salida entre 1 voltio y 10 voltios e impedancias de salida significativamente menores que decenas de miliohmios. Típicamente, los amp op 150, 152 tienen tensiones de desequilibrio de entrada que

varían entre microvoltios expresados con un solo dígito y decenas de milivoltios, y corrientes de polarización de entrada que varían entre cientos de picoamperios y decenas de microamperios.

5 Es fácil de volver desdeñable el efecto de la corriente de polarización en la referencia 126, 128. El amp op 150, 152 proporciona la polarización a la entrada negativa y no es un problema. Sin embargo, en la entrada positiva, asumiendo 100 miliohmios de impedancia de la referencia 126, 128, una referencia de 1 voltio y 100 microamperios de corriente de polarización, hay un efecto de 10 PPM $((100 \text{ miliohmios} \times 100 \text{ microamperios})/1 \text{ V})$ en la conversión de la tensión a una corriente. Mediante un diseño razonablemente minucioso, puede superarse esta dificultad.

10 El principal contribuyente de este error proviene del efecto de la tensión de desequilibrio de la entrada. Incluso un amp op troceador de muy bajo desequilibrio de entrada, como, por ejemplo, el circuito integrado LT1050, de Linear Technology, tiene una tensión máxima de desequilibrio de entrada de 5 V. Para una referencia de 1 voltio, esto resulta en un error de hasta 5 PPM. Esta es una condición limitadora relativamente alta para un convertidor 120 de precisión. Además de reducir el error, sería deseable usar unos amp op 150, 152 con un mayor ancho de banda y un coste menor que los amp op troceador.

15 Una modificación de importancia menor ilustrada en la Fig. 2 puede contribuir a resolver este problema. Si cada uno de los conmutadores 132 y 134 está dotado de un terminal adicional y los terminales adicionales están conectados a tierra, la entrada positiva del amp op 150, 152 puede conectarse entonces a tierra. Con la entrada conmutada a tierra, cualquier corriente de entrada es el resultado de la tensión de desequilibrio de la entrada dividida por la resistencia que lleva a cabo la conversión de tensión a corriente. Si se dirige esta corriente al integrador 22, el efecto de la tensión de desequilibrio de la entrada en la corriente producida puede ser medido y eliminado matemáticamente.

20 Con independencia de que sean conmutadores mecánicos o de semiconductores, los conmutadores 154, 156 usados como parte de los convertidores 162, 164 de tensión a corriente tienen resistencias no nulas, y pueden generar una FEM térmica. Esto puede afectar a la conversión de tensión a corriente. Los conmutadores 132, 134 son relativamente benignos. La única corriente que fluye a través de ellos es la corriente de polarización del amp op 150, 152. Como ocurría con el efecto de la corriente de polarización, la elección meticulosa de los amp op 150, 152 puede hacer que este efecto sea desdeñable. Los conmutadores 132, 134 de FEM térmica baja también pueden ser usados para mantener baja la disipación de energía en los conmutadores 132, 134, manteniendo con ello en un nivel desdeñable la FEM térmica. La principal área de inquietud son los conmutadores 154 y 156. Aquí, un flujo sustancial de corriente y una resistencia relativamente baja pueden tener efectos significativos. Las resistencias de los conmutadores 154 y 156 están en serie con las resistencias 158 y 160 de conversión de tensión a corriente. Las resistencias de los conmutadores 154 y 156 se convierten así en parte de la conversión de tensión a corriente. Cualquier inestabilidad en los conmutadores 154 y 156 se convierte en una inestabilidad en la ganancia de la conversión de tensión a corriente. Hay numerosas fuentes de la inestabilidad del conmutador 154, 156. Este problema puede resolverse mediante una modificación del circuito ilustrado en las Figuras 2 y 2a. Se conectan resistencias negativas 166, 168 partiendo de la unión de la resistencia 158 y el conmutador 154 a tierra, y de partiendo de la unión de la resistencia 160 y el conmutador 156 a tierra, respectivamente. Las resistencias negativas 166, 168 pueden implementarse en cualquiera de entre un número de maneras conocidas. Véase, por ejemplo, Donald Christiansen, ed., *The Electronic Engineers' Handbook*, 4ª edición, McGraw-Hill, Nueva York, 1997, pp. 16.39-16.41. Si los valores óhmicos de las resistencias negativas 166, 168 son exactamente iguales que los valores óhmicos de las resistencias 158 y 160, respectivamente, el resultado es una fuente ideal de corriente cuya corriente de salida es la entrada de tensión al amp op 150, 152 dividida por el valor de la resistencia 158, 160 del convertidor de tensión a corriente. Contar con una fuente de corriente ideal hace que las variaciones en las resistencias de los conmutadores 154, 156 resulten irrelevantes.

45 El siguiente análisis de uno de los dos convertidores 162, 164 de tensión a corriente demuestra cómo la creación de una fuente de corriente constante supera este problema. Hay muchas técnicas bien conocidas para implementar una resistencia negativa y, por ello, no se explorará aquí una implementación particular de la resistencia negativa. La tensión V de salida del amp op 150 se conecta a la resistencia 158. Dado que el amp op 150 tiene una ganancia elevada y está configurado como un amplificador intermedio de ganancia unidad, la impedancia de salida del amp op 150 es mucho menor que el valor óhmico de la resistencia 158 y puede ser ignorado con fines de análisis. La resistencia 158 está conectada con la resistencia R_{co} del conmutador 154. El otro terminal de R_{co} está conectado a tierra. La resistencia negativa 166 está conectada a tierra desde la unión de la resistencia 158 y R_{co} . Dado que estos son circuitos lineales, la corriente que fluirá a R_{co} puede ser determinada encontrando en primer lugar la tensión y la resistencia equivalentes de Thévenin y para la tensión V , el valor óhmico de la resistencia 158 y el valor óhmico de la resistencia negativa 166. La tensión equivalente de Thévenin, V_T , es igual a $V \times (R_{166}/(R_{158} + R_{166}))$. La resistencia equivalente de Thévenin, R_T , es igual a $(R_{158} \times R_{166})/(R_{158} + R_{166})$. Tanto V_T como R_T alcanzan un valor infinito cuando $R_{158} = -R_{166}$. Esto es lo que cabría esperar de una fuente de corriente verdaderamente ideal. Para hallar el valor real de la fuente de corriente, este circuito equivalente de Thévenin puede ser convertido en un circuito equivalente de Norton. La resistencia en paralelo es, por supuesto, la misma que la resistencia en serie del circuito de Thévenin, y es una resistencia infinita. La fuente de corriente, I_N , del equivalente de Norton se determina dividiendo la tensión equivalente de Thévenin por la resistencia equivalente de Thévenin, es decir, $I_N = V_T/R_T = (V \times (R_{166}/(R_{158} + R_{166}))) / ((R_{158} \times R_{166})/(R_{158} + R_{166}))$. Simplificando esta ecuación, $I_N = V \times (R_{166}/(R_{158} \times R_{166})) = V/R_{158}$. Esto da un circuito equivalente de Norton que es una perfecta fuente de corriente cuya corriente de salida es V/R_{158} .

Por supuesto, en la práctica, los valores de las resistencias positivas 158, 160 y negativas 166, 168 no pueden equipararse exactamente, de modo que no puede alcanzarse una fuente de corriente perfecta. Sin embargo, puede lograrse una fuente de corriente sustancialmente mejorada únicamente con la aproximación con la tensión V y la resistencia 158. Evaluando la tensión y la resistencia reales equivalentes de Thévenin disponibles con las resistencias desiguales 158, 160 y 166, 168, puede realizarse una determinación de cuánto ha mejorado el rendimiento del circuito. Si las resistencias positivas y negativas son igualadas hasta el 0,1%, la tensión y la resistencia equivalentes de Thévenin mejoran en un factor de 1000. Esto quiere decir que el circuito es 1000 veces menos sensible a las variaciones en resistencia causadas por el conmutador 154, 156. Esta es una mejora sustancial.

Para implementar los convertidores A/D 20, 120 de las Figuras 1 y 2 hacen falta una o más fuentes 170 de alimentación. Muchas de tales fuentes 170 de alimentación son del tipo conmutador y, a no ser que se tomen medidas adecuadas para evitarlo, tienden a inyectar su ruido de conmutación en el convertidor A/D 20, 120. Minimizar el ruido proveniente de estas fuentes puede ser una empresa significativa. Una solución distinta a la eliminación del ruido es inmunizar al convertidor A/D 20, 120 contra los efectos del ruido. Una forma de lograr este objetivo es sincronizar las frecuencias de las fuentes 170 de conmutación con el ciclo de conversión del convertidor 20, 120. El efecto de esta sincronización es hacer que el convertidor A/D 20, 120 reciba el mismo ruido en cada ciclo. Dado que el ruido inyectado es el mismo en cada ciclo, su efecto es crear un desequilibrio de CC en el convertidor A/D 20, 120. Tal como se expuso anteriormente un desfase estable de CC es eliminado fácilmente mediante un ciclo de calibración.

Tal como se hizo notar previamente, el ruido aleatorio es en la actualidad el factor limitador en la resolución. Dos formas bien conocidas para mejorar las relaciones señal-ruido son reducir la cantidad de ruido presente y aumentar la cantidad de señal presente. Aquí se explora el enfoque de aumentar la cantidad de señal presente.

Supongamos que el convertidor A/D 20, 120 está configurado de tal modo que, dada una corriente continua máxima procedente de la señal de entrada, no se superan ni los límites de tensión del integrador 22 ni los límites de tensión del convertidor A/D de alta velocidad. El condensador 40 del integrador puede volver a ser descargado hasta cero voltios entre ciclos. Si el tamaño de la corriente de entrada aumenta sin cambiar el tamaño del condensador 40 del integrador, se incrementa la relación efectiva de señal-ruido del convertidor A/D 20, 120. Sin embargo, sin cambiar algún otro parámetro, la carga adicional procedente de la señal aumentada de entrada podría superar el intervalo de tensión del integrador 22 o del convertidor A/D 24 de alta velocidad. Aumentar el tamaño del condensador 40 del integrador resolvería este problema, pero restauraría la relación señal-ruido original. Sin embargo, dado que la señal de entrada está siendo sometida a un sobremuestreo y tiene un ancho de banda limitado, este problema puede resolverse usando múltiples fuentes 26, 28 de corriente de referencia. Transfiriendo la calibración desde una única fuente maestra, pueden proporcionarse tantas fuentes de corriente como haga falta.

Pueden emplearse múltiples fuentes 26, 28 de corriente para eliminar dinámicamente la carga del convertidor ligeramente más rápido de lo que está siendo añadida por la señal de entrada. Dado que la señal de entrada está siendo sometida a un sobremuestreo y tiene un ancho de banda limitado, puede calcularse de forma aproximada cuánta corriente entrará en el integrador 22 durante un ciclo en base al ciclo anterior. Dado que la señal de entrada tiene un ancho de banda limitado, la tasa a la que carga el integrador 22 únicamente puede cambiar en una cantidad finita con cada ciclo. Puesto que se conoce cuánta carga se añadió durante el último ciclo, se conoce la tasa a la que se está añadiendo carga. Dado que el ancho de banda de la señal entrante es limitado, también lo es cuánto puede cambiarse en sentido ascendente o descendente esta tasa de acumulación de carga. Así, puede predecirse cuánta carga tiene que eliminarse como mínimo, y la eliminación de esta carga puede comenzar mientras la entrada está añadiendo esta carga.

Al mismo tiempo, puede ser eliminada cualquier carga que precise ser eliminada como resultado de la última medición. La única carga que el integrador 22 tiene que poder acomodar es la carga que resultó del cambio en la tasa de carga. Esto quiere decir que la entrada puede funcionar con una corriente mayor sin desbordar al integrador 22 o al convertidor A/D 24 de alta velocidad. Todo lo que se precisa es tener suficientes fuentes 26, 28 de corriente funcionando para equilibrar la corriente esperada de entrada. No es preciso que el condensador 40 del integrador sea mayor que el tamaño necesario para acomodar la porción de la corriente entrante que no pueda ser predicha.

Un beneficio adicional de la reducción del tamaño del condensador 40 con respecto a la corriente de entrada es una reducción en los efectos del almacenamiento dieléctrico del condensador 40 del integrador. Mejora la cantidad de carga capturada por el dieléctrico y no medida, en comparación con la cantidad de carga medida.

También puede evitarse el problema de la inyección de carga resultante de la activación de múltiples fuentes 26, 28 de corriente en un mismo momento. La consideración de la historia de la corriente un ciclo adicional anterior en el tiempo permite que se adopte una decisión de qué fuentes 26, 28 de corriente deben desactivarse o activarse en el ciclo siguiente. Esto permite se evite que las fuentes 26, 28 de corriente sean desconectadas o conectadas cuando el convertidor 20, 120 pasa de un ciclo al siguiente. Esto minimiza la inyección de carga resultante de la operación de los conmutadores 30, 32, 34, 132, 134, 154, 156.

Aunque los convertidores analógicos integradores 20, 120 poseen muchas características deseables, como una linealidad soberbia y excelentes relaciones señal-ruido, sí que tienen ciertas limitaciones. Una de estas es que el procedimiento de integrar la señal de entrada induce una amplitud dependiente de la frecuencia y desplazamientos de fase en la corriente entrante. Esto afecta a los datos obtenidos del convertidor 20, 120. Esta amplitud dependiente de la frecuencia y este desplazamiento de fase tienen que ser minimizados para usar debidamente la corriente de datos proveniente del convertidor 20, 120. Una manera de minimizar la distorsión sería conocer exactamente la ganancia del integrador 22 y calcular la amplitud y los desplazamientos de fase exactos para cada armónico. La corriente de datos entrante podría ser sometida a una transformada de Fourier para determinar la amplitud y la fase de cada armónico. La amplitud y la fase de cada armónico podrían entonces calibrarse para el efecto del integrador 22. Dado que el integrador 22 ya ha sido calibrado, su ganancia es conocida, de modo que podría implementarse este enfoque. Sin embargo, este es un procedimiento de cálculo intensivo para el logro de los resultados deseados, y añade considerablemente al costo y el consumo de energía de un procesador de señales digitales del tipo que puede ser incluido en la lógica 38 de control usada en los cálculos.

Otra solución del problema es crear un filtro para la corriente de datos que tiene la respuesta inversa de amplitud y frecuencia a los desplazamientos que son causados por el integrador 22 y para filtrar la corriente de datos entrantes por medio de este filtro inverso. Aunque esto es posible, crear un filtro inverso de este tipo no es trivial.

Otra solución es aproximarse a la corrección de la corriente de datos desde una perspectiva de ajuste de curvas. La investigación de varias formas de error contribuye al desarrollo de estrategias para eliminar estos errores. Una fuente del error de fase es el desplazamiento temporal que ocurre debido a la integración. Este desplazamiento temporal puede apreciarse con referencia a la Fig. 3. La Fig. 3 ilustra la corriente, I , de la señal entrante como una función del tiempo, t , como una rampa ascendente 200. Los datos reales digitalizados se ilustran como una serie de rectángulos, en la que $t_{(n-1)}$, t_n , $t_{(n+1)}$, $t_{(n+2)}$, etcétera, son los tiempos al final de cada ciclo de conversión. La altura de cada rectángulo es la media del valor de la corriente 200 de entrada durante el tiempo de la conversión. Dado que la señal 200 de entrada es una rampa, el valor real obtenido durante cada conversión coincide exactamente con el valor de la señal de entrada en el punto medio entre las muestras. Así, en la medición se ha introducido, de hecho, un desplazamiento de fase de exactamente medio ciclo de conversión. Ese desplazamiento de fase de medio ciclo aparece como un desplazamiento lineal de fase en la corriente de datos. Esta solución es exacta únicamente para rampas lineales 200 y se vuelve crecientemente imprecisa a medida que la señal de entrada se desvía de una rampa. Sin embargo, la entrada tiene un ancho de banda limitado y está siendo sometida a sobremuestreo. En consecuencia, todas las señales de entrada parecen sustancialmente rampas durante el marco temporal de las muestras adyacentes. Debido a esto, cuando los datos digitalizados son calibrados por este medio ciclo de desplazamiento, se elimina una porción sustancial del desplazamiento de fase que ocurre en el integrador 22.

Las entradas no son rampas perfectas. Hay algún error adicional de amplitud que puede ser eliminado de la muestra individual acomodando la curva suave que, en efecto, ocurre. La Fig. 4 ilustra la corriente de entrada como una curva suave 202 y la salida digitalizada del convertidor 20, 120 como una serie de rectángulos. La curva 202 está un tanto exagerada para facilitar la comprensión. Cuando aumenta o disminuye la entrada, las condiciones se aproximan a las condiciones de la rampa original 200. Sin embargo, considerando la curva 202 entre las muestras $t_{(n+2)}$ y $t_{(n+3)}$, puede verse que, cuando la curva 202 está en su pico, ocurre un nuevo error. El valor medio del integrador 22 no se aproxima al valor medio de la muestra tan estrechamente. Esta condición existe con independencia de que la curva sea positiva o negativa. Una solución de este problema es calibrar la altura de cualquier resultado dado en base a los resultados de las mediciones precedente y sucesiva. Para cualquier valor i_x que ocurra en el instante t_x , su resultado es calibrado por los valores para las muestras $I_{(x-1)}$ e $I_{(x+1)}$, que ocurren, respectivamente, en los instantes $t_{(x-1)}$ y $t_{(x+1)}$. La fórmula para el punto ajustado en el instante t_x es $i_x = i_x + [(i_x - (I_{(x-1)} + I_{(x+1)})/2) \times A_1]$, en la que A_1 es un coeficiente determinado experimentalmente. Como puede verse por la fórmula, si ambos puntos adyacentes están por debajo del punto actual, como ocurriría en la 202 tendente a negativo de la Fig. 4, se añadirá al punto actual una pequeña cantidad de corrección en base a la diferencia entre el punto actual y los puntos adyacentes. Ocurre un ajuste similar para curvas tendentes a positivo. Si la entrada es una rampa 200, no ocurre ningún ajuste, dado que la media de los puntos precedente y sucesivo es idéntica al punto presente.

Para mejorar el ajuste aún más, pueden tenerse en consideración los siguientes puntos, aún más remotos desde el punto presente. En este caso, la fórmula para el punto ajustado sería $i_x = i_x + [(i_x - (I_{(x-1)} + I_{(x+1)})/2) \times A_1] + [(i_x - (I_{(x-2)} + I_{(x+2)})/2) \times A_2]$, en la que A_2 es otro coeficiente determinado experimentalmente.

Aunque tiende a producir resultados decrecientes en el caso sometido a sobremuestreo y con ancho de banda limitado, este enfoque puede extenderse tantos órdenes como sea necesario para lograr los resultados deseados. En la actualidad, únicamente se están investigando experimentalmente dos órdenes de ajuste, y los coeficientes derivados experimentalmente (determinados por simulación numérica) para la fórmula son $A_1 = 0,125$ y $A_2 = -0,01046$.

Las ventajas de este enfoque para corregir la distorsión causada por el integrador 22 son la simplicidad de la implementación del algoritmo en un procesador moderno de señales digitales, como las que pueden ser incluidas en la lógica 38 de control, y el caso de la determinación de los coeficientes. Con este algoritmo de corrección se ha implementado un convertidor A/D 20, 120 que tiene el rendimiento de ruido y linealidad de un convertidor integrador combinado con la capacidad de datos instantáneos de un convertidor de muestreo y retención.

En una mejora adicional, el desplazamiento de media fase de muestreo y el ajuste en altura de la muestra pueden combinarse en una ecuación. Esta puede expresarse como $I_{(x+0.5)} = \{(I_x + I_{(x+1)}) \times B_1\} + \{(I_{(x-1)} + I_{(x+2)} - I_x - I_{(x+1)}) \times B_2\} + \{(I_{(x-2)} + I_{(x+3)} - I_{(x+1)} - I_x) \times B_3\}$, en la que $B_1 = 0,5$, $B_2 = -0,103807$ y $B_3 = 0,013866$. Como antes, los coeficientes fueron determinados por simulación numérica.

REIVINDICACIONES

1. Un circuito (20, 120) para la conversión de analógica a digital (A/D) de una señal de entrada, incluyendo el circuito (20, 120) un integrador (22), incluyendo el integrador (22) un condensador (40) y un amplificador (42), estando el condensador (40) conectado a una toma de entrada del amplificador (42), un convertidor A/D (24) conectado a una toma de salida del amplificador (42) para proporcionar señales de salida, una fuente (26, 28, 126, 128) de referencia para cambiar una cantidad de carga almacenada en el condensador (40) con una tasa temporal conocida, al menos un conmutador (30, 32, 34, 132, 134, 154, 156) para conectar alternativamente la fuente (26, 28, 126, 128) de referencia y la señal de entrada al condensador (40), y un procesador (38) para controlar sucesivos ciclos de conversión A/D del convertidor A/D (24) y para controlar el al menos un conmutador (30, 32, 34, 132, 134, 154, 156), **caracterizado porque** el procesador (38) está configurado para sumar las señales de salida del convertidor (A/D) (24) durante los sucesivos ciclos de conversión A/D y dividir las señales de salida sumadas en ciclos sucesivos de conversión A/D por el número de señales de salida sumadas, y **porque** el amplificador (42) comprende un amplificador (42) de vídeo.
2. El circuito de la reivindicación 1 en el que el procesador (38) está configurado para sumar las señales de salida de dos ciclos consecutivos y dividir por dos.
3. El circuito de la reivindicación 1 en el que el procesador (38) está configurado para sumar las señales de salida de cuatro ciclos consecutivos y dividir por cuatro.
4. El circuito de la reivindicación 1 en el que el amplificador (42) de vídeo comprende múltiples amplificadores (42) en configuración de cascada.
5. El circuito de la reivindicación 4 en el que los múltiples amplificadores (42) incluyen múltiples amplificadores (42) de vídeo.
6. El circuito de cualquier reivindicación precedente en el que el procesador (38) está configurado para controlar el al menos un conmutador (30, 32, 34, 132, 134, 154, 156) para proporcionar carga al integrador (22) y para controlar el convertidor A/D (24) para la conversión A/D de una señal de salida del integrador antes y después de la aplicación de la carga.
7. El circuito de la reivindicación 6 que además incluye un generador (36) de base de tiempos conectado al procesador (38), estando configurado el procesador (38) para accionar periódicamente el al menos un conmutador (30, 32, 34, 132, 134, 154, 156) para eliminar periódicamente la señal de entrada del integrador (22), conectar periódicamente la fuente (26, 28, 126, 128) de referencia al integrador (22) y proporcionar periódicamente carga al integrador (22), estando configurado el convertidor A/D (24) para la conversión A/D de la señal de salida del integrador antes y después de la aplicación periódica de carga al integrador (22).
8. El circuito de la reivindicación 6 en el que el procesador (38) está configurado para determinar, a partir de la señal de salida del integrador con conversión A/D, antes y después de la introducción de carga, una capacidad efectiva de la combinación del integrador (22) y del convertidor A/D (24).
9. El circuito de la reivindicación 8 en el que se conoce un coeficiente de temperatura del condensador (40), estando configurado el procesador (38) para determinar un cambio en la capacidad efectiva de la combinación del integrador (22) y del convertidor A/D (24) y determinar, a partir del cambio en la capacidad efectiva de la combinación del integrador (22) y del convertidor A/D (24) y el coeficiente de temperatura del condensador (40), la temperatura del condensador (40).
10. El circuito de cualquier reivindicación precedente en el que el integrador (22) que incluye el condensador (40) y el amplificador (42) incluye un primer integrador (22) que incluye un primer condensador (40) y un primer amplificador (42) y un segundo integrador (22) que incluye un segundo condensador (40) y un segundo amplificador (42), estando orientados de tal modo los condensadores (40) primero y segundo que sus temperaturas permanecen sustancialmente iguales durante la operación del circuito, estando configurado el procesador (38) para determinar, a partir de la señal de salida del primer integrador (22) con conversión A/D, antes y después de la introducción de la carga, una capacidad efectiva de la combinación del primer integrador (22) y del convertidor A/D (24).
11. El circuito de la reivindicación 1 en el que la fuente (26, 28, 126, 128) de referencia incluye una primera fuente (26, 126) de referencia y una segunda fuente (28, 128) de referencia, incluyendo el al menos un conmutador (30, 32, 34, 132, 134, 154, 156) al menos un primer conmutador (30, 32, 132) para desconectar selectivamente la señal de entrada del integrador (22) y conectar la primera fuente (26, 126) de referencia al integrador (22) y al menos un segundo conmutador (30, 34, 134) para conectar selectivamente la segunda fuente (28, 128) de referencia al integrador (22), estando configurado el procesador (38) para controlar el al menos primer conmutador (30, 32, 132) para proporcionar una primera carga al integrador (22), controlar el convertidor A/D (24) para la conversión A/D de la señal de salida del integrador después de la introducción de la primera carga, controlar el al menos segundo conmutador (30, 34, 134) para retirar del integrador (22) una segunda carga

calculada para que sea igual a la primera carga, y controlar el convertidor A/D (24) para la conversión A/D de la señal de salida del integrador después de retirar del integrador (22) la segunda carga.

- 5 12. El circuito de la reivindicación 1 en el que el al menos un interruptor (30, 32, 34, 132, 134, 154, 156) incluye además al menos un primer conmutador (30, 32, 132) para desconectar selectivamente la señal de entrada del integrador (22) y descargar el integrador (22), estando configurado el procesador (38) para controlar el convertidor A/D (24) para la conversión A/D de la señal de salida del integrador después de que el integrador (22) se descarga y calcular una corriente de polarización del amplificador (42) a partir de la señal de salida del convertidor A/D (24) después de que el integrador (22) se ha descargado.
- 10 13. El circuito de la reivindicación 1 que incluye un generador (36) de base de tiempos conectado al procesador (38), estando configurado el procesador (38) además para controlar el convertidor A/D (24) para controlar la conversión A/D de la señal de salida del integrador después de que el condensador (40) del integrador (22) se carga para determinar la fuga del condensador (40) del integrador (22).
- 15 14. El circuito de la reivindicación 1 en el que el procesador (38) está configurado para controlar el al menos un conmutador (30, 32, 34, 132, 134, 154, 156) para proporcionar una carga conocida al integrador (22), controlando el procesador (38) además el convertidor A/D (24) para controlar la conversión A/D de la señal de salida del integrador antes y después de la introducción de la carga, incluyendo el procesador (38) una tabla de valores para compensar la señal de salida del integrador (22) con conversión A/D en una diferencia entre la señal de salida del integrador con conversión A/D y la carga conocida.
- 20 15. El circuito de la reivindicación 1 en el que el procesador (38) está configurado para accionar el al menos un conmutador (30, 32, 34, 132, 134, 154, 156) un número menor de veces para cargar el condensador (40) hasta un valor calculado, estando configurado el convertidor A/D (24) para la conversión A/D de una primera señal de salida del integrador (22), estando configurado el procesador (38) para accionar el al menos un conmutador (30, 32, 34, 132, 134, 154, 156) un número mayor de veces que el número menor de veces para cargar el condensador (40) hasta el valor calculado, estando configurado el convertidor A/D (24) para la conversión A/D de una segunda señal de salida del integrador (22), estando configurado el procesador (38) para determinar una diferencia entre la primera señal de salida con conversión A/D y la segunda señal de salida con conversión A/D, dividir la diferencia entre la primera señal de salida con conversión A/D y la segunda señal de salida con conversión A/D por la diferencia entre el número mayor y el número menor; y almacenar un cociente de la división de la diferencia entre la primera señal de salida con conversión A/D y la segunda señal de salida con conversión A/D por la diferencia entre el número mayor y el número menor.
- 25 30 16. El circuito de la reivindicación 15 en el que el procesador (38), para accionar el al menos un conmutador (30, 32, 34, 132, 134, 154, 156) el número menor de veces para cargar el condensador (40) hasta el valor calculado, está configurado para accionar el al menos un conmutador (30, 32, 34, 132, 134, 154, 156) una vez para cargar el condensador (40) hasta el valor calculado.
- 35 17. El circuito de la reivindicación 15 en el que el procesador (38), para accionar el al menos un conmutador (30, 32, 34, 132, 134, 154, 156) el número mayor de veces para cargar el condensador (40) hasta el valor calculado, está configurado para accionar el al menos un conmutador (30, 32, 34, 132, 134, 154, 156) el mayor número de veces, que es, al menos, cien veces el menor número de veces.
- 40 45 18. El circuito de la reivindicación 1 en el que la fuente (26, 28, 126, 128) de referencia incluye una primera fuente (26, 126) de referencia para cambiar la cantidad de carga almacenada en el condensador (40) con una primera tasa temporal conocida y una segunda fuente (28, 128) de referencia para cambiar la cantidad de carga almacenada en el condensador (40) con una segunda tasa temporal conocida, conectando selectivamente el al menos un conmutador (30, 32, 34, 132, 134, 154, 156) la primera fuente (26, 126) de referencia al integrador (22) para cargar el condensador (40) una primera cantidad conocida y desconectando la segunda fuente (28, 128) de referencia del integrador (22) y desconectando la primera fuente (26, 126) de referencia del integrador (22) y conectando la segunda fuente (28, 128) de referencia al integrador (22) para cargar el condensador (40) una segunda cantidad conocida, estando configurado el procesador (38) para comparar las cantidades conocidas primera y segunda para calibrar la segunda fuente (28, 128) de referencia con respecto a la primera fuente (26, 126) de referencia.
- 50 19. El circuito de la reivindicación 18 en el que la primera fuente (26, 126) de referencia tiene una primera polaridad, y la segunda fuente (28, 128) de referencia tiene una segunda polaridad opuesta, incluyendo la carga del condensador (40) hasta la segunda cantidad conocida la descarga de la primera cantidad conocida del condensador (40).
- 55 20. El circuito de la reivindicación 1 en el que el integrador (22) comprende un primer integrador (22), incluyendo el primer integrador (22) un primer condensador (40) y un primer amplificador (42), estando conectado el primer condensador (40) a una toma de entrada del primer amplificador (42), el convertidor A/D (24) comprende un primer convertidor A/D (24), incluyendo además el circuito (20, 120) un segundo integrador (22) que incluye un segundo condensador (40) y un segundo amplificador (42), estando conectado el segundo condensador (40) a

- una toma de entrada del segundo amplificador (42), y un segundo convertidor A/D (24), conectando selectivamente el al menos un conmutador (30, 32, 34, 132, 134, 154, 156) la fuente (26, 28, 126, 128) de referencia al primer integrador (22) o al segundo integrador (22), estando configurado el procesador (38) para controlar un ciclo de conversión A/D del convertidor A/D (24) para controlar el al menos un conmutador (30, 32, 34, 132, 134, 154, 156) y para controlar un primer ciclo de conversión A/D del primer convertidor A/D (24) para producir una señal de salida del primer convertidor A/D (24) y para controlar un segundo ciclo de conversión A/D del segundo convertidor A/D (24) para producir una señal de salida del segundo convertidor A/D (24).
- 5
21. El circuito de la reivindicación 1 en el que la señal de entrada comprende una señal de corriente de entrada y la fuente (26, 28, 126, 128) de referencia comprende una fuente (26, 28) de referencia de corriente.
- 10
22. El circuito de la reivindicación 1 en el que la señal de entrada comprende una señal de tensión de entrada y que además incluye un segundo amplificador (150, 152) y una resistencia (158, 160) para convertir la señal de tensión de entrada en una señal equivalente de corriente de entrada.
- 15
23. El circuito de la reivindicación 22 en el que la fuente de referencia incluye una primera fuente (126) de referencia de tensión para cambiar la cantidad de carga almacenada en el condensador (40) con una primera tasa temporal conocida y una segunda fuente (128) de referencia de tensión para cambiar la cantidad de carga almacenada en el condensador (40) con una segunda tasa temporal conocida, conectando selectivamente el al menos un conmutador (30, 32, 34, 132, 134, 154, 156) la primera fuente (126) de referencia de tensión al integrador (22) para cargar el condensador (40) hasta una primera cantidad conocida y desconectando la segunda fuente (128) de referencia de tensión del integrador (22), y desconectando la primera fuente (126) de referencia de tensión del integrador (22) y conectando la segunda fuente (128) de referencia de tensión al integrador (22) para cargar el condensador (40) hasta una segunda cantidad conocida.
- 20
24. El circuito de la reivindicación 23 en el que el segundo amplificador (150, 152) y la resistencia (158, 160) para convertir la señal de tensión de entrada en una señal equivalente de corriente de entrada incluye un segundo amplificador (150) y una primera resistencia (158) para convertir una de entre la señal de tensión de entrada, la primera fuente (126) de referencia de tensión y la segunda fuente (128) de referencia de tensión en una primera señal equivalente de corriente de entrada, y un tercer amplificador (152) y una segunda resistencia (160) para convertir una de entre la señal de tensión de entrada, la primera fuente (126) de referencia de tensión y la segunda fuente (128) de referencia de tensión en una segunda señal equivalente de corriente de entrada, estando configurado el procesador (38) para controlar un ciclo de conversión A/D del convertidor A/D (24) para conectar alternativamente dicha una de entre la señal de tensión de entrada, la primera fuente (126) de referencia de tensión y la segunda fuente (128) de referencia de tensión por medio del segundo amplificador (150) para producir una señal de salida del primer convertidor A/D (24) y por medio del tercer amplificador (152) para producir una señal de salida del segundo convertidor A/D (24), y promediar la señal de salida del primer convertidor A/D (24) y la señal de salida del segundo convertidor A/D (24).
- 25
- 30
- 35
25. El circuito de la reivindicación 24 en el que el al menos un conmutador (30, 32, 34, 132, 134, 154, 156) incluye al menos un primer conmutador (30, 132, 134) que tiene una posición en la que no hay presente ninguna señal de entrada, estando configurado el procesador (38) para almacenar la señal de salida del convertidor A/D (24) cuando el al menos primer conmutador (30, 132, 134) está en la posición en la cual no hay presente ninguna señal de entrada.
- 40
26. El circuito de las reivindicaciones 23 o 24 en el que la primera fuente (126) de referencia tiene una primera polaridad y la segunda fuente (128) de referencia tiene una segunda polaridad opuesta, incluyendo la carga del condensador (40) hasta la segunda cantidad conocida la descarga de la primera cantidad conocida del condensador (40).
- 45
27. El circuito de la reivindicación 22 en el que el al menos un conmutador (30, 32, 34, 132, 134, 154, 156) incluye un primer conmutador (132, 134) para conectar alternativamente la fuente (126, 128) de referencia y la señal de entrada al segundo amplificador (150, 152), y un segundo conmutador (154, 156) para conectar y desconectar alternativamente el segundo amplificador (150, 152) al condensador (40), teniendo el segundo conmutador (154, 156) una primera resistencia (158, 160), incluyendo además el aparato un dispositivo (166, 168) de resistencia negativa que tiene una segunda resistencia cuya magnitud es sustancialmente una magnitud de la primera resistencia (158, 160) para conectarla en circuito con la primera resistencia (158, 160).
- 50
28. El circuito de la reivindicación 1 en el que el al menos un conmutador (30, 32, 34, 132, 134, 154, 156) incluye al menos un primer conmutador (30, 132, 134) que tiene una posición en la que no hay presente ninguna señal de entrada, estando configurado el procesador (38) para almacenar la señal de salida del convertidor A/D (24) cuando el al menos primer conmutador (30, 132, 134) está en la posición en la cual no hay presente ninguna señal de entrada.
- 55
29. El circuito de la reivindicación 1 que además incluye una fuente (170) de alimentación para proporcionar energía para al menos uno de entre el integrador (22), el convertidor A/D (24), la fuente (26, 28, 126, 128) de referencia, el al menos un conmutador (30, 32, 34, 132, 134, 154, 156) y el procesador (38), generando la fuente (170) de

alimentación señales periódicas durante su funcionamiento, estando configurado el procesador (38) para sincronizar el ciclo de conversión A/D y las señales periódicas para que el efecto de las señales periódicas en la señal de salida del convertidor A/D (24) sea sustancialmente constante.

- 5 **30.** El circuito de la reivindicación 1 en el que el procesador (38) para controlar el ciclo de conversión A/D del convertidor A/D (24) está configurado para ajustar la señal de salida del convertidor A/D (24) durante un ciclo de conversión A/D en una cantidad relacionada con la señal de salida del convertidor A/D (24) durante al menos un ciclo precedente de conversión A/D y con la señal de salida del convertidor A/D (24) durante al menos un ciclo sucesivo de conversión A/D.
- 10 **31.** El circuito de la reivindicación 30 en el que el procesador (38) está configurado para ajustar la señal de salida del convertidor A/D (24) durante un ciclo de conversión A/D en una cantidad relacionada con la señal de salida del convertidor A/D (24) durante al menos el ciclo de conversión A/D inmediatamente anterior y con la señal de salida del convertidor A/D (24) durante al menos el ciclo de conversión A/D inmediatamente posterior.
- 15 **32.** El circuito de la reivindicación 30 en el que el procesador (38) está configurado para ajustar la señal de salida del convertidor A/D (24) durante un ciclo de conversión A/D en una cantidad relacionada con la señal de salida del convertidor A/D (24) durante al menos los dos ciclos de conversión A/D inmediatamente anteriores y con la señal de salida del convertidor A/D (24) durante al menos los dos ciclos de conversión A/D inmediatamente posteriores.

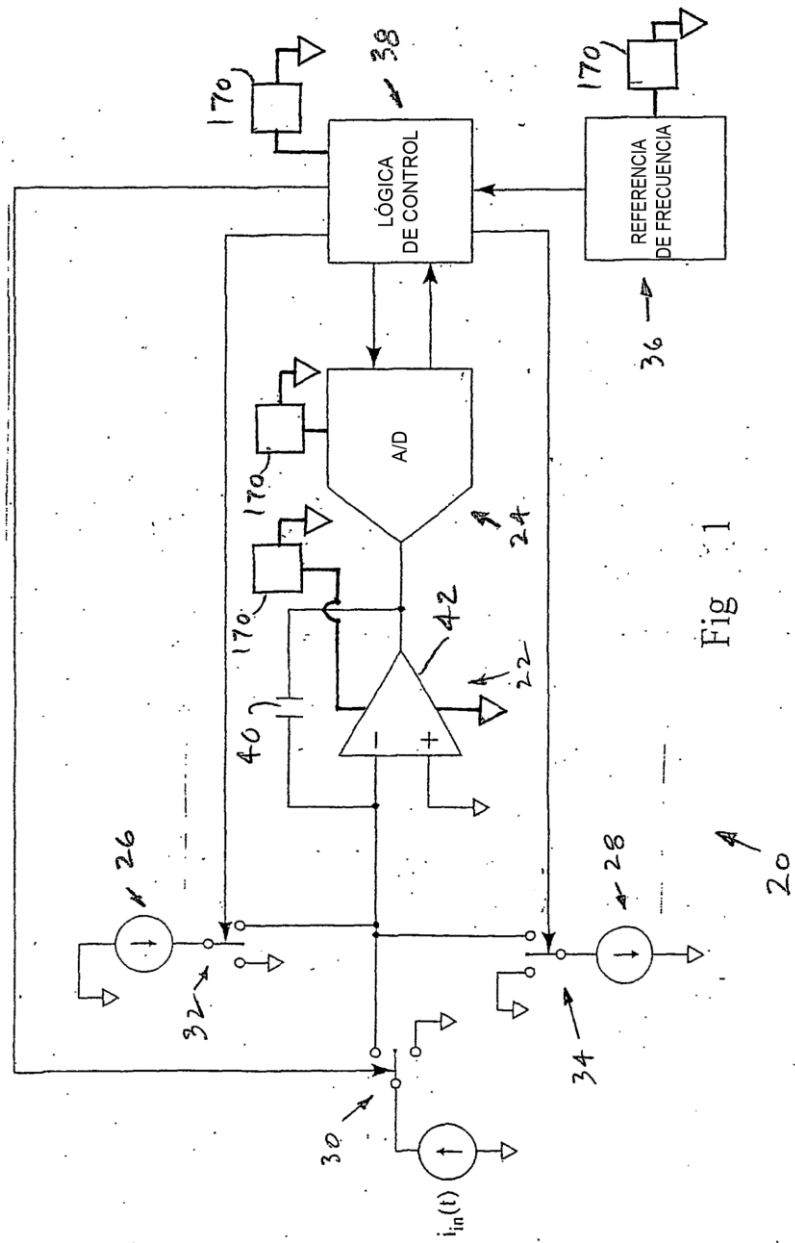


Fig. 1

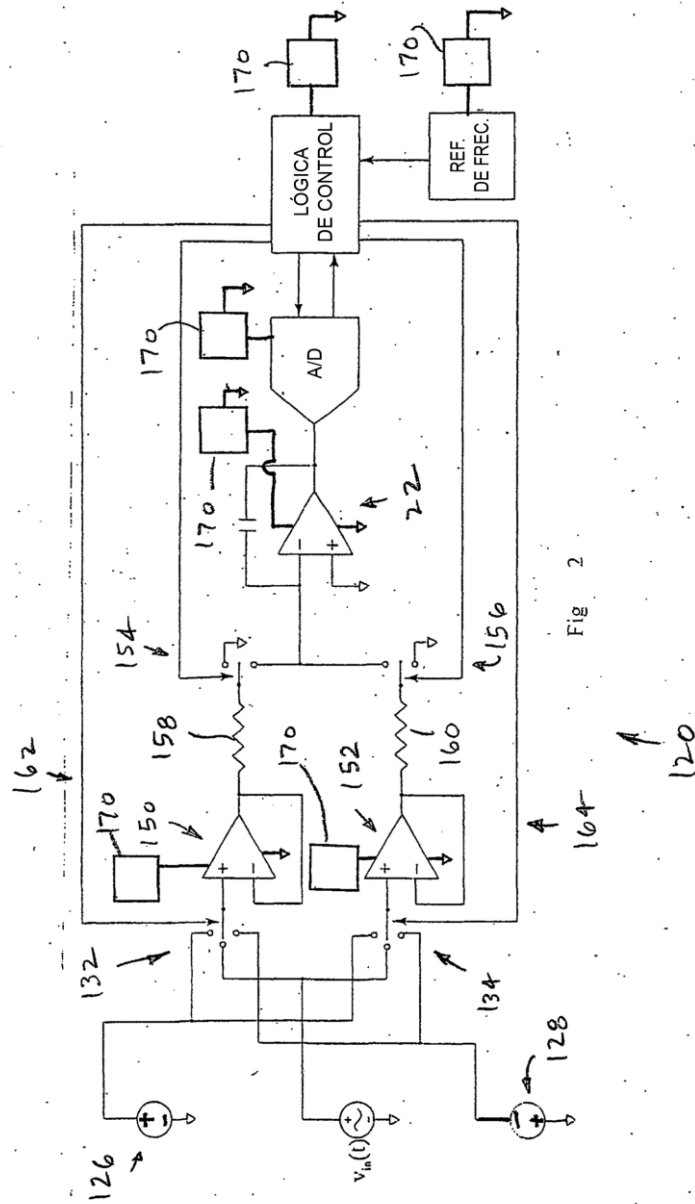


Fig 2

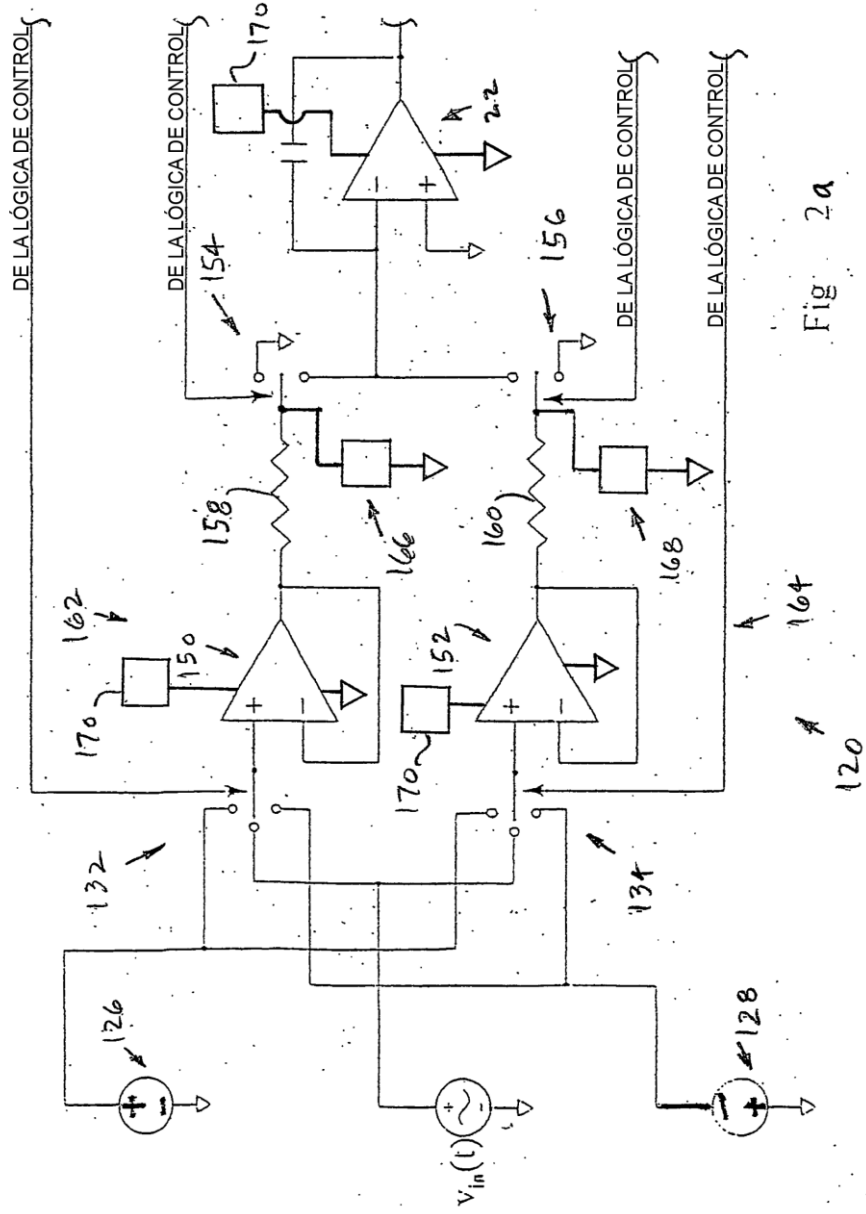


Fig. 2a

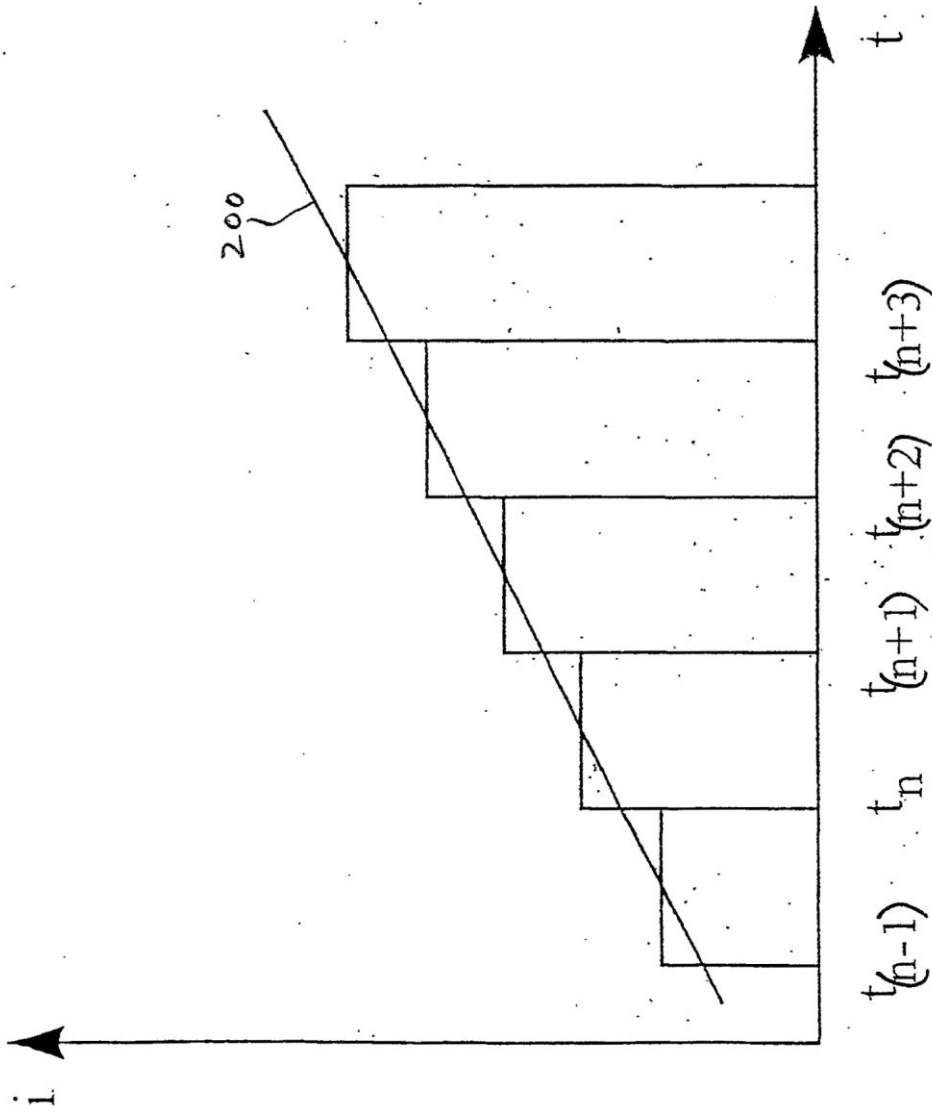


Fig 3

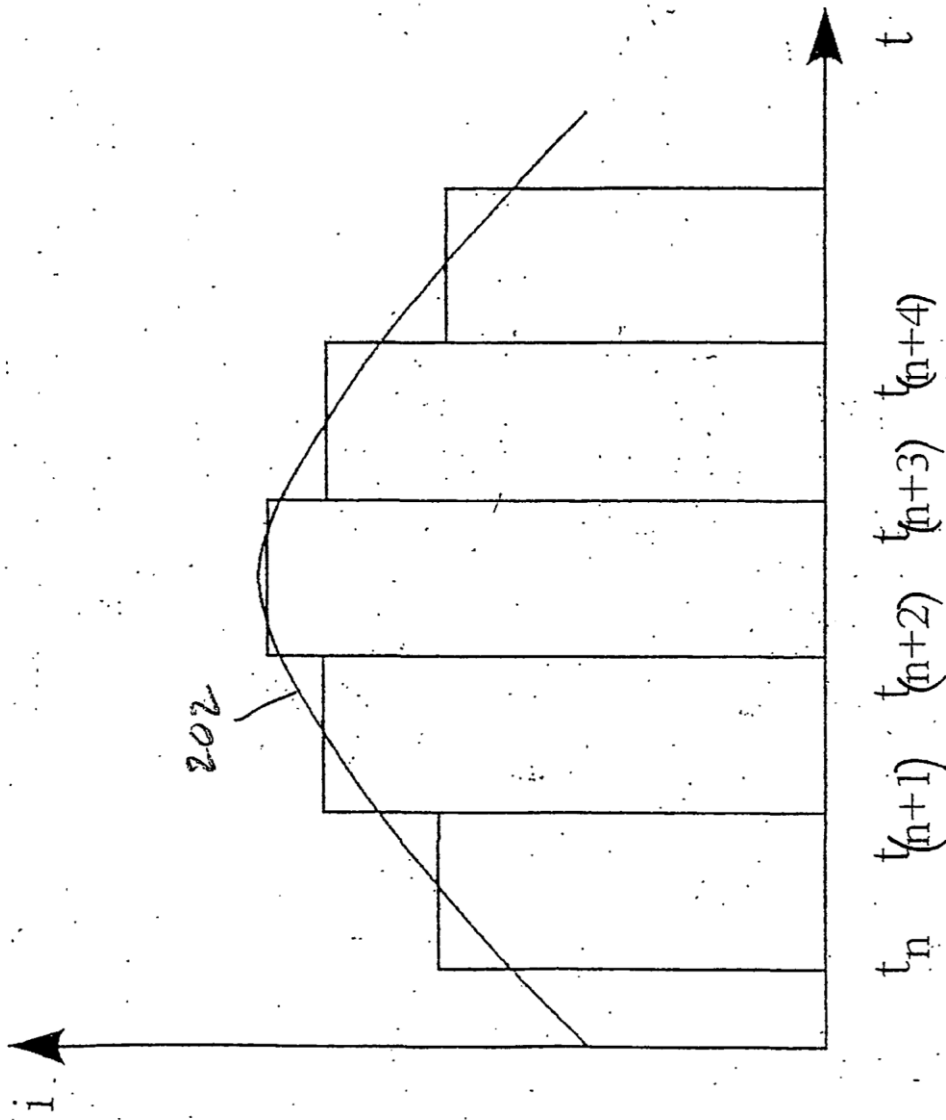


Fig 4