(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2021-0087859
(43) 공개일자 2021년07월13일

(51) 국제특허분류(Int. Cl.)
H04L 25/49 (2006.01) *H04L 25/02* (2006.01)
H04L 25/03 (2006.01)
(52) CPC특허분류
H04L 25/4917 (2013.01)
H04L 25/0272 (2013.01)
(21) 출원번호 10-2020-0036930
(22) 출원일자 2020년03월26일
심사청구일자 2020년03월26일
(30) 우선권주장
1020200000962 2020년01월03일 대한민국(KR)

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
김철우
서울특별시 강남구 선릉로 221 도곡렉슬아파트
최종혁
경기도 수원시 영통구 삼성로 11 래미안영통마크원2단지
(74) 대리인
이기성

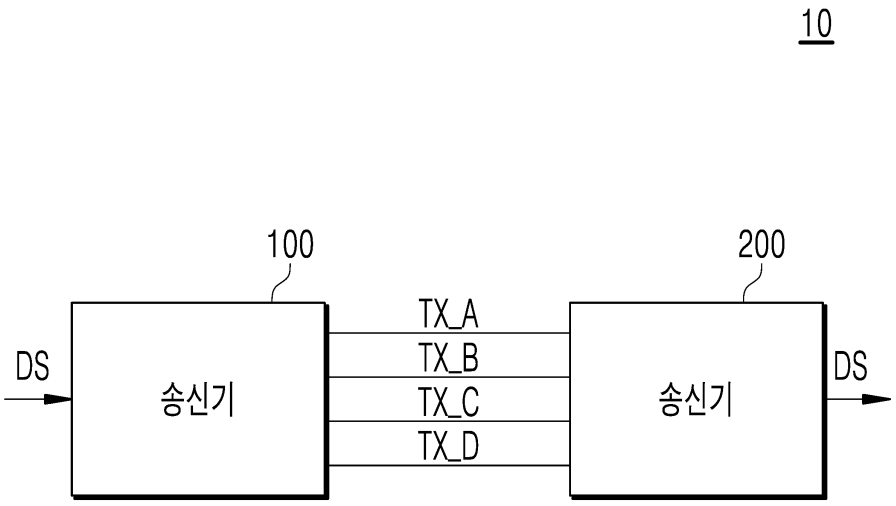
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 **다중 레벨 브레이드 신호법을 이용한 송수신 장치 및 그 동작 방법**

(57) 요 약

본 출원의 일 실시예에 따른 송수신 장치는 변조 구간 단위로 데이터 신호를 코드 정보로 변조하고, 복수의 전송선들에 공통 모드 전류를 개별적으로 공급하는 송신기 및 상기 복수의 전송선들의 각 전압 레벨에 따라 상기 코드 정보를 감지하여, 상기 데이터 신호를 출력하는 수신기를 포함한다.

대 표 도 - 도1



(52) CPC특허분류
H04L 25/03057 (2013.01)

명 세 서

청구범위

청구항 1

변조 구간 단위로 데이터 신호를 코드 정보로 변조하고, 복수의 전송선들에 공통 모드 전류를 개별적으로 공급하는 송신기; 및

상기 복수의 전송선들의 각 전압 레벨에 따라 상기 코드 정보를 감지하여, 상기 데이터 신호를 출력하는 수신기를 포함하는, 송수신 장치.

청구항 2

제1항에 있어서,

상기 복수의 전송선들은 적어도 둘 이상이고, 짝수개이며, 전체가 병렬로 서로 연결되는 송수신 장치.

청구항 3

제1항에 있어서,

상기 코드 정보는 상기 변조 시간 단위 구간마다 서로 다른 코드 배열을 가지는 적어도 둘 이상의 변조 코드들을 포함하는, 송수신 장치.

청구항 4

제2항에 있어서,

상기 데이터 신호는 상기 복수의 전송선들의 병렬 연결 관계에 따라 기맵핑된 복수의 변조 코드들의 개수에 비례하는, 송수신 장치.

청구항 5

제2항에 있어서,

상기 데이터 신호는 상기 변조 구간 단위의 변조 시간 단위 개수에 비례하는, 송수신 장치.

청구항 6

제4항에 있어서,

상기 기맵핑된 복수의 변조 코드들의 개수는 다중 레벨 신호법에 따라 가변되는, 송수신 장치.

청구항 7

제1항에 있어서,

상기 송신기는 상기 복수의 전송선들을 통해 송신단에 연결된 드라이버; 및

상기 복수의 전송선들을 통해 상기 드라이버와 상기 송신단에 연결된 피드 포워드 등화기를 포함하는, 송수신 장치.

청구항 8

제7항에 있어서,

상기 드라이버는 복수의 신호 전류원들과 복수의 직류 전류원들을 상기 복수의 전송선들에 연결하기 위한 복수의 로우 및 컬럼 라인들;

상기 복수의 전송선들과 상기 복수의 신호 전류원들을 스위칭 연결하는 제1 스위칭부; 및

상기 복수의 전송선들과 상기 복수의 직류 전류원들을 스위칭 연결하는 제2 스위칭부를 포함하는, 송수신 장치.

청구항 9

제8항에 있어서,

상기 제1 스위칭부는 상기 복수의 컬럼 라인들 중 어느 하나에 일측이 연결되고, 상기 복수의 로우 라인들 중 어느 하나에 타측이 연결되는 복수의 신호 스위치들을 포함하는, 송수신 장치.

청구항 10

제9항에 있어서,

상기 제1 스위칭부는 기설정된 스위칭 테이블에 따라 변조되는 코드 정보에 기초하여, 상기 복수의 신호 스위치들을 스위칭하고,

상기 기설정된 스위칭 테이블은 상기 복수의 신호 스위치들에 대한 각 스위칭 상태 정보를 포함하는, 송수신 장치.

청구항 11

제9항에 있어서,

상기 제1 스위칭부는 상기 복수의 신호 스위치들 중 로우 라인 별로 하나의 신호 스위치를 스위칭 온 시키는, 송수신 장치.

청구항 12

제9항에 있어서,

상기 제1 스위칭부는 PAM-3 신호법의 경우, 상기 복수의 신호 스위치들 중 컬럼 라인 별로 적어도 둘 이하의 신호 스위치를 스위칭 온 시키는, 송수신 장치.

청구항 13

제9항에 있어서,

상기 제1 스위칭부는 PAM-4 신호법의 경우, 상기 복수의 신호 스위치들 중 적어도 셋 이하의 신호 스위치를 컬럼 라인 별로 스위칭 온 시키는, 송수신 장치.

청구항 14

제8항에 있어서,

상기 제2 스위칭부는 상기 복수의 컬럼 라인들 중 어느 하나에 일측이 연결되고, 상기 복수의 직류 전류원들에 타측이 연결되는 복수의 공통 스위치들을 포함하는, 송수신 장치.

청구항 15

제14항에 있어서,

상기 제2 스위칭부는 상기 복수의 공통 스위치들을 동시에 스위칭 온 시키는, 송수신 장치.

청구항 16

제7항에 있어서,

상기 피드 포워드 등화기는 포스트 커서 및 프리 커서를 제거할 수 있도록 상기 복수의 로우 및 컬럼 라인들과 상기 제1 스위칭부와 동일한 복제 회로 및 복수의 등화 전류원들을 포함하는, 송수신 장치.

청구항 17

제1항에 있어서,

상기 수신기는 상기 코드 정보를 기설정된 배열 순서들로 변경한 복수의 입력 코드들로 샘플링하는 샘플러를 포함하는, 송수신 장치.

청구항 18

제17항에 있어서,

상기 샘플러는 상기 복수의 입력 코드들 각각에 기초하여, 상기 데이터 신호의 비트 정보를 개별적으로 출력하는 복수의 비교기들을 포함하는, 송수신 장치.

청구항 19

송수신 장치의 동작 방법으로,

송신기가 변조 구간 단위로 데이터 신호를 코드 정보로 변조하고, 복수의 전송선들에 공통 모드 전류를 개별적으로 공급하는 단계; 및

수신기가 상기 복수의 전송선들의 각 전압 레벨에 따라 상기 코드 정보를 감지하여, 상기 데이터 신호를 출력하는 단계를 포함하고,

상기 복수의 전송선들은 적어도 둘 이상이고, 짝수개이며, 전체가 병렬로 서로 연결되는, 송수신 장치의 동작 방법.

청구항 20

제19항에 있어서,

상기 코드 정보는 상기 변조 시간 단위 구간마다 서로 다른 코드 배열을 가지는 적어도 둘 이상의 변조 코드들을 포함하는, 송수신 장치의 동작 방법.

발명의 설명

기 술 분 야

[0001] 본 출원은 다중 레벨 브레이드 신호법을 이용한 송수신 장치 및 그 동작 방법에 관한 것이다.

배 경 기 술

[0002] 수요자의 요구를 충족시키기 위해, 전자 제품의 구조가 복잡해짐에 따라, 전자 제품은 복수의 전자 부품을 포함하게 되었다. 신호 처리 장치는 복수의 전자 부품 간의 신호 송수신을 처리하는 장치일 수 있다.

[0003] 예를 들어, TV, 모니터, 스마트폰 등은 디스플레이 패널(display panel)과 타이밍 컨트롤러(timing controller, TCON)를 연결하는 내부 패널 인터페이스(intra panel interface)로서, 신호 처리 장치를 포함할 수 있다.

[0004] 신호 처리 장치는 송신기를 포함하거나, 수신기를 포함하거나, 또는 송신기 및 수신기를 모두 포함할 수 있다. 이러한 송신기 및 수신기 간에는 서로 맞춰진 또는 미리 알고 있는 클록 신호(clock signal)가 존재해야 수신된 데이터를 판독할 수 있다.

[0005] 종래의 대부분의 신호 처리 장치는 데이터에 더미 비트(dummy bit)를 추가함으로써 클록 신호를 전송하였는데, 이러한 기술은 더미 비트의 사용으로 인한 필연적인 전송 대역폭의 손실을 야기하는 문제점이 있다.

[0006] 또한, 종래의 기술들 중 데이터 전압 레벨을 디지털 방식이 아닌 PAM 방식을 이용하여 클록 신호를 전송하는 방식은 노이즈 마진의 손실을 야기하는 문제점이 있다.

[0007] 또한, 종래의 기술들 중 차동 방식의 전송은 EMI 감소, 큰 노이즈 마진, 회귀 경로 제공, 동시적 스위칭 잡음 최소화와 같은 효과를 얻지만, 필요한 신호선의 개수에 비해 전송 가능한 신호의 종류가 적다는 문제점이 있다.

발명의 내용

해결하려는 과제

[0008] 본 출원의 목적은 변조 구간 단위로 변조하여, 전송 비트 효율을 향상시키는 동시에, 복수의 전송선들에 대한 공통 모드 레벨을 일정하게 유지시킬 수 있는 송수신 장치 및 그 동작 방법을 제공하기 위한 것이다.

과제의 해결 수단

[0009] 본 출원의 일 실시예에 따른 송수신 장치는 변조 구간 단위로 데이터 신호를 코드 정보로 변조하고, 복수의 전송선들에 공통 모드 전류를 개별적으로 공급하는 송신기 및 상기 복수의 전송선들의 각 전압 레벨에 따라 상기 코드 정보를 감지하여, 상기 데이터 신호를 출력하는 수신기를 포함한다.

[0010] 본 출원의 일 실시예에 따른 송수신 장치의 동작 방법으로, 송신기가 변조 구간 단위로 데이터 신호를 코드 정보로 변조하고, 복수의 전송선들에 공통 모드 전류를 개별적으로 공급하는 단계 및 수신기가 상기 복수의 전송선들의 각 전압 레벨에 따라 상기 코드 정보를 감지하여, 상기 데이터 신호를 출력하는 단계를 포함한다.

발명의 효과

[0011] 본 출원의 실시예에 따른 송수신 장치 및 그 동작 방법은 전송 비트 효율을 향상시키고, 복수의 전송선들에 대한 공통 모드 레벨을 일정하게 유지시켜, 출력 잡음을 최소화시킬 수 있다.

[0012] 또한, 복수의 전송선들에 대한 병렬 연결 관계를 이용하여, 데이터 신호를 출력할 수 있기 때문에, 별도의 아날로그 기준 전압을 필요로 하지 않는다.

도면의 간단한 설명

[0013] 도 1은 본 출원의 실시예에 따른 송수신 장치에 대한 블록도이다.

도 2a 및 도 2b는 변조 구간 단위를 설명하기 위한 도이다.

도 3a 내지 도 3c는 복수의 전송선들의 병렬 연결 관계에 따라 기맵핑된 복수의 변조 코드들의 개수를 설명하기 위한 도이다.

도 4는 송신기에 대한 블록도이다.

도 5는 도 4의 드라이버를 구체적으로 보여주는 도이다.

도 6은 기설정된 스위칭 테이블을 설명하기 위한 예시 도이다.

도 7은 도 5의 제1 스위칭부에 대한 동작을 설명하기 위한 예시 도이다.

도 8은 도 4의 피드 포워드 등화기를 구체적으로 보여주는 도이다.

도 9는 도 8의 피드 포워드 등화기에 대한 동작 예시를 보여주는 도이다.

도 10은 도 1의 수신기에 대한 블록도이다.

도 11은 도 10의 샘플러에서 처리하는 데이터 테이블에 대한 예이다.

도 12는 도 1의 송수신 장치의 동작 프로세스이다.

발명을 실시하기 위한 구체적인 내용

[0014] 이하, 구체적인 실시형태 및 첨부된 도면을 참조하여 본 출원의 실시형태를 설명한다. 그러나, 본 출원의 실시형태는 여러 가지 다른 형태로 변형될 수 있으며, 본 출원의 범위가 이하 설명하는 실시형태로 한정되는 것은 아니다. 또한, 본 출원의 실시형태는 통상의 기술자에게 본 발명을 더욱 완전하게 설명하기 위해서 제공되는 것이다. 따라서, 도면에서의 요소들의 형상 및 크기 등은 보다 명확한 설명을 위해 과장될 수 있으며, 도면상의 동일한 부호로 표시되는 요소는 동일한 요소이다.

[0015] 그리고 도면에서 본 출원을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하고, 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었으며, 동일한 사상의 범위 내의 기능이 동일한 구성요소는 동일한 참조부호를 사용하여 설명한다. 나아가, 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할

수 있는 것을 의미한다.

[0016] 도 1은 본 출원의 실시예에 따른 송수신 장치(10)에 대한 블록도이고, 도 2a 및 도 2b는 변조 구간 단위(예컨대, M-UI)를 설명하기 위한 도이며, 도 3a 내지 도 3c는 복수의 전송선들의 병렬 연결 관계에 따라 기맵핑된 복수의 변조 코드들을 설명하기 위한 도이다.

[0017] 도 1을 참조하면, 송수신 장치(10)는 송신기(100)와 수신기(200)를 포함할 수 있다.

[0018] 먼저, 송신기(100)는 변조 구간 단위(예컨대, M-UI)로 데이터 신호(DS)를 코드 정보(예컨대, ABCD)로 변조할 수 있다.

[0019] 여기서, 변조 구간 단위(예컨대, M-UI)는 적어도 둘 이상의 변조 시간 단위(1-UI)를 포함하며, 변조 시간 단위(1-UI)의 정수배(M)일 수 있다. 예를 들면, 도 2a에 도시된 바와 같이, 변조 구간 단위(예컨대, M-UI)는 변조 시간 단위(1-UI)의 2배수인 2-UI일 수 있다. 또한, 도 2b에 도시된 바와 같이, 변조 구간 단위(예컨대, M-UI)는 변조 시간 단위(1-UI)의 3배수인 3-UI일 수 있다.

[0020] 또한, 코드 정보(예컨대, ABCD)는 변조 구간 단위(예컨대, M-UI)마다 서로 다른 코드 배열을 가지는 변조 코드들을 포함하여, 데이터 천이를 보장할 수 있다. 예를 들면, 코드 정보(예컨대, ABCD)는 변조 구간 단위(예컨대, M-UI)인 2-UI 마다 '0202'과 '2020'같은 서로 다른 코드 배열을 가지는 변조 코드들을 포함할 수 있다.

[0021] 이러한 코드 정보(예컨대, ABCD)가 변조 구간 단위(예컨대, M-UI)마다 서로 다른 코드 배열을 가지기 때문에, 송신기(100)는 데이터 천이를 보장하기 위한 별도의 클럭 신호를 제공할 필요가 없으며, 수신기(200)는 코드 정보(예컨대, ABCD)에 대한 자동 속도 추적을 수행할 수 있다.

[0022] 또한, 변조 구간 단위(예컨대, M-UI)마다 변조되는 데이터 신호(DS)는 다음의 계산식(1)과 같이, 복수의 전송선들의 병렬 연결 관계에 따라 기맵핑된 복수의 변조 코드들의 개수에 비례할 수 있다.

[0023] 여기서, 계산식(1)은 $N = \lfloor \log_2 X \rfloor$이고, 이때, N은 데이터 신호(DS)의 비트수이고, X는 복수의 전송선들의 병렬 연결 관계에 따라 기맵핑된 복수의 변조 코드들의 개수일 수 있다.

[0024] 예를 들면, 도 3a에 도시된 바와 같이, 복수의 전송선들의 병렬 연결 관계에 따라 기맵핑된 복수의 변조 코드들의 개수가 19개인 경우, 변조 구간 단위(예컨대, M-UI)마다 변조되는 데이터 신호(DS)는 4비트일 수 있다. 또한, 도 3b에 도시된 바와 같이, 복수의 전송선들의 병렬 연결 관계에 따라 기맵핑된 복수의 변조 코드들의 개수가 36개인 경우, 변조 구간 단위(예컨대, M-UI)마다 변조되는 데이터 신호(DS)는 5비트일 수 있다.

[0025] 이때, 복수의 전송선들은 적어도 둘 이상의 짝수개이며, 전체가 병렬로 서로 연결될 수 있다. 이러한 복수의 전송선들의 병렬 연결 관계에 따라 기맵핑된 복수의 변조 코드들의 개수(X)는 한쌍의 전송선마다 병렬 연결되는 종래의 차동 관계에 따라 기맵핑된 복수의 변조 코드들의 개수보다 높을 수 있다.

[0026] 즉, 복수의 전송선들(예컨대, TX_A~TX_D)의 병렬 연결 관계에 따라 기맵핑된 복수의 변조 코드들의 개수에 비례하는 데이터 신호(DS)의 전송 비트 효율은 종래의 데이터 신호(DS)의 전송 비트 효율보다 높을 수 있다.

[0027] 또한, 변조 구간 단위(예컨대, M-UI)마다 변조되는 데이터 신호(DS)는 다음의 계산식(2)과 같이, 복수의 전송선들의 병렬 연결 관계에 따라 기맵핑된 복수의 변조 코드들의 개수와 변조 구간 단위(예컨대, M-UI)에 비례할 수 있다.

[0028] 여기서, 계산식(2)은 $N = \lfloor M \cdot \log_2 X \rfloor$이고, N은 데이터 신호(DS)의 비트수이고, X는 복수의 전송선들의 병렬 연결 관계에 따라 기맵핑된 복수의 변조 코드들의 개수이며, 변조 구간 단위(예컨대, M-UI)의 변조 시간 단위(1-UI) 개수일 수 있다.

[0029] 실시예에 따라, 복수의 전송선들(예컨대, TX_A~TX_D)의 병렬 연결 관계에 따라 기맵핑된 복수의 변조 코드들의 개수는 다중 레벨 신호법에 따라 가변될 수 있다.

[0030] 여기서, 다중 레벨 신호법은 N개의 전압 레벨을 이용하는 시그널링 규약일 수 있다. 예를 들면, NRZ 신호법은 2개의 전압 레벨을 이용하는 시그널링 규약이고, PAM-3 신호법은 3개의 전압 레벨을 이용하는 시그널링 규약이고, PAM-4 신호법은 3개의 전압 레벨을 이용하는 시그널링 규약일 수 있다.

[0031] 예를 들면, 도 3a에 도시된 바와 같이, 다중 레벨 신호법이 PAM-3인 경우, 복수의 전송선들(예컨대, TX_A~TX_D)의 병렬 연결 관계에 따라 기맵핑된 복수의 변조 코드들의 개수는 19개일 수 있다. 또한, 도 3b에 도시된 바

와 같이, 다중 레벨 신호법이 PAM-4인 경우, 복수의 전송선들(예컨대, TX_A~TX_D)의 병렬 연결 관계에 따라 기맵핑된 복수의 변조 코드들의 개수는 36개일 수 있다.

[0032] 이때, 복수의 전송선들(예컨대, TX_A~TX_D)의 병렬 연결 관계에 따라 기맵핑된 복수의 변조 코드들의 개수는 복수의 전송선들(예컨대, TX_A~TX_D)의 개수에 비례할 수 있다.

[0033] 예를 들면, 도 3c에 도시된 바와 같이, 복수의 전송선들(예컨대, TX_A~TX_F)의 개수가 6개이고, 다중 레벨 신호법이 PAM-4인 경우, 복수의 전송선들(예컨대, TX_A~TX_D)의 병렬 연결 관계에 따라 기맵핑된 복수의 변조 코드들의 개수는 400개일 수 있다.

[0034] 또한, 송신기(100)는 복수의 전송선들(예컨대, TX_A~TX_D) 각각에 공통 모드 전류(I_{DC1}, I_{DC2}, I_{DC3}, I_{DC4})를 개별적으로 공급할 수 있다. 구체적으로, 송신기(100)는 데이터 신호(DS)를 코드 정보(예컨대, ABCD)로 변조할 때, 복수의 전송선들(예컨대, TX_A~TX_D) 각각에 공통 모드 전류(I_{DC1}, I_{DC2}, I_{DC3}, I_{DC4})를 개별적으로 공급할 수 있다.

[0035] 다음으로, 수신기(200)는 복수의 전송선들(예컨대, TX_A~TX_D) 각각의 전압 레벨에 따라 코드 정보(예컨대, ABCD)를 감지하여, 데이터 신호(DS)를 출력할 수 있다.

[0036] 여기서, 코드 정보(예컨대, ABCD)는 전체가 병렬로 서로 연결된 복수의 전송선들(예컨대, TX_A~TX_D) 각각의 전압 레벨에 대응될 수 있다.

[0037] 본 출원의 실시예에 따른 송수신 장치(10)는 송신기(100)를 통해 데이터 신호(DS)를 변조 구간 단위(예컨대, M-UI)로 코드 정보(예컨대, ABCD)로 변조함으로써, 데이터 신호(DS)에 대한 전송 비트 효율을 향상시킬 수 있다. 이때, 송수신 장치(10)는 송신기(100)를 통해 복수의 전송선들(예컨대, TX_A~TX_D) 각각에 공통 모드 전류(I_{DC1}, I_{DC2}, I_{DC3}, I_{DC4})를 개별적으로 공급함으로써, 복수의 전송선들(예컨대, TX_A~TX_D)에 대한 공통 모드 레벨(I_{DC})을 일정하게 유지시켜, 출력 잡음을 최소화시킬 수 있다. 또한, 송수신 장치(10)는 수신기(100)를 통해 복수의 전송선들(예컨대, TX_A~TX_D)의 각 전압 레벨에 따라 코드 정보(예컨대, ABCD)를 감지함으로써, 별도의 아날로그 기준 전압을 필요로 하지 않는 효과가 있다.

[0038] 이하, 도 4 내지 도 8를 참조하여, 도 1의 송신기(100)에 대해 보다 구체적으로 설명될 것이다.

[0039] 도 4는 송신기(100)에 대한 블록도이다.

[0040] 도 4를 참조하면, 송신기(100)는 드라이버(110)와 피드 포워드 등화기(120)를 포함할 수 있다.

[0041] 먼저, 드라이버(110)는 복수의 전송선들(예컨대, TX_A~TX_D)을 통해 송신단에 연결될 수 있다. 여기서, 송신단은 수신기(200)에 연결될 수 있다.

[0042] 다음으로, 피드 포워드 등화기(120)는 복수의 전송선들(예컨대, TX_A~TX_D)을 통해 드라이버(110)와 송신단에 연결될 수 있다.

[0043] 도 5는 도 4의 드라이버(110)를 구체적으로 보여주는 도이고, 도 6은 기설정된 스위칭 테이블을 설명하기 위한 예시 도이며, 도 7은 도 5의 제1 스위칭부(110)에 대한 동작을 설명하기 위한 예시 도이다.

[0044] 도 4 내지 도 7을 참조하면, 드라이버(110)는 복수의 컬럼 라인들(예컨대, CL1~CL4), 복수의 로우 라인들(예컨대, RL1~RL4) 및 제1 및 제2 스위칭부(111, 112)를 포함할 수 있다.

[0045] 먼저, 복수의 로우 라인들(예컨대, RL1~RL4)과 복수의 컬럼 라인들(예컨대, CL1~CL4)은 복수의 신호 전류원들(예컨대, I_{SIG1}~I_{SIG4})과 복수의 직류 전류원들(예컨대, I_{DC1}~I_{DC4})을 복수의 전송선들(예컨대, TX_A~TX_D)에 연결하기 위한 전류 전송 라인일 수 있다.

[0046] 구체적으로, 복수의 로우 라인들(예컨대, RL1~RL4)은 복수의 전송선들(예컨대, TX_A~TX_D)로부터 제1 스위칭부(111)를 통해 복수의 신호 전류원들(예컨대, I_{SIG1}~I_{SIG4})에 연결된 라인일 수 있다. 여기서, 복수의 신호 전류원들(예컨대, I_{SIG1}~I_{SIG4}) 각각은 서로 동일한 크기의 전류를 공급할 수 있다.

[0047] 또한, 복수의 컬럼 라인들(예컨대, CL1~CL4)은 복수의 전송선들(예컨대, TX_A~TX_D)로부터 제1 스위칭부(111)를 통해 제2 스위칭부(112)를 따라 복수의 직류 전류원들(예컨대, I_{DC1}~I_{DC4})에 연결된 라인일 수 있다. 여기서, 복수의 직류 전류원들(예컨대, I_{DC1}~I_{DC4}) 각각은 서로 동일한 크기의 전류를 공급할 수 있다. 이때, 복수의 직류

전류원들(예컨대, I_{DC1}~I_{DC4})은 전류 크기를 가변시킬 수 있는 가변 전류원일 수 있다.

[0048] 다음으로, 제1 스위칭부(111)는 복수의 전송선들(예컨대, TX_A~TX_D)과 복수의 신호 전류원들(예컨대, I_{SIG1}~I_{SIG4})을 스위칭 연결하기 위한 복수의 신호 스위치들(SW_{S_1}~SW_{S_N})을 포함할 수 있다.

[0049] 여기서, 복수의 신호 스위치들(SW_{S_1}~SW_{S_N}) 각각은 복수의 컬럼 라인들(예컨대, CL1~CL4) 중 어느 하나에 일측이 연결되고, 복수의 로우 라인들(예컨대, RL1~RL4) 중 어느 하나에 타측이 연결될 수 있다.

[0050] 실시예에 따라, 제1 스위칭부(111)는 기설정된 입력 테이블에 따라 변조되는 코드 정보(예컨대, ABCD)에 기초하여, 복수의 신호 스위치들(SW_{S_1}~SW_{S_N})을 스위칭할 수 있다.

[0051] 도 6에 도시된 바와 같이, 기설정된 스위칭 테이블은 복수의 신호 스위치들(SW_{S_1}~SW_{S_N})에 대한 각 스위칭 상태 정보를 포함할 수 있다.

[0052] 예를 들면, 기설정된 입력 테이블에 따라 변조되는 코드 정보(예컨대, ABCD)가 [1102]인 경우, 제1 스위칭부(111)는 도 7에 도시된 기설정된 스위칭 테이블에 따라, 복수의 신호 스위치들(SW_{S_1}~SW_{S_N})을 스위칭할 수 있다.

[0053] 또한, 제1 스위칭부(111)는 복수의 신호 스위치들(SW_{S_1}~SW_{S_N}) 중 로우 라인 별로 하나의 스위치를 스위칭 온 시킬 수 있다.

[0054] 도 7에 도시된 바와 같이, 제1 스위칭부(111)는 복수의 신호 스위치들(SW_{S_1}~SW_{S_N}) 중 제1 로우 라인(예컨대, RL1)에 연결된 하나의 신호 스위치(예컨대, SW_{S_3}), 제2 로우 라인(예컨대, RL2)에 연결된 하나의 신호 스위치(예컨대, SW_{S_7}), 제3 로우 라인(예컨대, RL3)에 연결된 하나의 신호 스위치(예컨대, SW_{S_10}) 및 제4 로우 라인(예컨대, RL4)에 연결된 하나의 신호 스위치(예컨대, SW_{S_13})를 스윙 온 시킬 수 있다.

[0055] 일 실시예에 따라, 제1 스위칭부(111)는 PAM-3 신호법의 경우, 복수의 신호 스위치들(SW_{S_1}~SW_{S_N}) 중 컬럼 라인 별로 적어도 둘 이하의 신호 스위치를 스위칭 온 시킬 수 있다.

[0056] 도 7에 도시된 바와 같이, 제1 스위칭부(111)는 제1 컬럼 라인(예컨대, CL1)에 연결된 제13 신호 스위치(예컨대, SW_{S_13}), 제2 컬럼 라인(예컨대, CL2)에 연결된 제10 신호 스위치(예컨대, SW_{S_10}), 제3 컬럼 라인(예컨대, CL3)에 연결된 제3 신호 스위치(예컨대, SW_{S_3})와 제7 신호 스위치(예컨대, SW_{S_7})를 스위칭 온 시키고, 제4 컬럼 라인(예컨대, CL4)에 연결된 스위치 전부를 스위칭 오프 시킬 수 있다.

[0057] 다른 실시예에 따라, 제1 스위칭부(111)는 PAM-4 신호법의 경우, 상기 복수의 신호 스위치들 중 적어도 셋 이하의 신호 스위치를 컬럼 라인 별로 스위칭 온 시킬 수 있다.

[0058] 다음으로, 제2 스위칭부(112)는 복수의 전송선들(예컨대, TX_A~TX_D)과 복수의 직류 전류원들(예컨대, I_{DC1}~I_{DC4})을 스위칭 연결하기 위한 복수의 직류 스위치들(예컨대, SW_{D_1}~SW_{D_4})을 포함할 수 있다.

[0059] 여기서, 복수의 직류 스위치들(예컨대, SW_{D_1}~SW_{D_4}) 각각은 복수의 컬럼 라인들(예컨대, CL1~CL4) 중 어느 하나에 일측이 연결되고, 복수의 직류 전류원들(예컨대, I_{DC1}~I_{DC4})에 타측이 연결될 수 있다.

[0060] 또한, 제2 스위칭부(112)는 복수의 직류 스위치들(예컨대, SW_{D_1}~SW_{D_4})을 동시에 스위칭 온 시켜, 복수의 전송선들(예컨대, TX_A~TX_D)의 공통 모드 레벨을 일정하게 유지시킬 수 있다.

[0061] 이하, 도 8 내지 도 9를 참조하여, 피드 포워드 등화기(120)에 대해 보다 구체적으로 설명될 것이다.

[0062] 도 8은 도 4의 피드 포워드 등화기(120)를 구체적으로 보여주는 도이고, 도 9는 도 8의 피드 포워드 등화기(120)에 대한 동작 예시를 보여주는 도이다.

[0063] 도 4, 도 8 및 도 9를 참조하면, 피드 포워드 등화기(120)는 복제 회로(121) 및 복수의 등화 전류원들(예컨대, I_{EQ_1}~I_{EQ_4})을 포함할 수 있다.

[0064] 먼저, 복제 회로(121)는 복수의 로우 라인들(예컨대, RL1~RL4), 복수의 컬럼 라인들(예컨대, CL1~CL4) 및 제1 스위칭부(111) 각각에 대한 동일한 구성들을 포함할 수 있다.

[0065] 이하, 복제 회로(121)의 구성들은 도 5에서 설명된 복수의 로우 라인들(예컨대, RL1~RL4), 복수의 컬럼 라인들(예컨대, CL1~CL4) 및 제1 스위칭부(111)의 기능 및 동작과 동일하므로, 중복된 설명은 생략될 것이다.

[0066] 즉, 복제 회로(121)는 복수의 전송선들(예컨대, TX_A~TX_D)에 대한 포스트 커서 및 프리 커서를 제거할 수 있도록 제1 스위칭부(111)와 동일한 구성을 이용하여, 복수의 전송선들(예컨대, TX_A~TX_D)과 복수의 등화 전류원들(예컨대, I_{EQ_1}~I_{EQ_4})을 스위칭 연결시킬 수 있다.

[0067] 다음으로, 복수의 등화 전류원들(예컨대, I_{EQ_1}~I_{EQ_4}) 각각은 서로 동일한 크기의 전류를 공급할 수 있다. 이때, 복수의 등화 전류원들(예컨대, I_{EQ_1}~I_{EQ_4})은 전류 크기를 가변시킬 수 있다.

[0068] 도 10은 도 1의 수신기(200)에 대한 블록도이고, 도 11은 도 10의 샘플러(210)에서 처리하는 데이터 테이블에 대한 예이다.

[0069] 도 1, 도 10 및 도 11을 참조하면, 수신기(200)는 샘플러(210)를 포함할 수 있다.

[0070] 먼저, 샘플러(210)는 송신기(100)를 통해 변조된 코드 정보(예컨대, ABCD)를 기설정된 배열 순서들로 변경한 복수의 입력 코드들(예컨대, ABDC, BADC, CABD, CDBA 및 DBAC)로 샘플링할 수 있다.

[0071] 도 11에 도시된 바와 같이, 복수의 입력 코드들(예컨대, ABDC, BADC, CABD, CDBA 및 DBAC)은 코드 정보(예컨대, ABCD)의 배열 순서가 임의의 순서로 변경된 코드일 수 있다.

[0072] 실시예에 따른 샘플러(210)는 복수의 입력 코드들(예컨대, ABDC, BADC, CABD, CDBA 및 DBAC)에 기초하여, 데이터 신호(DS)의 비트 정보를 개별적으로 출력하는 복수의 비교기들(211~215)을 포함할 수 있다.

[0073] 구체적으로, 제1 비교기(211)는 복수의 입력 코드들 중 제1 입력 코드(예컨대, ABDC)에 기초하여, 데이터 신호(DS)의 첫번째 비트 정보를 출력할 수 있다. 또한, 제2 비교기(212)는 복수의 입력 코드들 중 제2 입력 코드(예컨대, BADC)에 기초하여, 데이터 신호(DS)의 두번째 비트 정보를 출력할 수 있다. 제3 비교기(213)는 복수의 입력 코드들 중 제3 입력 코드(예컨대, CABD)에 기초하여, 데이터 신호(DS)의 세번째 비트 정보를 출력할 수 있다. 제4 비교기(214)는 복수의 입력 코드들 중 제4 입력 코드(예컨대, CDBA)에 기초하여, 데이터 신호(DS)의 네번째 비트 정보를 출력할 수 있다. 또한, 제5 비교기(215)는 복수의 입력 코드들 중 제5 입력 코드(예컨대, DBAC)에 기초하여, 데이터 신호(DS)의 다섯번째 비트 정보를 출력할 수 있다.

[0074] 예를 들면, 도 11에 도시된 바와 같이, 코드 정보(예컨대, ABCD)가 [0,2,0,2]인 경우, 제1 입력 코드(예컨대, ABDC)는 [0,2,2,0]이고, 제1 비교기(211)는 [0,2,2,0]에 기초하여, 데이터 신호(DS)의 첫번째 비트 정보인 '0'을 출력할 수 있다. 또한, 코드 정보(예컨대, ABCD)가 [0,2,0,2]인 경우, 제2 입력 코드(예컨대, BADC)는 [2,0,2,0]이고, 제2 비교기(212)는 [2,0,2,0]에 기초하여, 데이터 신호(DS)의 두번째 비트 정보인 '1'을 출력할 수 있다.

[0075] 도 12는 도 1의 송수신 장치(10)의 동작 프로세스이다.

[0076] 도 1과 도 12를 참조하면, 송수신 장치(10)는 S110 단계에서, 송신기(100)를 통해 변조 구간 단위(예컨대, M-UI)로 데이터 신호(DS)를 코드 정보(예컨대, ABCD)로 변조할 수 있다.

[0077] 이때, 송수신 장치(10)는 S120 단계에서, 송신기(100)를 통해 복수의 전송선들(예컨대, TX_A~TX_D) 각각에 공통 모드 전류(I_{DC1}, I_{DC2}, I_{DC3}, I_{DC4})를 개별적으로 공급할 수 있다.

[0078] 이후, 송수신 장치(10)는 S130 단계에서, 수신기(100)를 통해 복수의 전송선들(예컨대, TX_A~TX_D) 각각의 전압 레벨에 따라 코드 정보(예컨대, ABCD)를 감지하여, 데이터 신호(DS)를 출력할 수 있다.

[0079] 본 출원은 도면에 도시된 일 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 출원의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

부호의 설명

[0080] 10: 송수신 장치

100: 송신기

110: 드라이버

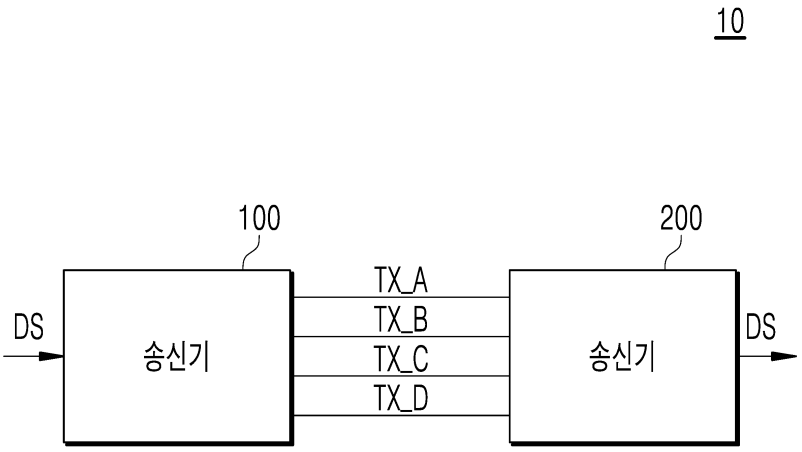
120: 피드 포워드 등화기

200: 수신기

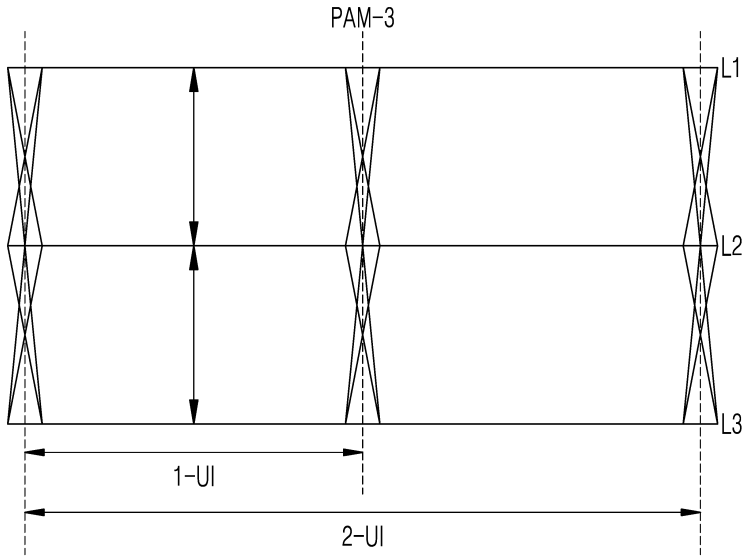
210: 샘플러

도면

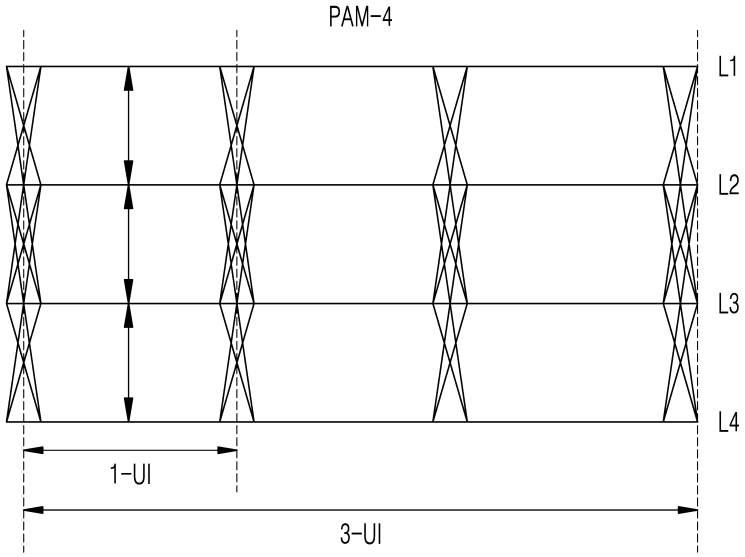
도면1



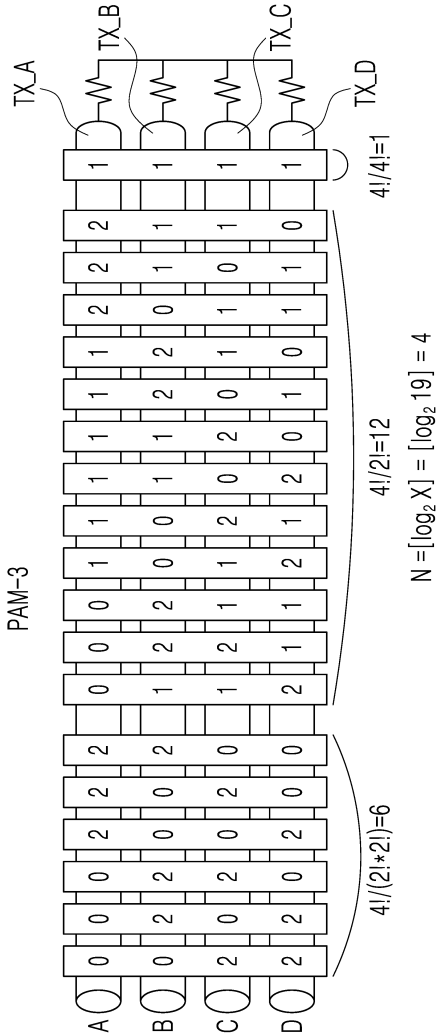
도면2a



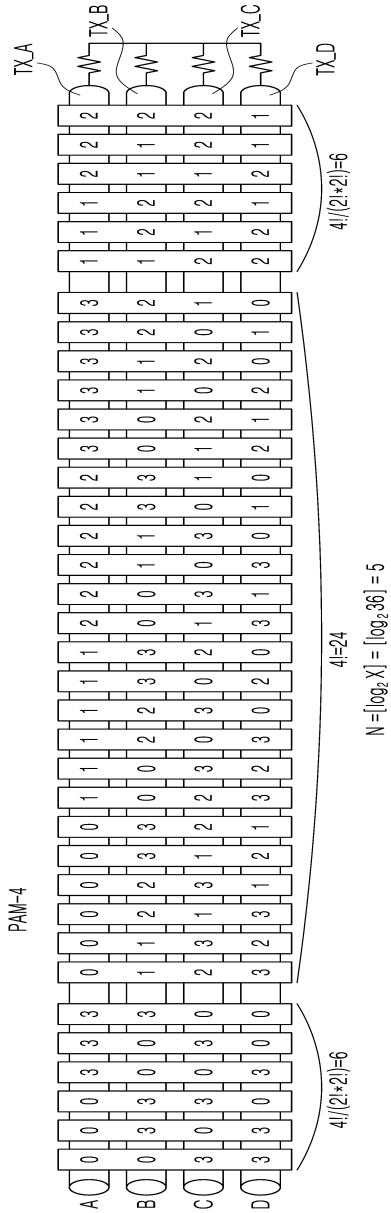
도면2b


PAM-4
L1
L2
L3
L4
1-UI
3-UI

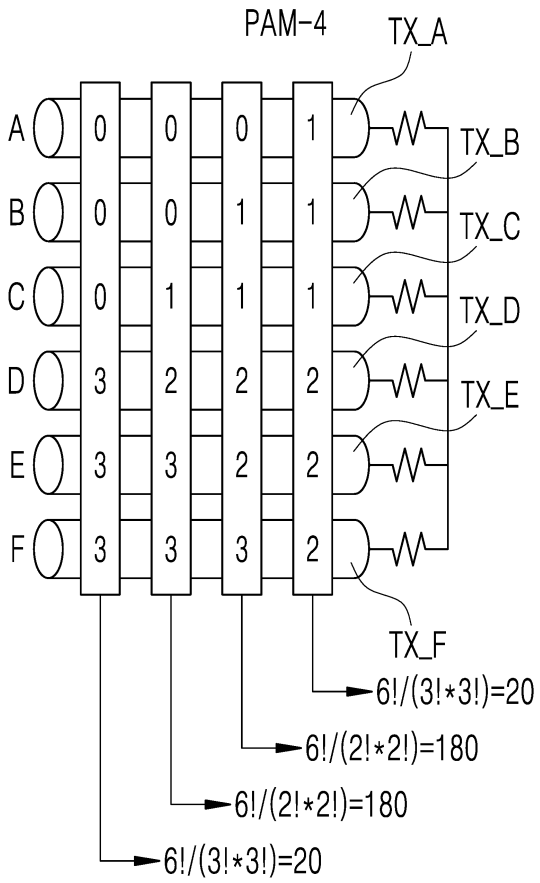
도면3a


TX_A
TX_B
TX_C
TX_D
PAM-3
4!/4!=1
4!/2!=12
N = [log2 X] = [log2 19] = 4
4!/(2!*2!)=6
A
B
C
D

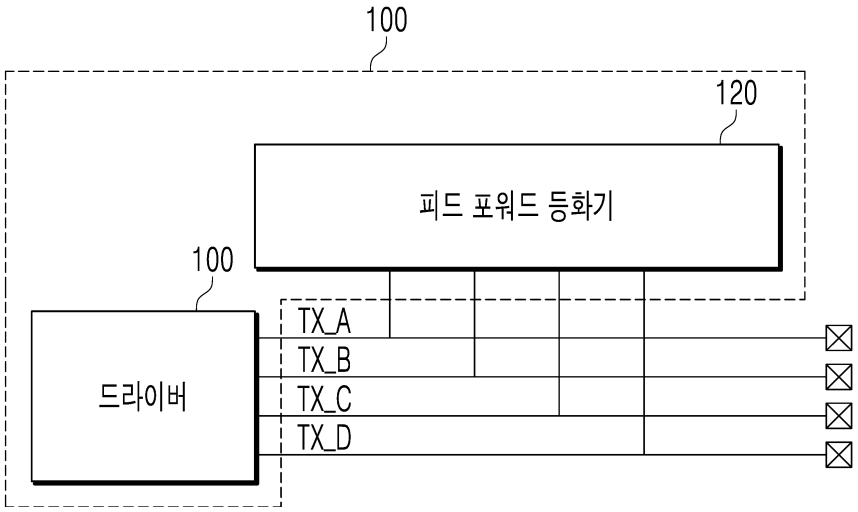
도면3b



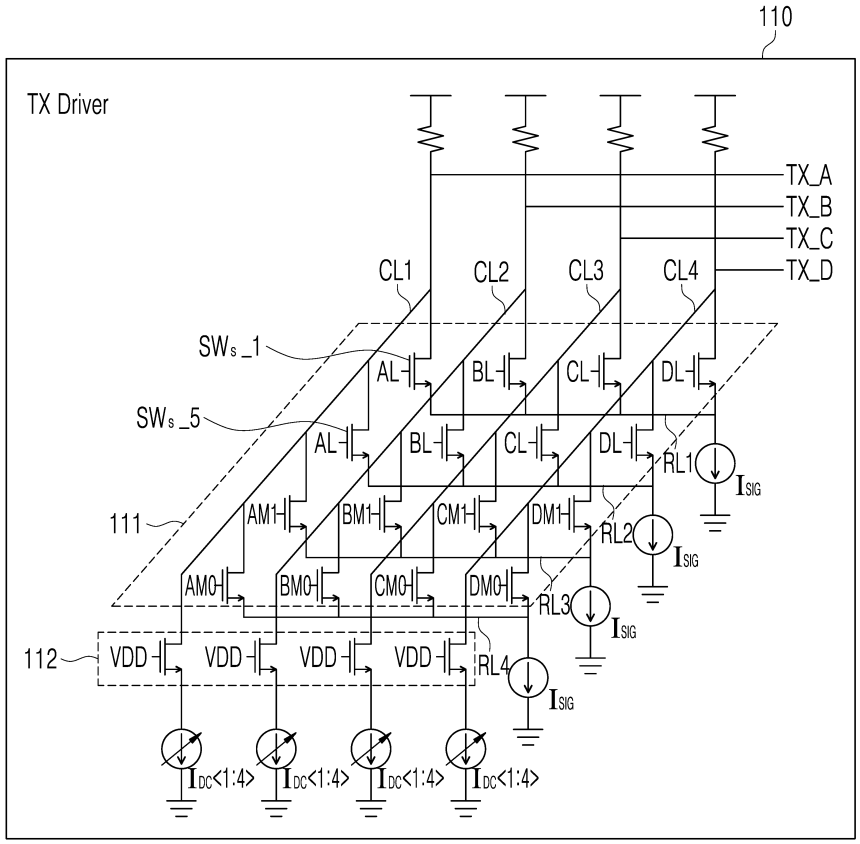
도면3c


PAM-4
TX_A
TX_B
TX_C
TX_D
TX_E
TX_F
A
B
C
D
E
F
0 0 0 1
0 0 1 1
0 1 1 1
3 2 2 2
3 3 2 2
3 3 3 2
6!/(3!*3!)=20
6!/(2!*2!)=180
6!/(2!*2!)=180
6!/(3!*3!)=20

도면4


100
120
피드 포워드 등화기
100
드라이버
TX_A
TX_B
TX_C
TX_D

도면5

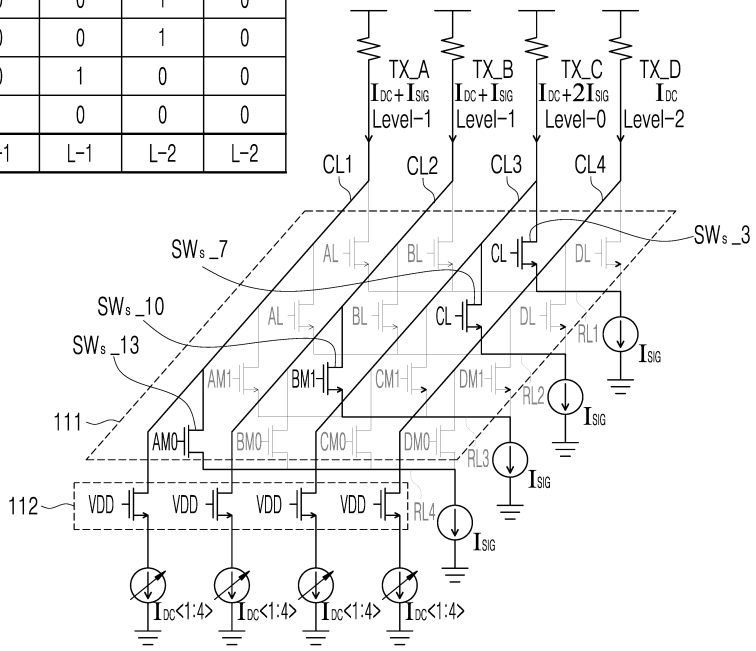


도면6

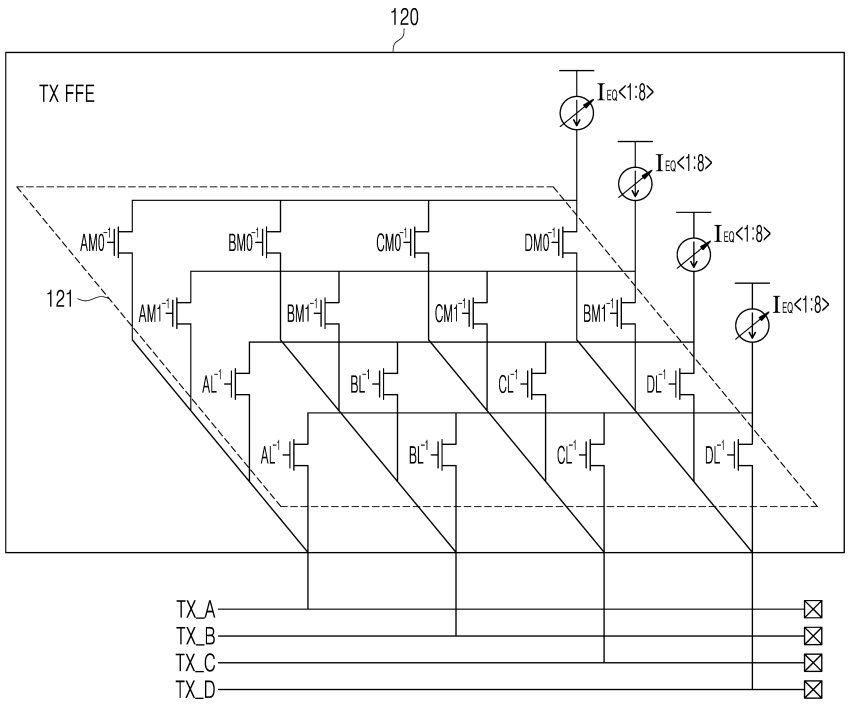
L	0	1	0	0	0
L	0	1	0	0	0
M0	1	0	1	0	0
M0	1	0	0	1	0
Output	Level-0	Level-0	Level-1	Level-1	Level-2

도면7

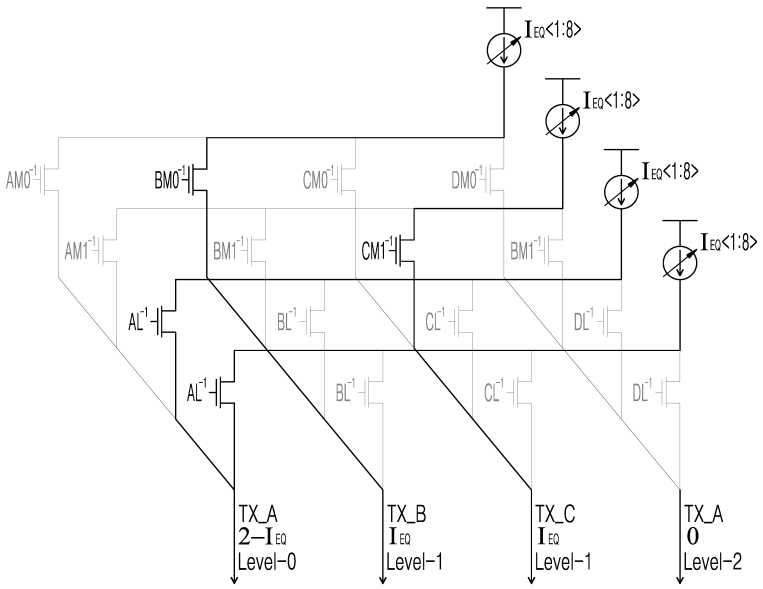
	RL1	RL2	RL3	RL4
CL1	0	0	1	0
CL2	0	0	1	0
CL3	0	1	0	0
CL4	1	0	0	0
Output	L-1	L-1	L-2	L-2



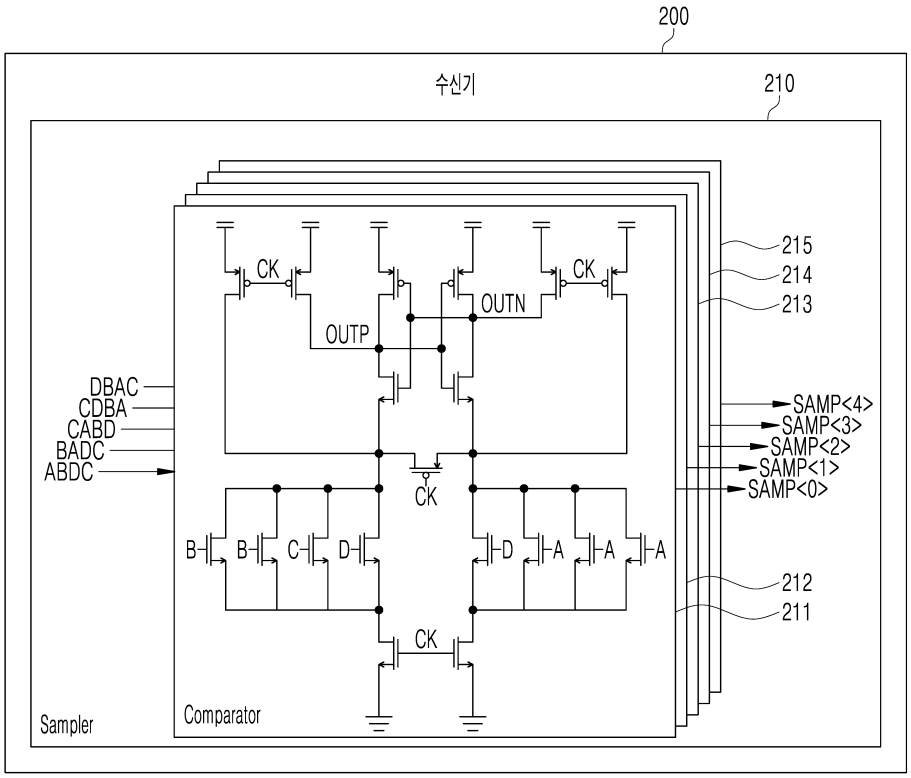
도면8



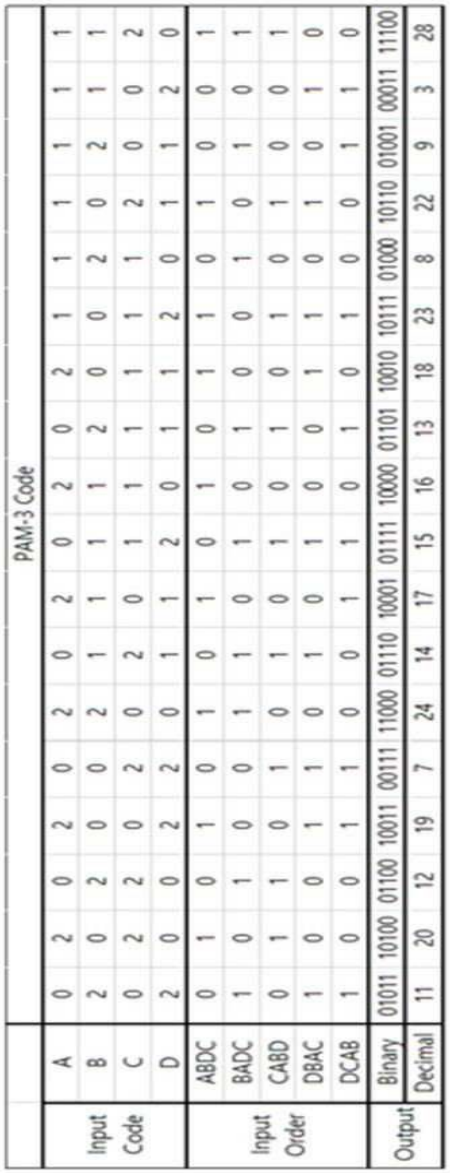
도면9


IEQ<1:8>
IEQ<1:8>
IEQ<1:8>
IEQ<1:8>
AM0-1
BM0-1
CM0-1
DM0-1
AM1-1
BM1-1
CM1-1
BM1-1
AL-1
BL-1
CL-1
DL-1
AL-1
BL-1
CL-1
DL-1
TX_A
2−IEQ
Level-0
TX_B
IEQ
Level-1
TX_C
IEQ
Level-1
TX_A
0
Level-2

도면10

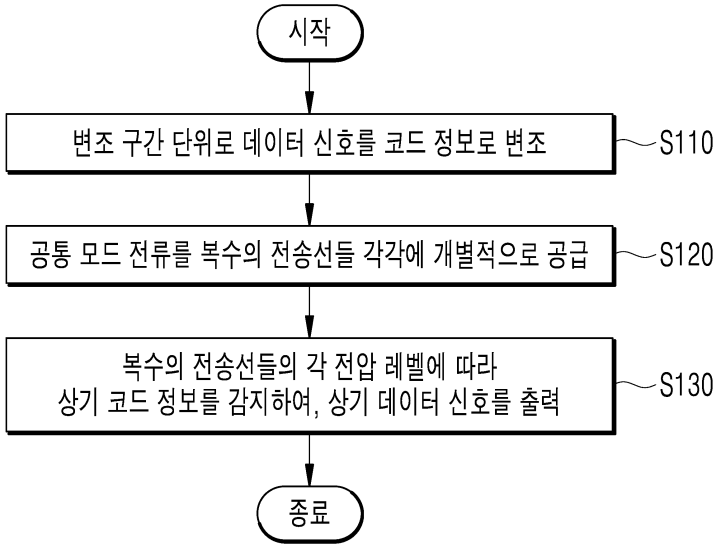

200
수신기
210
215
214
213
CK
CK
OUTN
OUTP
DBAC
CDBA
CABD
BADC
ABDC
CK
SAMP<4>
SAMP<3>
SAMP<2>
SAMP<1>
SAMP<0>
B
B
C
D
D
A
A
A
212
211
CK
Sampler
Comparator

도면11



		PAM-3 Code																								
Input Code	A	0	2	0	2	0	2	0	2	0	2	0	2	1	1	1	1	1	1	1	1	1	1	1	1	1
	B	2	0	2	0	0	2	1	1	1	1	1	1	2	0	0	2	0	2	1	1	1	1	1	1	1
	C	0	2	2	0	2	0	2	0	1	1	1	1	1	1	1	1	2	0	2	1	1	2	0	0	2
	D	2	0	0	2	2	0	1	1	2	0	1	1	1	1	2	0	1	1	0	1	1	0	1	2	0
Input Order	ABDC	0	1	0	1	0	1	0	1	0	1	0	1	1	0	1	0	1	0	1	0	1	0	0	0	1
	BADC	1	0	1	0	0	1	1	0	1	0	1	0	0	1	0	1	0	1	0	1	0	1	0	1	0
	CABD	0	1	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	0	1	0
	DBAC	1	0	0	1	1	0	1	0	1	0	1	0	0	1	0	1	1	0	1	0	1	0	1	0	1
	DCAB	1	0	0	1	1	0	0	1	1	0	1	0	1	0	1	0	1	0	1	0	0	1	1	0	0
Output	Binary	01011	10100	01100	10011	00111	11000	01110	10001	01111	10000	01101	10010	10111	01000	10110	01001	00011	11100	11011	00100	01100	10011	00111	11000	01110
	Decimal	11	20	12	19	7	24	14	17	15	16	13	18	23	8	22	9	3	28	27	4	12	19	7	24	14

도면12


시작
변조 구간 단위로 데이터 신호를 코드 정보로 변조
S110
공통 모드 전류를 복수의 전송선들 각각에 개별적으로 공급
S120
복수의 전송선들의 각 전압 레벨에 따라
상기 코드 정보를 감지하여, 상기 데이터 신호를 출력
S130
종료