



(10)授权公告号 CN 106663713 B

(45)授权公告日 2018.04.13

(21)申请号 201580042525.4

(22)申请日 2015.04.16

(65)同一申请的已公布的文献号

申请公布号 CN 106663713 A

(43)申请公布日 2017.05.10

(30)优先权数据

10-2014-0101584 2014.08.07 KR

(85)PCT国际申请进入国家阶段日

2017.02.07

(86)PCT国际申请的申请数据

PCT/KR2015/003840 2015.04.16

(87)PCT国际申请的公布数据

W02016/021806 KO 2016.02.11

(73)专利权人 仁川大学校产学协力团

地址 韩国仁川广域市

(72)发明人 金俊东

(74)专利代理机构 北京品源专利代理有限公司

11332

代理人 吕琳 杨生平

(51)Int.Cl.

H01L 31/068(2012.01)

H01L 31/18(2006.01)

(56)对比文件

CN 102544135 A, 2012.07.04, 说明书

[0049]段至[0161]段以及图1-5E.

CN 201349006 Y, 2009.11.18, 全文.

CN 103489938 A, 2014.01.01, 全文.

审查员 谢中亮

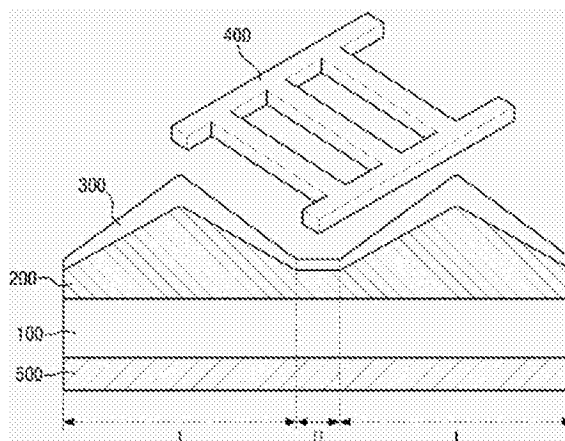
权利要求书2页 说明书14页 附图9页

(54)发明名称

高性能选择性发射极元件及其制造方法

(57)摘要

本发明涉及一种选择性发射极元件及其制造方法,适用本发明的选择性发射极元件包括:半导体基板;发射极层,包括位于上述基板上方并具有一定的周期的第1区域和位于上述第1区域之间的第2区域,其中上述第1区域的上表面的高度大于或等于第2区域的上表面的高度;以及透明导电层,形成于上述发射基层上方。



1. 一种选择性发射极元件,其特征在于,包括:

半导体基板;

发射极层,包括位于上述半导体基板上方并具有一定的周期的第1区域和位于上述第1区域之间的第2区域,其中上述第1区域的上表面的高度大于或等于第2区域的上表面的高度;以及

透明导电层,形成于上述发射极层上方,

上述发射极层掺杂浓度从上述发射极层表面向深度方向逐渐地连续减小。

2. 根据权利要求1所述的选择性发射极元件,其特征在于:

上述第1区域的掺杂浓度大于或等于上述第2区域的掺杂浓度。

3. 根据权利要求1所述的选择性发射极元件,其特征在于:

上述第1区域的上表面的掺杂浓度等于上述第2区域的表面的掺杂浓度。

4. 根据权利要求1所述的选择性发射极元件,其特征在于:

上述第1区域采取向上凸起的形状。

5. 根据权利要求4所述的选择性发射极元件,其特征在于:

上述第1区域包括与上述半导体基板的上表面呈锐角的倾斜部。

6. 根据权利要求1所述的选择性发射极元件,其特征在于:

上述透明导电层的图案包括铟锡氧化物、铝锌氧化物、氧化锡、氧化铟、Pt、Au或铟锌氧化物中的至少一种。

7. 根据权利要求1所述的选择性发射极元件,其特征在于,还包括:

正面电极,位于上述透明导电层的上方并包括第1导电体;以及背面电极,位于上述半导体基板的下方并包括第2导电体。

8. 根据权利要求7所述的选择性发射极元件,其特征在于:

上述正面电极包括Al、W、Co、Ni、Cu、Ru、Pd、Ag、Pt、Au、In、Sn、CoW、CoWP以及NiB中的至少一种。

9. 根据权利要求1所述的选择性发射极元件,其特征在于:

上述半导体基板包括Si、Ge或GaAs中的至少一种。

10. 根据权利要求1所述的选择性发射极元件,其特征在于,还包括:

第1反射防止层,位于上述发射极层和上述透明导电层之间,用于减少入射光的反射。

11. 根据权利要求1所述的选择性发射极元件,其特征在于,还包括:

第2反射防止层,位于上述透明导电层的上方,用于减少入射光的反射。

12. 根据权利要求10或权利要求11所述的选择性发射极元件,其特征在于:

上述第1或第2反射防止层包括SiN_x或TiO_x中的至少一种,

其中,x为自然数。

13. 一种选择性发射极元件的制造方法,其特征在于,包括:

在半导体基板的上方形成以特定周期反复的虚拟图案的步骤;

在上述半导体基板以及上述虚拟图案上方形成遮罩的步骤;

通过移除上述虚拟图案以及上述虚拟图案上方的遮罩使上述半导体基板中的一部分裸露的步骤;

对裸露的上述半导体基板进行蚀刻的步骤;

在蚀刻后的上述半导体基板上形成透明导电层的步骤;以及
在形成上述虚拟图案的步骤之前或在上述半导体基板进行蚀刻的步骤之后,以掺杂浓度从表面向深度方向逐渐地连续减小的方式对上述半导体基板的掺杂进行调整的步骤。

14. 根据权利要求13所述的选择性发射极元件的制造方法,其特征在于:

上述蚀刻包括湿法蚀刻。

高性能选择性发射极元件及其制造方法

技术领域

[0001] 本发明涉及一种高性能选择性发射极元件及其制造方法,尤其涉及一种光效率以及电气性能优秀的光电元件及其制造方法。

背景技术

[0002] 最近伴随人们对环境问题和能源枯竭的日益重视,太阳能作为能源丰富无环境污染问题且能源效率较高的替代能源备受人们的关注。

[0003] 太阳能包括利用太阳热生成驱动涡轮机旋转所需蒸汽的太阳热电池和利用半导体性质将太阳光转换为电能的光电电池。

[0004] 为了构建太阳光电电池,将光转换为电的光电元件是必需品。作为光电元件的一种,光电二极管(photodiode)使用Si或GaAsP等的单结晶,并采用p-n结或pin结。

[0005] 对于上述光电二极管,提升将所入射的太阳光转换为电能的转换效率(efficiency)尤为重要。因此,人们不懈地进行着对其结构和材质的研究。

[0006] 光电元件的转换效率收到光学方面以及电气方面等两种方面的影响。在光学方面主要取决于如何将更多光能提供给光吸收体,而在电气方面主要取决于如何在将再结合损失将至最低的同时捕获更多载流子从而降低其电气损失。

[0007] 先行技术文献

[0008] 专利文献

[0009] (专利文献1)大韩民国公开专利第10-2014-0020372号

发明内容

[0010] 本发明要解决的技术问题

[0011] 本发明要解决的课题在于,提供一种能够克服如上所述的光学及电气方面的问题并改善其转换效率的高性能选择性发射极元件。

[0012] 本发明要解决的另一课题在于,提供一种能够克服如上所述的光学及电气方面的问题并改善其转换效率的高性能选择性发射极元件的制造方法。

[0013] 本发明要解决的课题并不局限如上述课题,相关从业人员将能够通过下述记载进一步明确理解未被提及的其他课题。

[0014] 技术方案

[0015] 为了解决上述课题,适用本发明之一实施例的选择性发射极(selective emitter)元件包括:半导体基板;发射极层,包括位于上述基板上方并具有一定的周期的第1区域和位于上述第1区域之间的第2区域,其中上述第1区域的上表面的高度大于或等于第2区域的上表面的高度;以及透明导电层,形成于上述发射基层上方。

[0016] 上述第1区域的掺杂浓度能够大于或等于上述第2区域的掺杂浓度。

[0017] 上述发射极层的掺杂浓度能够从上述发射极层的表面向深度方向逐渐减小。

[0018] 上述第1区域的上表面的掺杂浓度能够等于上述第2区域的表面的掺杂浓度。

- [0019] 上述第1区域能够采取向上凸起的形状 (convex-shape)。
- [0020] 上述第1区域能够包括与上述半导体基板的上表面呈锐角的倾斜部。
- [0021] 上述透明导电体图案能够包括ITO (铟锡氧化物, Indium-tin-oxide)、AZO (铝锌氧化物, Aluminum-zinc-oxide)、氧化锡 (tin-oxide)、氧化铟 (In₂O₃)、Pt、Au或IZO (铟锌氧化物, Indium-zinc-oxide) 中的至少一种。
- [0022] 其中, 还能够包括: 正面电极, 位于上述透明电极层的上方并包括第1导电体; 以及背面电极, 位于上述半导体基板的下方并包括第2导电体。
- [0023] 上述正面电极能够包括Al、W、Co、Ni、Cu、Ru、Pd、Ag、Pt、Au、In、Sn、CoW、CoWP以及NiB中的至少一种。
- [0024] 上述半导体基板能够包括Si、Ge或GaAs中的至少一种。
- [0025] 其中, 还能够包括: 第1反射防止层, 位于上述发射极层和上述透明导电层之间, 用于减少入射光的反射。
- [0026] 其中, 还能够包括: 第2反射防止层, 位于上述导电层的上方, 用于减少入射光的反射。
- [0027] 上述第1或第2反射防止层能够包括SiN_x或TiO_x (其中, x为自然数) 中的至少一种。
- [0028] 为了解决上述另一课题, 适用本发明之一实施例的选择性发射极元件的制造方法包括: 在半导体基板的上方形成以特定周期反复的虚拟图案的步骤; 在上述半导体基板以及上述虚拟图案上方形成遮罩的步骤; 通过移除上述虚拟图案以及上述虚拟图案上方的遮罩使上述半导体基板中的一部分裸露的步骤; 对上述裸露的半导体基板进行蚀刻的步骤; 以及在上述蚀刻后的半导体基板上形成透明导电层的步骤。
- [0029] 上述蚀刻能够包括湿法蚀刻 (wet etching)。
- [0030] 其中, 在上述形成虚拟图案的步骤之前, 还能够包括: 对上述半导体基板进行掺杂的步骤。
- [0031] 其中, 在上述对半导体基板进行蚀刻的步骤之后, 还能够包括: 对上述半导体基板进行掺杂的步骤。
- [0032] 关于其他实施例相关的具体事项, 请参阅详细说明以及附图。
- [0033] 有益效果
- [0034] 通过适用本发明的一实施例, 至少能够实现如下所述的效果。
- [0035] 即, 适用本发明之一实施例的选择性发射极元件能够使入射光更加集中从而提升其光学性能。
- [0036] 此外, 适用本发明之一实施例的选择性发射极元件能够提供在降低光反射率的同时提升其导电性能的装置。
- [0037] 即, 适用本发明之一实施例的选择性发射极元件的制造方法能够通过蚀刻方式自然地实现掺杂浓度变化的结构。
- [0038] 本发明的效果并不局限于上面的示例性内容, 本说明书中还包括其他各种效果。

附图说明

- [0039] 图1是用于对适用本发明之多个实施例的选择性发射极元件的结构进行说明的概念图。

[0040] 图2是用于对适用本发明之第1实施例的选择性发射极元件的掺杂浓度进行说明的概念性截面图。

[0041] 图3是用于对适用本发明之第2实施例的选择性发射极元件的掺杂浓度进行说明的概念性截面图。

[0042] 图4是用于对适用本发明之第3实施例的选择性发射极元件的结构进行说明的概念性截面图。

[0043] 图5是用于对适用本发明之第4实施例的选择性发射极元件的结构进行说明的概念性截面图。

[0044] 图6至图11是用于对适用本发明之第1实施例的选择性发射极元件的制造方法进行说明的中间步骤示意图。

[0045] 图12是用于对适用本发明之第2实施例的选择性发射极元件的制造方法进行说明的中间步骤示意图。

[0046] 图13是用于对具有比较例1的纹理 (textured) 结构的光电元件进行说明的斜视图。

[0047] 图14是适用本发明之一实施例和比较例1以及比较例2中在没有透明导电层的情况下对不同波长下的反射度进行测定的图表。

[0048] 图15是适用本发明之一实施例和比较例1以及比较例2中对不同波长下的反射度进行测定的图表。

[0049] 图16是用于对适用本发明之一实施例和比较例1以及比较例2中在不同电压下的电流特性进行说明的图表。

[0050] 图17是适用本发明之一实施例和比较例1以及比较例2中对不同电压下的电流密度进行测定的图表。

[0051] 图18是适用本发明之一实施例中对不同深度下的掺杂浓度进行测定的图表。

[0052] 图19是用于对适用本发明之实施例1中选择性发射极元件的耗尽区的形成进行说明的概念图。

[0053] 图20是适用本发明之实施例1中对选择性发射极元件的不同深度下的电场进行测定的图表。

[0054] 图21是适用本发明之实施例1和比较例1以及比较例2中对不同波长下的外部量子效率进行测定的图表。

具体实施方式

[0055] 本发明的优点和特征及其实现方法将通过结合附图详细说明的后述实施例得到进一步明确。但是本发明并不限于下面所公开的实施例,能够以多种不同的形态实现,本说明书中的实施例仅用于更加完整地公开本发明,以便于具有本发明所属领域之一般知识的人员能够更加完整地理解本发明的范畴,本发明应由权利要求书的范畴做出定义。在整个说明书中,相同的参考符号代表相同的构成要素。

[0056] 虽然在对各种元件、构成要素和/或部分进行说明时使用了如第1、第2等术语,但上述元件、构成要素和/或部分并不受到上述术语的限制。这些术语仅用于将一个元件、构成要素或部分与其他元件、构成要素或部分进行区分。因此,下面所提及的第1元件、第1构

成要素或第1部分在本发明的技术思想范围内也可能是第2元件、第2构成要素或第2部分。

[0057] 元件(elements)或层位于其他元件或层的“上侧(on)”或“上方(on)”不仅包括直接位于其他元件或层的上侧的情况,还包括在两者之间包括其他层或其他元件的情况。与此相反,元件“直接位于上侧(directly on)”或“直接位于上方”表示两者之间不包括其他元件或层。

[0058] 作为空间上的相对方位术语,“下面(below)”、“下方(beneath)”、“下部(lower)”、“上面(above)”、“上部(upper)”等仅用于对附图中所示的一个元件或构成要素和其他元件或构成要素之间的相关关系进行简单的描述。空间上的相对方位术语除了附图中所示的方向之外,还应理解为包括使用时或工作时元件的不同方向。例如,当对附图中所图示的元件进行反转时,被描述为位于其他元件“下面(below或beneath)”的元件可能会移动到其他元件的“上面(above)”。因此,作为示例性术语使用的“下面”能够包括上和下两个方向。元件还能够以其他方向排列,在这种情况下空间上的相对方位术语还能够被解释为其排列方向。

[0059] 在本说明书中所使用的术语仅用于对实施例进行说明,并不是对本发明做出的限制。在本说明书中,除非另有说明,否则单数型语句包括复数型含义。在说明书中所使用的“包括(comprises)”和/或“包括...的(comprising)”不排除所提及的构成要素、步骤、动作和/或元件中还包括一个以上的其他构成要素、步骤、动作和/或元件的存在或追加的可能性。

[0060] 除非另有定义,否则本说明书中所使用的所有术语(包括技术及科学术语)能够作为具有本发明所属技术领域之一般知识的人员所普遍理解的含义使用。而且除非另有定义,已在通常所使用的词典中做出定义的术语不应被解释为理想化或过度化的含义。

[0061] 下面,将结合图1对适用本发明之多个实施例的选择性发射极元件的结构进行说明。

[0062] 图1是用于对适用本发明之多个实施例的选择性发射极元件的结构进行说明的概念图。

[0063] 如图1所示,适用本发明之多个实施例的选择性发射极元件包括半导体基板100、发射极层200、透明导电层300、正面电极400以及背面电极500。

[0064] 具体来讲,半导体基板100能够是如硅(Si)基板、锗(Ge)基板等单元素半导体基板,也能够是如砷化镓(GaAs)基板等化合物半导体基板。

[0065] 为了将再结合损失将至最低,半导体基板100的高度较薄为宜。但是,当半导体基板100的厚度过薄时会造成制造工程方面的困难,而半导体基板100的厚度过厚则会造成经济性方面的问题。

[0066] 半导体基板100能够是P型或N型半导体基板。半导体基板100的导电型能够根据载流子是空穴(hole)或是电子(electron)而有所不同。

[0067] 发射极层200能够形成于半导体基板100的上方。发射极层200能够构成半导体基板100的一部分。发射极层200能够具有与半导体基板的导电型相反的导电型。例如,发射极层200能够在半导体基板100为P型时为N型,而半导体基板100为N型时则为P型。

[0068] 半导体基板100和发射极层200能够形成PN结。在半导体基板100和发射极层200之间能够有耗尽区存在。耗尽区能够形成于PN结的结合面,代表没有载流子(电子或空穴)存

在的区域。

[0069] 在半导体基板100和发射极层200内能够实现电子的非对称性存在。在热平衡状态下,会因为载流子浓度梯度的扩散而造成电荷的不均衡现象,并因此形成电场。

[0070] 因此,当所包含的能量大于构成半导体基板100的物质的导电带(conduction band)和价带(valence band)之间的能量差异即带隙能量(band gap energy)的光线照射到半导体基板100的内部时,接收到光能的电子将被激发并从价带跃迁到导电带,而跃迁到导电带中的电子将能够自由移动。

[0071] 同时,价带中发生电子跃迁的位置将形成空穴。

[0072] 通过上述过程生成的自由电子和空穴被称之为过剩(excess)载流子,而过剩载流子在导电带或价带内部将通过浓度差异而得到扩散。

[0073] 此时,过剩载流子,即在p型区域中跃迁的电子和在n型区域中形成的空穴被定义为各自的少数载流子(minority carrier),而结合之前的原n型或p型半导体层内的载流子(即p型的空穴以及n型的电子)为了便于区分而被定义为多数载流子(majority carrier)。

[0074] 此时,多数载流子的流动会因为电场所造成的能障(energy barrier)而受到阻碍,但p型区域中属于少数载流子的电子可以移动到n型区域。

[0075] 因此,当通过少数载流子的扩散而在半导体基板100的内部形成电势差(potential difference)时,通过将位于半导体基板100两侧的电极连接到外部回路,能够利用其电动势将半导体基板100作为电池使用。

[0076] 借此,通过使大量光线入射到元件内部并改善其入射光线的路径,能够改善太阳能电池的光吸收率并提升其能源转换效率,从而加大半导体基板内部的电势差(potential difference),最终实现提升太阳能电池的效率的目的。

[0077] 发射极层200能够包括多个区域。具体来讲,发射极层200能够包括第1区域I和第2区域II。第1区域能够采取向上凸起的形状(convex-shpae),而第2区域II能够是位于上述图案之间的区域。第1区域I和第2区域II能够分别是高掺杂区域和低掺杂区域。但并不局限于此,也能够是第1区域I为低掺杂区域而第2区域II为高掺杂区域。

[0078] 对于第1区域I中凸起形状的高度并不做特别的限定,能够是50nm至1000nm的范围。当凸起形状的高度小于50nm时,因为高掺杂区域和低掺杂区域之间的区分会变得不够充分,所以不太适宜。此外,当凸起形状的高度大于1000nm时,因为图案可能会超出掺杂区域的限界,所以也不太适宜。

[0079] 对于第1区域I中凸起形状的宽度并不做特别的限定,能够是200nm至1000nm的范围。当凸起形状的宽度小于200nm时,因为高掺杂区域和低掺杂区域之间的区分会变得不够充分且元件的光控制能力的降低会造成光的散射(scattering)效果大于光的集中(focusing)效果,所以不太适宜。此外,当凸起形状的宽度大于1000nm时,因为高掺杂区域和低掺杂区域之间会相隔较远的距离而难以实现选择性发射极元件,所以也不太适宜。

[0080] 对于第1区域I中凸起形状的周期并不做特别的限定,能够是宽度的1.2倍至5倍的范围。当凸起形状的周期小于宽度的1.2倍时,因为相互分离的各个图案可能会因为工程方面的原因而发生相互接触的现象并因此导致结构方面的问题,所以不太适宜。此外,当凸起形状的宽度大于5倍时,因为图案可能会超出掺杂区域的限界,所以也不太适宜。

[0081] 透明导电层300能够形成于半导体基板100的上方。透明导电层300能够采用透明

的导电体物质形成。透明导电层能够包括如ITO(铟锡氧化物, Indium-tin-oxide)、AZO(铝锌氧化物, Aluminum-zinc-oxide)、氧化锡(tin-oxide)、氧化铟(In₂O₃)、Pt、Au或IZO(铟锌氧化物, Indium-zinc-oxide)中的至少一种。

[0082] 透明导电层300的高度能够是10nm至200nm。当透明导电层300的高度小于10nm时, 因为电气传导性会变得不够充分, 所以不太适宜。此外, 当透明导电层300的高度大于200nm时, 因为会降低入射光线的透过率, 所以也不太适宜。

[0083] 正面电极400能够形成于透明导电层300的上方。正面电极400能够采用导电体形成。正面电极400能够包括金属。正面电极400能够包括Al、Ag、W、Co、Ni、Cu、Ru、Pd、Ag、Pt、Au、In、Sn、CoW、CoWP以及NiB中的至少一种。但, 并不局限于此。正面电极400能够与透明导电层300实现电气接触。

[0084] 背面电极500能够形成于半导体基板的下方。背面电极500能够采用导电体形成。背面电极500能够包括金属。背面电极500能够包括Al、Ag、W、Co、Ni、Cu、Ru、Pd、Ag、Pt、Au、In、Sn、CoW、CoWP以及NiB中的至少一种。但, 并不局限于此。背面电极500能够与透明导电层300实现电气接触。

[0085] 下面, 将结合图2对适用本发明之第1实施例的选择性发射极元件的掺杂浓度进行说明。

[0086] 图2是用于对适用本发明之第1实施例的选择性发射极元件的掺杂浓度进行说明的概念性截面图。

[0087] 如图2所示, 在适用本发明之第1实施例的选择性发射极元件1中, 发射极层200的掺杂浓度能够根据与半导体基板100之间的距离而有所不同。具体来讲, 发射极层200分为第1区域I和第2区域II, 而在第1区域I中能够形成凸起形状的图案。第2区域II能够是第1区域I的凸起形状之间的平坦部分。关于发射极层200的掺杂浓度, 能够是在与半导体基板100之间的距离最大的部分最高, 而越向下就越低。此时, 上述浓度能够是在与半导体基板100之间的距离变小时逐渐降低。

[0088] 在图2中是通过不连续的虚线区域图示了在虚线密度变疏时其掺杂浓度随之降低的结构, 但实际上能够是一种越向下方时其掺杂浓度连续降低的结构。即, 即使是相同的虚线区域, 越向下方时其掺杂浓度能够连续降低, 且在相互不同的虚线区域的边界, 其掺杂浓度也能够是并非不连续的逐渐降低的结构。

[0089] 因为第1区域I的中心部与半导体基板100之间的距离最大, 所以其掺杂浓度能够最高。上述掺杂浓度能够从上述中心部向边缘方向逐渐降低。

[0090] 第1区域I能够具有周期性排列的多个凸起图案且相互间隔一定距离。因为在第1区域I之间形成有第2区域II, 所以第1区域I的侧面能够与第2区域II相接。第1区域I与半导体基板100之间的距离能够大于或等于第2区域II与半导体基板100之间的距离。即, 第1区域I中的边缘部分能够是第1区域I中与半导体基板100之间的距离最小的部分, 而上述边缘部分与半导体基板100之间的距离能够等于第2区域II与半导体基板100之间的距离。

[0091] 因为第2区域II为平坦的部分, 所以能够全部位于相同的平面上。即, 第2区域II与半导体基板100之间的距离能够全部相同。但, 并不局限于此。其中, 上述“相同”是包括细微段差的概念。

[0092] 因此, 第2区域II的掺杂浓度能够小于或等于第1区域I的掺杂浓度。具体来讲, 第1

区域I的侧面的掺杂浓度能够在第1区域I内最低,并能够与第2区域II的掺杂浓度相同。

[0093] 选择性发射极元件包括高掺杂区域和低掺杂区域。低掺杂发射极能够有效减少光电元件中光生载流子(Photo-generated carrier)的再结合。但是,低掺杂发射极因为其与正面电极400的金属之间的电阻较高而可能导致光电元件性能下降的问题。

[0094] 高掺杂发射极能够降低光电元件的电阻。但是高掺杂发射极会导致光生载流子的再结合的增加,从而降低光电元件的效率。

[0095] 即,高掺杂发射极会因为较低的电阻而在电气方面表现出较佳的性能,而低掺杂发射极能够缓解载流子的再结合问题。适用本实施例的选择性发射极是一种同时包括具有上述优缺点的低掺杂发射极和高掺杂发射极的发射极。借此,能够在减少载流子的再结合的同时降低电阻,从而提升光电元件的效率。

[0096] 适用本实施例的选择性发射极元件1能够采取第1区域I为高掺杂区域而第2区域II为低掺杂区域的结构,从而形成选择性发射极元件。借此,适用本实施例的选择性发射极元件1能够在减少载流子的再结合的同时降低电阻,从而提供较高的效率。

[0097] 下面,将结合图3对适用本发明之第2实施例的选择性发射极元件的掺杂浓度进行说明。

[0098] 图3是用于对适用本发明之第2实施例的选择性发射极元件的掺杂浓度进行说明的概念性截面图。适用本实施例的选择性发射极元件与适用第1实施例的选择性发射极元件相比,除了发射极层200的掺杂浓度分布不同之外,其他全部相同。所以,在此将省略或简化重复部分的说明。

[0099] 如图3所示,在适用本发明之第2实施例的选择性发射极元件2中,发射极层200的掺杂浓度能够根据发射极层200的上表面的高度而有所不同。具体来讲,越是接近发射极层200的上表面时其掺杂浓度能够逐渐升高,而越是远离发射极层200的上表面时其掺杂浓度能够逐渐降低。

[0100] 在图3中是通过不连续的虚线区域图示了在虚线密度变疏时其掺杂浓度随之降低的结构,但实际上能够是一种越向下方时其掺杂浓度连续降低的结构。即,即使是相同的虚线区域,越向下方时其掺杂浓度能够连续降低,且在相互不同的虚线区域的边界,其掺杂浓度也能够是并非不连续的逐渐降低的结构。

[0101] 适用本发明之第2实施例的选择性发射极元件2的发射极层200包括第1区域I和第2区域II,而在第1区域I中能够形成凸起形状的图案。第1区域I中能够包括与发射极层200的上表面之间的距离相对较远的较大的区域。与此相反,第2区域II中的大部分区域与发射极层200的上表面之间的距离相对较近。

[0102] 所以,第2区域II中掺杂浓度较高部分的比例能够比第1区域I更多。因此,按照掺杂密度,适用本实施例的选择性发射极元件2能够采取第1区域I为低掺杂区域而第2区域II为高掺杂区域的结构,从而形成选择性发射极元件。借此,适用本实施例的选择性发射极元件2能够在减少载流子的再结合的同时降低电阻,从而提供较高的效率。

[0103] 下面,将结合图4对适用本发明之第3实施例的选择性发射极元件进行说明。与上述第1及第2实施例重复的部分将简化或省略其说明。

[0104] 图4是用于对适用本发明之第3实施例的选择性发射极元件的结构进行说明的概念性截面图。

[0105] 如图4所示,适用本发明之第3实施例的选择性发射极元件还包括第1反射防止层250。

[0106] 第1反射防止层250能够形成于发射极层200的上方。第1反射防止层250能够形成于透明导电层300的下方。即,第1反射防止层250能够位于发射极层200及透明导电层300之间。第1反射防止层250能够减少光线的反射,从而使更多的光线到达发射极层200。第1反射防止层250能够包括 SiN_x 、 TiO_x 。其中,x代表自然数。

[0107] 适用本实施例的选择性发射极元件还包括第1反射防止层250,从而降低入射光线的反射度,并借此进一步提升其转换效率。

[0108] 下面,将结合图5对适用本发明之第4实施例的选择性发射极元件进行说明。与上述第1至第3实施例重复的部分将简化或省略其说明。

[0109] 图5是用于对适用本发明之第4实施例的选择性发射极元件的结构进行说明的概念性截面图。

[0110] 如图5所示,适用本发明之第4实施例的选择性发射极元件还包括第2反射防止层350。

[0111] 第2反射防止层350能够形成于透明导电层300的上方。第2反射防止层350能够减少光线的反射,从而使更多的光线到达发射极层200。第2反射防止层350能够包括 SiN_y 、 TiO_y 。其中,y代表自然数。

[0112] 适用本实施例的选择性发射极元件还包括第2反射防止层350,从而降低入射光线的反射度,并借此进一步提升其转换效率。下面,将结合图2、图4至图9对适用本发明之第1实施例的选择性发射极元件的制造方法进行说明。

[0113] 图4至图9是用于对适用本发明之第1实施例的选择性发射极元件的制造方法进行说明的中间步骤示意图。

[0114] 如图4所示,通过在半导体基板100中扩散掺杂物而形成发射极层200。

[0115] 半导体基板100能够是n型或p型,而发射极层200能够是与其相反的p型或n型。即,发射极层200能够具有与半导体基板100不同的导电型。例如,半导体基板100能够是p型的半导体薄片基板,而发射极层200能够通过将磷(phosphorus)扩散到半导体基板100中而形成。但,并不局限于此。

[0116] 因为发射极层200的上表面会掺杂进掺杂物,所以其上表面的掺杂浓度能够较高。越是向发射极层200的深度方向时,发射极层200的上表面的掺杂浓度能够逐渐降低。

[0117] 在图4中是通过不连续的虚线区域图示了在虚线密度变疏时其掺杂浓度随之降低的结构,但实际上能够是一种越向下方时其掺杂浓度连续降低的结构。即,即使是相同的虚线区域,越向下方时其掺杂浓度能够连续降低,且在相互不同的虚线区域的边界,其掺杂浓度也能够是并非不连续的逐渐降低的结构。

[0118] 接下来如图5所示,在发射极层200的上表面形成虚拟图案150。

[0119] 虚拟图案150能够包括PMMA(聚甲基丙烯酸甲酯,poly methyl methacrylate)。但,并不局限于此。虚拟图案150能够是用于形成具有特定周期的小孔的图案。即,虚拟图案150中能够包括在后续步骤形成第1遮罩160a的小孔。形成虚拟图案150的部分中能够包括在后续步骤形成第2区域II的部分。

[0120] 接下来如图6所示,在虚拟图案150及发射极层200上方形成第1遮罩160a及第2遮

罩160b。

[0121] 遮罩160a、160b包括第1遮罩160a和第2遮罩160b。第1遮罩160a能够形成于半导体基板100的上表面。第2遮罩160a能够形成于虚拟图案150的上表面。第1遮罩160a和第2遮罩160b能够形成于不同的水平面而构成不连续的形态。即,如图所示,第2遮罩160b能够形成于虚拟图案150的上表面,而第1遮罩160a能够形成于因为未形成虚拟图案150而裸露的发射极层200即虚拟图案150之间的位置。

[0122] 虽不做特殊限制,但第1遮罩160a及第2遮罩160b能够包括氧化物系列的物质。例如,第1遮罩160a及第2遮罩160b能够包括 SiO_2 。

[0123] 第1遮罩160a及第2遮罩160b能够以相对较薄的厚度形成。例如,上述第1及第2遮罩160b能够以约20nm的厚度形成。

[0124] 接下来如图7所示,移除虚拟图案150和第2遮罩160b。

[0125] 通过移除虚拟图案150以及虚拟图案150上表面的第2遮罩160b,能够保留在虚拟图案150的侧面形成的第1遮罩160a。第1遮罩160a能够位于移除虚拟图案150之后的发射极层200的上表面。通过后续步骤,能够在第1遮罩160a的下部形成第1区域I的图案。借此,能够使其按照与第1区域I的图案相同的周期相互间隔一定的距离形成。

[0126] 接下来如图8所示,以第1遮罩160a作为遮罩对发射极层200进行蚀刻处理。

[0127] 对发射极层200进行蚀刻时,能够使用湿法蚀刻方式。如果半导体基板100及发射极层200中包含硅,则能够按照硅的结晶方向进行蚀刻。

[0128] 例如,当发射极层200的平面为(100)方向的硅结晶方向时,通过蚀刻形成的图案之倾斜部能够具有(111)方向平面的表面。具体来讲,当利用湿法蚀刻对硅半导体薄片进行蚀刻时,因为受到硅的结合能的影响,各个结晶平面的蚀刻率将有所不同。当对(100)方向平面的半导体薄片进行蚀刻时(100)方向平面会比较容易被蚀刻,而(111)方向平面则能够起到蚀刻防止膜的作用。

[0129] 通过上述蚀刻处理,能够定义形成突起形状图案的第1区域I和平坦区域即第2区域II。如图所示,凸起形状的图案之间的平坦部分能够被定义为第2区域II。借此,在后续步骤中,第1区域I能够起到搞掺杂区域的作用而第2区域II能够起到低掺杂区域的作用。

[0130] 接下来如图9所示,移除第1遮罩160a。

[0131] 在移除第1遮罩之后,在第1区域I中将只保留发射极层200中被蚀刻后的形态图案,而在第2区域II中将保留上述图案之间的平坦部分即被完全蚀刻的部分。

[0132] 接下来如图2所示,在发射极层200的上方形成透明导电层300。

[0133] 透明导电层300能够通过原子层沉积(atomic layer deposition,ALD)或物理气相沉积(Physical vapor Deposition,PVD)方式形成。上述物理气相沉积方式能够是如溅射(sputtering)方式。但,并不局限于此。

[0134] 透明导电层300能够由透明的导电体构成。例如,能够由氧化锡(tin-oxide)、氧化铟(In_2O_3)、Pt、Au、IZO(铟锌氧化物,Indium-zinc-oxide)、AZO(铝锌氧化物,Aluminum-zinc-oxide)或ITO(铟锡氧化物,Indium-tin-oxide)构成。但,并不局限于此。

[0135] 能够在形成透明导电层之前或之后形成反射防止层。如上所述的反射防止层能够形成于透明导电层的下部或上部。能够包括 SiN_x 、 TiO_x 。其中,x代表自然数。

[0136] 下面,将结合图3、图10对适用本发明之第2实施例的选择性发射极元件的制造方

法进行说明。本实施例与上述实施例相比,出了进行掺杂的时间不同之外,其他全部相同。所以,在此将省略或简化重复部分的说明。

[0137] 图10是用于对适用本发明之第2实施例的选择性发射极元件的制造方法进行说明的中间步骤示意图。

[0138] 在本实施例中,不会首先对半导体基板100进行掺杂,即,能够在未形成发射极层200的情况下形成凸起图案。即,首先形成虚拟图案150,然后形成第1遮罩160a及第2遮罩160b,接下来移除虚拟图案150及第2遮罩160b,最后利用第1遮罩160a对半导体基板进行蚀刻,从而形成凸起图案。

[0139] 首先,如图10所示,通过进行掺杂形成发射极层200。

[0140] 半导体基板100能够是n型或p型,而发射极层200能够是与其相反的p型或n型。即,发射极层200能够具有与半导体基板100不同的导电型。例如,半导体基板100能够是p型的半导体薄片基板,而发射极层200能够通过将磷(phosphorus)扩散到半导体基板100中而形成。但,并不局限于此。

[0141] 因为发射极层200的上表面会掺杂进掺杂物,所以其上表面的掺杂浓度能够较高。越是向发射极层200的深度方向时,发射极层200的上表面的掺杂浓度能够逐渐降低。

[0142] 在图10中是通过不连续的虚线区域图示了在虚线密度变疏时其掺杂浓度随之降低的结构,但实际上能够是一种越向下方时其掺杂浓度连续降低的结构。即,即使是相同的虚线区域,越向下方时其掺杂浓度能够连续降低,且在相互不同的虚线区域的边界,其掺杂浓度也能够是并非不连续的逐渐降低的结构。

[0143] 本实施例与上述实施例之间的不同之处在于,因为已经形成了具有突出图案的第1区域I及第2区域II,所以其掺杂浓度并不取决于与半导体基板100之间的距离,而是主要取决于与发射极层200的上表面之间的距离。

[0144] 因此,因为第2区域II均位于与发射极层200的上表面相对较近的位置而全部具有较高的掺杂浓度,同时因为第1区域I中具有与发射极层200的上表面相对较远的部分如凸起图案部分,所以具有较高的掺杂浓度的部分相对较少,从而具有相对较低的掺杂浓度。

[0145] 因此,在适用本发明之第2实施例的选择性发射极元件2的高掺杂区域能够是第2区域II,而低掺杂区域能够是第1区域I。

[0146] 接下来如图3所示,在发射极层200的上方形成透明导电层300。

[0147] 透明导电层300能够通过原子层沉积(atomic layer deposition,ALD)或物理气相沉积(Physical vapor Deposition,PVD)方式形成。上述物理气相沉积方式能够是如溅射(sputtering)方式。但,并不局限于此。

[0148] 透明导电层300能够由透明的导电体构成。例如,能够由氧化锡(tin-oxide)、氧化铟(In₂O₃)、Pt、Au、IZO(铟锌氧化物,Indium-zinc-oxide)、AZO(铝锌氧化物,Aluminum-zinc-oxide)或ITO(铟锡氧化物,Indium-tin-oxide)构成。但,并不局限于此。

[0149] 能够在形成透明导电层之前或之后形成反射防止层。如上所述的反射防止层能够形成于透明导电层的下部或上部。能够包括SiN_x、TiO_x。其中,x代表自然数。

[0150] 适用本发明之第1及第2实施例的选择性发射极元件1、2通过蚀刻方式实现纳米级单位的选择性发射极元件,能够自然地实现具有高掺杂区域和低掺杂区域的结构。

[0151] 此外,上述纳米级结构能够有效捕获入射光线,从而提升其光电元件的光学性能。

下面,将结合试验例对其进行详细的说明。

[0152] 实施例1

[0153] 使用(100)平面方向的p型硅薄片作为半导体基板使用。对半导体基板进行掺杂工程之后,利用纳米压印方法(nanoimprint method)(如上所述的适用本发明之第1及第2实施例的选择性发射极元件的制造方法)及湿法蚀刻形成了包括相同高度凸起图案的发射极层。作为上述蚀刻处理中使用的蚀刻液,对NaOH(2.5wt%)、异丙醇(isopropyl alcohol)(5wt%)及去离子水(de-ionized water)(92.5wt%)进行混合制造。利用上述蚀刻液进行8分钟的蚀刻处理。上述凸起图案的高度约为240nm,宽度约为400nm。上述凸起图案的周期为500nm。在上述发射极层中形成80nm厚度ITO(铟锡氧化物,Indium-tin-oxide)材质的透明导电层。

[0154] 比较例1

[0155] 除了采取没有在p型硅薄片形成图案的平面(planar)结构之外,其他与上述实施例1相同。

[0156] 比较例2

[0157] 图11是用于对具有比较例1的纹理(textured)结构的光电元件进行说明的斜视图。

[0158] 如图11所示,即使是在上述蚀刻过程中使用相同的蚀刻液,也可能会因为(100)平面的蚀刻率的不同而导致凸起图案的大小的不同。在这种情况下,一个凸起图案的倾斜面为(111)平面。即,虽然凸起图案的大小不同,但倾斜面能够相同。将如上所述的纹理样本作为比较例2。

[0159] 比较例2中的文理样本除了没有经过实施例1中的纳米压印工程而直接进行蚀刻处理之外,其他与实施例1相同。

[0160] 试验例1

[0161] 对形成ITO(铟锡氧化物,Indium-tin-oxide)材质的透明导电层之前和之后上述实施例1及比较例1至2的反射度分别进行了测定。

[0162] 图12是适用本发明之一实施例和比较例1以及比较例2中在没有透明导电层的情况下对不同波长下的反射度进行测定的图表。

[0163] 图12中的反射度是在300nm至1100nm的波长范围内进行测定。在比较例1呈现出了平均34.42%的较高的反射度,在比较例2则呈现出了较低的平均20.68%的反射度。而在实施例1中测定出了非常低的平均8.55%的反射度。

[0164] 图13是适用本发明之一实施例和比较例1以及比较例2中对不同波长下的反射度进行测定的图表。

[0165] 如图13所示,上述实施例1及比较例1至2相对于没有透明导电层时均呈现出了大幅度的减少。在比较例1呈现出了平均16.99%的反射度,在比较例2则呈现出了平均12.5%的反射度。而在实施例1中测定出了平均2.68%的最低的反射度。此外,在实施例1中,在大多数波长下均测定出了几乎接近于0的反射度。在实施例1中,反射度小于1%的波长区间为472nm至826nm。借此,能够确认透明导电层会对反射度造成影响。如上所述,透明导电层在对光学方面造成影响的同时,还能够对电气方面造成影响。因为透明导电层的折射率介于硅和空气(air)之间,所以能够降低其反射度。根公式 $d = \lambda / 4n$ (其中,n为ITO的折射率)可以

得知,透明导电层的厚度为80nm为宜。

[0166] 试验例2

[0167] 对上述实施例1及比较例1至2在黑暗条件 (dark condition) 下的I-V特性进行了测定。

[0168] 图14是用于对适用本发明之一实施例和比较例1以及比较例2中在不同电压下的电流特性进行说明的图表。

[0169] 如图14所示,上述实施例1及比较例1均呈现出了较佳的整流特性。比较例1呈现出了最低的反向饱和电流 (reverse saturation current) 值。反向饱和电流与在蚀刻工程中出现的硅的表面缺陷有直接关系。硅的表面缺陷会导致漏电流的增加。实施例1呈现出了略低于比较例2的反向饱和电流。借此,能够确认比较例2的纹理结构可能会导致缺陷问题。在0.8V电压条件下,在实施例1中测定到了最大的正向电流即4.12A。与此相反,在比较例2中测定到了小于比较例1的最低的正向电流。通过如上所述的黑暗条件下的倾向性进行测定,能够得出-0.8V至+0.8V条件下的整流率数据。

[0170] 表1

[0171]

	比较例1	比较例2	实施例1
理想因子 (Ideality factor)	1.52	1.61	1.57
整流率 (Rectifying ratio)	15152.5	1499.5	4367.3
表面积增大 (Surface enhancement)	100%	N/A	133.9%
Voc [mV]	584	586	583
Jsc [mA/cm ²]	32.05	32.86	36.25
电池效率 (Cell efficiency) [%]	14.5	15.0	16.3

[0172] 图15是适用本发明之一实施例和比较例1以及比较例2中对不同电压下的电流密度进行测定的图表。

[0173] 如图15及表1所示,在比较例1中呈现出了最高的整流率即15152.5,这主要源于最低的反向饱和电流。实施例1呈现出了略高于比较例2的整流率。为了对PN结合的质量进行测定,对二极管异常系数n进行了测定。比较例1呈现出了1.52的较佳的PN结合质量。经过蚀刻处理的实施例1及比较例2也分别呈现出了1.57及1.61的较佳的PN结合质量。这与再结合问题相关。这是因为,表面缺陷能够通过表面积的增大而得到缓解。异常系数n能够通过下述公式计算。

[0174] 公式1

[0175]
$$n = \frac{q}{kT} \frac{BV}{B(\ln I)}$$

[0176] 其中,kT及q分别为热能和电荷。实施例1中表面积的增大能够有效提升电流,这与上述n值相关。

[0177] 为了掌握作为太阳能电池的效率,对上述实施例1及比较例1至2的转换效率进行了测定。在实施例1中,测定到了高于比较例1的14.5%和比较例2的15.0%的最高的转换效率即16.3%。Voc (开路电压, open circuit voltage) 是决定纳米级太阳能电池的效率的非常重要的因素。通常,在纳米级的太阳能电池中,Voc值会呈现出随着耗尽区 (depletion

region)的陷阱密度(trap density)而减少的趋势。通过上述结果可以得知,上述实施例1及比较例1至2具有类似的Voc值,并没有严重的Voc降低的问题。

[0178] 上述效率的提升源于电流的增加。实施例1的电流密度(Jsc)为36.25mA/cm²。这相对于比较例1的32.05mA/cm²是非常高的数值。电流比(current ratio,光生电流/反向饱和电流)也能够通过下述公式2直接对Voc进行控制。

[0179] 公式2

$$[0180] \quad V_{oc} = \frac{KT}{q} \ln \frac{I_{light}}{I_{RS}} + 1$$

[0181] 其中,I_{light}是光生电流。在实施例1中,因为缺陷而导致的后果能够通过I_{light}的大量增加而大幅度减少。与此相反,在比较例2(32.86mA/cm²)中则因为其表面小于实施例1而无法实现如上所述的效果。

[0182] 为了对电流特性进行确认,对实施例1的表面积增加进行了计算。在实施例1中,图案的周期约为500nm,各个凸起图案的宽度为400nm,高度为240nm。在将比较例1作为基准定为100%时,实施例1的表面积为133.9%。这还会使硅和ITO之间的接触面增加。借助于ITO表面积的增加,实施例1能够提供最低的1.546 Ω cm²的串联电阻。这远低于纳米线的值5 Ω cm²,接近于理论值1.5 Ω cm²。

[0183] 在电气方面,透明导电层能够促进载流子从硅到金属电极的跃迁。其结果,实施例1中的强化表面将对光生电流(I_{light})及正向电流等电流特性造成影响。

[0184] 试验例3

[0185] 对上述实施例1在不同深度下的掺杂密度、电场强度及外部量子效率进行了测定。

[0186] 图16是适用本发明之一实施例中对不同深度下的掺杂浓度进行测定的图表。

[0187] 如图16所示,在第2区域II即互连(interconnect)区域中供体的浓度约为10¹⁸/cm³。基于p型硅基板的受体浓度10¹⁶/cm³考虑,在PN结合部中能够形成耗尽区(space charge region,SCR)。这是多数载流子的扩散机制。电子会从N型硅移动到P型硅,而空穴(hole)会向相反的方向移动。在耗尽区中,电子和空穴将被电场固定。电场(E)是收集光生载流子的原动力。

[0188] 图17是用于对适用本发明之实施例1中选择性发射极元件的耗尽区的形成进行说明的概念图。

[0189] 如图17所示,能够形成渐变的掺杂轮廓。最高的掺杂浓度(10²¹/cm³)能够位于实施例1的发射极层的上表面。距离实施例1的上表面越远,其掺杂浓度能够越低。如上所述的渐变的掺杂浓度能够形成额外的电场,并借此拓宽耗尽区(h1,h2,h3)。

[0190] 图18是适用本发明之一实施例中在选择性发射极元件的不同深度下的电场进行测定的图表。

[0191] 如图17及18所示,第2区域即互连区域(interconnect)中的电场沿着耗尽区形成,且在耗尽区的中心呈现出峰值37kV/cm。这是第1区域和第2区域中均存在的掺杂浓度为10¹⁸/cm³的共同区域中所形成的电场值。如上所述的共同区域(h3,SCR com)的耗尽区是在如上所述的共同区域的电场作用下形成,与此相反,在第1区域中将形成比共同区域更宽的耗尽区(SCR cone)。这是通过渐变的掺杂所造成的额外电场形成。借此,能够分别形成高掺

杂区域及低掺杂区域(第1区域、第2区域)并实现选择性发射极。

[0192] 图19是适用本发明之实施例1和比较例1以及比较例2中对不同波长下的外部量子效率进行测定的图表。

[0193] 如图19所示,为了对载流子收集性能进行比较,对外部量子效率(external quantum efficiencies,EQE)进行了测定。实施例1在较宽的波长范围内呈现出了大幅提升的载流子收集效率。与此相反,比较例1及比较例2的效率远低于此。在较长波长范围内,量子效率的改善尤为重要。在1100nm波长下,实施例1相对于比较例1呈现出了约50.6%的量子效率的提升。实施例1在较短波长范围内也比较高效。在440nm的波长下,实施例1相对于比较例1也呈现出了约29.3%的量子效率的提升。

[0194] 上面结合试验例及附图对适用本发明的实施例进行了说明,具有本发明所属技术领域之一般知识的人员能够在不对本发明的技术思想或必要特征进行变更的情况下以其他具体形态实施。因此,上述实施例在所有方面仅为示例性目的而非限制。

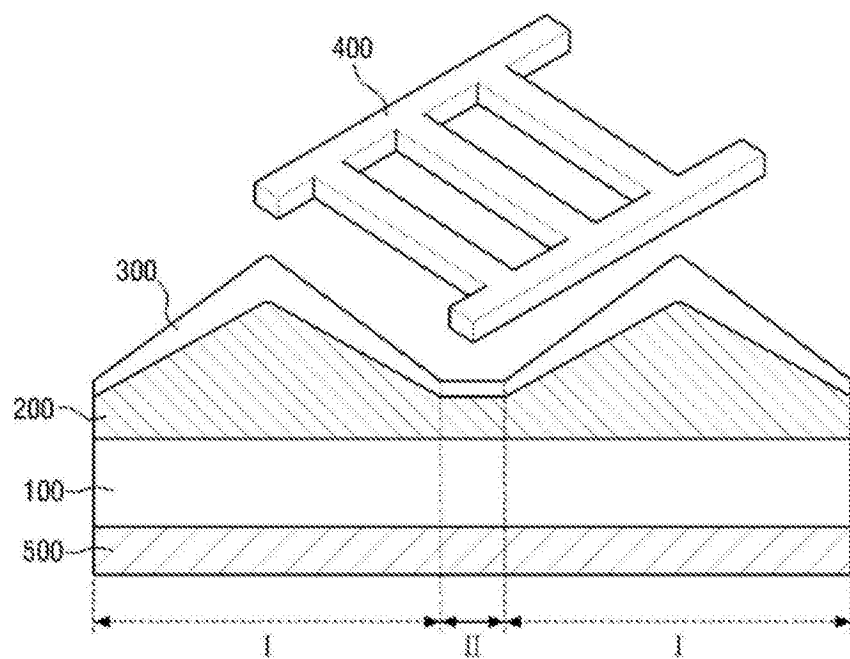


图1

1

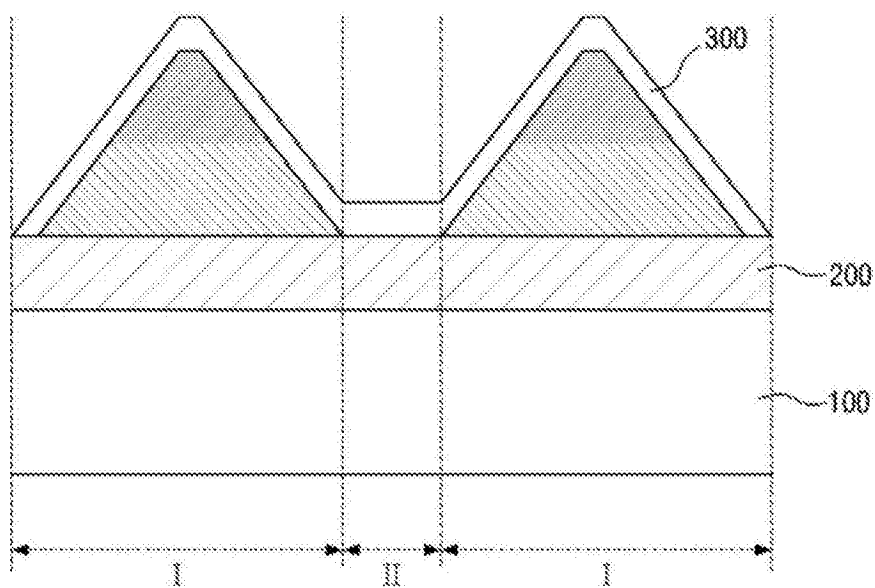


图2

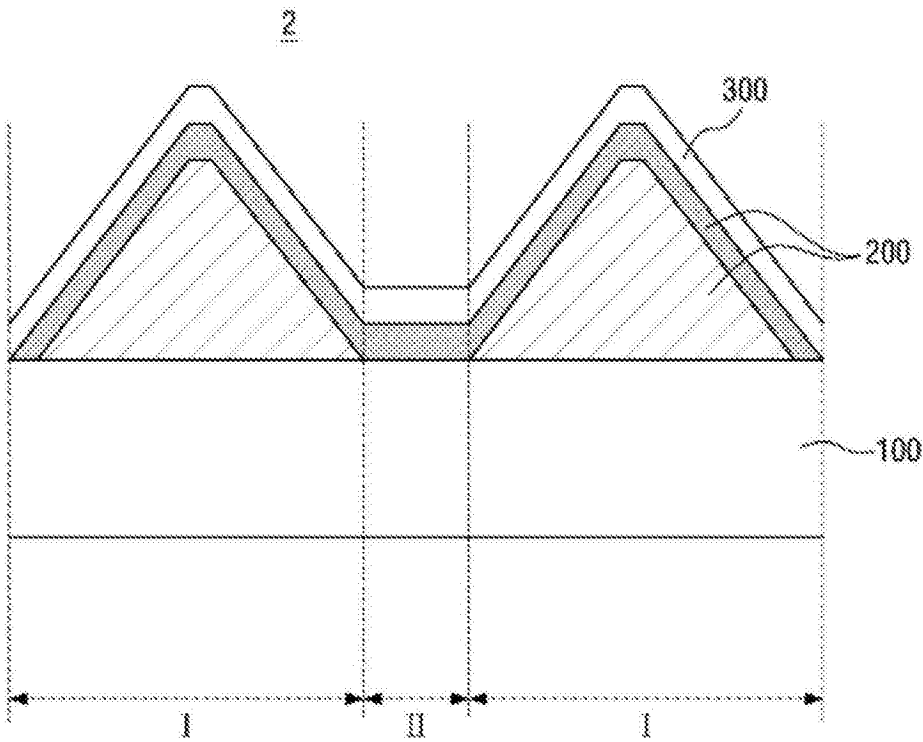


图3

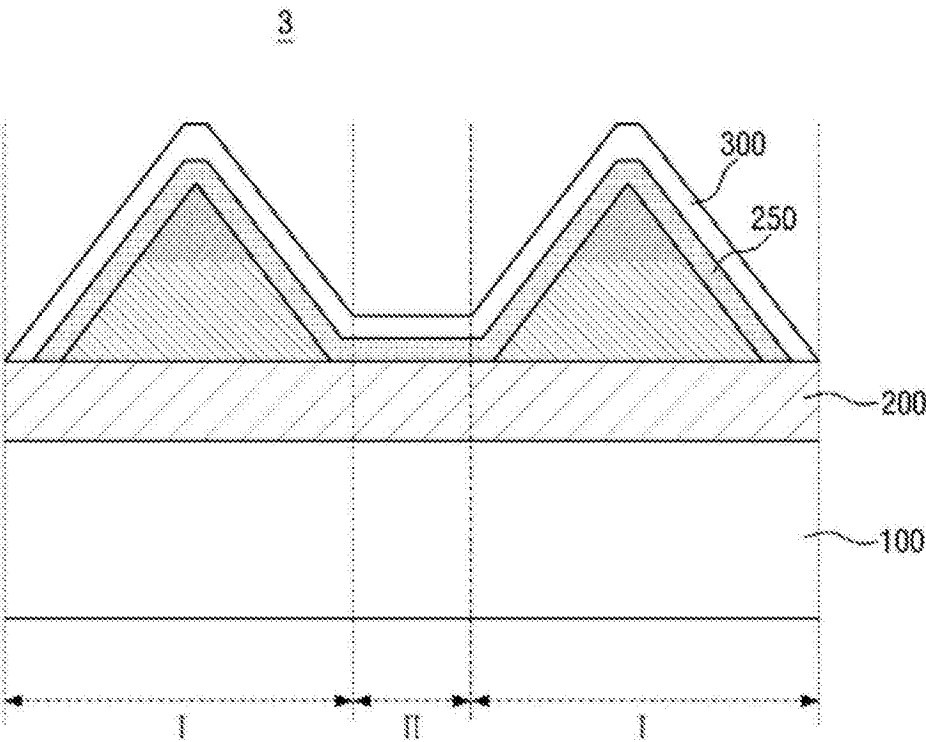


图4

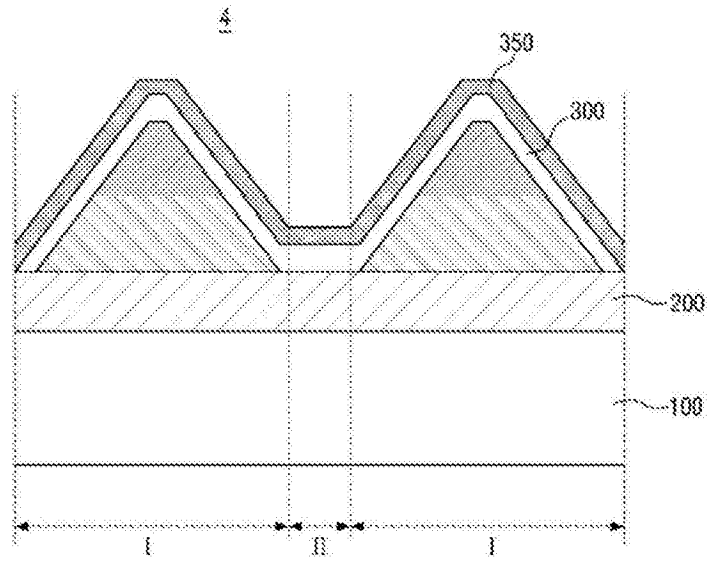


图5

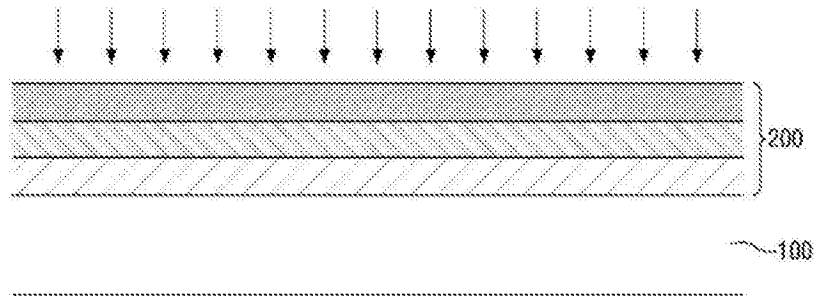


图6

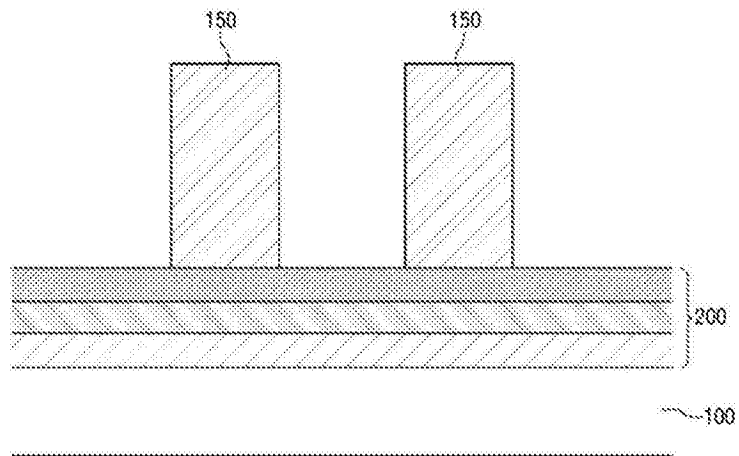


图7

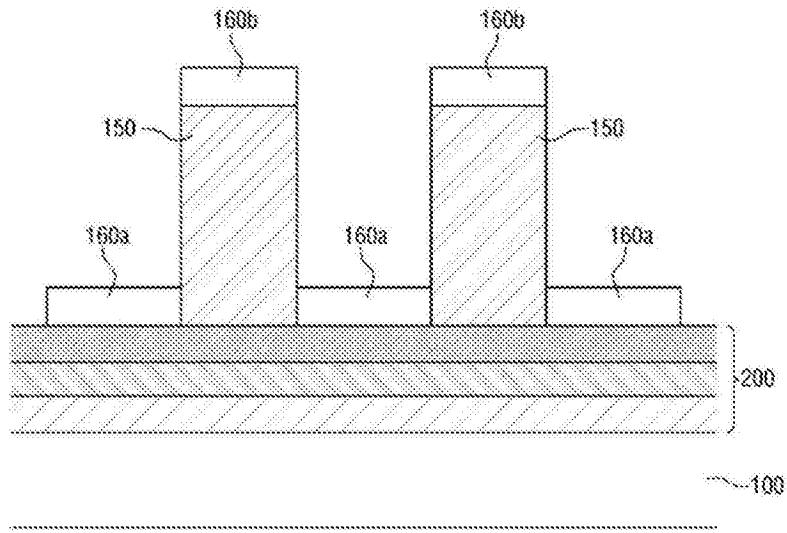


图8

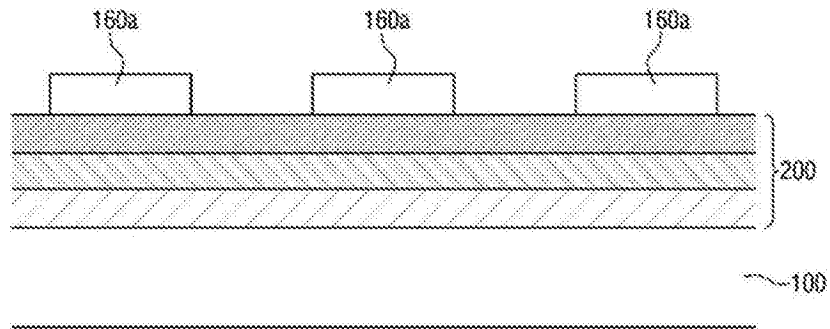


图9

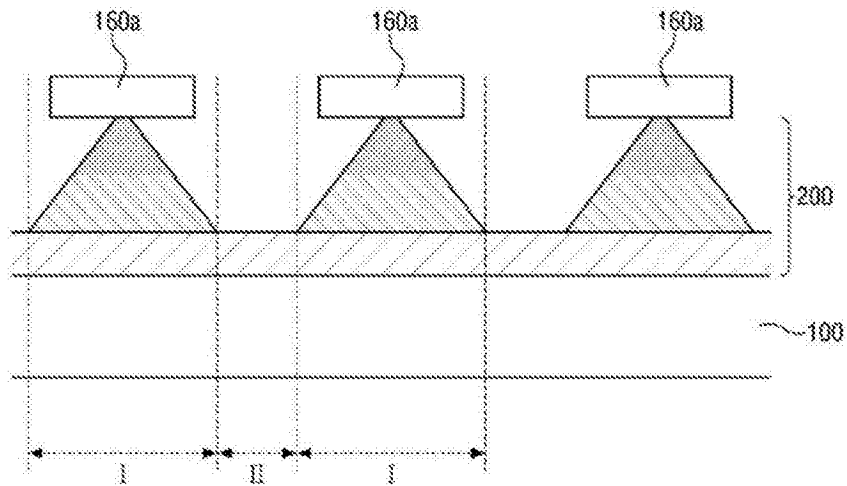


图10

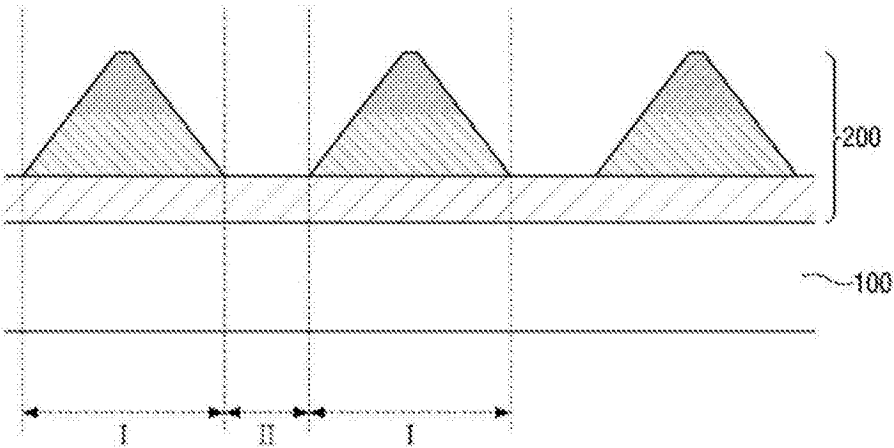


图11

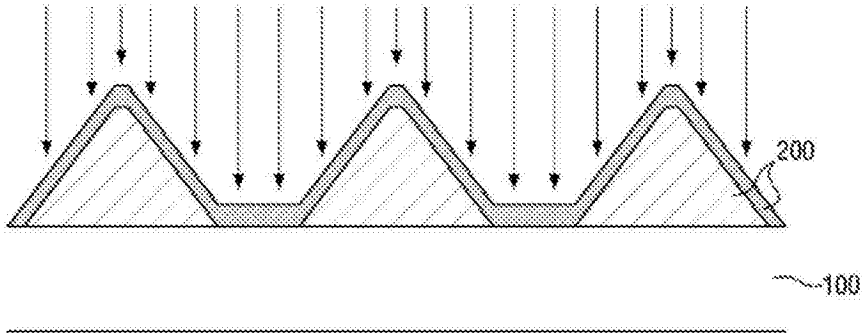


图12

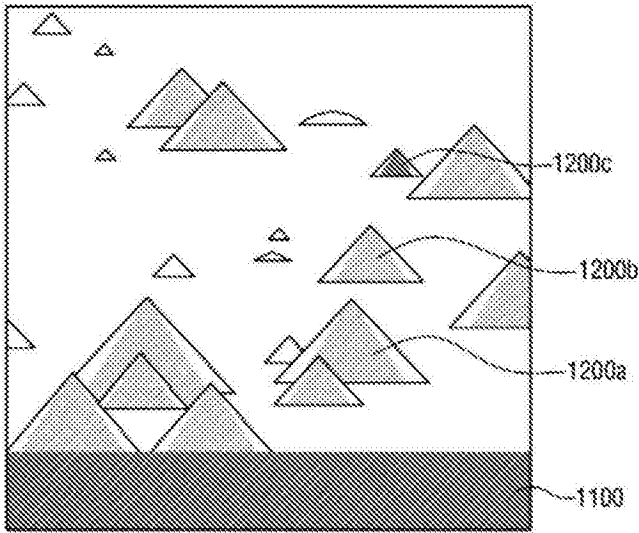


图13

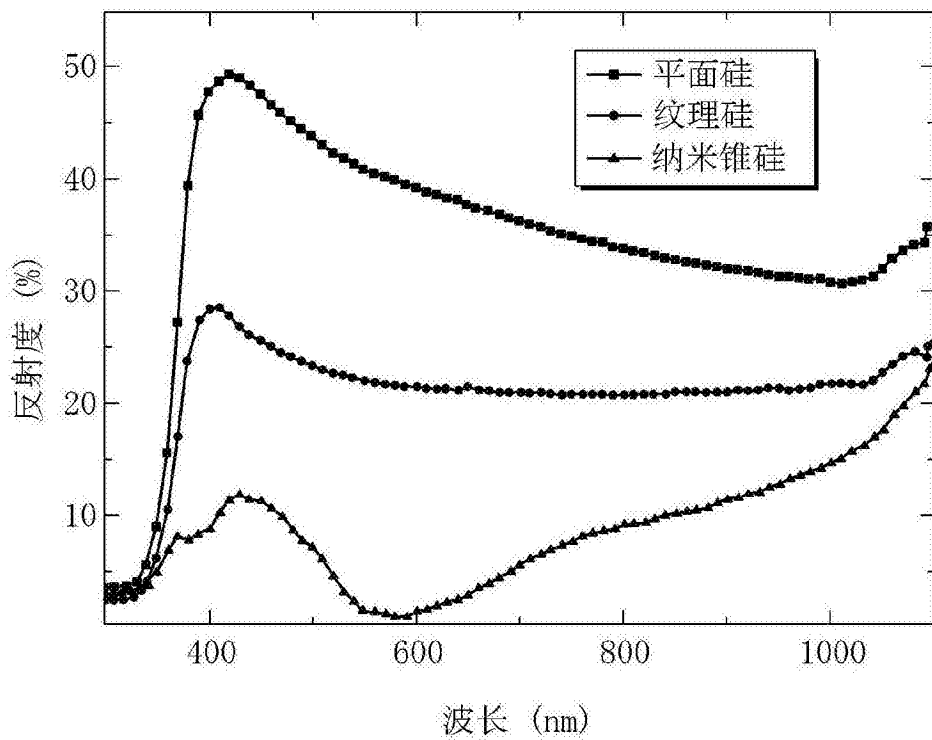


图14

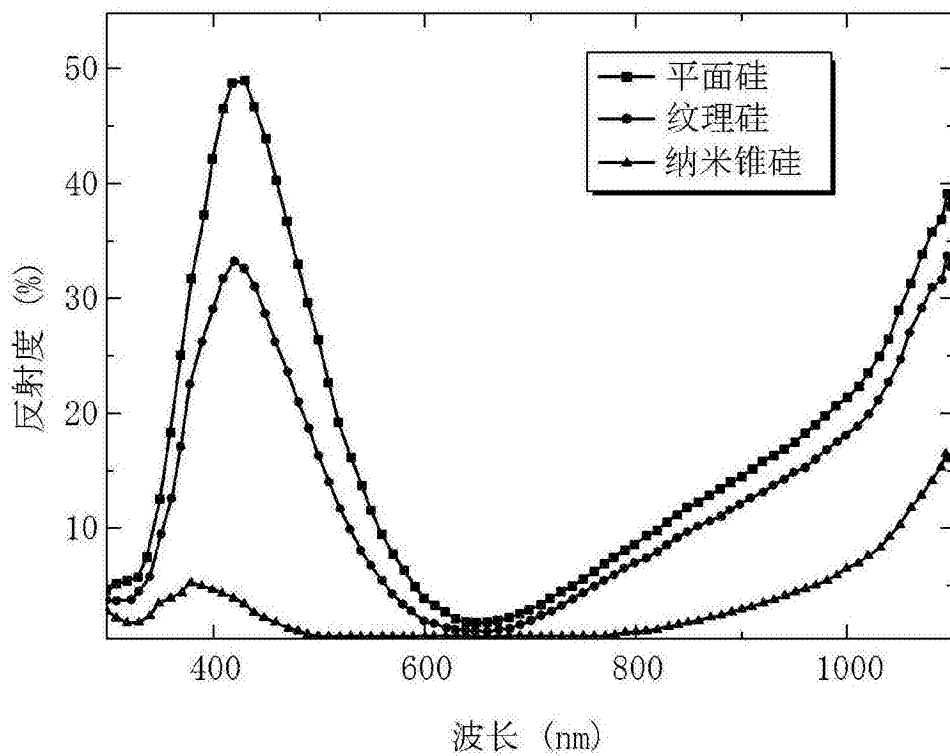


图15

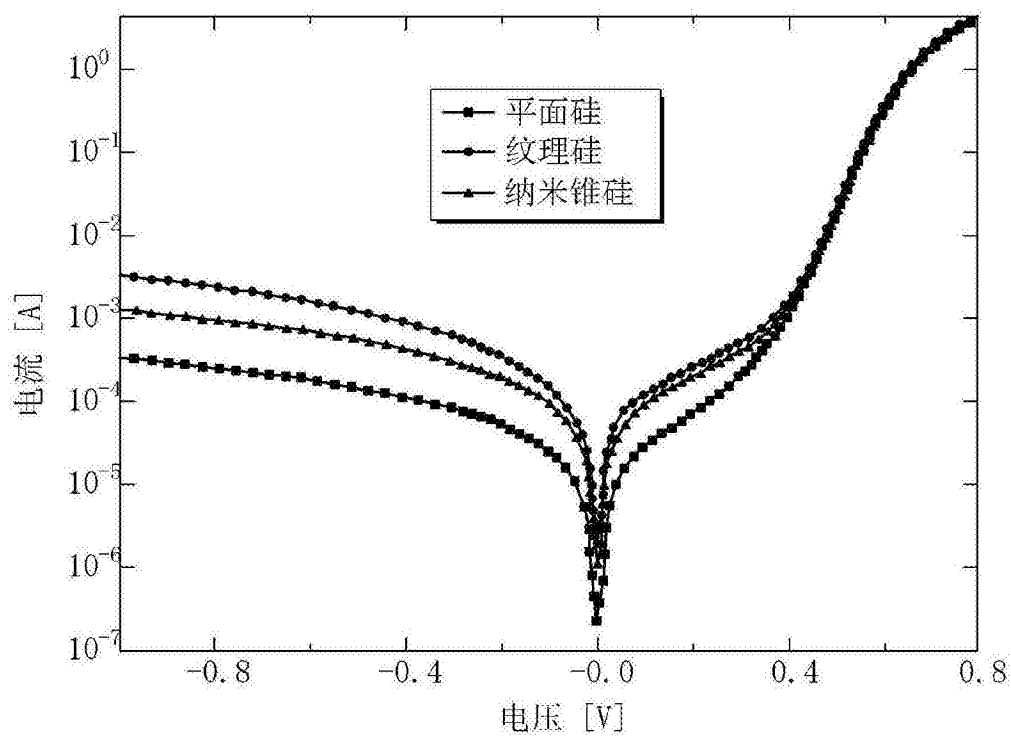


图16

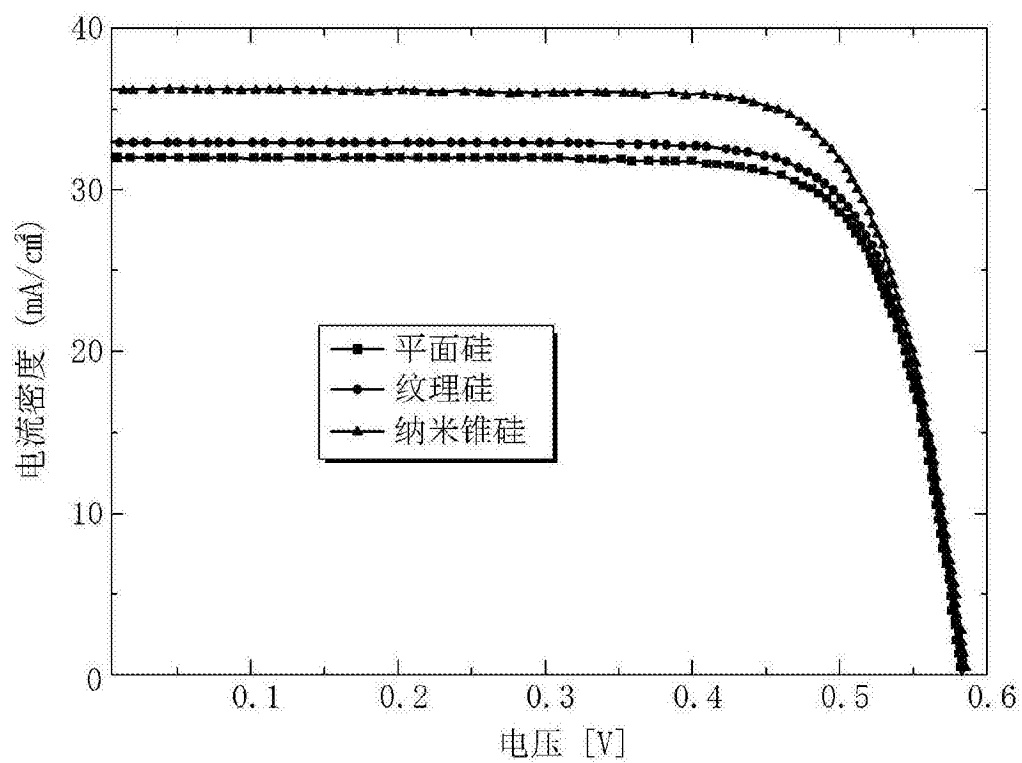


图17

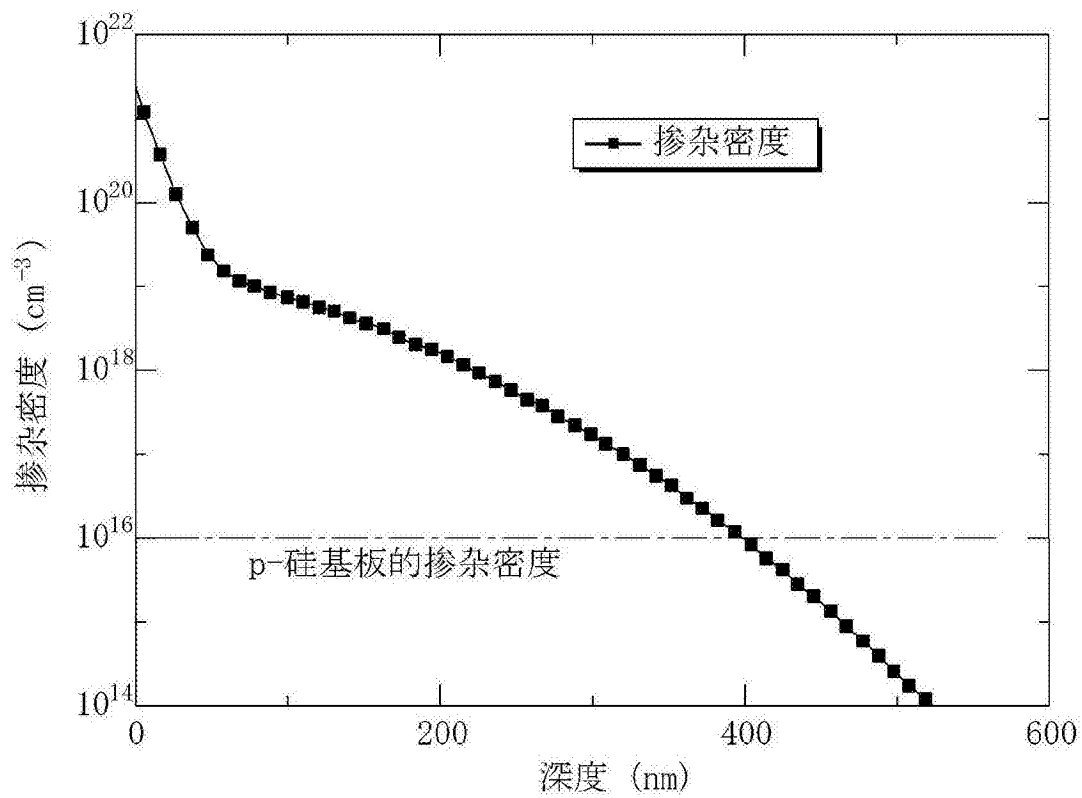


图18

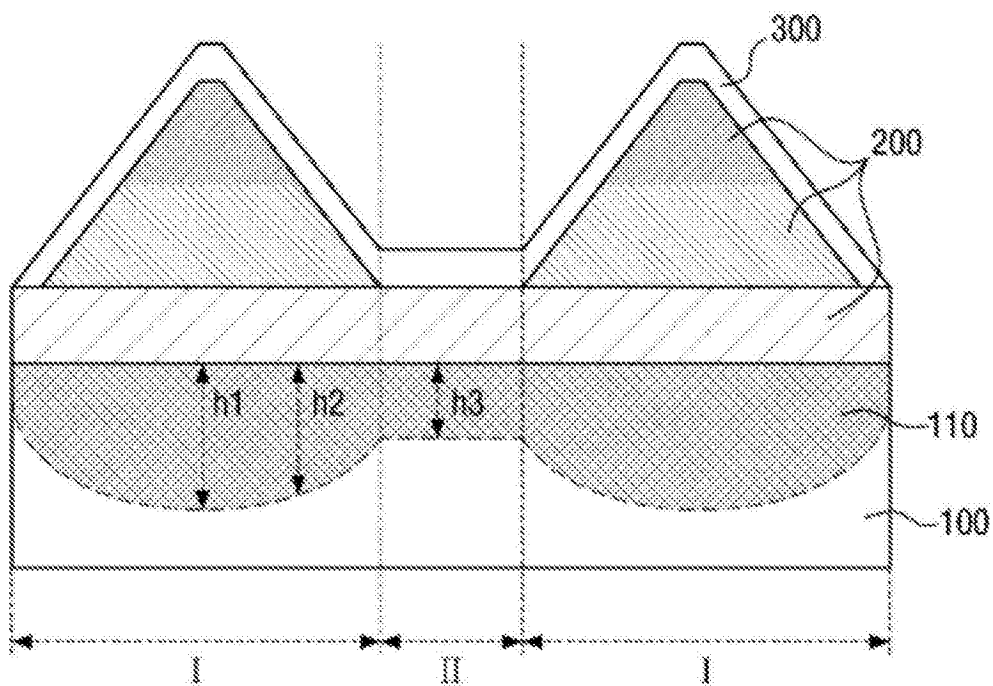


图19

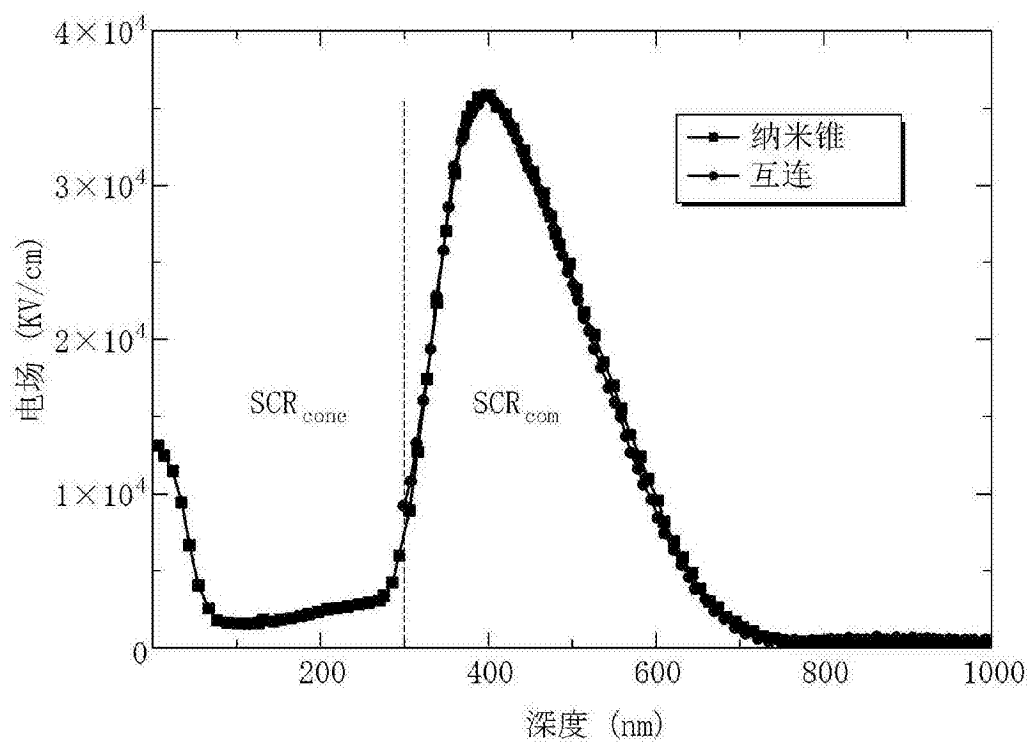


图20

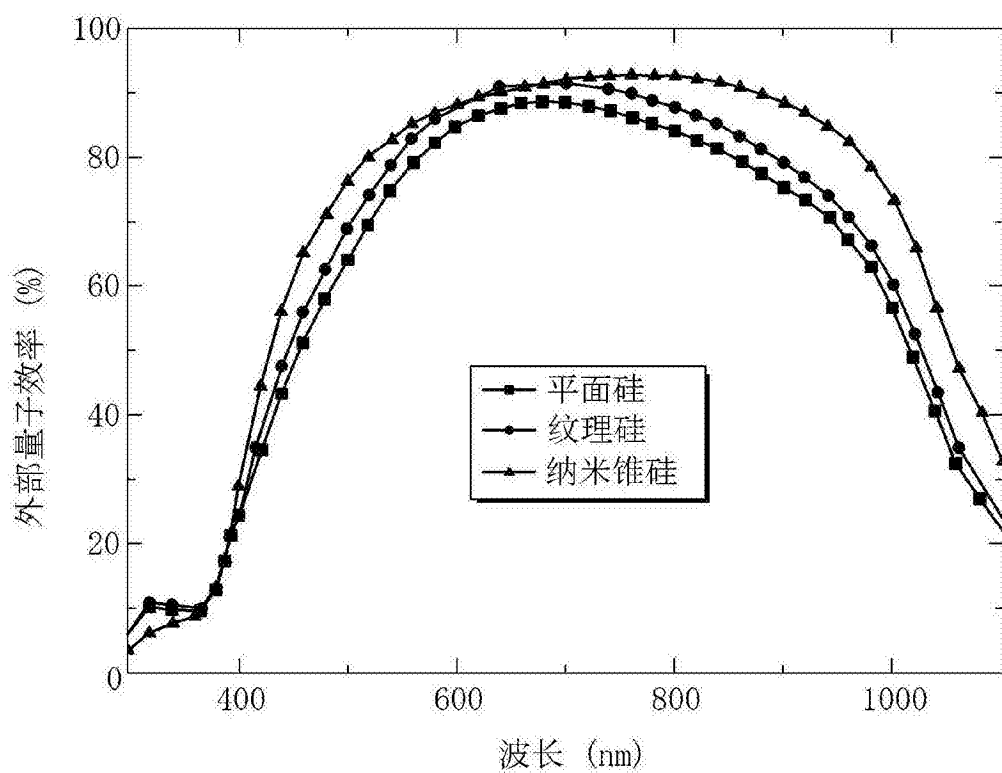


图21