

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-195437

(P2017-195437A)

(43) 公開日 平成29年10月26日(2017.10.26)

(51) Int.Cl.

H03L 7/089 (2006.01)
H03L 7/18 (2006.01)

F 1

H03L 7/089
H03L 7/187/089
7/18

130

テーマコード(参考)

5J106

審査請求 未請求 請求項の数 4 O L (全 9 頁)

(21) 出願番号

特願2016-82947(P2016-82947)

(22) 出願日

平成28年4月18日(2016.4.18)

(71) 出願人 399011195

ザインエレクトロニクス株式会社
東京都千代田区神田美土代町9番地1

(74) 代理人 100088155

弁理士 長谷川 芳樹

(74) 代理人 100113435

弁理士 黒木 義樹

(74) 代理人 100110582

弁理士 柴田 昌聰

(72) 発明者 久保 俊一

東京都千代田区神田美土代町9番地1 ザ
インエレクトロニクス株式会社内F ターム(参考) 5J106 AA04 BB10 CC01 CC21 CC42
CC52 DD02 DD03 DD08 DD32
GG01 GG07 JJ01 KK03 KK25
LL01

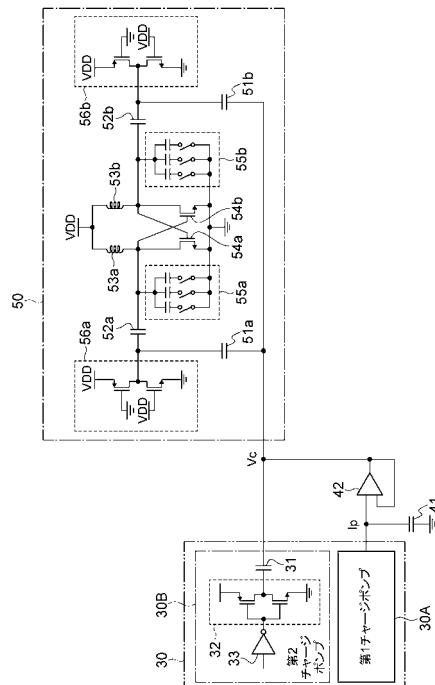
(54) 【発明の名称】 PLL周波数シンセサイザ

(57) 【要約】

【課題】所望の伝達関数を容易に実現することができるPLL周波数シンセサイザを提供する。

【解決手段】PLL周波数シンセサイザ1は、基準発振器10、位相比較部20、第1チャージポンプ30A、第2チャージポンプ30B、ループフィルタ40、電圧制御発振器50および分周器60を備える。電圧制御発振器50は、LC-VCOのタイプのものであって、制御電圧値に応じて変化する容量値を有する容量素子51a, 51bを含む。第2チャージポンプ30Bは、位相比較部20から出力される位相差信号の値に応じて変化する容量値を有する容量素子31をAC結合容量素子として用いて、この容量素子31を介して位相差信号を出力する。電圧値Vでの容量素子51a, 51bの容量値と容量素子31の容量値との比は、電圧値Vの一定範囲において電圧値Vによらず一定である。

【選択図】図2



【特許請求の範囲】

【請求項 1】

制御電圧値を入力し、この制御電圧値に応じて変化する容量値を有する第1容量素子を含み、この第1容量素子の容量値に応じた周波数を有する発振信号を出力する電圧制御発振器と、

前記電圧制御発振器から出力される発振信号または該発振信号を分周した信号を帰還発振信号として入力するとともに、基準発振信号をも入力し、これら帰還発振信号と基準発振信号との間の位相差を検出して、この位相差を表す位相差信号を出力する位相比較部と、

前記位相比較部から出力される位相差信号を入力し、この位相差信号が表す位相差に応じた充放電電流を出力する第1チャージポンプと、

前記位相比較部から出力される位相差信号を入力し、この位相差信号の値に応じて変化する容量値を有する第2容量素子をA C結合容量素子として用いて、この第2容量素子を介して前記位相差信号を出力する第2チャージポンプと、

前記第1チャージポンプから出力される充放電電流および前記第2チャージポンプから出力される位相差信号に基づいて設定される前記第1容量素子と前記第2容量素子との接続点の電圧値を前記制御電圧値として前記電圧制御発振器へ与えるループフィルタと、

を備え、

電圧値Vでの前記第1容量素子の容量値と前記第2容量素子の容量値との比は、電圧値Vの一定範囲において電圧値Vによらず一定である、

P L L周波数シンセサイザ。

【請求項 2】

前記第1容量素子および前記第2容量素子それぞれがバラクタである、

請求項1に記載のP L L周波数シンセサイザ。

【請求項 3】

前記第1容量素子および前記第2容量素子それぞれが、M O Sトランジスタのドレインヒソースとが互いに接続された構成を有する、

請求項1に記載のP L L周波数シンセサイザ。

【請求項 4】

前記電圧制御発振器が、前記第1容量素子と接続されたD Cカット容量素子と、前記第1容量素子と前記D Cカット容量素子との接続点に接続された出力端を有する第1インバータ回路とを含み、

前記第2チャージポンプが、前記第2容量素子の前段に設けられた第2インバータ回路を含み、

前記第1インバータ回路を構成するP M O SトランジスタおよびN M O Sトランジスタの双方が動作時にオン状態とされる、

請求項1～3の何れか1項に記載のP L L周波数シンセサイザ。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、P L L周波数シンセサイザに関するものである。

【背景技術】

【0 0 0 2】

一般に、P L L(Phase Locked Loop)周波数シンセサイザは、電圧制御発振器(Voltage Controlled Oscillator、V C O)，位相比較部，チャージポンプおよびループフィルタを備え、これらによりループが構成されている。P L L周波数シンセサイザは、基準発振信号の周波数を定数倍した周波数を有する発振信号を出力することができる。

【0 0 0 3】

P L L周波数シンセサイザは以下のように動作する。電圧制御発振器に制御電圧値が入力され、この制御電圧値に応じた周波数を有する発振信号が電圧制御発振器から出力され

10

20

30

40

50

る。電圧制御発振器から出力される発振信号、または、この発振信号を分周した信号が、帰還発振信号として位相比較部に入力される。また、基準発振信号も位相比較部に入力される。位相比較部において、これら帰還発振信号と基準発振信号との位相差が検出されて、この検出された位相差を表す位相差信号が出力される。

【0004】

この位相差信号を入力するチャージポンプから、この位相差信号が表す位相差に応じた充放電電流が出力される。この充放電電流はループフィルタに入力される。例えば、ループフィルタは、互いに直列的に接続された抵抗器および容量素子を含み、また、これらに並列的に設けられた他の容量素子をも含む。ループフィルタから出力される制御電圧値が電圧制御発振器に入力される。このようにして、PLL周波数シンセサイザから、基準発振信号の周波数を定数倍した周波数を有する発振信号が出力される。10

【0005】

このように構成されるPLL周波数シンセサイザの伝達関数は、積分項および比例項を含む。ループフィルタにおいて抵抗器と容量素子とが互いに並列的に設けられていると、ループフィルタの時定数を小さくすることが困難である。それ故、このPLL周波数シンセサイザは、出力される発振信号の周波数を高速に切り替えることが要求される用途（例えばBang-Bang-CDR）には不向きである。仮に、Bang-Bang-CDR（Clock Data Recovery）において周波数切り替えが高速に行われないとすると、帯域が要求仕様を満たすことができず、或いは、位相ロックを正確に行うことができない場合がある。

【0006】

このような問題点を解消する為の発明が特許文献1に開示されている。この文献に開示された発明のPLL周波数シンセサイザは、AC結合容量素子を介して位相差信号をループフィルタに与えることで比例項の改善を図り、これにより発振信号の周波数切り替えの高速化を図る。20

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開2010-272968号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

ところで、電圧制御発振器は、Ring-VCO, LC-VCOおよびVCXOの3タイプに大別される。Ring-VCOは、奇数個のインバータ回路をリング状に接続した構成を有し、インバータの個数および遅延に応じた周波数の発振信号を出力する。LC-VCOは、インダクタ素子（コイル）および容量素子を含み、制御電圧値によって容量素子の容量値を変化させて発振信号の周波数を調整する。また、VCXOは、LC-VCOにおいてインダクタ素子に替えて水晶発振子を含む構成としたものである。30

【0009】

これらのうち、LC-VCOは、他のタイプのものと比較すると、位相雑音特性や高周波特性の点で優れている。それ故、PLL周波数シンセサイザにおいても電圧制御発振器としてLC-VCOが用いられるのが好ましい。40

【0010】

しかしながら、本発明者は、特許文献1に開示された発明のPLL周波数シンセサイザにおいて電圧制御発振器としてLC-VCOを用いると、実際の伝達関数が設計どおりとならない場合があり、要求される仕様を満たさない場合があることを見出した。

【0011】

本発明は、上記問題点を解消する為になされたものであり、所望の伝達関数を容易に実現することができるPLL周波数シンセサイザを提供することを目的とする。

【課題を解決するための手段】

【0012】

10

20

30

40

50

本発明のPLL周波数シンセサイザは、(1) 制御電圧値を入力し、この制御電圧値に応じて変化する容量値を有する第1容量素子を含み、この第1容量素子の容量値に応じた周波数を有する発振信号を出力する電圧制御発振器と、(2) 電圧制御発振器から出力される発振信号または該発振信号を分周した信号を帰還発振信号として入力するとともに、基準発振信号をも入力し、これら帰還発振信号と基準発振信号との間の位相差を検出して、この位相差を表す位相差信号を出力する位相比較部と、(3) 位相比較部から出力される位相差信号を入力し、この位相差信号が表す位相差に応じた充放電電流を出力する第1チャージポンプと、(4) 位相比較部から出力される位相差信号を入力し、この位相差信号の値に応じて変化する容量値を有する第2容量素子をAC結合容量素子として用いて、この第2容量素子を介して位相差信号を出力する第2チャージポンプと、(5) 第1チャージポンプから出力される充放電電流および第2チャージポンプから出力される位相差信号に基づいて設定される第1容量素子と第2容量素子との接続点の電圧値を制御電圧値として電圧制御発振器へ与えるループフィルタと、を備える。さらに、電圧値Vでの第1容量素子の容量値と第2容量素子の容量値との比は、電圧値Vの一定範囲において電圧値Vによらず一定である。

10

【0013】

本発明において、第1容量素子および第2容量素子それぞれが、パラクタであるのが好適であり、或いは、MOSトランジスタのドレインとソースとが互いに接続された構成を有するのも好適である。

20

【0014】

本発明において、電圧制御発振器が、第1容量素子と接続されたDCカット容量素子と、第1容量素子とDCカット容量素子との接続点に接続された出力端を有する第1インバータ回路とを含み、第2チャージポンプが、第2容量素子の前段に設けられた第2インバータ回路を含み、第1インバータ回路を構成するPMOSトランジスタおよびNMOSトランジスタの双方が動作時にオン状態とされるのが好適である。

【発明の効果】

【0015】

本発明のPLL周波数シンセサイザは、所望の伝達関数を容易に実現することができる。

30

【図面の簡単な説明】

【0016】

【図1】図1は、PLL周波数シンセサイザ1の構成を示す図である。

【図2】図2は、PLL周波数シンセサイザ1の要部の構成を示す図である。

【図3】図3は、容量素子51a, 51bの構成例を示す図である。

【図4】図4は、PLL周波数シンセサイザ1の位相領域モデルを示す図である。

【発明を実施するための形態】

【0017】

以下、添付図面を参照して、本発明を実施するための形態を詳細に説明する。なお、図面の説明において同一の要素には同一の符号を付し、重複する説明を省略する。本発明は、これらの例示に限定されるものではなく、特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

40

【0018】

図1は、PLL周波数シンセサイザ1の構成を示す図である。PLL周波数シンセサイザ1は、基準発振器10、位相比較部20、チャージポンプ30、ループフィルタ40、電圧制御発振器50および分周器60を備える。

【0019】

基準発振器10は、例えば水晶振動子を含み、高精度に安定化された一定周波数の基準発振信号を位相比較部20へ出力する。位相比較部20は、この基準発振信号を入力する。また、位相比較部20は、分周器60から出力される帰還発振信号を入力する。位相比較部20は、これら帰還発振信号と基準発振信号との間の位相差を検出して、この位相差

50

を表す位相差信号をチャージポンプ30へ出力する。位相差信号は、基準発振信号および帰還発振信号のうち何れの信号の位相が進んでいるかを表す。

【0020】

チャージポンプ30は、位相比較部20から出力される位相差信号を入力して、この位相差信号が表す位相差に応じた充放電電流をループフィルタ40へ出力する。チャージポンプ30からループフィルタ40へ出力へ出力される充放電電流は、基準発振信号および帰還発振信号のうち何れの信号の位相が進んでいるかに応じて極性が異なる。ループフィルタ40は、チャージポンプ30から出力される充放電電流を入力して充放電される容量素子を含み、この充放電量に応じて増減される制御電圧値を電圧制御発振器50へ出力する。ループフィルタ40は、容量素子の他に抵抗器をも含む。

10

【0021】

電圧制御発振器50は、ループフィルタ40から出力される制御電圧値を入力し、この制御電圧値に応じた周波数を有する発振信号を出力する。分周器60は、電圧制御発振器50から出力される発振信号を入力し、この発振信号をN分周して帰還発振信号を生成し、この帰還発振信号を位相比較部20へ出力する。

20

【0022】

位相比較部20、チャージポンプ30、ループフィルタ40、電圧制御発振器50および分周器60はループを構成している。このループにおいて、位相比較部20に入力される基準発振信号と帰還発振信号との位相差が小さくなるように、チャージポンプ30からループフィルタ40へ充放電電流が入力される。そして、このループの動作が安定した状態では、電圧制御発振器50から出力される発振信号は、基準発振信号の周波数をN倍した周波数を有する。なお、分周器60は設けられなくてもよく、この場合には、電圧制御発振器50から出力される発振信号は、基準発振信号の周波数と同じ周波数を有する。

30

【0023】

図2は、PLL周波数シンセサイザ1の要部の構成を示す図である。この図には、チャージポンプ30として第1チャージポンプ30Aおよび第2チャージポンプ30Bが示され、また、ループフィルタ40および電圧制御発振器50が示されている。ループフィルタ40は、容量素子41およびアンプ42を含む他、電圧制御発振器50の第1容量素子51a, 51bをも含んで構成される。

【0024】

30

第1チャージポンプ30Aは、位相比較部20から出力される位相差信号を入力し、この位相差信号が表す位相差に応じた充放電電流Ipを出力する。

【0025】

第2チャージポンプ30Bは、第2容量素子31、第2インバータ回路32および第3インバータ回路33を含む。第2チャージポンプ30Bは、位相比較部20から出力される位相差信号を入力し、インバータ回路33, 32からなるバッファを経た位相差信号を、容量素子31を介して出力する。容量素子31はAC結合容量素子として用いられる。

40

【0026】

容量素子41は、第1チャージポンプ30Aの出力端と接地電位端との間に設けられている。アンプ42は、2つの入力端および1つの出力端を有し、一方の入力端に容量素子41の電圧値が入力され、他方の入力端が出力端に接続されている。アンプ42は、ボルテージフォロワ構成となっている。アンプ42は、容量素子41の電圧値に応じた電圧値を出力端から出力する。

【0027】

容量素子51a, 51bと容量素子31との接続点の電圧値Vcは、第1チャージポンプ30Aから出力される充放電電流Ipおよび第2チャージポンプから出力される位相差信号に基づいて設定される。ループフィルタ40は、この接続点の電圧値を制御電圧値として電圧制御発振器50へ与える。

【0028】

電圧制御発振器50は、LC-VCOのタイプのものである。電圧制御発振器50は、

50

第1容量素子51a, 51b、DCカット容量素子52a, 52b、インダクタ素子53a, 53b、NMOSトランジスタ54a, 54b、可変容量部55a, 55b、および、第1インバータ回路56a, 56bを含む。

【0029】

容量素子51aと容量素子51bとは互いに同じ電気的特性を有する。DCカット容量素子52aとDCカット容量素子52bとは互いに同じ電気的特性を有する。インダクタ素子53aとインダクタ素子53bとは互いに同じ電気的特性を有する。NMOSトランジスタ54aとNMOSトランジスタ54bとは互いに同じ電気的特性を有する。可変容量部55aと可変容量部55bとは互いに同じ電気的特性を有する。また、インバータ回路56aとインバータ回路56bとは互いに同じ電気的特性を有する。

10

【0030】

容量素子51a、DCカット容量素子52aおよびインダクタ素子53aは、直列的に順に接続されている。容量素子51aの一端は制御電圧値Vcが入力される。インダクタ素子53aの一端は電源電位VDDが与えられる。NMOSトランジスタ54aのドレインおよび可変容量部55aの一端は、DCカット容量素子52aとインダクタ素子53aとの接続点に接続されている。NMOSトランジスタ54aのソースおよび可変容量部55aの他端は、接地電位が与えられる。

【0031】

容量素子51b、DCカット容量素子52bおよびインダクタ素子53bは、直列的に順に接続されている。容量素子51bの一端は制御電圧値Vcが入力される。インダクタ素子53bの一端は電源電位VDDが与えられる。NMOSトランジスタ54bのドレインおよび可変容量部55bの一端は、DCカット容量素子52bとインダクタ素子53bとの接続点に接続されている。NMOSトランジスタ54bのソースおよび可変容量部55bの他端は、接地電位が与えられる。

20

【0032】

NMOSトランジスタ54aのゲートは、NMOSトランジスタ54bのドレインと接続されている。NMOSトランジスタ54bのゲートは、NMOSトランジスタ54aのドレインと接続されている。

【0033】

可変容量部55a, 55bそれぞれは、直列的に接続された容量素子およびスイッチを1組として、複数組が並列的に設けられた構成を有している。可変容量部55a, 55bそれぞれは、複数のスイッチのうちオン状態のスイッチの個数に応じた容量値を有する。

30

【0034】

インバータ回路56aの出力端は、容量素子51aとDCカット容量素子52aとの接続点に接続されている。インバータ回路56aは、容量素子51aとDCカット容量素子52aとの接続点を所定のバイアス電位に設定するものである。インバータ回路56aを構成するPMOSトランジスタおよびNMOSトランジスタの双方は動作時にオン状態とされる。

【0035】

インバータ回路56bの出力端は、容量素子51bとDCカット容量素子52bとの接続点に接続されている。インバータ回路56bは、容量素子51bとDCカット容量素子52bとの接続点を所定のバイアス電位に設定するものである。インバータ回路56bを構成するPMOSトランジスタおよびNMOSトランジスタの双方は動作時にオン状態とされる。

40

【0036】

容量素子51a, 51bそれぞれは、制御電圧値Vcに応じて変化する容量値を有する。容量素子51a, 51bそれぞれは、バラクタであってもよいし、図3に示されるようにMOSトランジスタのドレインとソースとが互いに接続された構成を有するものであってもよい。後者の場合、ドレインとソースとの接続点を一端とし、ゲートを他端とする容量素子が構成される。

50

【0037】

図4は、PLL周波数シンセサイザ1の位相領域モデルを示す図である。PLL周波数シンセサイザ1のオープンループ特性 $H(s)$ は下記(1)式で表される。 K_{VCO} は、電圧制御発振器50の特性(制御電圧値に対する発振信号の周波数の依存性)を示す。 K_p は、ループフィルタ40の比例項である。 K_i は、ループフィルタ40の積分項である。

【0038】

【数1】

$$H(s) = \frac{K_{VCO}}{s} \left(K_p + \frac{K_i}{s} \right) \quad (1)$$

10

【0039】

第2チャージポンプ30Bの容量素子31の容量値を C_{31} とし、電圧制御発振器50の容量素子51a, 51bの容量値を C_{51} とする。このとき、比例項 K_p は下記(2)式で表される。一般に容量素子31の容量値 C_{31} と比べると容量素子51a, 51bの容量値 C_{51} は非常に大きいので、(2)式は下記(3)式で近似される。

【0040】

【数2】

$$K_p = VDD \frac{C_{31}}{C_{31} + C_{51}} \quad (2)$$

20

【0041】

【数3】

$$K_p = VDD \frac{C_{31}}{C_{51}} \quad (3)$$

30

【0042】

電圧制御発振器50の容量素子51a, 51bの容量値 C_{51} は制御電圧値 V_c に応じて変化する。もし、第2チャージポンプ30Bの容量素子31が例えばMOM(Metal-Oxide-Metal)容量であると、容量素子31の容量値 C_{31} は電圧値に依らず一定である。この場合、制御電圧値 V_c が変化すると、上記(2)式または(3)式で表される比例項 K_p も変化する。制御電圧値 V_c によって比例項 K_p が変化すると、ジッタが増加する問題が生じ、また、位相合わせが正しく行えなくなる問題が生じて、電圧制御発振器50から出力される発振信号をクロックとして用いる回路が正しく動作しない可能性がある。

【0043】

そこで、本実施形態では、第2チャージポンプ30Bの容量素子31は、電圧値に応じて変化する容量値を有するものとされる。容量素子31は、パラクタであってもよいし、図3に示されるようにMOSトランジスタのドレインとソースとが互いに接続された構成を有するものであってもよい。

30

【0044】

容量素子51a, 51bおよび容量素子31それぞれの電気的特性は互いに同じである。容量素子51a, 51bおよび容量素子31それぞれに与えられる電圧値を V としたとき、電圧値 V での容量素子51a, 51bの容量値 $C_{51}(V)$ と容量素子31の容量値 $C_{31}(V)$ との比($C_{51}(V)/C_{31}(V)$)は、電圧値 V の一定範囲(実際の動作における制御電圧値の範囲)において電圧値 V によらず一定である。

40

【0045】

本実施形態では、このようにすることで、制御電圧値 V_c が変化しても、上記(2)式または(3)式で表される比例項 K_p は一定である。したがって、ジッタの増加が抑制され、また、位相合わせが正しく行われて、電圧制御発振器50から出力される発振信号をクロックとして用いる回路の誤動作が抑制される。したがって、所望の伝達関数を容易に実現することができる。

50

【 0 0 4 6 】

本発明者による実験によれば、容量素子 5 1 a , 5 1 b がバラクタであって容量素子 3 1 がM O M 容量である場合（比較例）では、制御電圧値 V_c は $113 \text{ mV} \pm 17 \text{ mV}$ (1 6 % 誤差) であった。これに対して、容量素子 5 1 a , 5 1 b および容量素子 3 1 がバラクタである場合（実施例）では、制御電圧値 V_c は $105 \text{ mV} \pm 2 \text{ mV}$ (2 % 誤差) であった。このように、比較例と比べて実施例では制御電圧値 V_c は安定したものとなった。

【 0 0 4 7 】

また、本実施形態では、第 2 チャージポンプ 3 0 B において容量素子 3 1 の前段にインバータ回路 3 2 が設けられる。その結果、第 2 チャージポンプ 3 0 B の出力信号は、電源電位または接地電位からのノイズの影響を受ける場合がある。そこで、電圧制御発振器 5 0 においては、容量素子 5 1 a と D C カット容量素子 5 2 a との接続点がインバータ回路 5 6 a により所定のバイアス電位に設定され、容量素子 5 1 b と D C カット容量素子 5 2 b との接続点がインバータ回路 5 6 b により所定のバイアス電位に設定される。インバータ回路 5 6 a , 5 6 b それぞれを構成する P M O S トランジスタおよび N M O S トランジスタの双方は動作時にオン状態とされる。このようなインバータ回路 5 6 a , 5 6 b が設けられることにより、電源電位または接地電位のノイズがバイアス電位に流れ込んで、第 2 チャージポンプ 3 0 B の出力信号におけるノイズの影響が低減される。

10

【 0 0 4 8 】

本実施形態の上記の説明では、ループフィルタ 4 0 が容量素子 4 1 およびアンプ 4 2 を含む構成とした。ループフィルタ 4 0 がアンプ 4 2 を含む場合、消費電力や半導体基板上の面積が大きくなり、また、ノイズが大きくなつてジッタ增加の要因となる。そこで、電圧制御発振器 5 0 の容量素子 5 1 a , 5 1 b の容量値 $C_{5,1}$ が十分に大きい場合、容量素子 4 1 を容量素子 5 1 a , 5 1 b で共用するとともに、アンプ 4 2 を設けない構成としてもよい。このようにすることで、消費電力や半導体基板上の面積を小さくすることができ、また、ジッタを低減することができる。

20

【 0 0 4 9 】

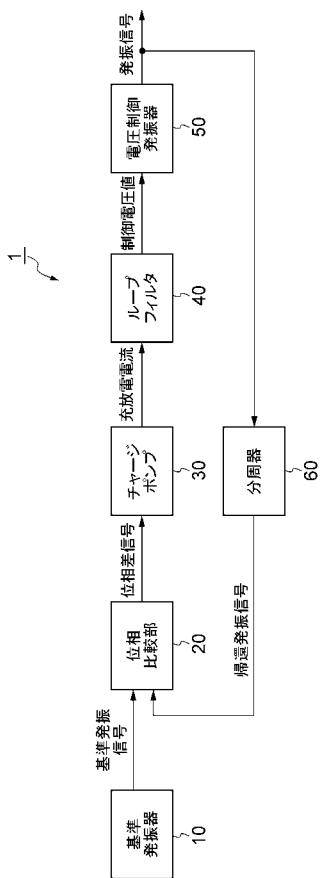
本発明は、上記実施形態に限定されるものではなく、種々の変形が可能である。例えば、電圧制御発振器は、様々な構成のものがあり、上記実施形態で説明した構成とは異なる構成のものであつてもよい。

30

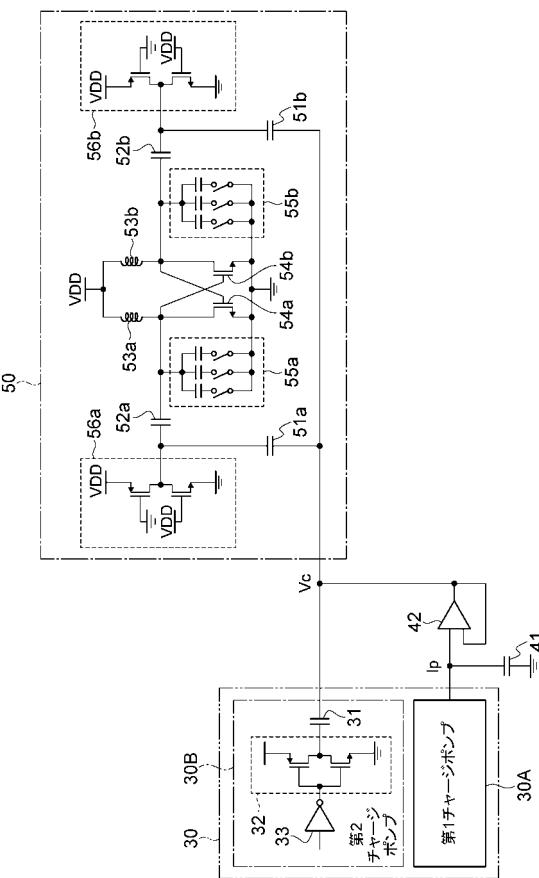
【 符号の説明 】**【 0 0 5 0 】**

1 ... P L L 周波数シンセサイザ、 1 0 ... 基準発振器、 2 0 ... 位相比較部、 3 0 ... チャージポンプ、 3 0 A ... 第 1 チャージポンプ、 3 0 B ... 第 2 チャージポンプ、 3 1 ... 第 2 容量素子、 3 2 ... 第 2 インバータ回路、 4 0 ... ループフィルタ、 4 1 ... 容量素子、 4 2 ... アンプ、 5 0 ... 電圧制御発振器、 5 1 a , 5 1 b ... 第 1 容量素子、 5 2 a , 5 2 b ... D C カット容量素子、 5 3 a , 5 3 b ... インダクタ素子、 5 4 a , 5 4 b ... N M O S トランジスタ、 5 5 a , 5 5 b ... 可変容量部、 5 6 a , 5 6 b ... 第 1 インバータ回路、 6 0 ... 分周器。

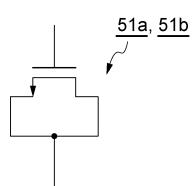
【図 1】



【図 2】



【図 3】



【図 4】

