

- (74) 代理人: 戸田 裕二 (TODA Yuji); 〒1008220 東京都千代田区丸の内一丁目6番1号 株式会社日立製作所内 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

wiring (206) and second gate wiring (202) formed on the surface of the semiconductor chip; and including an emitter electrode (205) disposed so as to cover the first gate wiring and a sintered layer disposed above the emitter electrode, wherein a multilayer structure formed by including at least the emitter electrode and the sintered layer on the surface of the semiconductor chip continuously exists over a range including an emitter electrode connecting contact 506 and gate wiring regions 503, 504.

(57) 要約: IGBTのゲート構造を有する半導体チップ上に金属板(導電部材)を焼結接合する際に、焼結接合プロセスにおける加圧を行っても半導体チップのゲート配線部に過剰な応力が発生しにくい、特性不良が低減された半導体装置を提供する。本発明の半導体装置は、IGBTに代表されるゲート構造を有する半導体チップ(105)を備え、半導体チップ表面に形成された第1ゲート配線(206)および第2ゲート配線(202)を有し、第1ゲート配線を覆うように配置されたエミッタ電極(205)およびエミッタ電極上方に配置された焼結層を有し、半導体チップ表面に少なくともエミッタ電極と焼結層とを含んで成る複数層構造が、エミッタ電極接続コンタクト506とゲート配線領域503、504とを含む範囲に亘って連続して存在することを特徴とする。

明 細 書

発明の名称：半導体装置および電力変換装置

技術分野

[0001] 本発明は、電子部品中の電氣的接合部（例えば、半導体素子と回路部材との接合部）の接合層に特徴のある半導体装置に関し、特に、焼結接合層を有する半導体装置、およびそれを用いた電力変換装置に関する。

背景技術

[0002] 半導体装置は、システム L S I (Large Scale Integration)、電力変換装置、ハイブリッド自動車等の制御装置等、幅広い分野で使用されている。この半導体装置としては、例えば電子部品の電極端子と回路基板上の回路パターンの電極端子との電氣的接合に、鉛を含んだ「はんだ」や「はんだ合金」を用いるものがかつては主流であった。

[0003] ところが、地球環境保全の観点から鉛の使用が厳しく制限されるようになり、かかる制限の範囲内で鉛を使用する、あるいは鉛を含まない材料で半導体装置の電極等の接合を行なう開発が進められている。特に、「高温はんだ」に関してはその代替となる有効な材料がまだ見出されていない。半導体装置の実装においては「階層はんだ」を用いることが必要不可欠なため、この「高温はんだ」に代わる材料の出現が望まれている。

[0004] このような背景から、「高温はんだ」に代わる材料として、従来、金属粒子と有機化合物との複合材料を接合材料として用いて電極を接合する接合技術が提案されている。

[0005] 例えば、特許文献 1 には、ニッケル（以下、「Ni」と表記する）又は銅（以下、「Cu」と表記する）の電極に対して優れた接合強度が得られる接合技術として、酸化第二銅（CuO）粒子と有機物とからなる還元剤を含む接合材料を用いて、還元雰囲気下において接合を行う方法が記載されている。この方法は、加熱還元時に 100 nm 以下の銅粒子を生成させ、銅粒子同士を焼結させて接合する方法である。同文献にはさらに、半導体チップと金

属板とを接合する接合材として、焼結性の銀微粒子を含有する材料を用いることが記載されている。

[0006] また、特許文献2には、配線接続の信頼性を向上させる技術として、配線部材と半導体チップとの中間の熱膨張係数を持つ金属板を用いて、熱膨張係数差の大きな接続部を無くす、応力緩衝の観点からの解決方法が記載されている。

先行技術文献

特許文献

[0007] 特許文献1：特開2008-244242号公報

特許文献2：特開2012-28674号公報

発明の概要

発明が解決しようとする課題

[0008] 特許文献1に記載の酸化第二銅(CuO)粒子を用いた接合技術は、従来のナノ粒子接合と比較してNiやCuに対する接合性を改善することができ、Ni電極又はCu電極用の接合材料として期待できる。例えば、電力変換装置のインバータに使用されるIGBT(Insulated Gate Bipolar Transistor)やフリーホイールダイオード等のパワー半導体チップのNi電極に銅焼結層からなる接合層を介して電氣的に接続端子に接続することが可能である。

[0009] シリコン(以下、「Si」と表記する)や炭化ケイ素(以下、「SiC」と表記する)で構成される半導体チップの主電極は、銅やアルミニウムなどで構成されるワイヤ、リボン等の配線材料で他のチップや電極と接続される。半導体チップの動作温度が高くなると、半導体チップと配線材料とでは熱膨張率に差があるために、スイッチング動作(通電のONとOFFとの切替え動作)を繰り返すうちに、熱疲労で接合部に不具合が生じるという問題があった。

[0010] そこで、配線接続の信頼性を向上させる技術として、特許文献2に記載されているように、配線部材と半導体チップとの中間の熱膨張係数の金属板を

用いて、熱膨張係数差の大きな接続部を無くす、応力緩衝の観点からの解決方法が提案された。

[0011] しかしながら、IGBTのようなゲート構造を有する半導体チップ上に金属板（導電部材）を焼結接合する場合、焼結接合プロセスにおける加圧により、半導体チップのゲート配線部に過剰な応力が発生しクラックが生じてしまう課題がある。発生したクラックは、例えばゲートと主電極であるエミッタ間の短絡不良、エミッタとコレクタ間の主耐圧低下不良などを生じてしまう場合があるという問題があった。

[0012] このような事情を鑑みれば、焼結接合プロセスにおける加圧による特性不良を低減できる半導体装置、およびその半導体装置の製造方法、並びにその半導体装置を用いた電力変換装置を提供することが課題となる。

課題を解決するための手段

[0013] 上記課題を解決するために、本発明の半導体装置は、半導体チップと、前記半導体チップの表面に形成された第1ゲート配線および第2ゲート配線と、前記第1ゲート配線を覆うように配置されたエミッタ電極と、前記エミッタ電極の上方に配置された焼結層とを備え、前記半導体チップの表面に、少なくとも前記エミッタ電極と前記焼結層とを含んで成る複数層構造が、エミッタ電極接続コンタクトとゲート配線領域とを含む範囲に亘って連続して存在することを特徴とする。

[0014] また、本発明の電力変換装置は、外部から直流電力を入力し、入力した前記直流電力を交流電力に変換して出力する電力変換装置であって、前記直流電力を入力するための一対の直流端子と、前記交流電力を出力するための交流端子であって前記交流電力に係る交流の相数と同数の交流端子とを備え、前記相数の前記交流端子の各々について、前記一対の直流端子の一方と他方との間に、スイッチング素子と該スイッチング素子とは逆極性のダイオードとが互いに並列接続されて成る並列回路が2個直列に接続された構成の直列回路が接続され、前記直列回路を構成する2個の前記並列回路の相互接続点が、該直列回路に対応する相の前記交流端子に接続された構成を更に備え、

前記並列回路が本発明の半導体装置で構成されることを特徴とする。

発明の効果

[0015] 本発明によれば、IGBTのゲート構造を有する半導体チップ上に金属板（導電部材）を焼結接合する際の加圧によってゲート配線部に過剰な応力がかかるのを抑制できると共に、ゲート電極をエミッタ電極で保護できるため、焼結接合プロセス上の加圧を行ってもクラックの発生しにくい、特性不良の低減された半導体装置を提供することができる。

図面の簡単な説明

[0016] [図1]本発明の実施例1に係る半導体装置の上面図である。

[図2]本発明の実施例1に係る半導体装置におけるIGBTチップの部分の実装形態を示す上面図である。

[図3]本発明の実施例1に係る半導体装置におけるIGBTチップの部分の上面図である。

[図4]本発明の実施例1に係る半導体装置の図1 A-A'における断面図である。

[図5]本発明の実施例1に係る半導体装置におけるIGBTチップの部分の要部レイアウト図である。

[図6]本発明の実施例1に係る半導体装置の図5 B領域の鳥瞰図である。

[図7]本発明の実施例1に係る半導体装置の図5 C領域の鳥瞰図である。

[図8]従来技術の半導体装置におけるIGBTチップの部分の上面図である。

[図9]従来技術の半導体装置におけるIGBTチップの部分の断面図である。

[図10]従来技術の半導体装置におけるIGBTチップの部分の要部レイアウト図である。

[図11]従来技術の半導体装置の図10 D領域の鳥瞰図である。

[図12]本発明の実施例2の半導体装置におけるIGBTチップの部分の要部レイアウト図である。

[図13]本発明の実施例2の図12 E領域の鳥瞰図である。

[図14]本発明の実施例3の半導体装置におけるIGBTチップの部分の要部レイ

アウト図である。

[図15]本発明の実施例3の図14 F領域の鳥瞰図である。

[図16]本発明の実施例4に係る電力変換装置の回路ブロック図である。

発明を実施するための形態

[0017] 本発明の半導体装置は、IGBTに代表されるゲート構造を有する半導体チップ(105)を備え、半導体チップ表面に形成された第1ゲート配線(206)および第2ゲート配線(202)を有し、第1ゲート配線を覆うように配置されたエミッタ電極(205)およびエミッタ電極上方に配置された焼結層を有し、半導体チップ表面に少なくともエミッタ電極と焼結層とを含んで成る複数層構造(層数が2以上の層構造)が、エミッタ電極接続コンタクト(506)とゲート配線領域(503、504)とを含む範囲に亘って連続して存在することを特徴とする。

[0018] 本発明の上記の構成において、さらに、アクティブ部内ゲート配線(504)とエミッタ電極(205)との段差を低減する構成としてもよい。これにより、導電部材(107)とIGBTチップとを焼結層によって互いに接続する際の圧力の偏りを低減することが可能となる。

[0019] また、本発明の上記の構成において、さらに、ゲート配線をエミッタ電極及びNiメッキによって機械的に保護する構成としてもよい。これにより、クラック発生を低減することが可能となる。

[0020] 以下、本発明の実施形態について図面を参照して詳細に説明する。

[0021] 各図において、参照番号が同一のものは同一の構成要件あるいは類似の機能を備えた構成要件を示している。また、p⁻、p、p⁺は、半導体層の導電型がp型であることを示し、かつこの順に相対的な不純物濃度が高くなる。さらに、n⁻、n、n⁺は、半導体層の導電型がn型であることを示し、かつこの順に相対的な不純物濃度が高くなる。

[0022] (実施例1)

図1は、本発明の第1の実施形態である実施例1に係る半導体装置の上面図である。また、図2は、図1の半導体装置におけるIGBTチップの部分の実装形態を示す上面図である。また、図3は、図1の半導体装置におけるIGBT

チップの部分の上面図である。また、図4は、図1のA-A'線における半導体装置の断面の構成を示す断面図である。

[0023] 本実施例の半導体装置は、IGBTモジュールに適用した場合の例である。なお、本例では、IGBTチップとフリーホイールダイオードチップとが共通のセラミック基板上のコレクタ配線上に実装されたモジュールを半導体装置とした構成について説明するが、本発明はこの構成に限定されるものではない。例えば、MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) チップをフリーホイールダイオードチップと共に実装した構成、あるいは、MOSFETチップは実装するがフリーホイールダイオードチップは実装せずにMOSFETチップのボディダイオードを還流ダイオードとして使用する、いわゆるダイオードレスの構成においても同様に、本発明の技術思想は適用可能であるため、それらの構成も本発明の技術的範囲に含まれる。

[0024] セラミック基板101上にセラミック基板上コレクタ配線103とIGBTチップ105及びDiodeチップ106とが、図4の説明において後述する下側の焼結接合層（焼結層）401で互いに接合されている。IGBTチップ105及びDiodeチップ106の上方には、それぞれ別々の導電部材107が上側の焼結接合層（焼結層）401で接続されており、IGBTチップ105のエミッタとDiodeチップのアノードとはボンディングワイヤーで互いに接続されると共に、セラミック基板上エミッタ配線104及びセラミック基板上エミッタセンス配線109にそれぞれ別々のボンディングワイヤーで接続されている。焼結層401は、上記のように、下側の層と上側の層とを含んで構成され、また、この両者は互いに分離している。

[0025] また、IGBTチップのゲート電極パッド204は、セラミック基板上ゲート配線にボンディングワイヤーで接続されている。

[0026] 図2は、本発明の半導体装置におけるIGBTチップの部分の実装形態を示す上面図であり、IGBTチップ105は、IGBTの耐圧を保持するためのAlフィールドプレート403及びPWEL405がチップ外周にリング状に配置された終端領域201とその内側の素子アクティブ領域とから成り、エミッタ

電極205及びゲート電極パッド204が形成されている。エミッタ電極上には、導電部材107が焼結接合層301により接続され、導電部材107の外周部に第2ゲート配線202が配置されている。

[0027] 図3は、導電部材接続前のIGBTチップの上面図であり、エミッタ電極下には、第1ゲート配線が形成されており、外周部で第2ゲート配線202に接続され、ゲート電極パッドより入力された信号をIGBTチップ内に分配する。

[0028] 図4は、図1、図2のA-A'線で本発明の半導体装置を切断した場合における半導体装置の断面図であり、同図はゲート配線部の断面を示す図にもなっている。IGBTチップは、n-Si基板408の裏面にNバッファ層408及びP+コレクタ層409が形成されており、裏面電極410（例えばAlSi/Ti/AlSi積層構造）にNiメッキ電極402が形成され、焼結層（例えば焼結Cu）でセラミック基板上コレクタ配線101に接続されている。IGBTチップの表面に形成されるゲート配線は、絶縁酸化膜407で電氣的に絶縁され耐圧を保持するために、ゲート配線下には、PWEL405が配置されている。ゲート配線は、第1のゲート配線206と第2のゲート配線202からなり、例えば第1のゲート配線206はポリSiで形成され、第2のゲート配線はAlで形成されており、第1のゲート配線206と第2のゲート配線202はアクティブ領域の外周部でコンタクト（例えば、Ti/TiN/W）で接続されている。IGBTチップ最外周領域には、Alフィールドプレート403及びPWEL405が配置され、これは耐圧を保持する役割を果たす。アクティブ領域には、エミッタ電極205（例えばAlSi/Ti/AlSi積層構造）が配置され、裏面電極同様にNiメッキ電極402が形成され、焼結層（例えば焼結Cu）で導電部材107と接続されている。エミッタ電極、第2のゲート配線202及びAlフィールドプレート403は、ポリイミド406により絶縁されている。ここで、導電部材107は、半導体チップと配線部材との熱膨張率差による熱応力を緩和する役割と、半導体チップからの熱を放熱する役割とが求められる。したがって、導電板としては、半導体チップと配線部材との中間の熱膨張率を有し、熱伝導率が100W/mK以上の材料を用いることが好ましい。さらに導電部材107とし

て、半導体チップの電極面に水平な方向が垂直な方向より熱伝導率が高い材料を用いれば、チップの発熱が上部のワイヤやリボンなどの配線に伝わる前に導電板のチップ面に沿った面内で熱が拡散し、良好な均熱効果が得られるため、チップの特定部分だけが高温になってワイヤもしくはリボンが剥がれることが無くなり、チップ全体として配線接続信頼性が向上する。例えば、ある面で20W/mKだが、その直交方向には2000W/mKである、といった熱伝導異方性を有するグラファイト繊維と金属（銅、アルミニウムなど）を複合化した材料を用いることができる。また、銅／インバー／銅のクラッド材料など、異なる熱伝導率を有する層を積層した材料を用いることが好ましい。これは、一つにはインバー（鉄ニッケル合金）の熱伝導率が13W/mKと銅の400W/mKよりも小さいため半導体チップの発熱を上部に伝えにくく、チップ面に沿って銅内部を熱が伝播し均熱化されるためである。もう一つには、銅（熱膨張率約16ppm/K）とインバー（約1ppm/K）の比率によって熱膨張率をSiやSiC（3～5ppm/K）と配線部材（Al約23ppm/K、Cu約16ppm/K）の中間の好ましい値に調整することが可能であり、熱応力を低減できるためである。

[0029] 導電部材107とIGBTチップとの焼結層による接続は、焼結材塗布部分を開口したメタルマスクを用いて必要部分にのみ塗布を行う方法、ディスペンサを用いて必要部分に塗布する方法、シリコンやフッ素等を含む撥水性の樹脂を必要な部分のみ開口したメタルマスクやメッシュ状マスクで塗布したり、感光性のある撥水性樹脂を基板あるいは電子部品上に塗布し、露光および現像することにより接合材料を塗布する部分を除去し、接合用ペーストをその開口部に塗布する方法や、さらには撥水性樹脂を基板あるいは電子部品に塗布後、接合材料を塗布する部分をレーザーにより除去した後、接合用ペーストをその開口部に塗布する方法などがある。これらの塗布方法は、接合する電極の面積、形状に応じて組み合わせ可能である。本実施例では、導電部材107の下に焼結層を印刷塗布し接合を行っている。

[0030] 本接合材料を用いた接合では、接合時に金属粒子前駆体から粒径が100nm以下の金属粒子を生成し、接合層における有機物を排出しながら粒径が100nm以

下の金属粒子の融着による金属結合を行うために熱と0.01~5MPaの圧力を加えることが好ましい。第1ゲート配線206上に配置されたエミッタ電極205及びNiメッキ402は、導電部材107と接続する際の圧力による過剰応力による第1ゲート配線206及びSi基板内のクラック発生を低減させる役割を果たす。

[0031] 次に、ゲート配線領域とエミッタ電極領域の関係を詳細に説明する。

[0032] 図5は、半導体装置のIGBTチップの部分の表面の要部レイアウト図である。本実施例の半導体装置は、ゲートがサイドゲート構造の一種であるトレンチゲート501で形成される、いわゆるトレンチゲート型のIGBTチップを備えた半導体装置であるが、本発明はトレンチゲート型に限定されない。つまり、トレンチゲート型のIGBTチップを備えた構成はあくまでも一例であって、他のゲート構造を有する半導体チップを備えた半導体装置も本発明の技術的範囲に含まれる。また、図6及び図7に、図5におけるB領域及びC領域の鳥瞰図をそれぞれ示す。ゲート配線は、アクティブ部内ゲート配線504と最外周ゲート配線503とに大別される。

[0033] 各ゲート配線間には、トレンチゲート501がゲート配線直交するように配置され、トレンチゲート間には、表面n層507、表面p+層508、表面p層509が形成されている。表面n層507は、ゲート電圧が印加された際の電子のソース源であり、表面p層509はゲート電圧印加時のしきい値電圧を決定する役割を果たす。表面p+層508は、表面p層509に電位を与えると共にIGBT動作時のホール電流経路となる。表面p+層508及び表面n層507は、エミッタ電極接続コンタクト506を介して、エミッタ電極205に接続される。エミッタ電極上には、Niメッキ電極402が形成され、焼結層401によって導電部材107と接続されている。ここで、導電部材107が配置されるアクティブ部内第1ゲート配線206上には、それを覆うように少なくともエミッタ電極205及び焼結層401が形成され、その上に導電部材107が配置される。特に本実施例においては、エミッタ電極205の上にNiメッキ電極402が形成され、さらにその上に焼結層401が形成される構成、すなわち、上記のように少なくともエミッタ電極205及び

焼結層401を含んで成る複数層構造（すなわち層数が2以上である層構造）が、エミッタ電極205と焼結層401との間にNiを含有成分とする電極層（例えばNiメッキ電極402）を備えた構成としているが、本発明はこの構成に限定されず、Niメッキ電極402は必須構成要素ではない。また、上記の複数層構造は、エミッタ引出し領域（エミッタ電極接続コンタクト506の在る領域）のみならず、エミッタ電極接続コンタクト506とゲート配線領域（アクティブ部内ゲート配線504の在る領域および最外周ゲート配線503の一部の在る領域）とを含む広い範囲に亘って連続して存在するように配置される。つまり、本実施例の半導体装置は、半導体チップ105と、半導体チップ105の表面に形成された第1ゲート配線206および第2ゲート配線202と、第1ゲート配線206を覆うように配置されたエミッタ電極205と、エミッタ電極205の上方に配置された焼結層401とを備えた半導体装置であると共に、半導体チップ105の表面に、少なくともエミッタ電極205と焼結層401とを含んで成る複数層構造が、エミッタ電極接続コンタクト506とゲート配線領域503、504とを含む範囲に亘って連続して存在する半導体装置である。この複数層構造は、焼結接合時の圧力から主にゲート配線領域を保護する役割を果たし、ひいてはSi基板内を保護する役割をも果たす。

[0034] 第1ゲート配線206は、例えば埋め込みトレンチ型のゲート配線とすることができるが、本発明はこの構成に限定されず、図6に示すような非埋め込み型など、他の型のゲート配線が形成された構成でもよい。また、最外周ゲート配線領域は、第1ゲート配線206と第2ゲート配線202とが最外周第2ゲート配線コンタクト701で接続されている。

[0035] 第2ゲート配線上には、エミッタ電極及び終端部Alフィールドプレートと絶縁するためのポリイミド406が形成されている。ゲート配線は、ゲート電極パッドより入力された信号をIGBTチップ内に分配し、ゲート信号を均等に分配することが好ましい。ゲート信号は、ゲート配線抵抗及びゲート容量で決まるCR時定数により遅延を発生させる。ゲート配線は好ましくは、シリサイド化による低抵抗化またはチップ内分割配線によるCR時定数の差が小さくなる

ように配置することが好ましい。図9、図10、及び図11に、従来技術の断面構造、IGBTチップ表面の要部レイアウト、及び鳥瞰図をそれぞれ示す。アクティブ部内第1のゲート配線206上にアクティブ部内第2ゲート配線コンタクト1002を介して、アクティブ部内に第2ゲート配線801を設けた場合、アクティブ部内の第2ゲート配線とエミッタ電極205の段差が大きく、導電部材107とIGBTチップを接続する際の圧力により、圧力が均等にかからず、第2ゲート配線801及びSi内部にクラックが発生し、ゲートと主電極であるエミッタ間の短絡不良が発生した。本発明構造により、アクティブ部内の第2ゲート配線とエミッタ電極205の段差を小さくすることが可能であり圧力が均等に掛かり、かつエミッタ電極及びNiメッキによるゲート配線の機械的保護により、クラック発生を低減することが可能である。

[0036] (実施例2)

図12は、本発明の第2の実施形態である実施例2に係る半導体装置におけるIGBTチップの部分の要部レイアウト図である。また、図13は図12E領域の鳥瞰図である。実施例1と同一構成の部分には同一符号を付して重複箇所の説明を省略する。

[0037] 本実施例の特徴は、アクティブ部内ゲート配線504がトレンチ部分に埋め込まれた埋め込みゲート配線1201で形成されている点にあり、その点で実施例1とは異なるが、その他の事項は実施例1と共通である。埋め込みゲート配線1201は、トレンチゲート501と同一工程で形成され、トレンチゲート501及び埋め込みゲート配線1201は、トレンチ内で接続されている。実施例1に比べて、アクティブ部内ゲート配線504とエミッタ電極205の段差を更に低減することが可能である。導電部材107とIGBTチップを焼結層による接続する際の圧力が更に均等にかかり、かつエミッタ電極及びNiメッキによるゲート配線の機械的保護により、クラック発生を低減することが可能である。

[0038] (実施例3)

図14は、本発明の第3の実施形態である実施例3に係る半導体装置におけるIGBTチップの部分の要部レイアウト図である。また、図15は図14F

領域の鳥瞰図である。実施例1および実施例2と同一構成の部分には同一符号を付して重複箇所の説明を省略する。

[0039] 本実施例の半導体装置においては、ゲートがサイドゲート構造の一種であるサイドウォールゲート1403で形成されており、アクティブ部内ゲート配線504は、埋め込みサイドウォール型ゲート配線1402で形成され、サイドウォールゲート1403に接続されている。本実施例はこの点を特徴としており、また、その点で実施例1および実施例2とは異なるが、その他の事項は実施例1と共通である。

[0040] 幅広いトレンチ1401を設けることで、フローティングp層1202が削除される。これにより、フローティングp層の影響によるゲートの電位変動が無くなり、 dv/dt の制御性が向上する。さらに、サイドウォールゲート1403構造によりトレンチゲート501の片側が厚い絶縁膜で覆われている。これにより、帰還容量が低減するので、 dv/dt の制御性が向上する。幅広トレンチ1401内に設けられるサイドウォールゲート1403の間に、エミッタ電極205に接続されるPolySiフィールドプレート1404が設けられる。PolySiフィールドプレート1404によりサイドウォールゲート1403のコーナ部における電界が緩和されるので、耐圧が確保される。また、PolySiフィールドプレート1404により、幅広トレンチ1401を設けることによって生じる段差が緩和される。実施例2と同様に、埋め込みサイドウォール型ゲート配線1402により、アクティブ部内ゲート配線504とエミッタ電極205の段差を低減することが可能であり、導電部材107とIGBTチップを焼結層による接続する際の圧力が更に均等にかかり、かつエミッタ電極及びNiメッキによるゲート配線の機械的保護により、クラック発生を低減することが可能である。

[0041] (実施例4)

本発明の半導体装置を電力変換装置に適用した実施形態の一例である実施例4について、以下、説明する。

[0042] 図16は、本発明の実施例1に係る半導体装置を構成要素として採用した電力変換装置600を示す回路ブロック図である。図16は、本発明の電力変換

装置の一例として、本実施例に係る電力変換装置600の回路構成、及び直流電源と三相交流モータ（交流負荷）との接続の関係を示す。

- [0043] 本実施例の電力変換装置600では、第1の実施形態の半導体装置を電力スイッチング素子601～606として用いている。電力スイッチング素子601～606は、例えばIGBTである。
- [0044] 図16に示すように、第4の実施形態の電力変換装置600は、一对の直流端子であるP端子631、N端子632と、交流出力の相数と同数の交流端子であるU端子633、V端子634、W端子635とを備えている。
- [0045] また、一对の電力スイッチング素子601および602の直列接続からなり、その直列接続点に接続されるU端子633を出力とするスイッチングレグを備える。また、それと同じ構成の電力スイッチング素子603および604の直列接続からなり、その直列接続点に接続されるV端子634を出力とするスイッチングレグを備える。また、それと同じ構成の電力スイッチング素子605および606の直列接続からなり、その直列接続点に接続されるW端子635を出力とするスイッチングレグを備える。
- [0046] 電力スイッチング素子601～606は、例えばIGBTである。
- [0047] 電力スイッチング素子601～606からなる3相分のスイッチングレグは、P端子631、N端子632の直流端子間に接続されて、図示しない直流電源から直流電力が供給される。電力変換装置600の3相の交流端子であるU端子633、V端子634、W端子635は図示しない三相交流モータに三相交流電源として接続されている。
- [0048] 電力スイッチング素子601～606には、それぞれ逆並列にダイオード621～626が接続されている。IGBTからなる電力スイッチング素子601～606のそれぞれのゲートの入力端子には、ゲート回路511～516によって制御される。
- [0049] つまり、本実施例の電力変換装置は、外部から直流電力を入力し、入力した前記直流電力を交流電力に変換して出力する電力変換装置であって、直流電力を入力するための一对の直流端子(631、632)と、交流電力を出力するための交流端子であってその交流電力に係る交流の相数と同数の交流端子(633

、634、635) とを備え、相数分ある交流端子 (633、634、635) の各々について、一对の直流端子 (631、632) の一方 (P 端子) と他方 (N 端子) との間に、スイッチング素子 (例えば601) と該スイッチング素子とは逆極性のダイオード (例えば621) とが互いに並列接続されて成る並列回路 (例えば601と621との並列回路) が2個直列に接続された構成の直列回路 (例えば601と621との並列回路と、602と622との並列回路との直列回路) が接続され、その直列回路を構成する2個の並列回路の相互接続点が、該直列回路に対応する相 (例えばU相) の交流端子 (例えばU端子633) に接続された構成を更に備えたものである。また、この構成における並列回路は、本発明の半導体装置 (例えば実施例1~3のいずれかに係る半導体装置) で構成される。

[0050] 上述したように、実施例1の半導体装置は、IGBTチップとフリーホイールダイオードチップとが共通のセラミック基板上のコレクタ配線上に実装されたモジュールとして説明されているが、本発明はその構成に限定されるものではなく、例えば、MOSFETチップをフリーホイールダイオードチップと共に実装した構成、あるいは、MOSFETチップは実装するがフリーホイールダイオードチップは実装せずにMOSFETチップのボディダイオードを還流ダイオードとして使用する、いわゆるダイオードレスの構成も、本発明の技術的範囲に含まれる。このことから明らかではあるが、図16におけるスイッチング素子601、602、603、604、605、606とダイオード621、622、623、624、625、626との関係についてもそれと同様のことが当てはまることは言うまでもない。つまり、実施例1で説明した、IGBTチップとフリーホイールダイオードチップとが共通のセラミック基板上のコレクタ配線上に実装されたモジュールとしての半導体装置においては、スイッチング素子601、602、603、604、605、606は半導体チップ (例えばIGBTチップ105) で構成され、また、ダイオード621、622、623、624、625、626は、共通のセラミック基板101上のコレクタ配線103に、半導体チップ105と共に、上側の焼結層401とは分離している下側の焼結層401で接合されているダイオードチップ106で構成されるが、本発明の電力変換装置はこの構成に限定されない。

- [0051] なお、ゲート回路611～616は統括制御回路（不図示）によって統括的に制御されるように構成するのが好適である。
- [0052] ゲート回路611～616によって、それぞれ電力スイッチング素子601～606を統括的に適切に制御して、直流電源Vccの直流電力は、三相交流電力に変換され、U端子633、V端子634、W端子635から出力される。
- [0053] 上記各実施形態に係る半導体装置を電力変換装置600に適用することで、電力変換装置600の長期信頼性が向上する。また、半田を用いないので鉛フリーであり、環境に良い効果がある。また、高温環境の場所に搭載でき、かつ専用の冷却器を持たなくても長期的な信頼性を確保することが可能になる。
- [0054] 以上、本発明の上記各実施例によれば、IGBTのゲート構造を有する半導体チップ上に金属板（導電部材）を焼結接合する際に、焼結接合プロセスにおける加圧を行っても半導体チップのゲート配線部に過剰な応力が発生しにくい、ゲートと主電極であるエミッタとの間の短絡不良やエミッターコレクタ間の主耐圧低下不良などの特性不良が低減された半導体装置、およびそれを用いた電力変換装置を提供することが可能となる。
- [0055] よって、本発明は、電子部品中の電氣的接合部（例えば、半導体素子と回路部材との接合部）の接合層に関し、特に、酸化銅粒子を主材とする接合材を用いて接合した接合層を有する半導体装置に適用して好適である。
- [0056] なお、本実施形態では、本発明の半導体装置の電力変換装置への適用例として、インバータ装置の場合について説明したが、これに限定されるものではなく、直流-直流コンバータや、交流-直流コンバータなど、他の電力変換装置に適用することもできる。

符号の説明

- [0057] 101 セラミック基板
102 セラミック基板上ゲート配線
103 セラミック基板上コレクタ配線
104 セラミック基板上エミッタ配線
105 IGBTチップ

- 106 Diodeチップ
- 107 導電部材
- 108 ボンディングワイヤー
- 109 セラミック基板上エミッタセンス配線
- 201 終端領域
- 202 第2ゲート配線
- 204 第2ゲート電極パッド
- 205 エミッタ電極
- 206 第1ゲート配線
- 401 焼結層
- 402 Niメッキ電極
- 403 終端部Alフィールドプレート
- 404 コンタクト
- 405 PWEL
- 406 ポリイミド
- 407 絶縁酸化膜
- 408 N-Si基板
- 409 P+コレクタ層
- 410 裏面コレクタ電極
- 411 Nバッファ層
- 501 トレンチゲート
- 502 終端部Alフィールドプレートコンタクト
- 503 最外周ゲート配線
- 504 アクティブ部内ゲート配線
- 505 第2ゲート配線接続コンタクト
- 506 エミッタ電極接続コンタクト
- 507 表面n+領域
- 508 表面p+領域

- 509 表面p領域
- 510 ゲート酸化膜
- 701 最外周第2ゲート配線コンタクト
- 801 アクティブ部内第2ゲート配線
- 1002 アクティブ部内第2ゲート配線コンタクト
- 1201 埋め込みゲート配線
- 1401 幅広トレンチ領域
- 1402 埋め込みゲート配線
- 1403 サイドウォールゲート
- 1404 PolySiフィールドプレート
- 1405 PolySiフィールドプレート上エミッタコンタクト
- 600 電力変換装置
- 601～606 電力スイッチング素子
- 621～626 ダイオード
- 611～616 ゲート回路

請求の範囲

- [請求項1] 半導体チップと、
前記半導体チップの表面に形成された第1ゲート配線および第2ゲート配線と、
前記第1ゲート配線を覆うように配置されたエミッタ電極と、
前記エミッタ電極の上方に配置された焼結層と
を備え、
前記半導体チップの表面に、少なくとも前記エミッタ電極と前記焼結層とを含んで成る複数層構造が、エミッタ電極接続コンタクトとゲート配線領域とを含む範囲に亘って連続して存在することを特徴とする半導体装置。
- [請求項2] 請求項1に記載の半導体装置において、
前記複数層構造は、前記エミッタ電極と前記焼結層との間にニッケル(Ni)を含有成分とする電極層を備えて構成されることを特徴とする半導体装置。
- [請求項3] 請求項1に記載の半導体装置において、
前記半導体チップは、サイドゲート構造を有するゲートを備えて構成されることを特徴とする半導体装置。
- [請求項4] 請求項3に記載の半導体装置において、
前記サイドゲート構造は、前記ゲートがトレンチゲートであるトレンチゲート構造であることを特徴とする半導体装置。
- [請求項5] 請求項4に記載の半導体装置において、
前記第1ゲート配線は、前記トレンチゲートに接続されたトレンチ埋め込み型ゲート配線であることを特徴とする半導体装置。
- [請求項6] 請求項3に記載の半導体装置において、

前記サイドゲート構造は、前記ゲートがサイドウォールゲートであるサイドウォールゲート構造であることを特徴とする半導体装置。

[請求項7]

請求項6に記載の半導体装置において、
前記第1ゲート配線は、前記サイドウォールゲートに接続された埋め込みサイドウォール型ゲート配線であることを特徴とする半導体装置。

[請求項8]

請求項1乃至7のいずれか一項に記載の半導体装置において、
前記半導体チップは、共通のセラミック基板上のコレクタ配線に、ダイオードチップと共に、前記焼結層とは分離している他の焼結層で接合されていることを特徴とする半導体装置。

[請求項9]

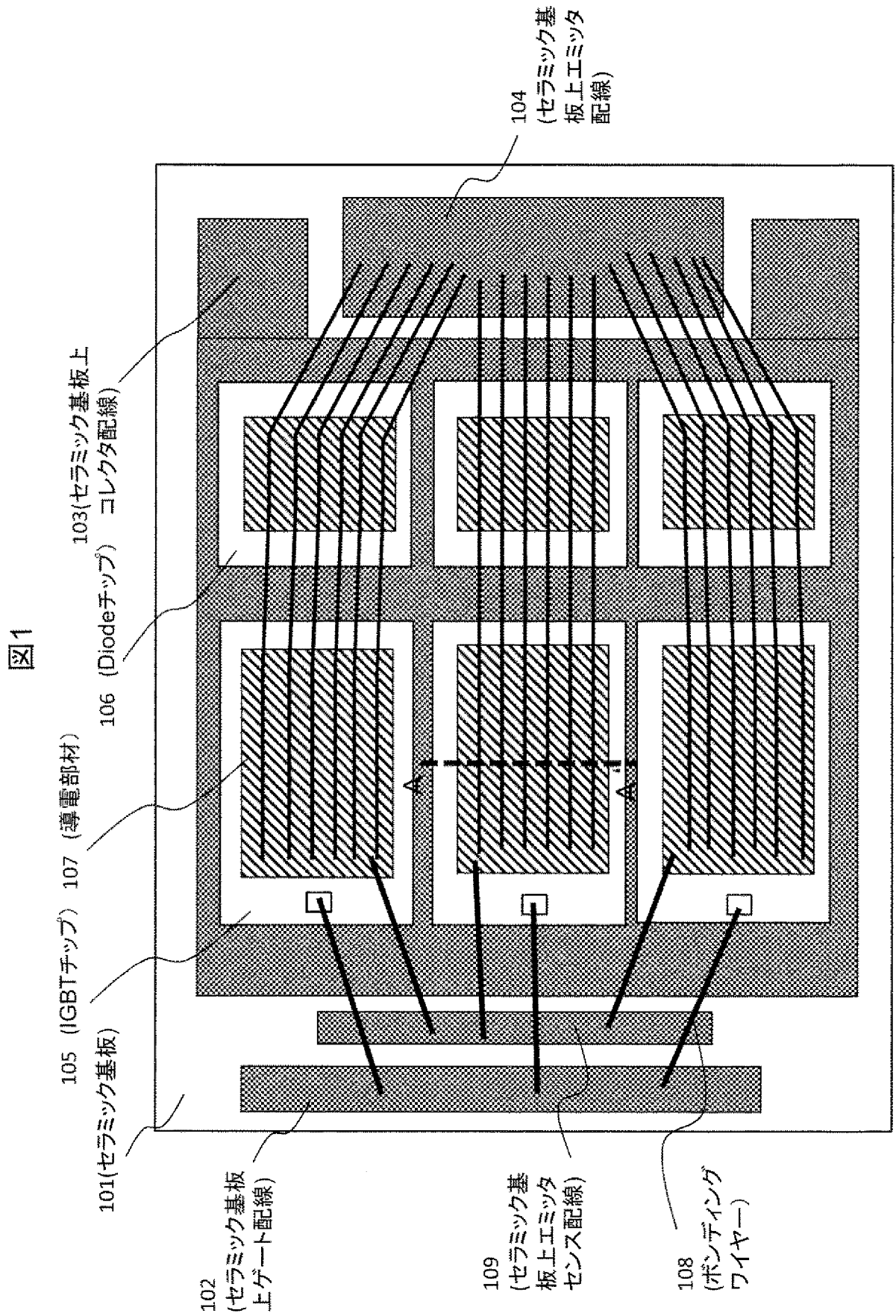
外部から直流電力を入力し、入力した前記直流電力を交流電力に変換して出力する電力変換装置であって、
前記直流電力を入力するための一对の直流端子と、
前記交流電力を出力するための交流端子であって前記交流電力に係る交流の相数と同数の交流端子とを備え、
前記相数の前記交流端子の各々について、前記一对の直流端子の一方と他方との間に、スイッチング素子と該スイッチング素子とは逆極性のダイオードとが互いに並列接続されて成る並列回路が2個直列に接続された構成の直列回路が接続され、前記直列回路を構成する2個の前記並列回路の相互接続点が、該直列回路に対応する相の前記交流端子に接続された構成を更に備え、
前記並列回路が請求項1乃至7のいずれか一項に記載の半導体装置で構成されることを特徴とする電力変換装置。

[請求項10]

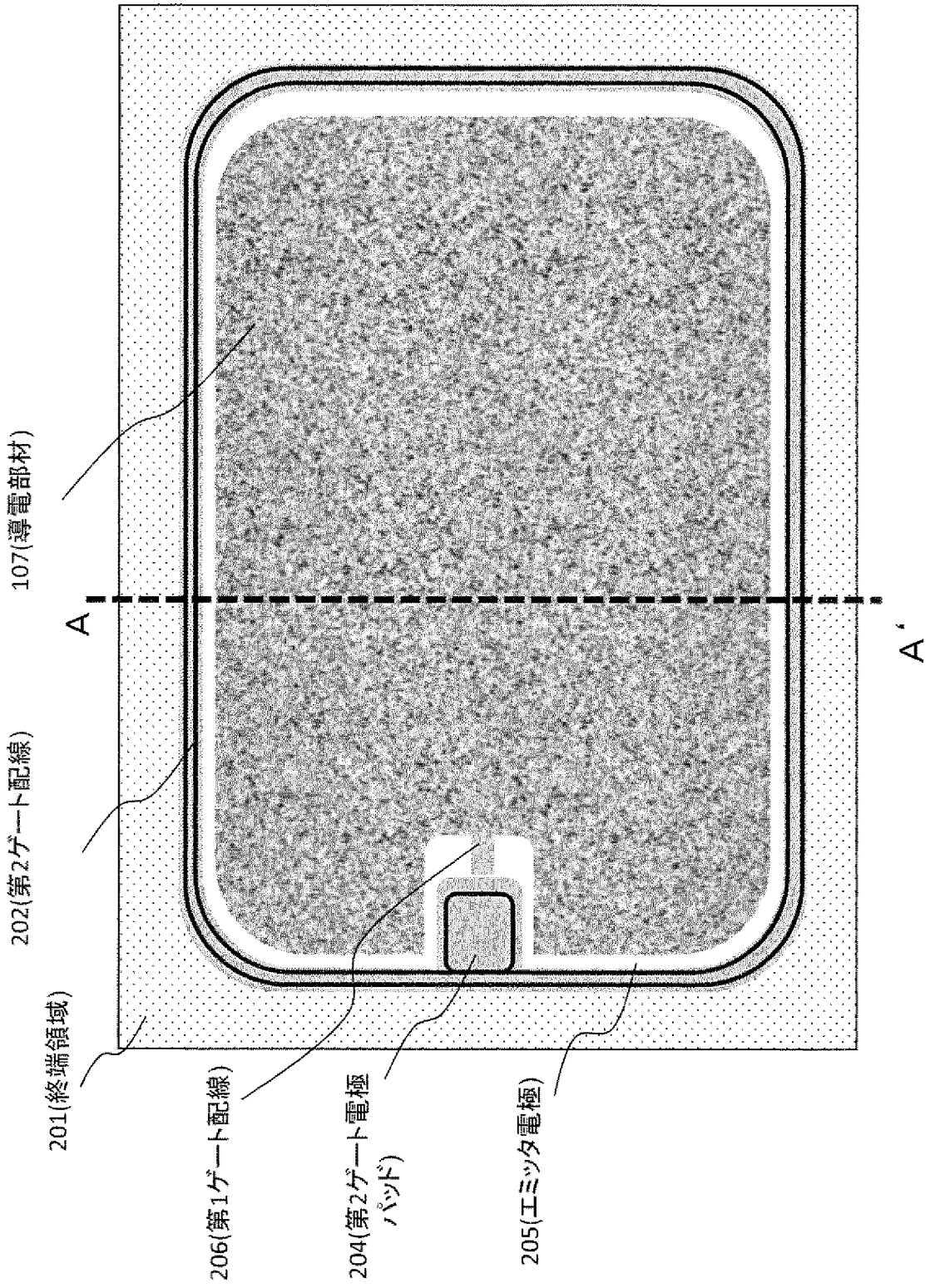
請求項9に記載の電力変換装置において、

前記スイッチング素子は、前記半導体チップで構成され、
前記ダイオードは、共通のセラミック基板上のコレクタ配線に、前記半導体チップと共に、前記焼結層とは分離している他の焼結層で接合されているダイオードチップで構成されることを特徴とする電力変換装置。

[図1]



[図2]



[図3]

図3

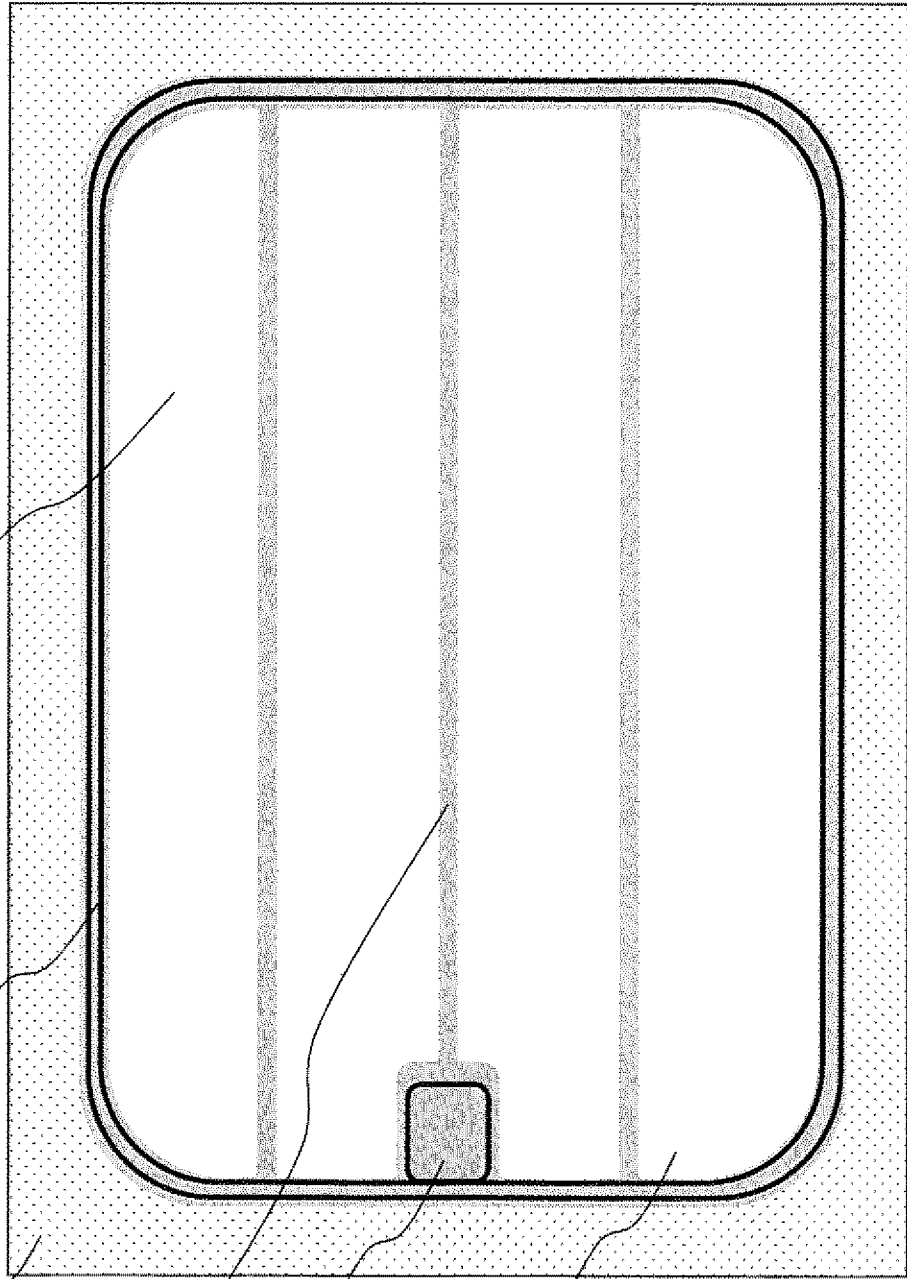
202(最外周第2ゲート配線) 107(導電部材)

201(終端領域)

206(第1ゲート配線)

204(第2ゲート電極
パッド)

205(エミッタ電極)



[図4]

図4

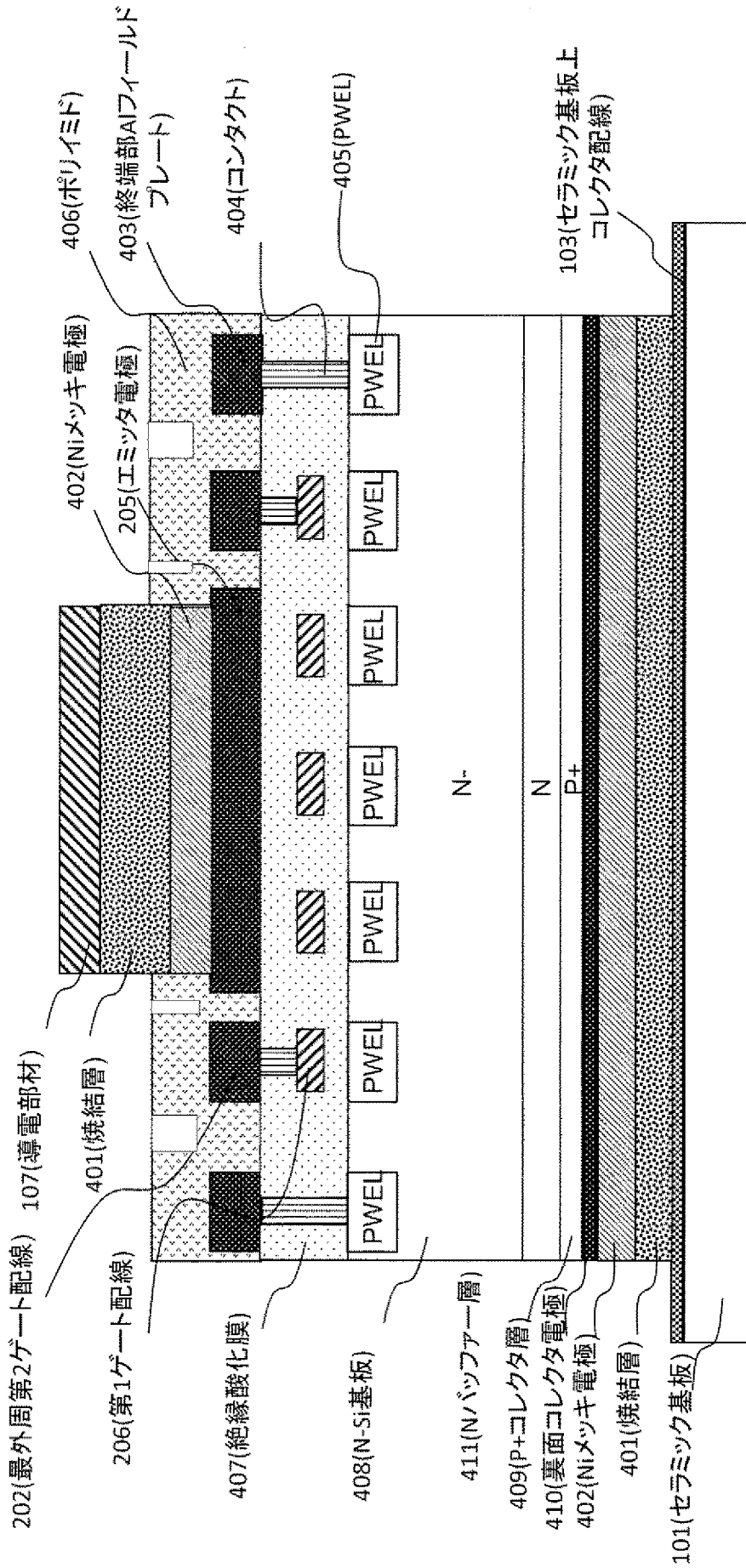
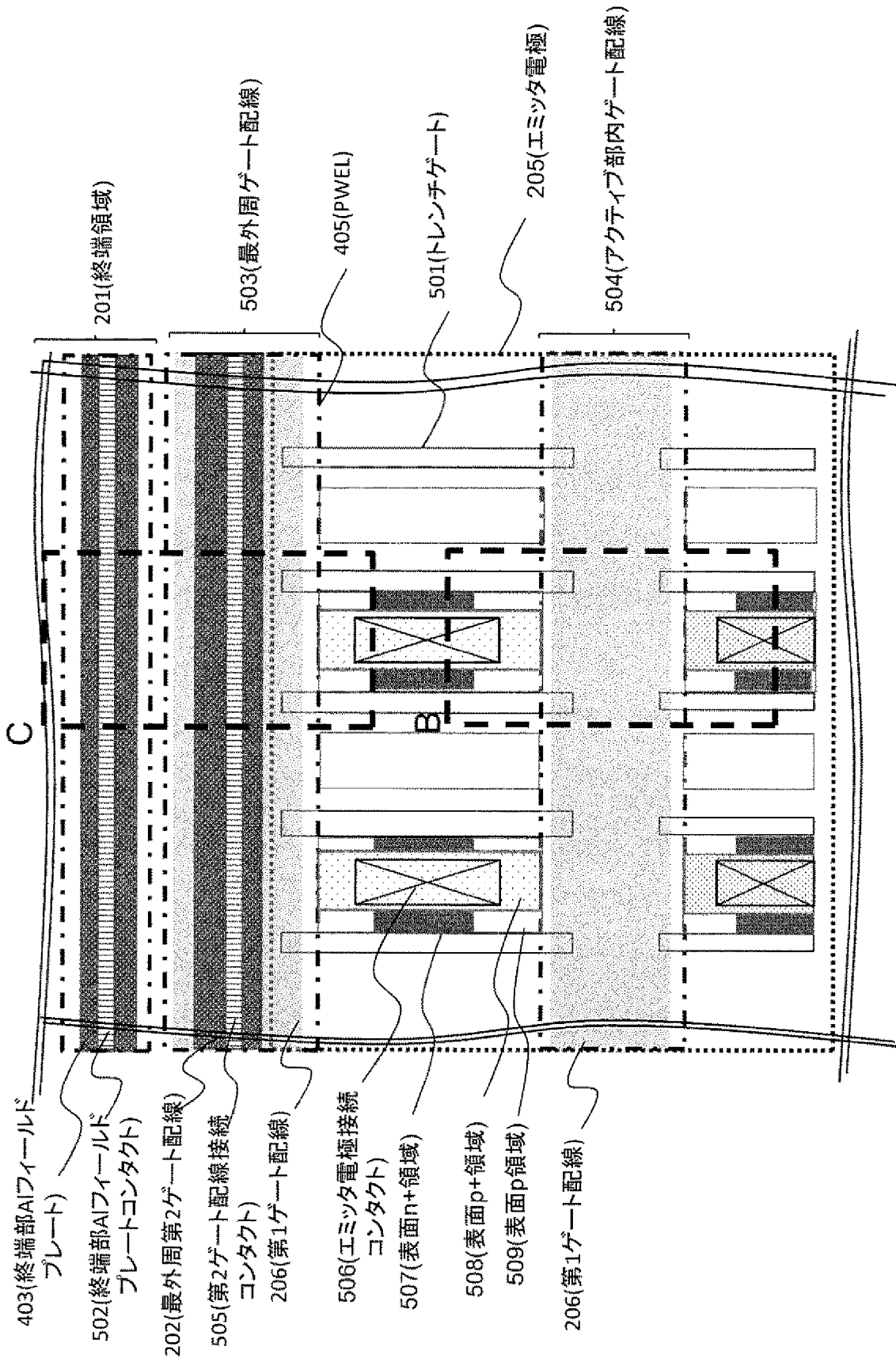
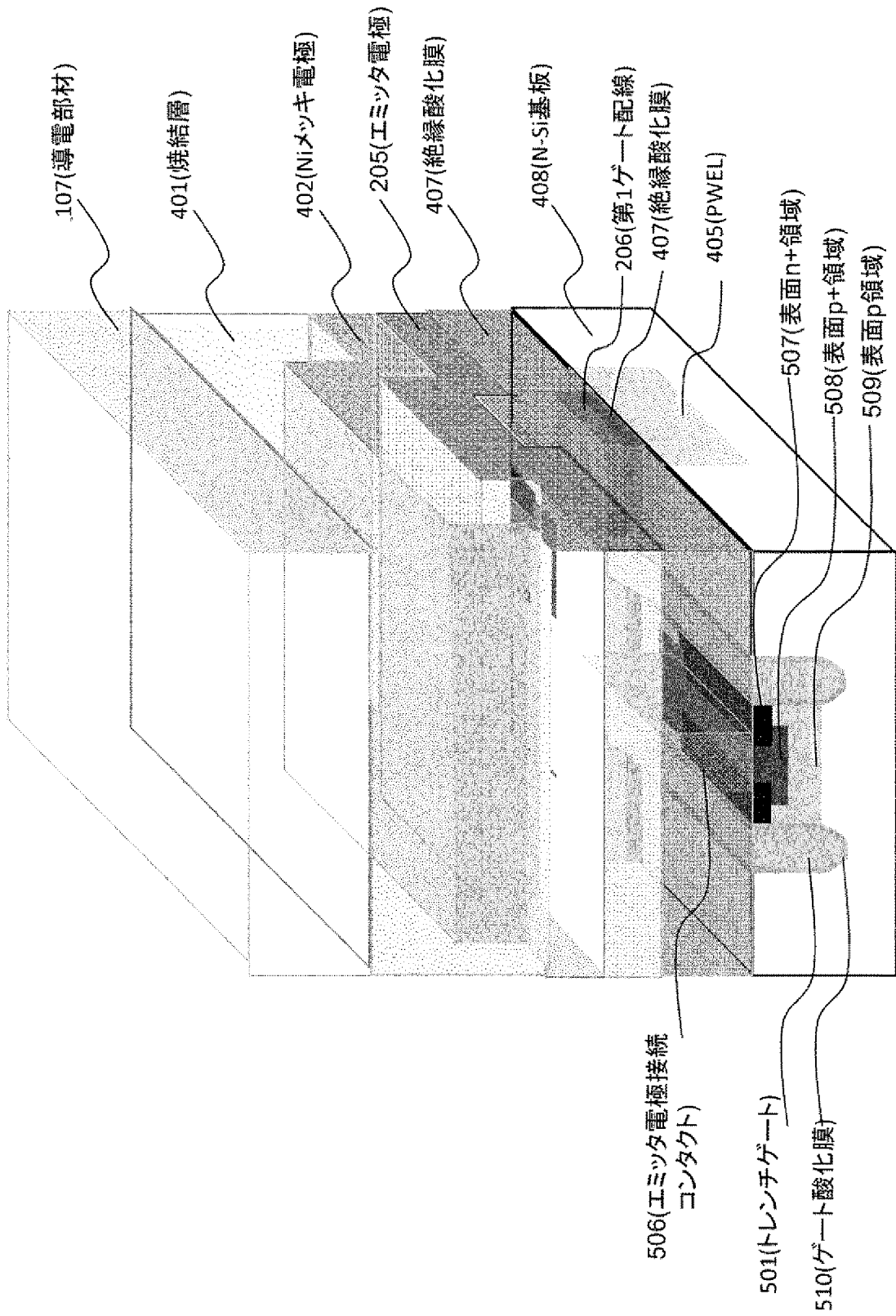


図5

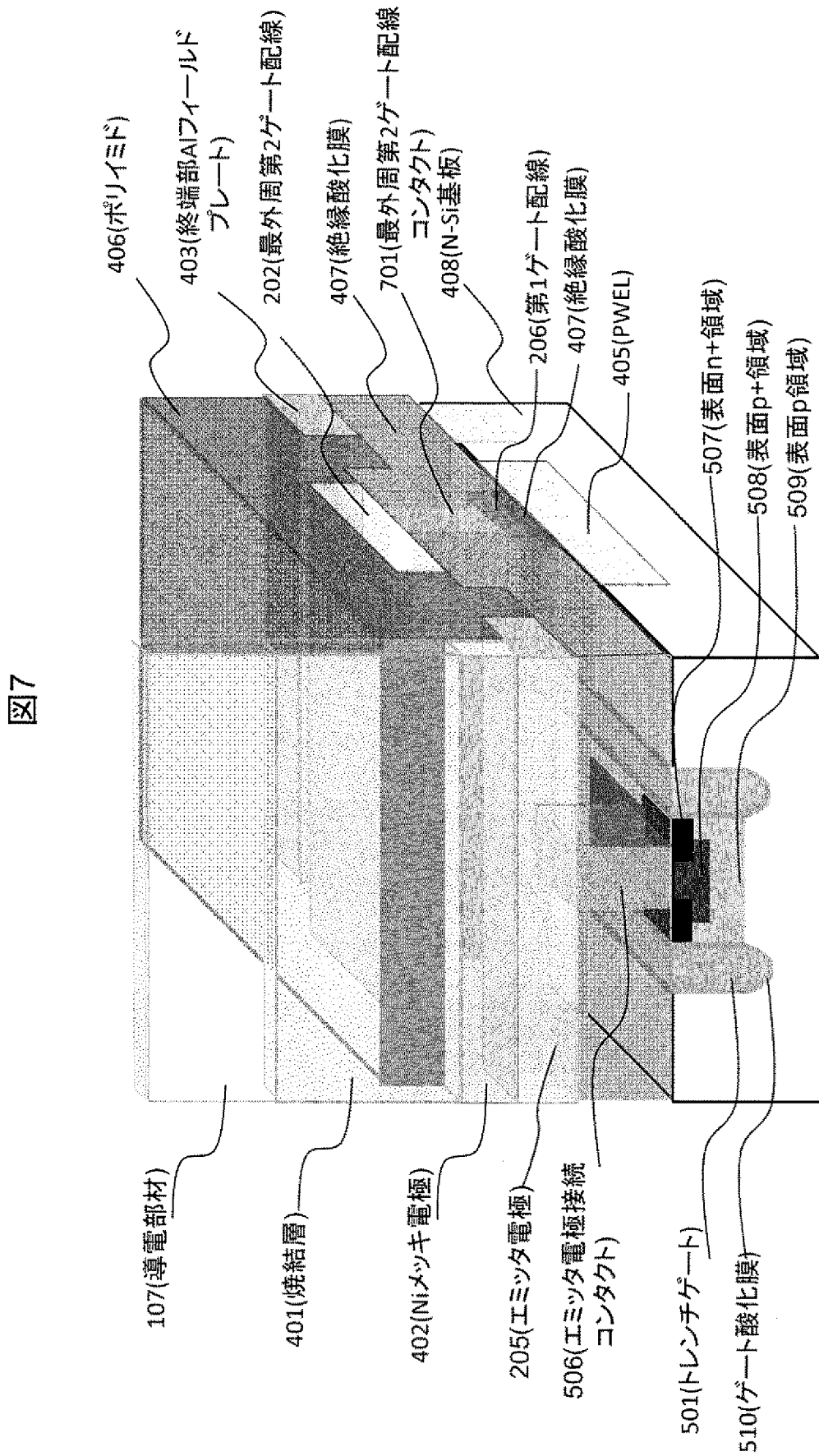


[図6]

図6

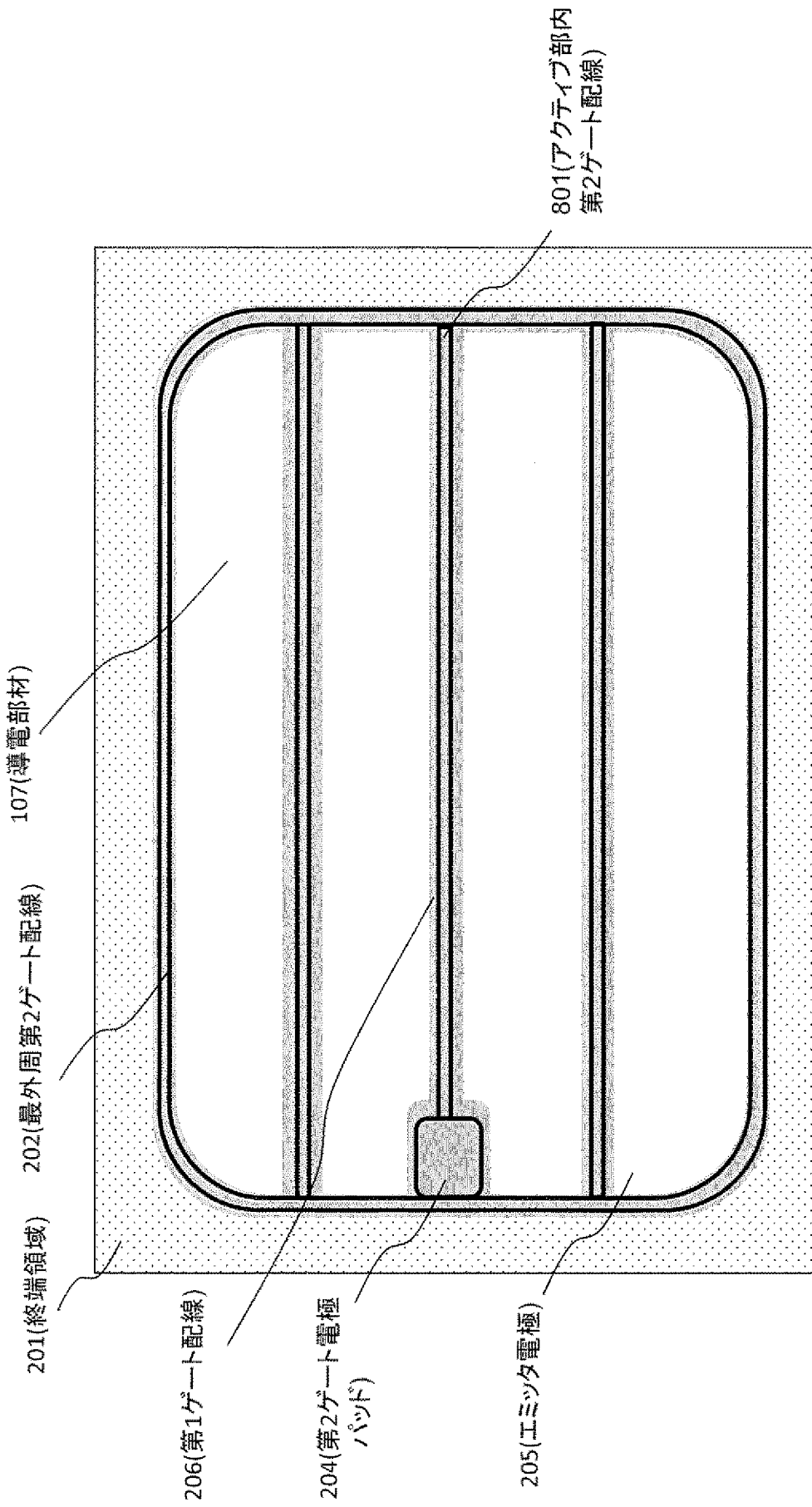


[図7]



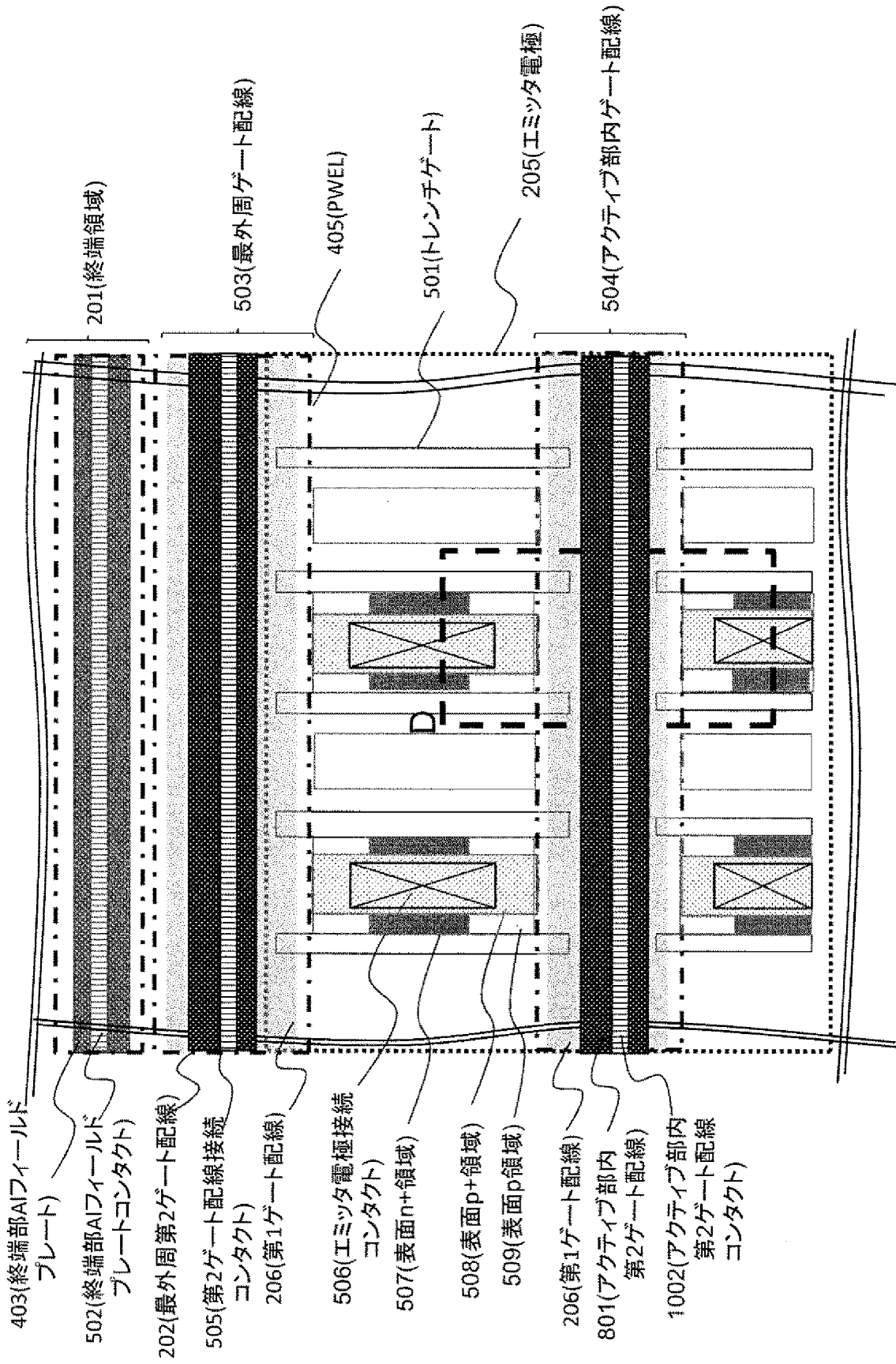
[図8]

図8



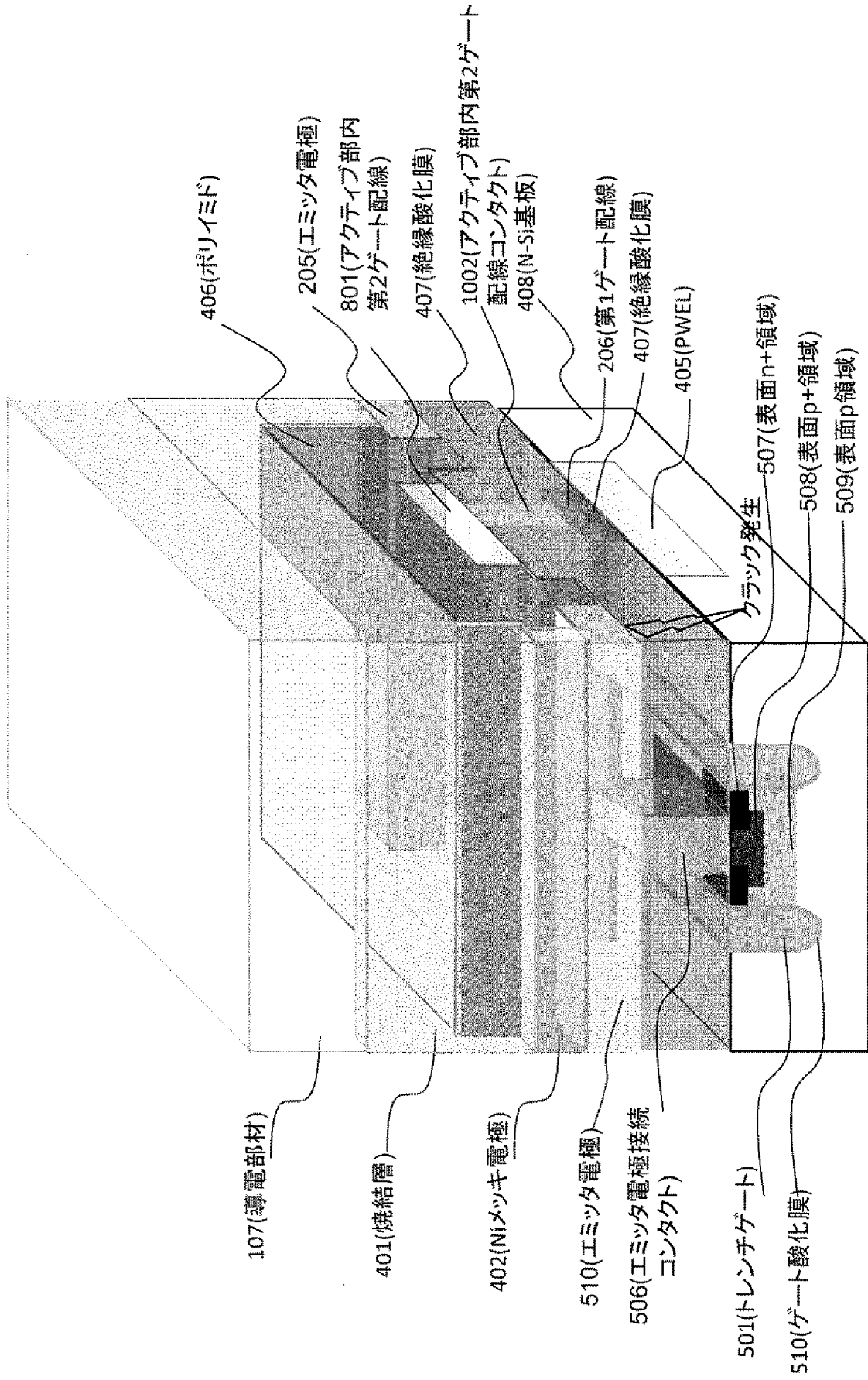
[図10]

図10



[図11]

図11



107(導電部材)

401(焼結層)

402(Niメッキ電極)

510(エミッタ電極)

506(エミッタ電極接続
コンタクト)

501(トレンチゲート)

510(ゲート酸化膜)

406(ポリイミド)

205(エミッタ電極)

801(アクティブ部内
第2ゲート配線)

407(絶縁酸化膜)

1002(アクティブ部内第2ゲート
配線コンタクト)

408(N-Si基板)

206(第1ゲート配線)

407(絶縁酸化膜)

405(PWEL)

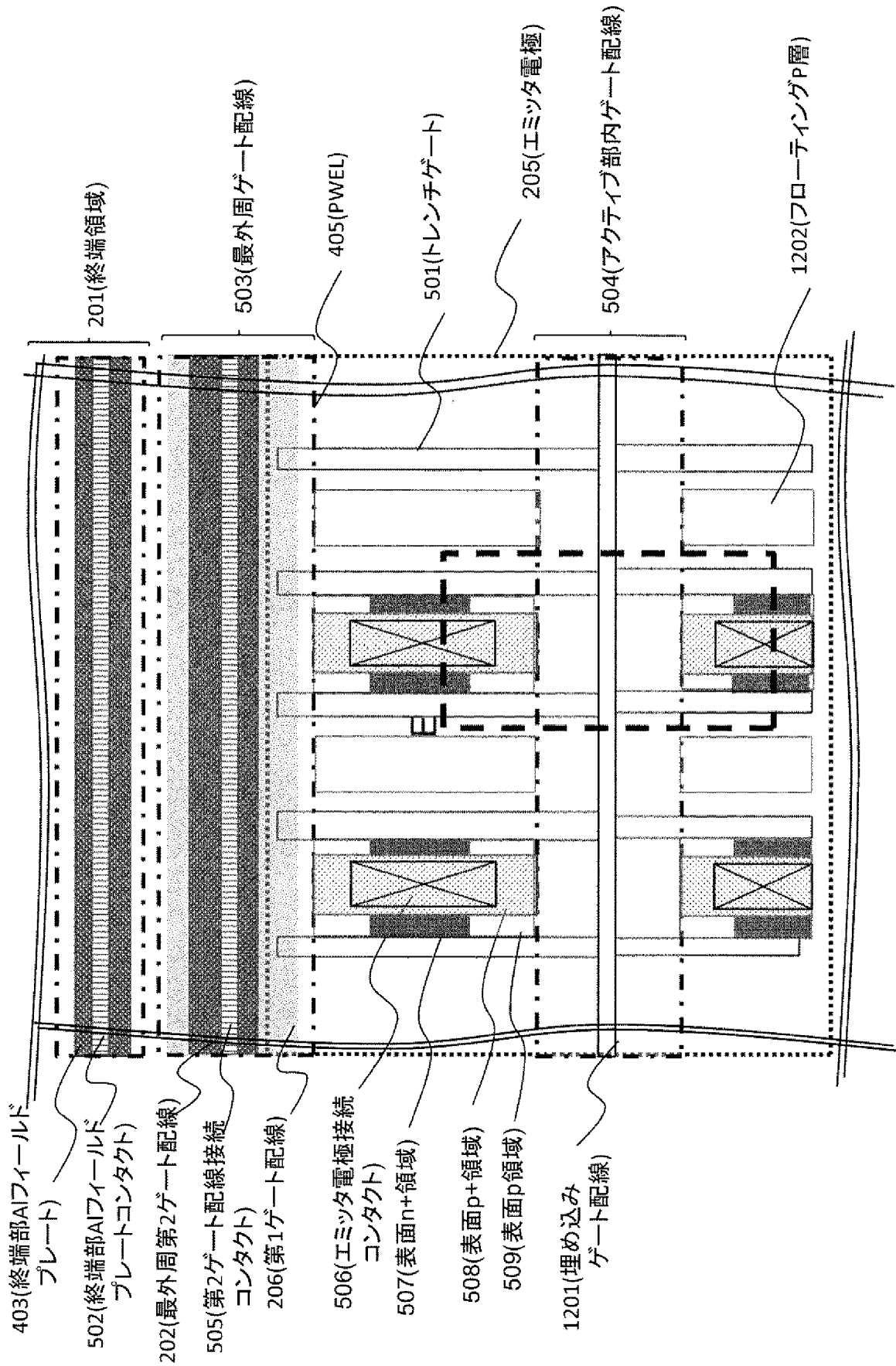
クラック発生

507(表面n+領域)

508(表面p+領域)

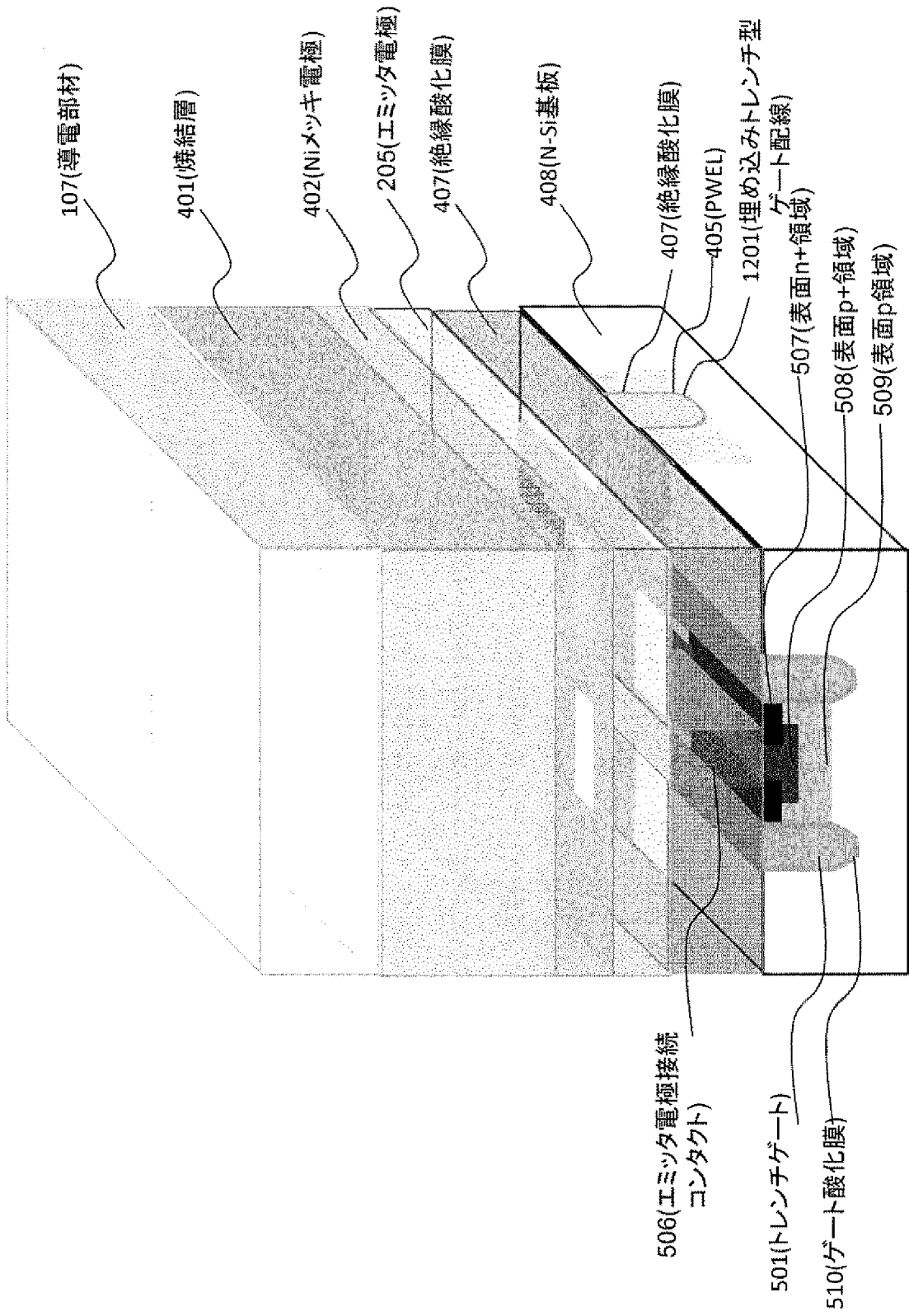
509(表面p領域)

図12



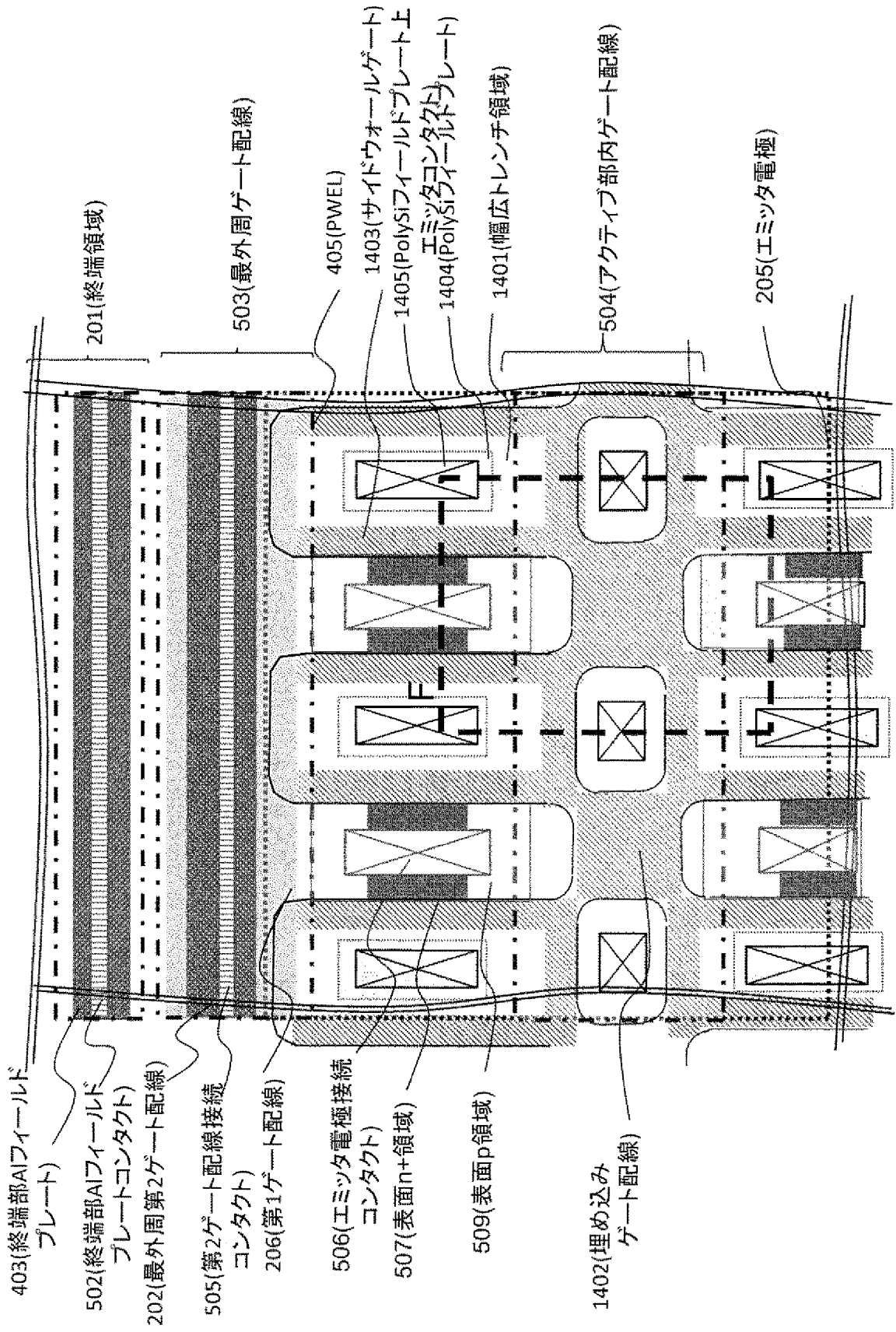
[図13]

図13



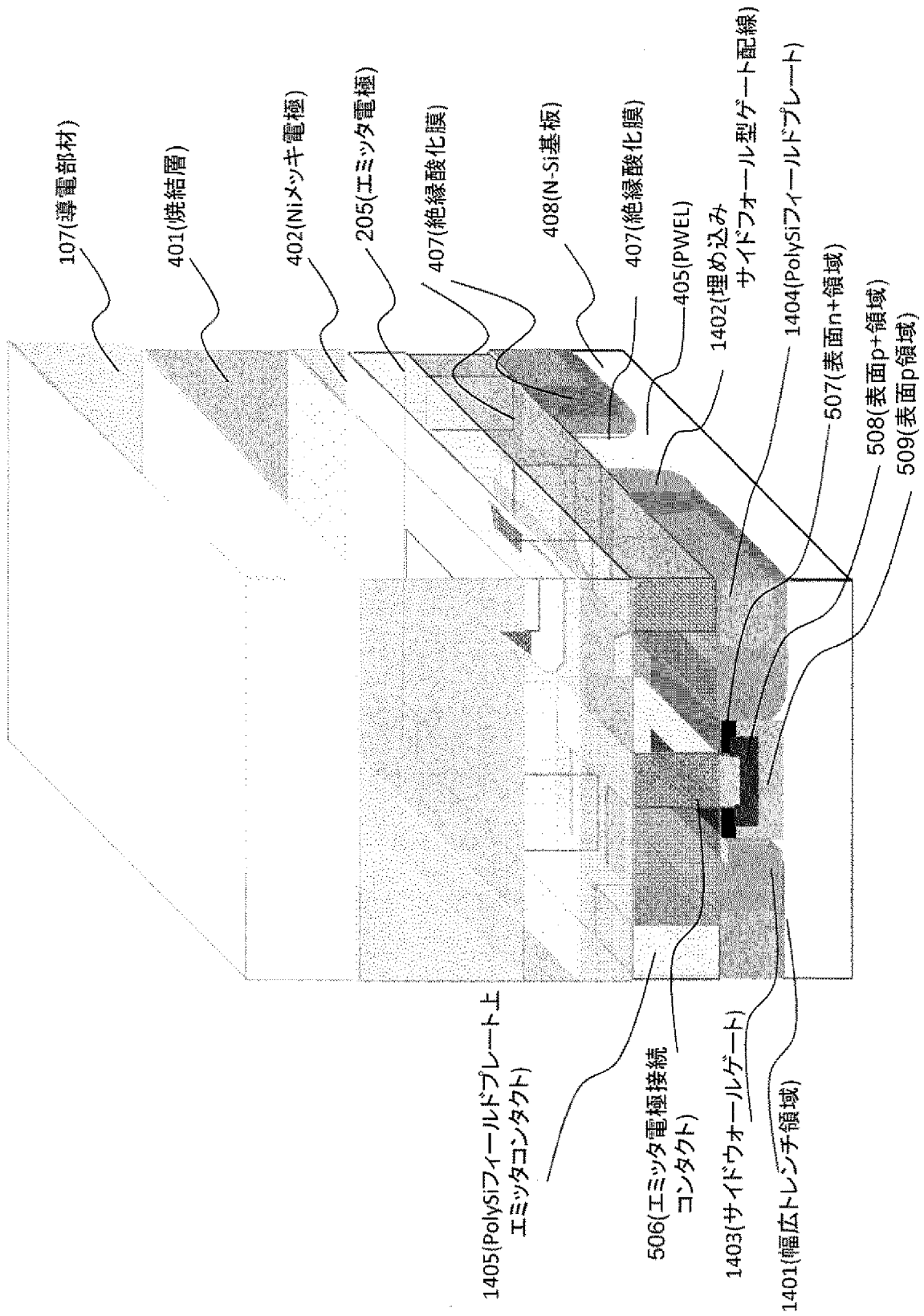
[図14]

図14



[図15]

図15



107(導電部材)

401(焼結層)

402(Niメッキ電極)

205(エミッタ電極)

407(絶縁酸化膜)

408(N-Si基板)

407(絶縁酸化膜)

405(PWEL)

1402(埋め込み
サイドウォール型ゲート配線)

1404(PolySiフィードプレート)

507(表面n+領域)

508(表面p+領域)

509(表面p領域)

1405(PolySiフィードプレート上
エミッタコンタクト)

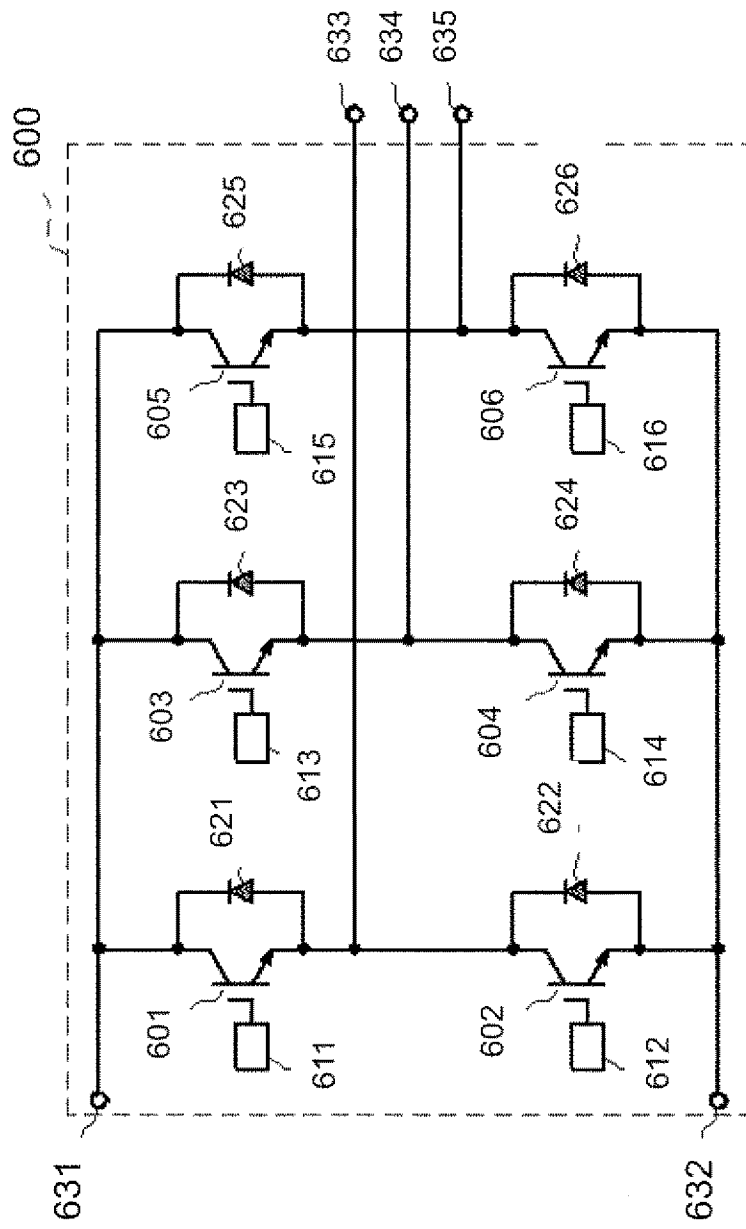
506(エミッタ電極接続
コンタクト)

1403(サイドウォールゲート)

1401(幅広トレンチ領域)

[図16]

図16



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/046299

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H01L29/78(2006.01) i, H01L21/3205(2006.01) i, H01L21/768(2006.01) i, H01L23/522(2006.01) i, H01L25/07(2006.01) i, H01L25/18(2006.01) i, H01L29/06(2006.01) i, H01L29/41(2006.01) i, H01L29/417(2006.01) i, H01L29/739(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H01L29/78, H01L21/3205, H01L21/768, H01L23/522, H01L25/07, H01L25/18, H01L29/06, H01L29/41, H01L29/417, H01L29/739

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2018
 Registered utility model specifications of Japan 1996-2018
 Published registered utility model applications of Japan 1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 10-303228 A (HITACHI LTD.) 13 November 1998, paragraphs [0011]-[0024], [0029]-[0039], fig. 1-4, 6 (Family: none)	1-10
Y	JP 2011-049393 A (MITSUBISHI ELECTRIC CORP.) 10 March 2011, paragraphs [0011]-[0023], fig. 1-8 & US 2011/0049562 A1, paragraphs [0030]-[0042], fig. 1-8 & DE 102010038641 A & CN 102005474 A	1-10

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:
 "A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed
 "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/046299

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2015-230932 A (MITSUBISHI ELECTRIC CORP.) 21 December 2015, paragraphs [0019]-[0034], fig. 1-5 (Family: none)	5, 8-10 1-4, 6, 7
Y A	JP 10-093086 A (TOYOTA CENTRAL RESEARCH AND DEVELOPMENT LABORATORIES, INC.) 10 April 1998, paragraphs [0023]-[0053], fig. 1, 2 (Family: none)	5, 8-10 1-4, 6, 7
Y A	JP 2012-146810 A (HITACHI LTD.) 02 August 2012, paragraphs [0013]-[0027], [0050]-[0059], fig. 1, 2, 7-13 & US 2012/0176828 A1, paragraphs [0039]-[0053], [0077]-[0087], fig. 1, 2, 7-13 & EP 2482319 A2 & CN 102593167 A	3, 6-10 1, 2, 4, 5
Y A	JP 2016-012582 A (HITACHI LTD., HITACHI POWER SEMICONDUCTOR DEVICE LTD.) 21 January 2016, paragraphs [0038]-[0055], fig. 1, 4-7 (Family: none)	3, 6-10 1, 2, 4, 5
Y A	JP 2012-191238 A (HITACHI LTD.) 04 October 2012, paragraphs [0069]-[0071], fig. 10, 11 (Family: none)	8-10 1-7

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L29/78(2006.01)i, H01L21/3205(2006.01)i, H01L21/768(2006.01)i, H01L23/522(2006.01)i, H01L25/07(2006.01)i, H01L25/18(2006.01)i, H01L29/06(2006.01)i, H01L29/41(2006.01)i, H01L29/417(2006.01)i, H01L29/739(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L29/78, H01L21/3205, H01L21/768, H01L23/522, H01L25/07, H01L25/18, H01L29/06, H01L29/41, H01L29/417, H01L29/739

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 10-303228 A (株式会社日立製作所) 1998.11.13, 段落[0011]-[0024], [0029]-[0039], 図 1-4, 6 (ファミリーなし)	1-10
Y	JP 2011-049393 A (三菱電機株式会社) 2011.03.10, 段落[0011]-[0023], 図 1-8 & US 2011/0049562 A1, 段落[0030]-[0042], 図 1-8 & DE 102010038641 A & CN 102005474 A	1-10

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日

05.03.2018

国際調査報告の発送日

20.03.2018

国際調査機関の名称及びあて先
日本国特許庁 (ISA/J P)
郵便番号 100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

恩田 和彦

電話番号 03-3581-1101 内線 3516

5 F

5896

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2015-230932 A (三菱電機株式会社) 2015. 12. 21, 段落[0019]-[0034], 図 1-5 (ファミリーなし)	5, 8-10 1-4, 6, 7
Y A	JP 10-093086 A (株式会社豊田中央研究所) 1998. 04. 10, 段落[0023]-[0053], 図 1, 2 (ファミリーなし)	5, 8-10 1-4, 6, 7
Y A	JP 2012-146810 A (株式会社日立製作所) 2012. 08. 02, 段落[0013]-[0027], [0050]-[0059], 図 1, 2, 7-13 & US 2012/0176828 A1, 段落[0039]-[0053], [0077]-[0087], 図 1, 2, 7-13 & EP 2482319 A2 & CN 102593167 A	3, 6-10 1, 2, 4, 5
Y A	JP 2016-012582 A (株式会社日立製作所, 株式会社 日立パワーデ バイス) 2016. 01. 21, 段落[0038]-[0055], 図 1, 4-7 (ファミリーなし)	3, 6-10 1, 2, 4, 5
Y A	JP 2012-191238 A (株式会社日立製作所) 2012. 10. 04, 段落[0069]-[0071], 図 10, 11 (ファミリーなし)	8-10 1-7