

【特許請求の範囲】**【請求項 1】**

ワード線とビット線とに接続されたメモリセルを有し、通常動作モードとテスト動作モードとを設定可能な半導体記憶装置であって、

前記テスト動作モード時に、

外部から入力されるアクティブコマンドに応じて、外部から入力されるロウアドレス信号の取り込みを行い、前記ワード線の選択は行なわない第 1 のロウ系動作を実行する手段と、

前記第 1 のロウ系動作の実行後に外部から入力されるアクティブコマンドに応じて、前記ロウアドレス信号の更新は行わずに前記ロウアドレス信号に対応する前記ワード線を選択する第 2 のロウ系動作を実行する手段と

を備えることを特徴とする半導体記憶装置。

【請求項 2】

複数の前記メモリセルを備える複数のバンクを有し、

外部から入力される信号であり、前記通常動作モード時には所定の前記バンクを選択するバンクアドレス信号を、前記テスト動作モード時には前記第 1 のロウ系動作と前記第 2 のロウ系動作とを切り替える信号として用い、

前記バンクアドレス信号が第 1 の論理レベルの場合、前記第 1 のロウ系動作を実行し、前記バンクアドレス信号が第 2 の論理レベルの場合、前記第 2 のロウ系動作を実行するように構成される

ことを特徴とする、請求項 1 に記載の半導体装置。

【請求項 3】

前記ロウアドレス信号を保持すると共に、前記ロウアドレス信号をデコードして前記ロウアドレス信号に対応する前記ワード線を選択するロウデコーダ部を有し、

前記バンクアドレス信号が前記第 1 の論理レベルの場合、前記ロウデコーダ部が保持する前記ロウアドレス信号の更新を行い前記デコード動作は行わず、

前記バンクアドレス信号が前記第 2 の論理レベルの場合、前記ロウアドレス信号の更新は行なわず前記デコード動作を行う

ことを特徴とする、請求項 2 に記載の半導体記憶装置。

【請求項 4】

前記アクティブコマンドと前記バンクアドレス信号とを受けて、前記ロウデコーダ部の前記更新動作を制御する第 1 のロウ系制御信号と、前記ロウデコーダ部の前記デコード動作を制御する第 2 のロウ系制御信号とを前記ロウデコーダ部に供給するコマンドデコーダ部を有することを特徴とする、請求項 3 に記載の半導体記憶装置。

【請求項 5】

前記コマンドデコーダ部は、前記アクティブコマンドの活性化と前記バンクアドレスの第 1 の論理レベルとに応じて前記第 1 のロウ系制御信号を活性化し、前記アクティブコマンドの活性化と前記バンクアドレスの第 2 の論理レベルとに応じて前記第 2 のロウ系制御信号を活性化することを特徴とする、請求項 4 に記載の半導体記憶装置。

【請求項 6】

前記ロウデコーダ部が、前記ロウアドレス信号を保持するロウラッチ回路と、前記ロウラッチ回路に保持された前記ロウアドレス信号をデコードし前記ロウアドレス信号に対応する前記ワード線を選択するロウデコーダ回路と、を有することを特徴とする、請求項 3 から 5 のいずれか一項に記載の半導体記憶装置。

【請求項 7】

前記コマンドデコーダ部は、所定のアドレスを受けて前記半導体記憶装置が前記テスト動作モードであることを示すテストモード信号を活性化し、

前記テストモード信号が活性化している期間のみ、前記バンクアドレス信号の前記第 1 および第 2 の論理レベルに応じて、前記第 1 のロウ系動作または前記第 2 のロウ系動作を実行するように制御される

10

20

30

40

50

ことを特徴とする、請求項 4 から 6 のいずれか一項に記載の半導体装置。

【請求項 8】

外部から入力されるリードまたはライトコマンドに応じて、外部から入力されるカラムアドレス信号の取り込みを行い、前記ビット線の選択は行なわない第 1 のカラム系動作を実行する手段と、

前記第 1 のカラム系動作の実行後に外部から入力されるリードまたはライトコマンドに応じて、前記カラムアドレス信号の更新は行わずに前記カラムアドレス信号に対応する前記ビット線を選択する第 2 のカラム系動作を実行する手段と

を備えることを特徴とする、請求項 1 から 7 のいずれか一項に記載の半導体記憶装置。

【請求項 9】

複数 の前記メモリセルを有する複数のバンクと、

外部から入力される信号であり、前記通常動作モード時には所定の前記バンクを選択するバンクアドレス信号を、前記テスト動作モード時には前記第 1 のロウ系動作と前記第 2 のロウ系動作および前記第 1 のカラム系動作と前記第 2 のカラム系動作とをそれぞれ切り替える信号として用い、

前記バンクアドレス信号が第 1 の論理レベルの場合、前記第 1 のカラム系動作を実行し、前記バンクアドレス信号が第 2 の論理レベルの場合、前記第 2 のカラム系動作を実行する

ように構成されることを特徴とする、請求項 8 に記載の半導体装置。

【請求項 10】

前記カラムアドレス信号を保持すると共に、前記カラムアドレス信号をデコードして前記カラムアドレス信号に対応する前記ビット線を選択するカラムデコーダ部を有し、

前記バンクアドレス信号が前記第 1 の論理レベルの場合、前記カラムデコーダ部が保持する前記カラムアドレス信号の更新を行い前記デコード動作は行わず、前記バンクアドレス信号が前記第 2 の論理レベルの場合、前記カラムアドレス信号の更新は行なわず前記デコード動作を行う

ことを特徴とする、請求項 9 に記載の半導体記憶装置。

【請求項 11】

前記リードまたはライトコマンドと前記バンクアドレス信号とを受けて、前記カラムデコーダ部の前記更新動作を制御する第 1 のカラム系制御信号と、前記カラムデコーダ部の前記デコード動作を制御する第 2 のカラム系制御信号とを前記カラムデコーダ部に供給するコマンドデコーダ部を有することを特徴とする、請求項 10 に記載の半導体記憶装置。

【請求項 12】

前記コマンドデコーダ部は、前記リードまたはライトコマンドの活性化と前記バンクアドレスの第 1 の論理レベルとに応じて前記第 1 のカラム系制御信号を活性化し、前記リードまたはライトコマンドの活性化と前記バンクアドレスの第 2 の論理レベルとに応じて前記第 2 のカラム系制御信号を活性化することを特徴とする、請求項 4 に記載の半導体記憶装置。

【請求項 13】

前記カラムデコーダ部が、前記カラムアドレス信号を保持するカラムラッチ回路と、前記カラムラッチ回路に保持された前記カラムアドレス信号をデコードし前記カラムアドレス信号に対応する前記ビット線を選択するカラムデコーダ回路と、を有することを特徴とする、請求項 10 から 12 のいずれか一項に記載の半導体記憶装置。

【請求項 14】

前記コマンドデコーダ部は、所定のアドレスを受けて前記半導体記憶装置が前記テスト動作モードであることを示すテストモード信号を活性化し、

前記テストモード信号が活性化している期間のみ、前記バンクアドレス信号の前記第 1 および第 2 の論理レベルに応じて、前記第 1 のカラム系動作または前記第 2 のカラム系動作を実行するように制御される

ことを特徴とする、請求項 11 から 13 のいずれか一項に記載の半導体装置。

10

20

30

40

50

【請求項 15】

外部から入力されるクロック信号の一方のエッジに同期した第1のクロックパルス信号と他方のエッジに同期した第2のクロックパルス信号とを発生するクロックジェネレータ部と、

外部から入力され前記メモリセルを選択するアドレスを前記クロック信号に同期して取り込むアドレスバッファ部と

を有し、

前記テストモード信号が非活性の期間は前記第1のクロックパルス信号にのみ同期して前記アドレスバッファ部が前記メモリセルを選択するアドレスを取り込み、

前記テストモード信号が活性の期間は前記第1のクロックパルスと前記第2のクロックパルス信号とに同期して前記アドレスバッファ部が前記メモリセルを選択するアドレスを取り込む

ことを特徴とする、請求項7に記載の半導体記憶装置。

【請求項 16】

前記第1のクロックパルス信号の活性または非活性状態が、前記バンクアドレス信号の論理レベルによって制御されることを特徴とする、請求項15に記載の半導体記憶装置。

【請求項 17】

ワード線とビット線とに接続されたメモリセルと、複数の前記メモリセルを有する複数のバンクとを有し、通常動作モードとテスト動作モードとを設定可能な半導体記憶装置において、アクティブコマンドが入力されてからリードまたはライトコマンドが入力されるまでの時間である $t_{RC D}$ を測定する前記半導体記憶装置の試験方法であって、

外部から入力されるアクティブコマンドに応じて、外部から入力されるロウアドレス信号の取り込みを行い、前記ワード線の選択は行なわない第1のロウ系動作工程と、

前記第1のロウ系制御動作後に外部から入力されるアクティブコマンドに応じて、前記ロウアドレス信号の更新は行わずに前記ロウアドレス信号に対応する前記ワード線を選択する第2のロウ系動作工程と

を備え、

外部から入力される信号であり、前記通常動作モード時には所定の前記バンクを選択するバンクアドレス信号を用いて、前記第1のロウ系動作と前記第2のロウ系動作とを切り替えを行い、

前記バンクアドレス信号が第1の論理レベルの場合、前記第1のロウ系動作工程が実行され、

前記バンクアドレス信号が第2の論理レベルの場合、前記第2のロウ系動作工程が実行される

ことを特徴とする半導体記憶装置の試験方法。

【請求項 18】

外部から入力されるリードまたはライトコマンドに応じて、外部から入力されるカラムアドレス信号の取り込みを行い、前記ビット線の選択は行なわない第1のカラム系動作工程と、

前記第1のカラム系動作工程の後に外部から入力されるリードまたはライトコマンドに応じて、前記カラムアドレス信号の更新は行わずに前記カラムアドレス信号に対応する前記ビット線を選択する第2のカラム系動作工程と

を備え、

前記バンクアドレス信号が前記第1の論理レベルの場合、前記第1のカラム系動作工程が実行され、

前記バンクアドレス信号が前記第2の論理レベルの場合、前記第2のカラム系動作工程が実行される

ことを特徴とする、請求項17に記載の半導体記憶装置の試験方法。

【請求項 19】

前記第1のロウ系動作工程の後に前記第1のカラム系動作工程が行われ、

前記第 1 のカラム系動作工程の後に前記第 2 のロウ系動作工程が行われ、
前記第 2 のロウ系動作工程の後に前記第 2 のカラム系動作工程が行われ、
前記第 2 のロウ系動作工程と前記第 2 のカラム系動作工程との間の時間を前記 $t_{RC D}$
として測定する

ことを特徴とする、請求項 17 または 18 に記載の半導体記憶装置の試験方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ワード線とビット線とに接続されたメモリセルを有し、通常動作モードとテスト動作モードとを設定可能な半導体記憶装置に関する。

10

【背景技術】

【0002】

近年の半導体記憶装置に対しては、CPU による処理の高速化に伴ってデータの書き込み/読み出し処理の高速化要求が高まっている。そのため、動作クロックの高速化だけでなく、あるコマンドを入力してから次にコマンドが入力可能になるまでの時間の短縮化が要求されている。

【0003】

このような、あるコマンド入力から次のコマンド入力までに所定の時間を有する例として、SDRAM (Synchronous DRAM) で用いられるアクティブコマンドの入力からデータを読み出すためのリードコマンドまたはデータを書き込むためのライトコマンドの入力が可能になるまでの時間 $t_{RC D}$ がある。

20

【0004】

一般に、半導体記憶装置では、アクティブコマンドの入力から $t_{RC D}$ 時間経過後にリードコマンドあるいはライトコマンドを入力し、該半導体記憶装置が正常に動作するかどうか否かを判定する試験（以下、この試験を $t_{RC D}$ 試験と称す）が行われる。

【0005】

$t_{RC D}$ 試験の方法としては、例えば、特許文献 1 に記載された方法がある。特許文献 1 の実施例 1 には、モードセットコマンド入力後のプリチャージコマンド PRE の入力時にアクティブアドレスを入れ、また、実施例 2 では、アクティブコマンド ACT に対し、コマンド PACT（ロウアドレスラッチのみを行うコマンド）を入力することでもアクティブコマンド ACT 時にはアドレスを入力せずにすむので、 $t_{RC D}$ のタイミングチェックができると記載されている。

30

しかしながら、特許文献 1 の実施例 1 の場合、アドレス全組み合わせチェック毎にモードセットコマンドとプリチャージコマンドを入力する必要があり、テスト時間が冗長となってしまう。また、特許文献 1 の実施例 2 の別コマンド入力とする場合、RAS, CAS, WE, CS の組み合わせでコマンドを作ることになるが、残る組み合わせは CS をロウ以外（ハイにしたときでの組み合わせ）しか残っていない。このため、特に、ウエハー試験のように複数のチップを同時にチェックするために CS をロウに固定している場合、特許文献 1 の実施例 2 の方法を実現することができない。

【特許文献 1】特開 2003 - 346497 号公報

40

【発明の開示】

【発明が解決しようとする課題】

【0006】

ところで、上述の $t_{RC D}$ 試験は、ウエハー選別試験の一環として行われている。そして、近年、ウエハー選別試験で同測数を増やすために、1 チップに割り当てられるテスターのドライバーピンを削減するためアドレスをクロック CLK の立ち上がり、立ち下りの両エッジでラッチすることで、異なるアドレスを共通のドライバーピンから入力する（アドレス縮退）試験方法が提案されている。

【0007】

図 11 は、このような $t_{RC D}$ 試験が行われる半導体記憶装置のブロック図である。こ

50

の半導体記憶装置はクロックジェネレータ 1 とアドレスバッファ 2 とコマンドデコーダ 9 とロウデコーダ 4 とカラムデコーダ 5 とメモリセルアレイ 6 を有している。

【 0 0 0 8 】

メモリセルアレイ 6 は、周知のメモリセルアレイと同一の構造であり、メモリセル、ワード線、ビット線、センスアンプ等を有する。また、所定のビット線のデータを外部に出力するための Y スイッチをも有する。所定のメモリセルの選択は、外部から入力されるロウアドレスに対応するワード線を選択し、外部から入力されるカラムアドレスに対応するビット線を選択する、つまり対応する Y スイッチをオンすることで行なわれる。

【 0 0 0 9 】

クロックジェネレータ 1 は、クロック C K、/ C K、クロックイネーブル信号 C K E、テストモード信号 T M D を入力して、信号 P C L K、P C L K C、T P C L K B を出力する。信号 P C L K は、クロック C L K の立ち上がりエッジから作られるワンショット信号で、コマンド入力をラッチするパルスとして使われる。信号 P C L K C もクロック C L K の立ち上がりエッジから作られるワンショット信号であるが、外部からアドレスバッファ 2 に入力されたアドレスをラッチするパルスとして使われる。信号の出力先であるアドレスバッファ 2 とコマンドデコーダ 9 が互いに離れているため、信号 P C L K とは分離して信号 P C L K C が出力される。信号 T P C L K B はクロック C L K の立ち下がりエッジから作られるワンショット信号で、アドレスバッファ 2 に入力されたアドレスをラッチするパルスとして使われる。テストモード信号 T M D は、t R C D 試験のときハイになる信号である。図 1 2 に示すように、クロックジェネレータ 1 は、インバータ 4 0 1 ~ 4 0 3 と、遅延回路 4 0 4、4 0 5 と、A N D ゲート 4 0 6 と、N A N D ゲート 4 0 7 と、インバータ 4 0 8、4 0 9 からなる。

【 0 0 1 0 】

アドレスバッファ 2 は、1 2 ビットのアドレス A D R と、テストモード信号 T M D と、信号 P C L K C、T P C L K B を入力し、アドレス信号 C I A 0 ~ C I A 1 1 を出力する。図 1 3 に示すように、アドレスバッファ 2 は、インバータ 4 0 と、バッファ 4 1 - 0、4 1 - 1、・・・、4 1 - 1 1 と、D フリップフリップ 4 2 - 0、4 2 - 2、・・・、4 2 - 1 0 と、トランスファージェート 4 3 - 0、4 3 - 1、・・・、4 3 - 1 1 と、D フリップフリップ 4 4 - 0、4 4 - 1、・・・、4 4 - 1 1 と、バッファ 4 5 - 0、4 5 - 1、・・・、4 5 - 1 1 を有している。通常動作時、テストモード信号 T M D はロウであり、トランスファージェート 4 3 - 0、4 3 - 2、4 3 - 1 0 はオフ、トランスファージェート 4 3 - 1、4 3 - 3、4 3 - 1 1 はオンしている。したがって、アドレス端子 A D R 0、A D R 1、・・・、A D R 1 1 から入力されたアドレス信号 P A D 0、P A D 1、・・・、P A D 1 1 は信号 P C L K C でそれぞれ D フリップフロップ 4 4 - 0、4 4 - 1、・・・、4 4 - 1 1 にラッチされ、それぞれバッファ 4 5 - 0、4 5 - 1、・・・、4 5 - 1 1 を経てアドレス信号 C I A 0、C I A 1、・・・、C I A 1 1 としてロウデコーダ 4 およびコラムデコーダ 5 に出力される。t R C K 試験時、テストモード信号 T M D はハイとなるため、トランスファージェート 4 3 - 0、4 3 - 2、4 3 - 1 0 はオン、トランスファージェート 4 3 - 1、4 3 - 3、4 3 - 1 1 はオフする。したがって、アドレス端子 A D R 0、A D R 2、・・・、A D R 1 0 から入力されたアドレス信号は信号 T P C L K B でそれぞれ D フリップフロップ 4 2 - 0、4 2 - 2、・・・、4 2 - 1 0 にラッチされた後、それぞれトランスファージェート 4 3 - 0、4 3 - 2、・・・、4 3 - 1 0 を通過して信号 P C L K C で D フリップ 4 4 - 1、4 4 - 3、・・・、4 4 - 1 1 にもラッチされる。すなわち、t R C K 試験時には、偶数のアドレス入力端子 A D R 0、A D R 2、・・・、A D R 1 0 からのみアドレスが入力されて、D フリップ 4 4 - 1、4 4 - 3、・・・、4 4 - 1 1 にそれぞれ D フリップフロップ 4 4 - 0、4 4 - 2、・・・、4 4 - 1 0 と同じアドレス信号がラッチされ、出力される。

【 0 0 1 1 】

コマンドデコーダ 9 はチップセレクト信号 / C S、ロウアドレスストロープ信号 / R A S、コラムアドレスストロープ信号 / C A S、ライトイネーブル信号 / W E、バンクアド

10

20

30

40

50

レス信号 B A 0、B A 1、信号 P C L K と、アドレス C I A 0 ~ C I A 1 2 を入力し、テストモード信号 T M D、信号 R R A S B、M E X A L、C E X A C、C Y E を出力する。ここで、バンクアドレス信号が B A 0、B A 1 と 2 つなのは、図 1 1 の半導体記憶装置が 4 バンク構成であるからである。信号 R R A S B はアクティブコマンド A C T が入力されてからプリチャージコマンド P R E が入るまでの間口ウとなっている信号である。信号 M E X A L は、アクティブコマンド A C T が入力された際、そのとき入力されたアドレスをロウ系選択信号としてラッチするために使われる信号である。信号 C E X A C は、リード/ライトコマンドが入力された際、そのとき入力されたアドレスをカラム系選択信号としてラッチするために使われる信号である。信号 C Y E は、リード/ライトコマンドが入力された際、Y スイッチの選択時間として使われる信号である。

10

【 0 0 1 2 】

コマンドデコーダ 9 は、図 1 4 に示すように、テストコマンド判定回路 3 1 と、アクティブコマンド判定回路 3 2 と、ライト/リードコマンド判定回路 3 3 と、プリチャージコマンド判定回路 3 4 と、バンク系選択回路 3 5 と、ロウ系制御回路 3 6 と、カラム系制御回路 3 7 を有する。

【 0 0 1 3 】

テストコマンド判定回路 3 1 はアドレス信号 C I A 0 ~ C I A 1 1 と信号 P C L K を入力し、テストモード信号 T M D を出力する。アクティブコマンド判定回路 3 2 は、チップセレクト信号 / C S、ロウアドレスストローブ信号 / R A S、コラムアドレスストローブ信号 / C A S、ライトイネーブル信号 / W E を入力し、アクティブコマンド条件が揃ったときにラッチ信号 P C L K の区間にハイとなる信号 R A C T を出力する。図 1 5 に示すように、アクティブコマンド判定回路 3 2 は、D フリップフロップ 5 0 1 ~ 5 0 4 と、インバータ 5 0 5、5 0 6 と、AND ゲート 5 0 7 とからなる。ライト/リードコマンド判定回路 3 3 は、チップセレクト信号 / C S、ロウアドレスストローブ信号 / R A S、コラムアドレスストローブ信号 / C A S を入力し、信号 C E X A C と信号 C Y E P を出力する。信号 C E X A C は、リード/ライトコマンドが入力された際、そのとき入力されたアドレスをカラム系選択信号としてラッチするために使われる。信号 C Y E P は、信号 C E X A C と同じリード/ライトコマンドが入力された際に出力されるパルスで、C Y E 専用として(時間調整がしやすいように)別バスとしている。図 1 6 に示すように、ライト/リードコマンド判定回路 3 3 は、D フリップフロップ 3 0 1、3 0 2、3 0 3 と、インバータ 3 0 4、3 0 5 と、AND ゲート 3 0 6 と、インバータ 3 0 7 ~ 3 1 0 からなる。プリチャージコマンド判定回路 3 4 は、ロウのチップセレクト信号 / C S、ロウアドレスストローブ信号 / R A S、ライトイネーブル信号 / W E と、ハイのコラムアドレスストローブ信号 / C A S を入力し、プリチャージコマンド P R E を出力する。バンク系選択回路 3 5 はバンクアドレス信号 B A 0、B A 1、信号 P C L K、テストモード信号 T M D を入力し、バンク選択信号 C I B A __ A ~ C I B A __ D、C I B A 1 __ B、C I B A __ T を出力する。バンク選択信号 C I B A __ A ~ C I B A __ D はバンクアドレス信号 B A 0、B A 1 のハイ/ロウの組み合わせによって決まるバンク A ~ D をそれぞれ選択する信号である。バンク選択信号 C I B A 1 __ B、C I B A __ T もバンク選択信号であるが、バンクアドレス信号 B A 1 のハイ、ロウのみで動作する。これは、この先に接続されるロウデコーダ 4 のラッチ回路をバンク A、B 共用として、その数を減らすために、バンクアドレス信号 B A 0 をあえて論理から外している。図 1 7 に示すように、バンク系選択回路 3 5 は、D フリップフロップ 1 0 1、1 0 2 と、AND ゲート 1 0 3 ~ 1 0 6 と、インバータ 1 0 7 ~ 1 0 9 と、OR ゲート 1 1 0 ~ 1 1 5 とからなる。ロウ系制御回路 3 6 は、信号 R A C T と、バンク選択信号 C I B A __ A ~ C I B A __ D、C I B A 1 __ B、C I B A __ T を入力し、信号 R R A S B __ A ~ R R A S B __ D、M E X A L __ V、M E X A L __ G を出力する。信号 R R A S B __ A ~ R R A S B __ D は、アクティブコマンド A C T の入力からプリチャージコマンド P R E が入るまでの間口ウとなっている信号である。信号 M E X A L は、アクティブコマンド A C T が入力された際、そのとき入力されたアドレスをロウ系選択信号としてラッチするために使われる信号である。図 1 8 に示すように、ロウ系制御回路 3 6 は、

20

30

40

50

ANDゲート201～206と、Dフリップフロップ207～210と、インバータ211～214からなる。Dフリップフロップ207～210のクロック端子にはANDゲート201～204の出力信号MEXAL__A～MEXAL__Dが入力され、またDフリップフロップ207～210はプリチャージコマンドPREによってリセットされる。出力信号RRASB__A～RRASB__Dはロウデコーダ4内のデコーダの動作を制御する。信号MEXAL__V、MEXAL__Gはロウデコーダ4内のラッチ回路(Dフリップフロップ)のロウアドレス更新動作を制御する。カラム系制御回路37は、バンク選択信号CIBA__A～CIBA__Dと信号RRASB__A～RRASB__Dと信号CYPEを入力し、信号CYPE__A～CYPE__Dを出力する。信号CYPE__A～CYPE__Dは、リード/ライトコマンドが入力された際、それぞれバンクA～DのYスイッチの選択時間として使われる信号である。図19に示すように、カラム系制御回路37は、インバータ601～604と、NORゲート605～608と、NANDゲート609～612とからなる。

10

【0014】

ロウデコーダ4は、アドレスバッファ2の出力であるアドレス信号CIAxx(x=0～11)を、コマンドデコーダ3のロウ系制御回路36から出力された信号MEXAL__V、MEXAL__Gでラッチし、同じくロウ系制御回路36から出力された信号RRASB__A～RRASB__Dで制御されるデコーダでワード線A～ワード線Dをデコードする。図20に示すように、ロウデコーダ4は、フリップフロップ701、702と、インバータ703～706と、デコーダ707～710とからなる。

20

【0015】

カラムデコーダ5は、アドレスバッファ2の出力であるアドレス信号CIAxx(x=0～11)を、コマンドデコーダ3のライト/リードコマンド判定回路33から出力された信号CEXACでラッチし、カラム系制御回路37から出力される信号CYPE__A～CYPE__Dでデコードし、それぞれYスイッチ__A～Yスイッチ__Dをデコードする。図21に示すように、カラムデコーダ5は、Dフリップフロップ801と、インバータ802～805と、デコーダ806～809からなる。

【0016】

図22は、アドレスを縮退しない場合(通常動作時)のタイミングチャートである。時刻T1に、/CS、/RASがロウ、/CAS、/WEがハイになり、アクティブコマンドACTがアクティブになると、アドレスバッファ2にロウアドレスRowが入力され、信号PCLKによってDフリップフロップ44-0、44-1、・・・、44-11(図13)にアドレスCIA0～CIA12としてラッチされる。クロックCLKの次の立ち上がりである時刻T2にリードコマンドReadまたはライトコマンドWriteが入力されると、アドレスバッファ2にコラムアドレスColumnが入力され、ラッチパルスPCLKによってDフリップフロップ44-0、44-1、・・・、44-11(図13)にアドレスCIA0～CIA12としてラッチされる。

30

【0017】

図23は、アドレスを半分に縮退する場合のタイミングチャートである。この場合、テストモード信号TSDはハイとなる。アドレスADRの偶数のロウアドレスRow1がアドレスPAD0、PAD2、PAD4、・・・として、クロックCLKの立ち上がり同期して発生するラッチパルスPCLKCによってラッチされ、アドレスCIA0、CIA2、CIA4、・・・として出力される。次に、アドレスADRの奇数のロウアドレスRow2がアドレスバッファ2の偶数端子から入力され、クロックCLKの立ち下がり同期して発生するパルスTPCLKBによってDフリップフロップ42-0、42-2、・・・にアドレスPAD1、PAD3、・・・としてラッチされ、トランスファークロック43-0、43-2、・・・を通過し、ラッチパルスPCLKCによってDフリップフロップ44-1、44-3、・・・にラッチされる。偶数のコラムアドレスColumn1、奇数のコラムアドレスColumn2も同様に時刻T2にリードコマンドReadまたはライトコマンドWriteが入力されるまでにアドレスバッファ2に入力され、アドレス信号CIA0～CIA12として出力される。

40

50

【 0 0 1 8 】

図 2 4 は、図 1 1 の半導体記憶装置のコマンドデコーダで行われる t R C D チェック時の動作を示すタイミングチャートである。

【 0 0 1 9 】

まず、タイミング T 1 においてアクティブコマンド A C T が入力された場合を説明する。クロック C L K がハイとなるとクロックジェネレータ 1 により、信号 P C L K にハイのワンショット信号が発生し、そのとき入力されたアクティブコマンド A C T (/ C S がロウ、/ R A S がロウ、/ C A S がハイ、/ W E がハイ) によってアクティブコマンド判定回路 3 2 の出力信号 R A C T が信号 P C L K のハイの幅に合わせてハイとなる。テストモード信号 T M D 使用の際、バンク系選択回路 3 5 の出力 C I B A __ A ~ C I B A __ D および C I B A __ B、C I B A __ T は全てハイが出力されている。信号 R A C T によってロウ系制御回路 3 6 の内部信号 M E X A L __ A ~ M E X A L __ D と出力信号 M E X A L __ V、M E X A L __ G もハイとなり、インバータ 2 1 1 ~ 2 1 4 (図 1 8) の出力 R R A S B __ A ~ R R A S B __ D にはロウが出力される。アクティブコマンド A C T 入力時に入力されたアドレス信号によってアドレス C I A 0 ~ C I A 1 2 が出力され、信号 M E X A L __ V、M E X A L __ G にて信号 R X T 0 __ x x V、R X T 0 __ x x G が出力され、信号 R R A S B __ A ~ R R A S B __ D のロウ入力にてデコーダ 6 0 7 ~ 6 1 0 (図 2 0) が動作して、メモリセルアレイ 6 へアドレスが入力されるワード線が選択される。

【 0 0 2 0 】

次に、t R C D チェックでタイミング T 2 にライトまたはリードコマンドが入力されたときの動作について説明する。タイミング T 1 時と同様に、タイミング T 2 でも信号 P C L K にハイのワンショット信号が発生し、そのとき入力されたライト/リードコマンド (/ C S がロウ、/ R A S がハイ、/ C A S がロウ) によって信号 C E X A C と信号 C Y E P は信号 P C L K のハイの幅に合わせてハイとなる。先ほどの説明にて信号 R R A S B __ A ~ R R A S B __ D はロウ、信号 C I B A __ A ~ C I B A __ D はハイとなっているのでカラム系制御回路 3 7 の出力 C Y E __ A ~ C Y E __ D は C Y E P の幅分だけロウが出力される。アクティブコマンド A C T 入力時と同様にそのとき入力されたアドレス信号によってアドレス C I A 0 ~ C I A 1 2 が出力され、信号 C E X A C にて信号 C Y x x が出力され、信号 C Y E __ A ~ C Y E __ D のロウ入力にてデコーダ 8 0 6 ~ 8 0 9 (図 2 1) が動作して、Y スイッチ __ A ~ Y スイッチ __ D が選択される。タイミング T 1 と T 2 の間の時間を計ることでこのワード線選択時間と Y スイッチの時間の関係を計り、セルデータへの書き込み、読み出しが正常にできる時間を調べることで、これを t R C D の実力として測定することができる。

【 0 0 2 1 】

このように、半導体記憶装置のアドレスは、アドレスを縮退していない場合は、クロック C L K の立ち上がりまたは立ち下がりのエッジに同期して、それぞれ対応するアドレスピンから入力される。一方、アドレスを縮退する場合、例えば、アドレスピンを半分に縮退する場合、クロック C L K 立ち上がりまたは立下りの両エッジに同期して、縮退時にアドレスを入力可能なアドレスピン (以上の例では偶数ピン) からそれぞれ異なるアドレスが入力される。半導体記憶装置の試験では、アクティブコマンド A C T の入力タイミング (T 1) からリードまたはライトのコマンドの入力タイミング (T 2) までの時間である t R C D の実力 (つまり、T 1 - T 2 間をどこまで短縮可能か) を評価することがある。アドレス縮退を行っていない場合 (通常動作時を含む)、図 2 2 に示したように、t R C D はアドレスの取り込み時間に依存しない。これは、アドレスがクロック C L K の立ち上がり、立ち下がりの一方のエッジに同期して入力されるため、ロウアドレス、カラムアドレス共に、十分な取り込み時間をとることが可能であるからである。一方、アドレス縮退を行なった場合、図 2 3 に示したように、カラムアドレス C o l u m n 1 の取り込み時間の影響で、t R C D の実力を正確に測定できない場合が生じる。つまり、通常動作時には、アドレスの取り込み時間に依存しないはずの t R C D が、アドレス縮退テスト時には、アドレスの取り込み時間に依存するものとなってしまう、テスト時において t R C D の

10

20

30

40

50

正確な評価が行なえなくなる。

【 0 0 2 2 】

本発明の目的は、アドレスを縮退した試験の際にも、 t_{RCD} の実力を正確に評価することが可能な半導体記憶装置および半導体記憶装置の試験方法を提供することにある。

【課題を解決するための手段】

【 0 0 2 3 】

本発明の半導体記憶装置は、テスト動作モード時に、外部から入力されるアクティブコマンドに応じて、外部から入力されるロウアドレス信号の取り込みを行い、ワード線を選択は行なわない第1のロウ系動作を実行する手段と、第1のロウ系動作の実行後に外部から入力されるアクティブコマンドに応じて、ロウアドレス信号の更新は行わずにロウアドレス信号に対応する前記ワード線を選択する第2のロウ系動作を実行する手段とを備える。

10

【 0 0 2 4 】

また、本発明の半導体記憶装置の試験方法は、ワード線とビット線とに接続されたメモリセルと、複数のメモリセルを有する複数のバンクとを有し、通常動作モードとテスト動作モードとを設定可能な半導体記憶装置において、アクティブコマンドが入力されてからリードまたはライトコマンドが入力されるまでの時間である t_{RCD} を測定する、半導体記憶装置の試験方法であって、

外部から入力されるアクティブコマンドに応じて、外部から入力されるロウアドレス信号の取り込みを行い、ワード線を選択は行なわない第1のロウ系動作工程と、

20

第1のロウ系制御動作後に外部から入力されるアクティブコマンドに応じて、ロウアドレス信号の更新は行わずにロウアドレス信号に対応する前記ワード線を選択する第2のロウ系動作工程と

を備え、

外部から入力される信号であり、通常動作モード時には所定のバンクを選択するバンクアドレス信号を用いて、第1のロウ系動作と第2のロウ系動作とを切り替えを行い、

バンクアドレス信号が第1の論理レベルの場合、第1のロウ系動作工程が実行され、

バンクアドレス信号が第2の論理レベルの場合、第2のロウ系動作工程が実行される。

【発明の効果】

【 0 0 2 5 】

30

本発明によれば、従来、テストモード時にのみ必要であり、正確な t_{RCD} 測定の妨げとなっていた、アクティブコマンドACI入力後の立ち下がりエッジ入力アドレスのセットアップ、ホールド時間が必要なくなり、その結果、より正確な t_{RCD} 測定を行うことが可能となる効果がある。

【発明を実施するための最良の形態】

【 0 0 2 6 】

次に、本発明の実施の形態について図面を参照して説明する。

[第1の実施形態]

図1は本発明の第1の実施形態の半導体記憶装置のブロック図である。本実施形態の半導体記憶装置はクロックジェネレータ1とアドレスバッファ2とコマンドデコーダ3とロウデコーダ4とカラムデコーダ5とメモリセルアレイ6を有している。本実施形態の半導体記憶装置は図11の半導体記憶装置とはコマンドデコーダ3の構成が異なっている。

40

【 0 0 2 7 】

図2はコマンドデコーダ3のブロック図である。コマンドデコーダ3は、テストコマンド判定回路11と、アクティブコマンド判定回路12と、ライト/リードコマンド判定回路13と、プリチャージコマンド判定回路14と、バンク系選択回路15と、ロウ系制御回路16と、カラム系制御回路17を有する。コマンドデコーダ3は図11のコマンドデコーダ9とはライト/リードコマンド判定回路13とバンク系選択回路15とロウ系制御回路16が異なる。

【 0 0 2 8 】

50

図 3 はバンク系選択回路 15 の回路図である。バンク系選択回路 15 は図 17 のバンク系選択回路 35 に対して、インバータ 116、117 と AND ゲート 118 ~ 121 を付加した構成になっている。すなわち、バンク系選択回路 13 は、テストモード時に、常にハイであるバンク選択信号 $CIBA_A \sim CIBA_D$ 、 $CIBA_1_B$ 、 $CIBA_T$ に加え、バンクアドレス信号 BA_0 、 BA_1 によって動作するテスト信号 $T4DQBA_0$ 、 $/T4DQBA_0$ 、 $T4DQBA_1$ 、 $/T4DQBA_1$ を出力する。

【0029】

図 4 はロウ系制御回路 16 の回路図である。ロウ制御回路 16 は、図 18 のロウ制御回路 36 に対して、テストモード信号 TMD とテスト信号 $/T4DQBA_1$ を入力とし、出力が AND ゲート 201 ~ 204 に出力された NAND ゲート 215 と、テストモード信号 TMD とテスト信号 $T4DQBA_1$ を入力とし、出力が AND ゲート 205、206 に出力された NAND ゲート 216 が付加されている。このように、NAND ゲート 215 と 216 を備えることで、信号 $MEXAL_A \sim MEXAL_D$ と信号 $MEXAL_V$ 、 $MEXAL_G$ のアクティブ/インアクティブを相補的に制御することができる。

【0030】

バンク系選択回路 15 とロウ系制御回路 16 を上述のように構成することで、ロウデコーダ 4 のデコーダ 707 ~ 710 の動作とロウデコーダ 5 内のラッチ回路 (D フリップフロップ 701、702) のロウアドレス更新動作を、バンクアドレス信号 BA_1 によって制御することが可能となる。特に、プリチャージコマンド PRE 入力後の最初のアクティブコマンド ACT ではロウアドレス入力動作のみを行い、次のアクティブコマンド ACT では、ロウデコーダ 4 のデコーダ 707 ~ 710 の動作のみを行うように制御することが可能となる。なお、信号 $RASB_A \sim RASB_D$ は、カラム系制御回路 17 (図 19) の制御信号の 1 つとしても用いられる。

【0031】

図 5 はライト/リードコマンド判定回路 13 の回路図である。ライト/リードコマンド判定回路 13 は、図 16 のライト/リードコマンド判定回路 33 に対して、テストモード信号 TMD とテスト信号 $T4DQBA_1$ を入力とする NAND ゲート 311 を追加し、インバータ 307 の代わりに AND ゲート 306 の出力と NAND ゲート 311 の出力を入力する NAND ゲート 312 を備えたものである。

【0032】

ライト/リードコマンド判定回路 13 を上述のように構成することで、カラムデコーダ 5 のデコーダ 806 ~ 809 の動作とカラムデコーダ 5 内のラッチ回路 (D フリップフロップ 801) のカラムアドレス更新動作を、バンクアドレス信号 BA_1 によって制御することが可能となる。特に、プリチャージコマンド PRE 入力後の最初のライト/リードコマンドではカラムアドレス入力動作のみを行い、ロウデコーダ 4 動作後のライト/リードコマンドでは、カラムデコーダ 5 のデコーダ 806 ~ 809 の動作のみを行うように制御することが可能となる。

【0033】

次に、本実施形態の動作を図 6 のタイミングチャートにより説明する。バンクアドレス信号 BA_1 をロウにしてアクティブコマンド ACT およびライトコマンド $Write$ を入力したときのタイミングをそれぞれ T_1 、 T_2 とする。

【0034】

タイミング T_1 に、従来と同じくパルス信号 CLK が発生し、アクティブコマンド ACT 入力を検知し、パルス信号 RAC が発生する。しかし、ロウ系制御回路 16 (図 4) において、信号 $/T4DQBA_1$ がハイであるため、信号 $MEXAL_A \sim MEXAL_D$ はロウのまま、信号 $MEXAL_V$ 、 $MEXAL_G$ のみが発生する。よって信号 $RASB_A \sim RASB_D$ はハイのまま、 $RXT0_xxV$ 、 $RXT0_xxG$ (図 20) のみクロック入力ロウ、ハイそれぞれでラッチした外部アドレス入力に合わせたアドレス CIA_{xx} がラッチされるが、信号 $RASB_A \sim RASB_D$ がハイのままであるためデコーダ 707 ~ 710 (図 20) は動作せず、ワード線 $_A \sim D$ は選択さ

10

20

30

40

50

れない。

【0035】

次に、ライトコマンド *Write* が入力されたタイミング *T2* では、信号 *T4DQBA1* はロウであるので、ライト/リードコマンド判定回路 13 の出力 *CEXAC*、*CYEP* はハイを出力し、アクティブコマンド *ACT* 入力時と同様に *CYxx* (図 21) にはクロック入力のロウ、ハイそれぞれでラッチした外部アドレス入力に合わせたアドレス *CIAXx* がラッチされる。しかし、カラム系制御回路 17 では *RRASB__A ~ RRASB__D* がハイのままであるため、*CYE__A ~ CYE__D* (図 21) はハイのままとなり、デコード 806 ~ 809 は動作せず、*Y* スイッチ *__A ~ D* は選択されない。

【0036】

以上の動作で、ロウデコード 4 内のラッチ回路 *RXT0__xxV*、*RXT0__xxG* にロウアドレスが保持され、カラムデコード 5 内のタッチ回路 *CYxx* にカラムアドレスが保持される。

【0037】

次に、バンクアドレス信号 *BA1* をハイとしてアクティブコマンド *ACT* およびライトコマンド *Write* を入力する。そのときのタイミングをそれぞれ *T3*、*T4* とする。このときは信号 *T4DQBA1*、 $\neg T4DQBA1$ の論理レベルは先ほどのタイミング *T1*、*T2* のときとは逆となるが、アクティブコマンド *ACT* を入力したときのタイミング *T3* ではロウ系制御回路 16 (図 4) の出力 *MEXAL__V*、*MEXAL__G* はロウのまま、逆に信号 *RRASB__A ~ RRASB__D* はロウが出力される。よってロウデコード 4 は動作することになるが、このときのアドレス入力のラッチ回路 (*D* フリップフロップ 701、702) は動作していないので、先ほどタイミング *T1* でラッチしたアドレスにてデコードされたワード線が選択される。また、同様にタイミング *T4* でライト/リードコマンドが入力されたときはライト/リードコマンド判定回路 13 にて信号 *CEXAC* が発生せず、信号 *CYEP* のみ発生する。そのため *CYxx* (図 21) には先ほどのタイミング *T2* にて入力されたアドレスがラッチされたままで、*CYE__A ~ CYE__D* (図 19) がアクティブになり、*CYxx* にてデコードされた *Y* スイッチが選択される。従って、バンクアドレス信号 *BA1* をハイとした状態で *tRCD* 測定を行なうことで、アドレスの取り込み時間の影響を受けずに、*tRCD* の実力を評価することが可能である。

【0038】

このように、第 1 の実施形態では、ロウデコード 4 またはカラムデコード 5 内のラッチ回路にアドレスを取り込む動作サイクルと、*tRCD* 測定を行なうサイクルとを別サイクルとして動作させることが可能となり、その結果、アドレスの取り込み時間の影響を受けずに、*tRCD* の実力を正確に評価することができるものである。

【0039】

[第 2 の実施形態]

図 7 は本発明の第 2 の実施形態の半導体記憶装置のブロック図である。本実施形態の半導体記憶装置はクロックジェネレータ 7 とアドレスバッファ 2 とコマンドデコード 8 とロウデコード 4 とカラムデコード 5 とメモリセルアレイ 6 を有している。本実施形態の半導体記憶装置は図 11 の半導体記憶装置とはクロックジェネレータ 7 とコマンドデコード 8 のみ異なっている。

【0040】

図 8 はクロックジェネレータ 7 の回路図である。クロックジェネレータ 7 は図 12 の従来のクロックジェネレータ 1 に、テストモード信号 *TMD* と、図 3 のバンク系選択回路 15 の出力信号 *T4DQBA0*、*T4DQBA1* を入力とする *NAND* ゲート 410 と、*AND* ゲート 406 の出力信号と *NAND* ゲート 410 の出力信号を入力とする *AND* ゲート 411 が付加されている。

【0041】

図 9 はコマンドデコード 8 のブロック図である。コマンドデコード 8 は、テストコマンド判定回路 21 と、アクティブコマンド判定回路 22 と、ライト/リードコマンド判定回

10

20

30

40

50

路 2 3 と、プリチャージコマンド判定回路 2 4 と、バンク系選択回路 2 5 と、ロウ系制御回路 2 6 と、カラム系制御回路 2 7 を有する。バンク系選択回路 2 5 およびロウ系制御回路 2 6 は第 1 の実施形態のバンク系選択回路 1 5 およびロウ系制御回路 1 6 と同じある。

【 0 0 4 2 】

第 1 の実施形態では、タイミング T 2 にライトコマンド *Write* の入力が必要であったが、本実施形態は、ライトコマンド *Write* を入力しなくても Y スイッチアドレスを T 2 のタイミングでラッチさせるようにしたものである。

【 0 0 4 3 】

図 1 0 は本実施形態の半導体記憶装置の動作を示すタイミングチャートである。タイミング T 1、T 3 における動作は第 1 の実施形態と変わらないため説明は省略するが、タイミング T 2 においてバンクアドレス信号 B A 0 と B A 1 のいずれかをロウにさせているときは信号 P C L K C が発生するため、アドレス C I A 0 ~ C I A 1 2 には外部アドレスがラッチされる。次に、タイミング T 3 および T 4 ではバンクアドレス信号 B A 0、B A 1 をハイとし、アクティブコマンド A C T およびライト/リードコマンドを入力する。タイミング T 4 時は信号 P C L K C が発生せず信号 P C L K のみが発生し、信号 C E X A C がアクティブになり、通常の Y スイッチ選択動作となるが、カラム選択アドレスは先ほどのタイミング T 2 でラッチされたアドレスにて Y スイッチが選択される。タイミング T 4 では該ラッチされたラッチアドレスの更新を行わないようにクロック P C L K C を制御するので、タイミング T 4 でのリード/ライトコマンド時に取り込まれるカラムアドレスのセットアップ時間を十分に取ることができ、T 3 - T 4 間の *t R C D* がカラムアドレスのセットアップ時間に制限されることはなくなる。なお、本実施形態で信号 P C L K C を止めるためにバンクアドレス信号 B A 0 も使用している理由は、バンクアドレス信号 B A 1 をハイとしたモードレジスタセットコマンド時のアドレス取り込みができなくなってしまうのを防ぐためである。

【 0 0 4 4 】

このように、第 2 の実施形態 2 では、第 1 の実施形態とは異なり、カラムアドレスをアドレスバッファ 2 からカラムデコーダ 5 内のラッチ回路に取り込むタイミング自体はリードまたはライトコマンドのタイミング T 4 で行なう構成となっている。その代わり、*t R C D* 測定開始前に所望のカラムアドレスをアドレスバッファ 2 中のラッチ回路にラッチしておき、その後は、*t R C D* 測定が終了するまでアドレスバッファ 2 のラッチ回路の制御クロック (P C L K) を非活性化する構成となっている。このように構成することで、リードまたはライトコマンドのタイミングでのカラムアドレスの取り込みを、アドレス縮退をしていない場合と同様の状態とすることができる。したがって、*t R C D* の実力を正確に測定可能となる。

【 0 0 4 5 】

第 1、第 2 の実施形態では、動作の切り替え (第 1 の実施形態における動作サイクルの切り替え、第 2 の実施形態におけるクロック P C L K のアクティブ/インアクティブの切り替え) を、特にバンクアドレス信号を用いて行なっているが、このバンクアドレス信号は、テストモードエントリー時の M R S のために外部から入力する必要がある信号であるため、縮退することができない。しかし、テストモードにエントリーした後は使用しない信号である。したがって、このように、テストモードエントリー時には必要であり、テスト中には使用しない信号であるバンクアドレス信号を動作の切り替えの制御に用いることで、切り替え用に新たにピン数を増やすことなく、第 1、第 2 の実施形態に記載したような縮退テストを実行可能である。また、このようにテスト中には不要な信号を用いて切り替えを制御することで、該切り替えをクロック C L K に非同期に行なうことが可能となる。

【 0 0 4 6 】

以上の実施形態では、半導体記憶装置のバンク数を 4 としたが、バンクの数は 2 以上任意である。また、アドレスを 1 2 ビットとしたが、アドレスのビット数は、これに限定されるものではない。また、カラムアドレスをロウアドレスよりも先にアドレスバッファ 2

10

20

30

40

50

に入力してもよい。

【図面の簡単な説明】

【0047】

【図1】図1は本発明の第1の実施形態の半導体記憶装置のブロック図である。

【図2】図2は図1中のコマンドデコーダのブロック図である。

【図3】図3は図1中のバンク系選択回路の回路図である。

【図4】図4は図1中のロウ系制御回路の回路図である。

【図5】図5は図1中のライト/リードコマンド判定回路の回路図である。

【図6】図6は第1の実施形態の半導体記憶装置の動作を示すタイミングチャートである。

10

【図7】図7は本発明の第2の実施形態の半導体記憶装置のブロック図である。

【図8】図8は図7中のクロックジェネレータの回路図である。

【図9】図9は図7中のコマンドデコーダのブロック図である。

【図10】図10は第2の実施形態の半導体記憶装置の動作を示すタイミングチャートである。

【図11】図11は半導体記憶装置の従来例のブロック図である。

【図12】図12は図11中のクロックジェネレータの回路図である。

【図13】図13は図11中のアドレスバッファの回路図である。

【図14】図14は図11中のコマンドデコーダの回路図である。

【図15】図15は図11中のアクティブコマンド判定回路の回路図である。

20

【図16】図16は図11中のライト/リードコマンド判定回路の回路図である。

【図17】図17は図11中のバンク系選択回路の回路図である。

【図18】図18は図11中のロウ系制御回路の回路図である。

【図19】図19は図11中のカラム系制御回路の回路図である。

【図20】図20は図11中のロウデコーダの回路図である。

【図21】図21は図11中のカラムデコーダの回路図である。

【図22】図22はアドレスを縮退しない場合（通常動作時）の、図11の半導体記憶装置の動作を示すタイミングチャートである。

【図23】図23はアドレスを縮退する場合の、図11の半導体記憶装置の動作を示すタイミングチャートである。

30

【図24】図24は、図11の半導体記憶装置のコマンドデコーダで行われる t R C D チェック時の動作を示すタイミングチャートである。

【符号の説明】

【0048】

1、7	クロックジェネレータ
2	アドレスバッファ
3、8、9	コマンドデコーダ
4	ロウデコーダ
5	カラムデコーダ
6	メモリセルアレイ

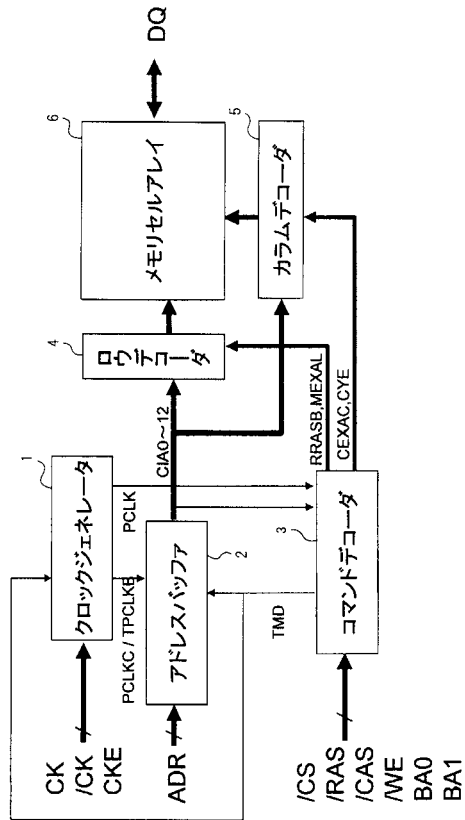
40

11、21、31	テストコマンド判定回路
12、22、32	アクティブコマンド判定回路
13、23、33	ライト/リードコマンド判定回路
14、24、34	プリチャージコマンド判定回路
15、25、35	バンク系選択回路
16、26、36	ロウ系制御回路
17、27、37	カラム系制御回路
40	インバータ
41-0 ~ 41-11	バッファ
42-0、42-2、・・・、42-10	Dフリップフロップ

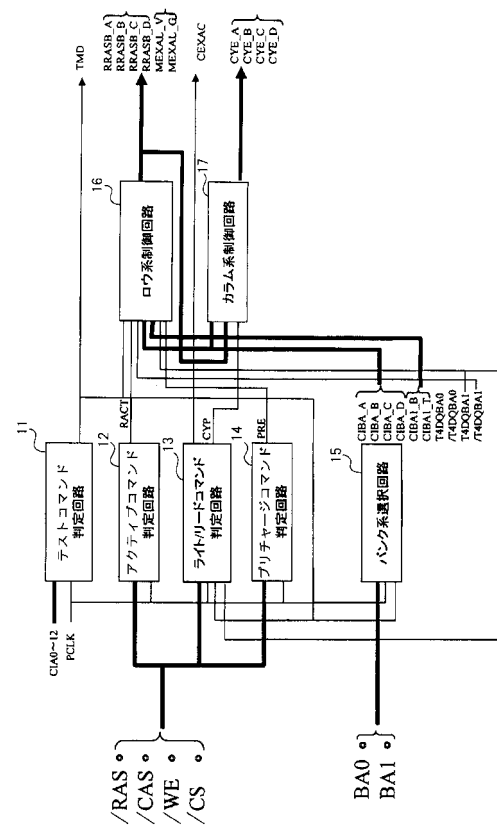
50

4 3 - 0、4 3 - 1、・・・、4 3 - 1 1	トランスファークエート	
4 4 - 0、4 4 - 1、・・・、4 4 - 1 1	Dフリップフロップ	
4 5 - 0、4 5 - 1、・・・、4 5 - 1 1	バッファ	
1 0 1、1 0 2	Dフリップフロップ	
1 0 3 ~ 1 0 6、1 1 8 ~ 1 2 1	A N Dゲート	
1 0 7 ~ 1 0 9、1 1 6、1 1 7	インバータ	
2 0 1 ~ 2 0 6、2 1 7、2 1 8	A N Dゲート	
2 0 7 ~ 2 1 0	Dフリップフロップ	
2 1 1 ~ 2 1 4	インバータ	
2 1 5、2 1 6	N A N Dゲート	10
3 0 1 ~ 3 0 3	Dフリップフロップ	
3 0 4、3 0 5、3 0 7 ~ 3 1 0	インバータ	
3 0 6	A N Dゲート	
3 1 1、3 1 2	N A N Dゲート	
3 1 0 ~ 3 1 5	O Rゲート	
4 0 1 ~ 4 0 3、4 0 8、4 0 9	インバータ	
4 0 4、4 0 5	遅延回路	
4 0 6、4 1 1	A N Dゲート	
4 0 7、4 1 0	N A N Dゲート	
5 0 1 ~ 5 0 4	Dフリップフロップ	20
5 0 5、5 0 6	インバータ	
5 0 7	A N Dゲート	
6 0 1 ~ 6 0 4	インバータ	
6 0 5 ~ 6 0 8	N O Rゲート	
6 0 9 ~ 6 1 2	N A N Dゲート	
7 0 1、7 0 2	Dフリップフロップ	
7 0 3 ~ 7 0 6	インバータ	
7 0 7 ~ 7 1 0	デコーダ	
8 0 1	Dフリップフロップ	
8 0 2 ~ 8 0 5	インバータ	30
8 0 6 ~ 8 0 9	デコーダ	

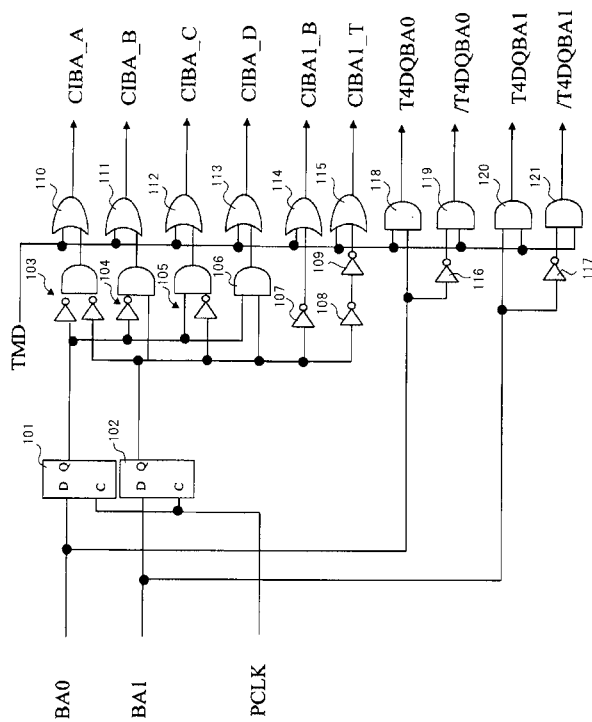
【図 1】



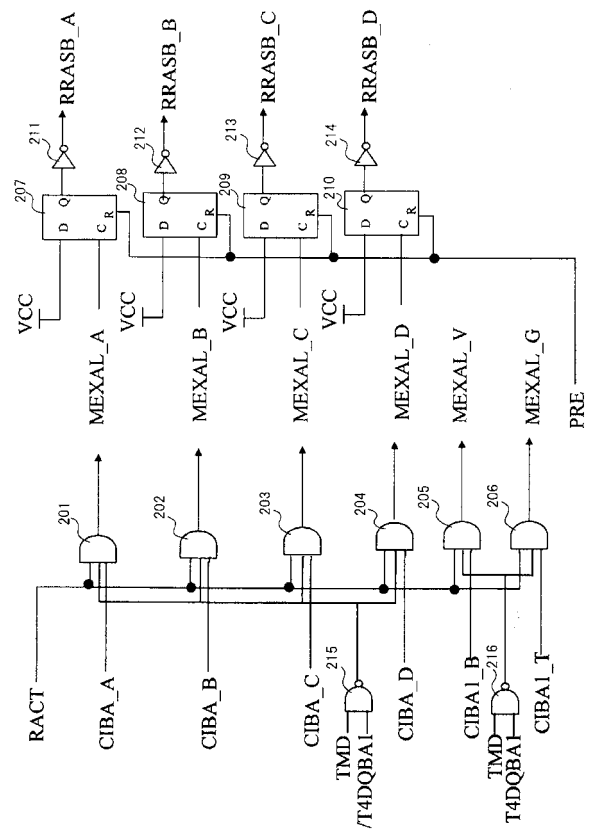
【図 2】



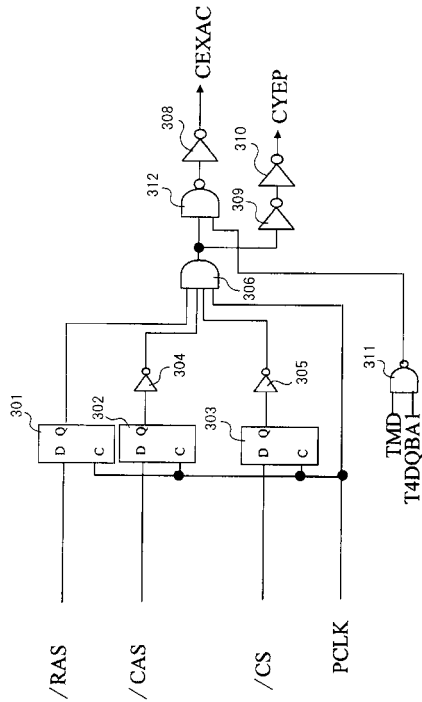
【図 3】



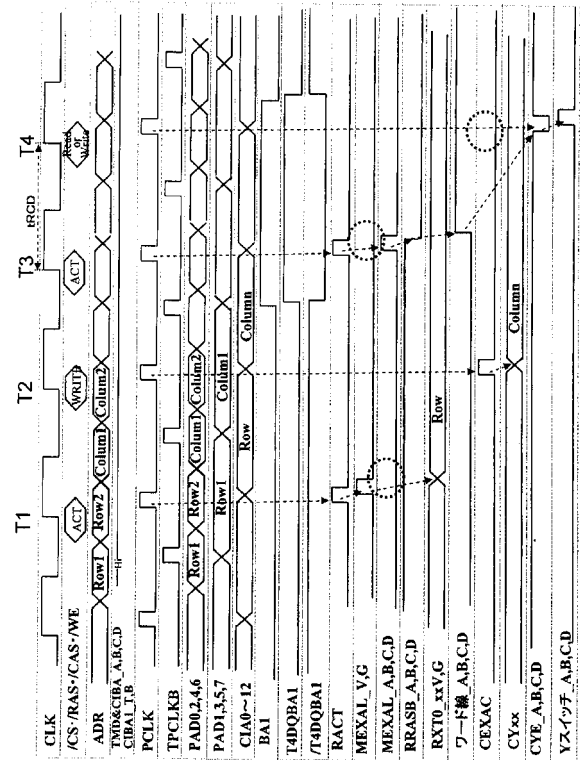
【図 4】



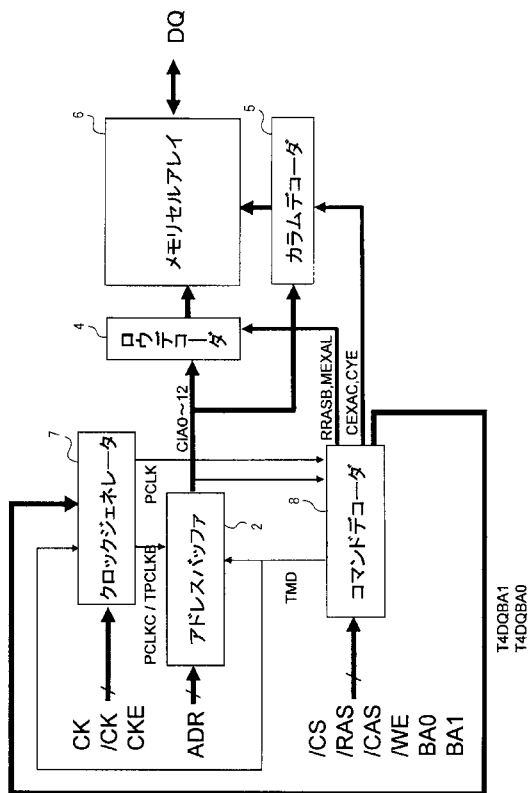
【図 5】



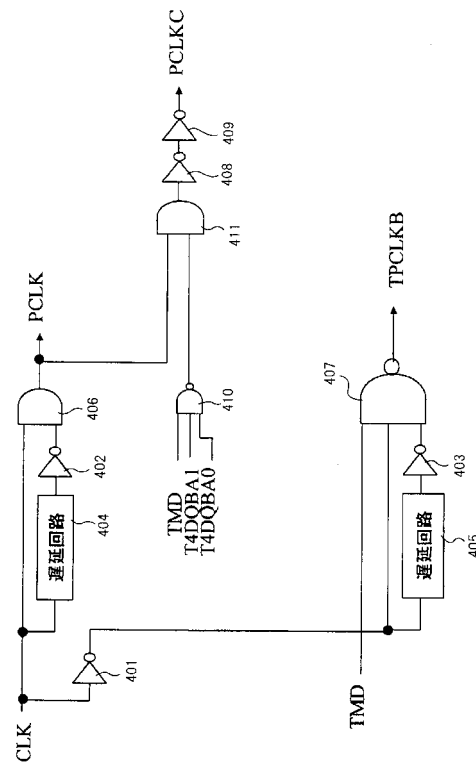
【図 6】



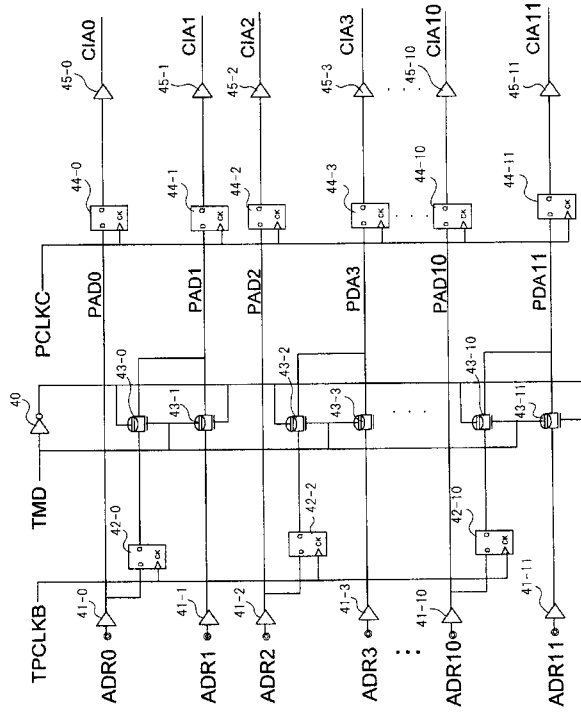
【図 7】



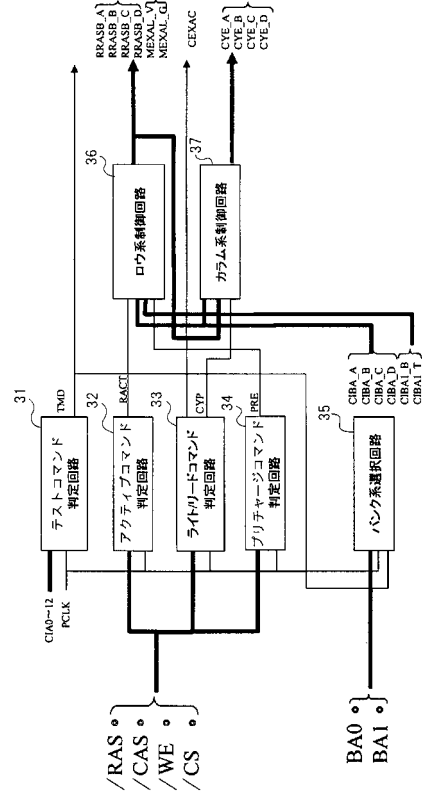
【図 8】



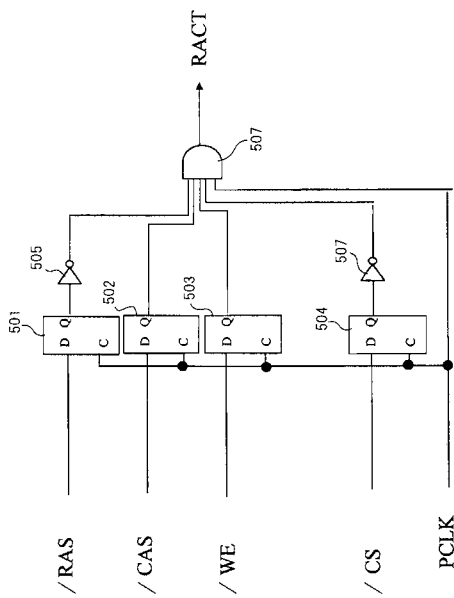
【図 13】



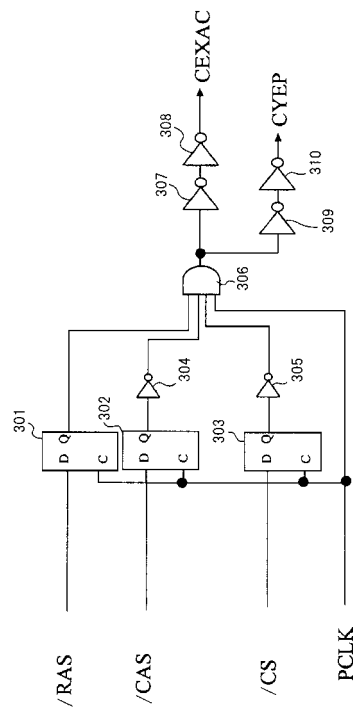
【図 14】



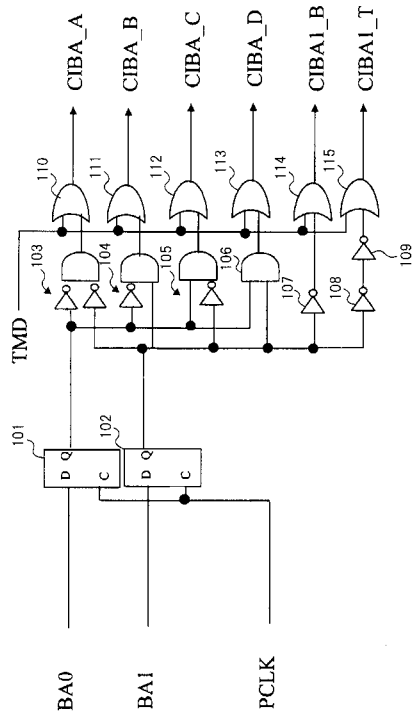
【図 15】



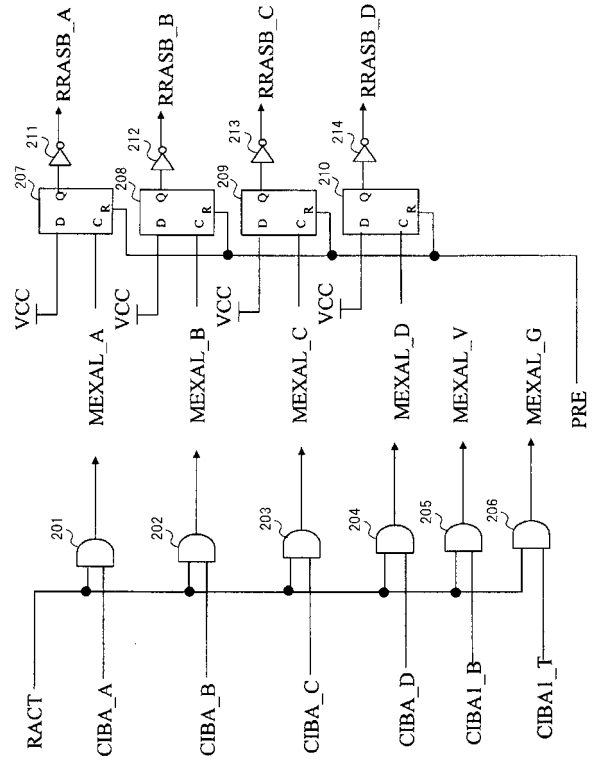
【図 16】



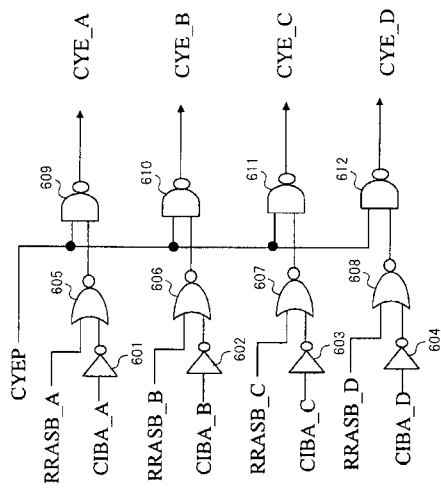
【図 17】



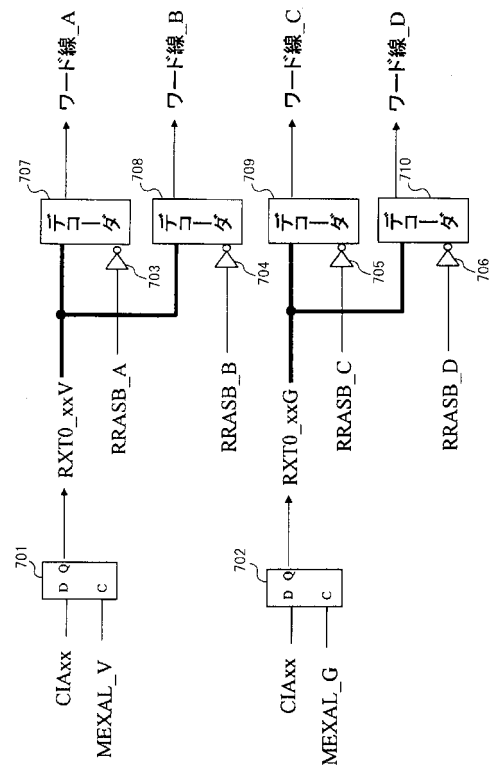
【図 18】



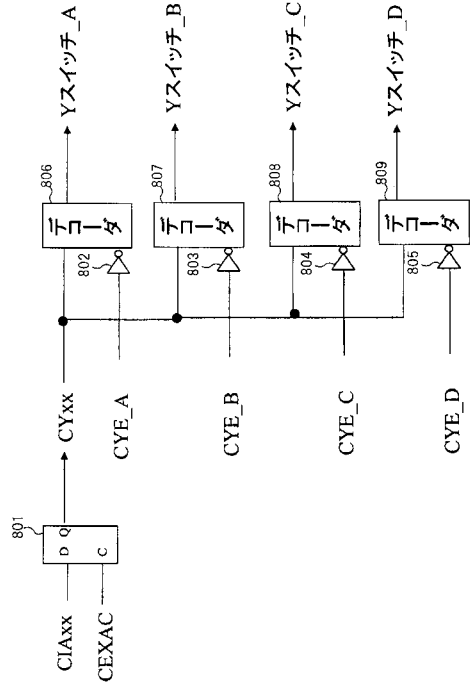
【図 19】



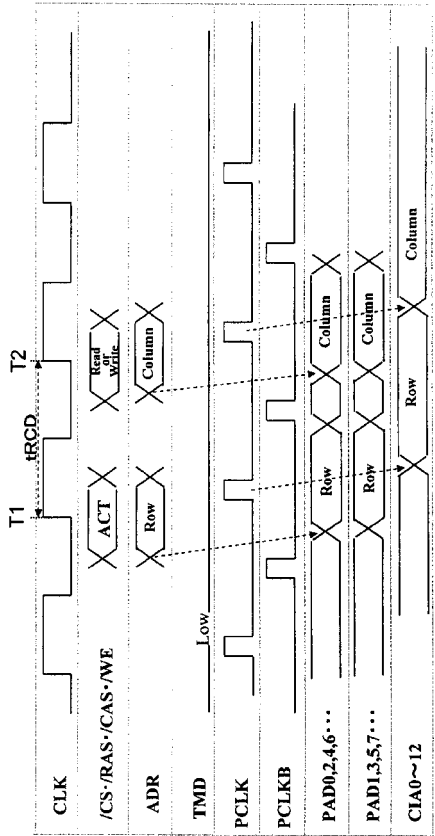
【図 20】



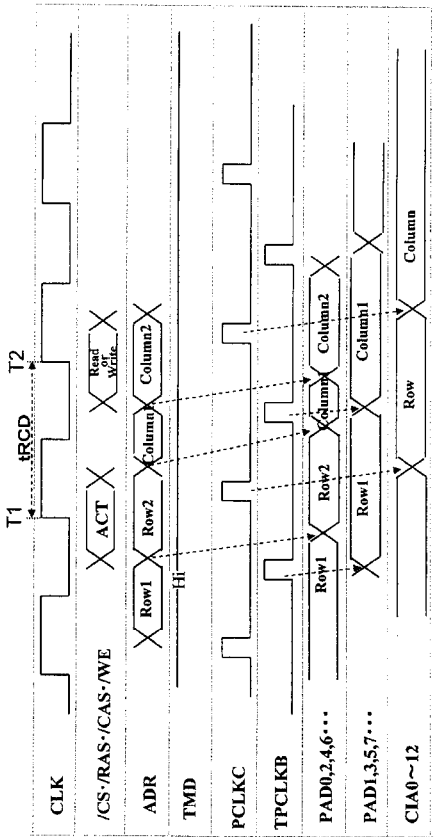
【図 2 1】



【図 2 2】



【図 2 3】



【図 2 4】

