

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年12月7日(07.12.2017)



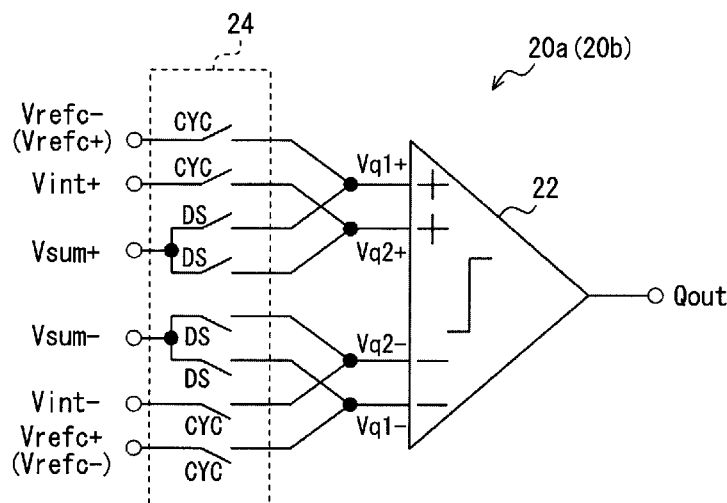
(10) 国際公開番号

WO 2017/208635 A1

- (51) 国際特許分類:
H03M 3/02 (2006.01) *H03M 1/14* (2006.01)
H03M 1/12 (2006.01)
- (21) 国際出願番号: PCT/JP2017/014906
- (22) 国際出願日: 2017年4月12日(12.04.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2016-108556 2016年5月31日(31.05.2016) JP
- (71) 出願人: 株式会社デンソー (DENSO CORPORATION) [JP/JP]; 〒4488661 愛知県刈谷市昭和町1丁目1番地 Aichi (JP).
- (72) 発明者: 根塚 智裕 (NEZUKA Tomohiro); 〒4488661 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内 Aichi (JP).
- (74) 代理人: 金 順姫 (JIN Shunji); 〒4600003 愛知県名古屋市中区錦2丁目13番19号 瀧定ビル6階 Aichi (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA,

(54) Title: A/D CONVERTER

(54) 発明の名称: A/D変換器



(57) **Abstract:** Provided is an A/D converter that comprises: integration circuits (10, 12, 14) for executing $\Delta\Sigma$ modulation for which an analog signal (V_{in}) to be converted is used as an input signal; adders (30, 32) for outputting an addition result obtained by adding at least output signals of the integration circuits and a first reference signal (V_{refs}) serving as a reference signal in the $\Delta\Sigma$ modulation; quantizers (20, 26) to which are inputted the output signals of the integration circuits, output signals of the adders, and a second reference signal (V_{refc}) serving as a reference signal in cyclic A/D conversion, and which generate a quantization result from quantizing the output signals of the integration circuits and the output signals of the adders; and a control unit (40) for operating by switching between a $\Delta\Sigma$ modulation module in which the integration circuits, the adders, and the quantizers are operated as a $\Delta\Sigma$ modulator, or a cyclic mode in which the integration circuits and the quantizers are operated as a cyclic A/D converter, and for generating an A/D conversion

NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA,
RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

result (Dout) from the analog signal on the basis of the quantization result.

(57) 要約: A/D変換器は、変換対象のアナログ信号 (V i n) を入力信号とする $\Delta\Sigma$ 変調を実行するための積分回路 (1 0, 1 2, 1 4) と、少なくとも積分回路の出力信号と、 $\Delta\Sigma$ 変調における基準信号としての第1基準信号 (V r e f s) と、を加算した加算結果を出力する加算器 (3 0, 3 2) と、積分回路の出力信号と加算器の出力信号と巡回型 A/D変換における基準信号としての第2基準信号 (V r e f c) と、が入力され、積分回路の出力信号と加算器の出力信号とを量子化した量子化結果を生成する量子化器 (2 0, 2 6) と、積分回路と加算器と量子化器とを、 $\Delta\Sigma$ 変調器として動作させる $\Delta\Sigma$ 変調モード、または積分回路と量子化器とを、巡回型 A/D変換器として動作させる巡回モードのいずれかのモードに切り替えて動作させるとともに、量子化結果に基づいてアナログ信号の A/D変換結果 (D o u t) を生成する制御部 (4 0) と、を備える。

明 細 書

発明の名称： A／D変換器

関連出願の相互参照

[0001] 本出願は、2016年5月31日に出願された日本特許出願番号2016-108556号に基づくもので、ここにその記載内容を援用する。

技術分野

[0002] 本開示は、フィードフォワード型 $\Delta\Sigma$ 変調方式と、巡回方式との2つの方式によりA／D変換をおこなうA／D変換器に関する。

背景技術

[0003] 通信や信号処理システムのデジタル化が進み、通信帯域の拡大や処理速度の高速化の要求に応えるべく、高速かつ高精度なA／D変換を実現するA／D変換器が求められている。

[0004] A／D変換の方式は種々知られているが、例えば $\Delta\Sigma$ 型A／D変換器と巡回型A／D変換器とを組み合わせるハイブリッド型のA／D変換器がある。 $\Delta\Sigma$ 型A／D変換器は巡回型A／D変換器に較べて変換精度が高く、一方で巡回型A／D変換器は $\Delta\Sigma$ 型A／D変換器に較べて変換速度が速い。このハイブリッド型のA／D変換器では、高精度が要求される上位ビットのA／D変換にあっては $\Delta\Sigma$ 型を採用し、下位ビットのA／D変換にあっては巡回型に切り替えることによって、高速かつ高精度のA／D変換を実現する。

[0005] ところで、ハイブリッド型のA／D変換器では、 $\Delta\Sigma$ 型A／D変換の実行後に残され、A／D変換の残余値に相当する $\Delta\Sigma$ 型A／D変換器を構成する積分回路の出力信号の振幅は、積分回路の増幅率に依存する。下位ビットのA／D変換に用いる巡回型A／D変換器の分解能を有効に活用することにより、ハイブリッド型A／D変換器の分解能を効率的に高めるためには、積分回路の出力信号振幅が巡回型A／D変換器の入力範囲に収まる範囲で積分回路の増幅率をなるべく高く設定することが望ましい。一方で、例えばフィードバック型の $\Delta\Sigma$ 型A／D変換器をハイブリッド型A／D変換器の初段に用

いる場合には、 $\Delta\Sigma$ 型のA/D変換の過程において、積分回路の出力にA/D変換の残余値に加えA/D変換の変換対象であるアナログ入力信号に相当する信号の成分が出力されるため、積分回路の出力信号の振幅が大きくなることから、積分回路の出力の飽和を回避するために積分回路の増幅率を低減する必要がある。

[0006] 非特許文献1に記載のハイブリッド型A/D変換器は、 $\Delta\Sigma$ 型A/D変換を実行する際には、積分回路の出力とアナログ入力信号とを加算した信号を量子化する、いわゆるフィードフォワード型 $\Delta\Sigma$ 変調を採用している。これにより、積分回路の増幅率を高く保ったまま積分回路の出力信号の振幅を抑制することができる。さらに、巡回型A/D変換の実行時に、 $\Delta\Sigma$ 型A/D変換器に用いた量子化器を再度利用することにより、 $\Delta\Sigma$ 型と巡回型の2つのA/D変換方式を少ないハードウェア量で効率的に実現している。

先行技術文献

非特許文献

[0007] 非特許文献1: Rombouts, P.; Woestyn, P.; De Bock, M.; Raman, J.; , “A very compact 1MS/s Nyquist-rate A/D-converter with 12 effective bits ,” Proceedings of the European Solid-State Circuits Conference 2012, pp.213-216, Sep. 2012

非特許文献2: Lyden, C.; Ryan, J.; Ugarte, C.A.; Kornblum, J.; Yung, F .M. ;, “A single shot sigma delta analog to digital converter for multiplexed applications,” Proceedings of the IEEE Custom Integrated Circuits Conference 1995, pp.203-206, May 1995

発明の概要

[0008] しかしながら、非特許文献1においては、フィードフォワード型の $\Delta\Sigma$ 変調を実現するためのアナログ入力信号と積分回路の出力信号との加算と、量子化とを、加算器としての機能を包含する加算機能付き量子化器 (adding quantizer) によって実行する。非特許文献1における加算機能付き量子化器は、積分回路の出力信号とアナログ入力信号および量子化に用いる基準電圧の

3組の差動信号を入力可能な差動増幅器で構成される。このため、例えば非特許文献2に示されるような加算機能を、スイッチトキャパシタ回路等を用いた加算専用の回路で構成する方式と較べて、加算の演算誤差が大きい。これにより、 $\Delta\Sigma$ 型A/D変換における量子化に誤差が生じる問題や、その量子化の誤差によって積分回路の出力信号に誤差が生じやすいという問題がある。

[0009] 本開示は、フィードフォワード型の $\Delta\Sigma$ 変調を採用するハイブリッド型A/D変換器において、積分回路の増幅率を高めて巡回型のA/D変換の効率を高めるためのフィードフォワード型の $\Delta\Sigma$ 変調を高精度に実行しつつ、 $\Delta\Sigma$ 型と巡回型の2つのA/D変換において量子化器を共用してハードウェア量を抑えることにより、高速で高精度かつ小型のA/D変換器を提供することを目的とする。

[0010] 本開示の一態様に係るA/D変換器は、変換対象のアナログ信号を入力信号とする $\Delta\Sigma$ 変調を実行するための積分回路と、少なくとも積分回路の出力信号の値と、 $\Delta\Sigma$ 変調における基準信号としての第1基準信号の値と、を加算した加算結果を出力する加算器と、積分回路の出力信号と加算器の出力信号と巡回型A/D変換における基準信号としての第2基準信号と、が入力され、積分回路の出力信号および加算器の出力信号を量子化した量子化結果を生成する量子化器と、積分回路と、加算器と、量子化器とを、 $\Delta\Sigma$ 変調器として動作させる $\Delta\Sigma$ 変調モード、または積分回路と、量子化器とを、巡回型A/D変換器として動作させる巡回モードのいずれかのモードに切り替えて動作させるとともに、量子化結果に基づいてアナログ信号のA/D変換結果を生成する制御部と、を備える。量子化器は、比較器と、積分回路および加算器と、比較器と、の間に介在し、積分回路および加算器と、比較器と、の互いの接続状態を切り替えるスイッチ部と、を有する。制御部は、 $\Delta\Sigma$ 変調モードにおいて、加算結果のみが比較器に入力されるようにスイッチ部を制御し、巡回モードにおいて、積分回路の出力信号の値と、積分回路の出力信号に対する比較値となるべく設定された第2基準信号の値と、が比較器に入

力されるようにスイッチ部を制御する。

[0011] これによれば、比較器への入力信号を $\Delta\Sigma$ 変調モードと巡回モードとで切り替えることによって、 $\Delta\Sigma$ 変調モードにおいてはフィードフォワード型の $\Delta\Sigma$ 変調器として動作し、巡回モードにおいては積分回路の出力を比較器の入力に加算器を介さずに直接接続して巡回型のA/D変換を実行できる。

[0012] 具体的には、 $\Delta\Sigma$ 変調によるA/D変換においては、加算器においてアナログ信号と積分回路の出力信号と第1基準信号とを加算した上で、加算器の出力信号のみを入力信号として持つ、実質1差動入力の比較器によって量子化するため、非特許文献1の構成に較べて加算の演算精度を向上するとともに量子化の精度を向上することができる。一方、巡回型のA/D変換においては、量子化器において第2基準信号と積分回路の出力信号とを加算器を介することなく、2差動入力の比較器によって比較するため、高速かつ高精度にA/D変換を実行することができる。

図面の簡単な説明

[0013] 本開示についての上記目的およびその他の目的、特徴や利点は、添付の図面を参照しながら下記の詳細な記述により、より明確になる。図面において、

[図1]図1は、第1実施形態におけるA/D変換器の構成を示すブロック図であり、

[図2]図2は、量子化器の詳細な構成を示す回路図であり、

[図3]図3は、 $\Delta\Sigma$ 変調モードにおける量子化器の接続状態を示す回路図であり、

[図4]図4は、巡回モードにおける量子化器の接続状態を示す回路図であり、

[図5]図5は、A/D変換器の動作を時系列で示すタイミングチャートであり、

[図6]図6は、 $\Delta\Sigma$ 変調モードにおけるA/D変換器の接続状態を示す回路図であり、

[図7]図7は、巡回モードにおけるA/D変換器の接続状態を示す回路図であ

り、

[図8]図8は、第2実施形態におけるA/D変換器の構成を示すブロック図であり、

[図9]図9は、A/D変換器の動作を時系列で示すタイミングチャートであり、

[図10]図10は、巡回モードにおいてスイッチ(CYC1)がオンにされたときのA/D変換器の接続状態を示す回路図であり、

[図11]図11は、巡回モードにおいてスイッチ(CYC2)がオンにされたときのA/D変換器の接続状態を示す回路図であり、

[図12]図12は、第3実施形態におけるA/D変換器の構成を示すブロック図であり、

[図13]図13は、A/D変換器の動作を時系列で示すタイミングチャートであり、

[図14]図14は、 $\Delta\Sigma$ 変調モードにおけるA/D変換器の接続状態を示す回路図であり、

[図15]図15は、巡回モードにおけるA/D変換器の接続状態を示す回路図であり、

[図16]図16は、第4実施形態におけるA/D変換器の構成を示すブロック図であり、

[図17]図17は、量子化器の詳細な構成を示す回路図であり、

[図18]図18は、A/D変換器の動作を時系列で示すタイミングチャートであり、

[図19]図19は、 $\Delta\Sigma$ 変調モードにおけるA/D変換器の接続状態を示す回路図であり、

[図20]図20は、巡回モードにおけるA/D変換器の接続状態を示す回路図であり、及び、

[図21]図21は、変形例におけるA/D変換器の構成を示すブロック図である。

発明を実施するための形態

[0014] 以下、本開示の実施の形態を図面に基づいて説明する。なお、以下の各図相互において、互いに同一もしくは均等である部分に、同一符号を付与する。

[0015] (第1実施形態)

最初に、図1～図4を参照して、本実施形態に係るA/D変換器の概略構成について説明する。

[0016] このA/D変換器は、 $\Delta\Sigma$ 型A/D変換と巡回(サイクリック)型A/D変換の2つの方式のA/D変換器を備え、要求されるA/D変換精度および変換速度に応じて $\Delta\Sigma$ 変調によるA/D変換($\Delta\Sigma$ 変調モード)と巡回型のA/D変換(巡回モード)とを切り替えて動作するハイブリッド型のA/D変換器である。

[0017] 図1に示すように、本実施形態におけるA/D変換器100は、アナログ信号である V_{in} が入力されると、デジタル信号として D_{out} を出力する。

[0018] A/D変換器100は、積分回路10と、量子化器20と、加算器30と、制御部40と、DAC50と、減算部60と、を備えている。本実施形態におけるA/D変換器100は、1つの積分回路10と、1つのDAC50とを用いてアナログ信号 V_{in} に対してA/D変換を行う、1次 $\Delta\Sigma$ 変調を実行する。

[0019] 積分回路10は、スイッチ(DS)と減算部60を介してアナログ信号 V_{in} を入力可能にされている。積分回路10は図示しないオペアンプと積分容量とを有している。なお、以降、スイッチについての符号は、 $\Delta\Sigma$ 変調によるA/D変換に供されるものにDSと付し、巡回型のA/D変換に供されるものにCYC(あるいはCYC1/CYC2)と付す。

[0020] $\Delta\Sigma$ 変調によるA/D変換において、積分回路10は、減算部60により演算される、アナログ信号 V_{in} と、後述の量子化結果 Q_{out} に対応した信号との差分を積分して、積分回路10の出力信号である V_{int} を出力す

る。本実施形態におけるA/D変換器100は差動信号による動作を行うため、積分回路10は出力信号 V_{int} として、 $V_{int}+$ およびその逆極性の $V_{int}-$ を出力する。

[0021] 一方、巡回型のA/D変換においては、積分回路10は、積分回路10の出力に残されるA/D変換の残差に対するDAC50および減算部60による減算と、積分回路10による増幅動作とによる演算結果を、再び積分回路10の出力信号 V_{int} として出力する。なお、A/D変換器100は、図1に示すように、積分回路10の出力端子と減算部60の入力端子がスイッチ(CYC)を介して相互に接続されており、巡回モードにおいて積分回路10の出力信号 V_{int} を減算部60に入力できるようになっている。

[0022] 量子化器20は、積分回路10の出力信号 V_{int} 、あるいは後述の加算器30の出力信号である加算結果 V_{sum} が入力され、これらの出力信号を量子化した量子化結果 Q_{out} を出力する。なお、本実施形態における量子化器20は、量子化器20aと量子化器20bとを有する1.5ビット量子化器である。また、量子化器20aと量子化器20bは、それぞれに V_{int} 、 V_{sum} 、後述の基準信号 V_{refc} が入力される。

[0023] 量子化器20の具体的な構成を、図2を参照して説明する。なお、上記したように、量子化器20は量子化器20aと量子化器20bとを有するが、その構成は入力される基準信号 V_{refc} の極性を除いて互いに同一である。なお、図2において、括弧内に示す信号名(極性)は量子化器20bにおける信号名である。

[0024] 図2に示すように、量子化器20aは、4入力(2組の差動信号の入力)1出力の比較器22を有する。比較器22は、2つの非反転入力端子と、2つの反転入力端子と、1つの出力端子と、を有する。

[0025] また、量子化器20aは、積分回路10と比較器22、および後述の加算器30と比較器22との接続状態を制御するスイッチ部24を有する。本実施形態におけるスイッチ部24は量子化器20aの6個の入力(3組の差動信号の入力)を比較器22の4個の入力(2組の差動信号の入力)に切り替

えて入力するようになっている。量子化器20a、ひいてはスイッチ部24に入力される信号は、図1および図2に示すように、巡回モード時の比較器22の基準電圧となる第2基準信号 V_{refc-} およびその逆極性の V_{refc+} と、積分回路10の出力信号たる V_{int+} およびその逆極性の V_{int-} と、加算器30の出力信号たる加算結果 V_{sum+} とその逆極性の V_{sum-} である。

[0026] なお、量子化器20aに入力される各種信号には添え符号として<a>を付す。例えば、量子化器20aに入力される V_{refc-} は $V_{refc-}<a>$ と記載し、 V_{int+} は $V_{int+}<a>$ と記載する。一方で、量子化器20bに入力される各種信号には添え符号としてを付す。例えば、量子化器20bに入力される V_{refc+} は V_{refc+} と記載し、 V_{sum+} は V_{sum+} と記載する。

[0027] 第2基準信号 V_{refc-} は、スイッチ(CYC)を介して比較器22における一方の非反転入力端子に入力可能になっている。この非反転入力端子に入力される電圧を V_{q1+} と示す。より詳しくは、量子化器20aにおいては $V_{q1+}<a>$ と示し、量子化器20bにおいては V_{q1+} と示す。つまり、スイッチ(CYC)がオンのとき、 $V_{q1+}<a>$ は $V_{refc-}<a>$ に等しい。ただし、 V_{q1+} は V_{refc-} の逆極性である V_{refc+} に等しい。

[0028] 積分回路10の出力信号 V_{int+} は、スイッチ(CYC)を介して比較器22における他方の非反転入力端子に入力可能になっている。この非反転入力端子に入力される電圧を V_{q2+} と示す。より詳しくは、量子化器20aにおいては $V_{q2+}<a>$ と示し、量子化器20bにおいては V_{q2+} と示す。つまり、スイッチ(CYC)がオンのとき、 V_{q2+} は V_{int+} に等しい。

[0029] 加算器30の出力信号たる加算結果 V_{sum+} は、スイッチ(DS)を介して比較器22における2つの非反転入力端子の両方に入力可能になっている。つまり、スイッチ(DS)がオンのとき $V_{q1+}<a>$ および V_{q2+}

$\langle a \rangle$ はそれぞれ $V_{sum} + \langle a \rangle$ に等しく、また、 $V_{q1} + \langle b \rangle$ および $V_{q2} + \langle b \rangle$ はそれぞれ $V_{sum} + \langle b \rangle$ に等しい。

[0030] 第2基準信号 V_{refc+} は、スイッチ(CYC)を介して比較器22における一方の反転入力端子に入力可能になっている。この反転入力端子に入力される電圧を V_{q1-} と示す。より詳しくは、量子化器20aにおいては $V_{q1-} \langle a \rangle$ と示し、量子化器20bにおいては $V_{q1-} \langle b \rangle$ と示す。つまり、スイッチ(CYC)がオンのとき、 $V_{q1-} \langle a \rangle$ は $V_{refc+} \langle a \rangle$ に等しい。ただし、 $V_{q1-} \langle b \rangle$ は V_{refc+} の逆極性である $V_{refc-} \langle b \rangle$ に等しい。

[0031] 積分回路10の出力信号 V_{int-} は、スイッチ(CYC)を介して比較器22における他方の反転入力端子に入力可能になっている。この反転入力端子に入力される電圧を V_{q2-} と示す。より詳しくは、量子化器20aにおいては $V_{q2-} \langle a \rangle$ と示し、量子化器20bにおいては $V_{q2-} \langle b \rangle$ と示す。つまり、スイッチ(CYC)がオンのとき、 V_{q2-} は V_{int-} に等しい。

[0032] 加算器30の出力信号たる加算結果 V_{sum-} は、スイッチ(DS)を介して比較器22における2つの反転入力端子の両方に入力可能になっている。つまり、スイッチ(DS)がオンのとき $V_{q1-} \langle a \rangle$ および $V_{q2-} \langle a \rangle$ はそれぞれ $V_{sum-} \langle a \rangle$ に等しく、また、 $V_{q1-} \langle b \rangle$ および $V_{q2-} \langle b \rangle$ はそれぞれ $V_{sum-} \langle b \rangle$ に等しい。

[0033] 上記したように、スイッチ(DS)は $\Delta\Sigma$ 変調モードにおいてオンになるスイッチである。よって、 $\Delta\Sigma$ 変調モードにおける比較器22は、図3に示すように、実質的に加算器30に出力信号である V_{sum+} と V_{sum-} のみが1組の差動信号として入力されて互いを比較する1差動入力の比較器として機能する。

[0034] また、スイッチ(CYC)は巡回モードにおいてオンになるスイッチである。よって、巡回モードにおける比較器22は、図4に示すように、 V_{int+} と V_{int-} との差分と、 V_{refc+} と V_{refc-} との差分と、を

比較する2差動入力の比較器として機能する。

[0035] 加算器30は、入力される信号を加算し、その加算結果を出力する加算器である。加算器30に入力される信号は、図1に示すように、 $\Delta\Sigma$ 変調モード時の基準電圧たる第1基準信号 V_{ref+} およびその逆極性 V_{ref-} と、変換対象であるアナログ信号 V_{in+} およびその逆極性 V_{in-} と、積分回路10の出力信号 V_{int+} およびその逆極性 V_{int-} である。なお、加算器30も、量子化器20に対応して2つの加算器30aと加算器30bとを有する。加算器30aと加算器30bとの構成は入力する第1基準信号 V_{ref} の極性が異なる点を除いて互いに同一である。

[0036] 加算器30aあるいは加算器30bは、入力される各信号に基づいて加算を実行し、その結果を V_{sum} として量子化器20に出力する。具体的には、加算器30aでは、 V_{in} と V_{int} と V_{ref+} （図1では V_{ref+} と記載）を加算した結果である加算結果 $V_{sum<a>}$ が量子化器20aに対して出力される。また、加算器30bでは、 V_{in} と V_{int} と逆極性とした基準信号 V_{ref} （図1では V_{ref-} と記載）を加算した結果である加算結果 V_{sum} が量子化器20bに対して出力される。加算結果 $V_{sum<a>}$ および V_{sum} には、それぞれ変換対象のアナログ信号である V_{in} の成分が含まれ、この加算結果は $\Delta\Sigma$ 変調モードにおいて量子化器20に入力される。すなわち、このA/D変換器100は、 $\Delta\Sigma$ 変調モードにおいてフィードフォワード型の $\Delta\Sigma$ 変調器を構成する。

[0037] 制御部40は、量子化器20の生成する量子化結果 Q_{out} に基づいて、アナログ信号 V_{in} のA/D変換結果 D_{out} を生成する。また、制御部40は、 Q_{out} に基づいて後述のDAC50を制御することにより、DAC50から後述の減算部60への出力を制御する。なお、本実施形態における制御部40は、量子化器20aの出力信号 $Q_{out<a>}$ と、量子化器20bの出力信号 Q_{out} と、の組み合わせに対応した $Q_{out<a:b>}$ に基づいてDAC50を制御している。例えば、 $Q_{out<a>}=0$ 、且つ、 $Q_{out}=0$ であれば、 $Q_{out<a:b>}=-1$ であり、 $Q_{out<a>}=0$ 、且つ、 $Q_{out}=1$ であれば、 $Q_{out<a:b>}=0$ であり、 $Q_{out<a>}=1$ 、且つ、 $Q_{out}=0$ であれば、 $Q_{out<a:b>}=1$ であり、 $Q_{out<a>}=1$ 、且つ、 $Q_{out}=1$ であれば、 $Q_{out<a:b>}=2$ である。

$out < a > = 0$ 、且つ、 $Qout < b > = 1$ であれば、 $Qout < a : b > = 0$ であり、 $Qout < a > = 1$ 、且つ、 $Qout < b > = 1$ であれば、 $Qout < a : b > = 1$ である。

[0038] また、制御部40は、A/D変換器100を構成する各種スイッチを制御している。具体的には、 $\Delta\Sigma$ 変調モードにおいてはスイッチ(DS)をオンにするとともにスイッチ(CYC)をオフし、巡回モードにおいてはスイッチ(DS)をオフにするとともにスイッチ(CYC)をオンする。

[0039] DAC50は、例えば一般的に知られた容量式D/A変換器である。DAC50は、量子化結果 $Qout$ 、および、制御部40から出力される制御信号に基づいて、図示しないDAC容量に規定の電圧を入力する。DAC容量に入力された電圧に基づいて、減算部60における減算が実行される。

[0040] 次に、図5～図7を参照して、A/D変換器100の動作について説明する。

[0041] 本実施形態におけるA/D変換器100の動作に係るタイミングチャートを図5に示す。CLKは基準クロックを表し、図5では基準クロックがHighまたはLowの状態を示すタイミングが横軸を時間にして示されている。DSはスイッチ(DS)のオンまたはオフの状態を示している。DSがHighであればスイッチ(DS)がオンであり、Lowであればスイッチ(DS)がオフである。CYCはスイッチ(CYC)のオンまたはオフの状態を示している。CYCがHighであればスイッチ(CYC)がオンであり、Lowであればスイッチ(CYC)がオフである。 $Vq1 + < a > \sim Vq2 - < b >$ は量子化器20における入力端子の各信号の状態である。 $Qout < a : b >$ は、 $Qout < a >$ と $Qout < b >$ とに基づいて論理演算された結果である。図5には、A/D変換動作の一例として $Qout < a : b >$ の値を記載する。Doutは制御部40で $Qout < a : b >$ の値を演算して生成される値であり、アナログ信号VinをA/D変換した結果である。この例では、リセット動作の後に $\Delta\Sigma$ 変調モードにおける量子化が4サイクル実行され、その後に巡回モードにおける量子化が6サイクル実行される。

。すなわち、リセット動作を含めて11クロックでA/D変換を完了する。

[0042] 具体的には、図5に示すように、最初にリセット動作が実行される。リセット動作は、スイッチ(DS)がオンされて積分回路10やDAC50に含まれる容量素子やオペアンプ等の電位をアナロググラウンドレベル等の所定の電位にリセットする。

[0043] 次いで、制御部40は、A/D変換器100を $\Delta\Sigma$ 変調モードで動作させる。具体的にはスイッチ(DS)をオンにするとともにスイッチ(CYC)をオフにする。これにより、量子化器20は図3に示す結線状態となり、図1および図2に示すA/D変換器100は、実質的に図6に示す結線状態となる。つまり、量子化器20aおよび20bはそれぞれ実質的に1組の差動信号を入力として持つ比較器として機能する。この際の量子化器20a, 20bへの入力信号は、 V_{int} と V_{in} に加え、さらに第1基準信号 V_{ref_s} とを加算した結果である加算器30の出力信号 V_{sum} である。

[0044] 具体的には、 $\Delta\Sigma$ 変調モードでは、A/D変換器100は、減算部60においてアナログ信号 V_{in} からDAC50の出力信号を減算した結果を積分回路10によって積分した後に、加算器30による加算を実行し、加算器30の出力信号を量子化器20によって量子化する。この際、A/D変換器100は、加算器30において積分回路10の出力信号にアナログ信号 V_{in} が加算されるフィードフォワード型の $\Delta\Sigma$ 変調器として動作する。

[0045] 本実施形態におけるA/D変換では、 $\Delta\Sigma$ 変調モードにおける量子化は4サイクル実行される。すなわち、図5に示すように、量子化器20による量子化結果 $Q_{out} < a : b >$ は4サイクルの量子化の間に $1 \rightarrow 0 \rightarrow 0 \rightarrow 1$ のように変化し、その量子化結果を積算することによりA/D変換器100のA/D変換結果 D_{out} の上位ビット分に相当するA/D変換結果が得られる。図5では、 $\Delta\Sigma$ 変調によって得られるA/D変換結果がA/D変換結果 D_{out} に対して持つ重みを考慮して D_{out} の値を記載してある。 $\Delta\Sigma$ 変調モードにおける4サイクルの量子化の結果は、 $Q_{out} < a : b >$ の積算値に重みの64を乗じた結果として D_{out} に反映され、 D_{out} は $64 \rightarrow$

6 4 → 6 4 → 1 2 8 のように変化する。

[0046] 次いで、制御部 40 は、A/D 変換器 100 を巡回モードで動作させる。具体的にはスイッチ (CYC) をオンにするとともにスイッチ (DS) をオフにする。これにより、量子化器 20 は図 4 に示す結線状態となり、図 1 および図 2 に示す A/D 変換器 100 は、実質的に図 7 に示す結線状態となる。つまり、量子化器 20 a および 20 b はそれぞれ 2 差動入力の比較器として機能する。この際の量子化器 20 a, 20 b への入力信号は、積分回路 10 の出力信号 V_{int+} および V_{int-} と、第 2 基準信号 V_{refc+} および V_{refc-} である。

[0047] 巡回モードにおいては、量子化器 20 は、第 2 基準信号 V_{refc+} および V_{refc-} を閾値として、1.5 ビットの量子化を実行する。本実施形態では、巡回モードにおける A/D 変換は 6 サイクル実行される。すなわち、図 5 に示すように、 $Q_{out} < a : b >$ は巡回型の A/D 変換における 6 サイクルの間に $0 \rightarrow -1 \rightarrow 0 \rightarrow 1 \rightarrow 0 \rightarrow 1$ のように変化する、その量子化結果を一般的な巡回型 A/D 変換器と同様に A/D 変換結果 D_{out} に適宜重み付け加算した結果として、A/D 変換結果 D_{out} は $128 \rightarrow 112 \rightarrow 112 \rightarrow 116 \rightarrow 116 \rightarrow 117$ のように変化する。

[0048] 次に、本実施形態における A/D 変換器 100 を採用することによる作用効果について説明する。

[0049] 本実施形態における A/D 変換器 100 は、比較器 22 への入力信号を、スイッチ部 24 を用いて $\Delta\Sigma$ 変調モードと巡回モードとで切り替えることによって、 $\Delta\Sigma$ 変調モードにおいては加算器 30 の出力を比較器 22 に接続してフィードフォワード型の $\Delta\Sigma$ 変調器として動作し、巡回モードでは積分回路 10 の出力と比較器 22 とを加算器 30 を介さずに接続して巡回型 A/D 変換器として動作する。

[0050] 具体的には、 $\Delta\Sigma$ 変調による A/D 変換においては、A/D 変換器 100 は、加算器 30 においてアナログ信号 V_{in} と積分回路 10 の出力信号と基準電圧 (第 1 基準信号) とを加算した上で、加算器 30 の出力信号のみを入

力信号として持つ実質 1 差動入力と比較器として動作する量子化器 20 によって量子化するため、従来の構成に較べて加算の演算精度を向上するとともに量子化の精度を向上することができる。一方、巡回型の A/D 変換においては、量子化器 20 において基準電圧（第 2 基準信号）と積分回路 10 の出力とを加算器 30 を介することなく、2 組の差動信号を入力として持つ比較器 22 で比較するため、加算器 30 の動作速度に影響を受けることなく高速かつ高精度に A/D 変換を実行することができる。

[0051] （第 2 実施形態）

第 1 実施形態において説明した 1 次 $\Delta\Sigma$ 変調を用いる A/D 変換器 100 を基本構成とし、適宜構成を変更することができる。第 1 実施形態では巡回モードにおいて 1 クロックあたり 1 サイクルの A/D 変換を行う構成を例示したが、本実施形態では、巡回モードにおいて 1 クロックあたり 2 サイクルの A/D 変換を行うことが可能な構成について説明する。

[0052] 本実施形態における A/D 変換器 110 は、D/A 変換器および減算部をそれぞれ 2 つずつ備えている。つまり、A/D 変換器 110 は、第 1 実施形態における A/D 変換器 100 と較べて D/A 変換器および減算部をそれぞれ 1 つずつ多く備えている。具体的には、図 8 に示すように、A/D 変換器 110 は、第 1 DAC 52 と、第 2 DAC 54 と、第 1 減算部 62 と、第 2 減算部 64 と、を備えている。第 1 DAC 52 は第 1 実施形態における DAC 50 に相当する。第 1 DAC 52 は第 1 減算部 62 に接続されている。第 1 減算部 62 は第 1 実施形態における減算部 60 に相当する。第 1 減算部 62 と積分回路 10 との間には、スイッチ（CYC 2）が介在している。そして、スイッチ（CYC 2）と積分回路 10 との間の接点に、スイッチ（CYC 1）を介して第 2 減算部 64 が接続されている。第 2 DAC 54 は制御部 40 と第 2 減算部 64 との間に介在している。積分回路 10 の出力信号 V_{int} は、第 1 実施形態と同様にスイッチ（CYC）を介して第 1 減算部 62 に接続されている。これに加えて、本実施形態では、出力信号 V_{int} が第 2 減算部 64 にも接続されている。積分回路 10 から第 2 減算部 64 への接

続はスイッチ（CYC1）がオンのときに有効になる。スイッチ（CYC1）が有効になると、第2減算部64によって第2DAC54の出力信号が積分回路10の出力信号Vintから減算され、その減算の結果である第2減算部64の出力信号が積分回路10の入力に接続される。

[0053] 図8において、符号DSが付されたスイッチ（DS）は $\Delta\Sigma$ 変調モードにおいてオンになるスイッチである。符号CYCが付されたスイッチ（CYC）は巡回モードにおいてオンになるスイッチである。符号CYC1が付されたスイッチ（CYC1）は巡回モードにおいて、第2DAC54を介して減算を行う場合にオンになるスイッチである。符号CYC2が付されたスイッチ（CYC2）は巡回モードにおいて、第1DAC52を介して減算を行う場合にオンになるスイッチである。なお、第1減算部62の出力端子と積分回路10の入力端子との間に介在するスイッチ（DS or CYC2）は、 $\Delta\Sigma$ 変調モードにおいてオンになるとともに、巡回モードにおいて、第1DAC52を介して減算を行う場合にもオンになる。

[0054] 図9～図11を参照して、本実施形態におけるA/D変換器110の具体的な動作について説明する。

[0055] 本実施形態におけるA/D変換器110の動作に係るタイミングチャートを図9に示す。CYC1はスイッチ（CYC1）のオンまたはオフの状態を示している。CYC1がHighであればスイッチ（CYC1）がオンであり、Lowであればスイッチ（CYC1）がオフである。CYC2はスイッチ（CYC2）のオンまたはオフの状態を示している。CYC2がHighであればスイッチ（CYC2）がオンであり、Lowであればスイッチ（CYC2）がオフである。

[0056] 図9に示すように、最初にリセット動作が実行される。リセット動作は第1実施形態におけるリセット動作と同様であるため説明を省略する。

[0057] 次いで、制御部40は、A/D変換器110を $\Delta\Sigma$ 変調モードで動作させる。具体的にはスイッチ（DS）をオンにするとともにスイッチ（CYC）をオフにする。ただし、第1減算部62の出力端子と積分回路10の入力端

子との間に介在するスイッチ（DS or CYC2）はオンにする。その結果、図8に示すA/D変換器110の結線状態は第1実施形態における $\Delta\Sigma$ 変調モードと実質的に同一となる（図6）。本実施形態における $\Delta\Sigma$ 変調モードにおける量子化も、第1実施形態と同様に4サイクルに亘って実行される。量子化の動作は第1実施形態における $\Delta\Sigma$ 変調モードの動作と同様であるからその説明を省略する。

[0058] 次いで、制御部40は、A/D変換器110を巡回モードで動作させる。具体的には、制御部40は、スイッチ（CYC）をオンにするとともにスイッチ（DS）をオフにする。加えて、このとき、スイッチ（CYC1）はオンにし、第1減算部62の出力端子と積分回路10の入力端子との間に介在するスイッチ（DS or CYC2）はオフにする。これにより、量子化器20は図4に示す結線状態となり、図8に示すA/D変換器110は、実質的に図10に示す結線状態となる。これは、第1実施形態における巡回モードと実質的に同一の結線状態である。図10に示す結線状態においてA/D変換が行われた直後、すなわち、巡回モードが開始されてから半クロック後において、スイッチ（CYC1）がオフされるとともにスイッチ（DS or CYC2）がオンされる。これにより、図8に示すA/D変換器110は、実質的に図11に示す結線状態となる。量子化結果に基づく減算を実行するためのD/A変換器は、第2DAC54から第1DAC52に切り替わり、第2減算部64は第1減算部62に切り替わるが、実質的な動作はスイッチ（CYC1）がオンの場合と同一である。

[0059] つまり、1クロックの間に、スイッチ（CYC1）がオンとされた状態でのA/D変換と、スイッチ（CYC2）がオンとされた状態でのA/D変換とが連続で実行される。すなわち、1クロックの間に巡回型のA/D変換が2サイクル実行される。第1実施形態においては巡回型のA/D変換の1サイクルに1クロックを要したが、本実施形態における巡回型のA/D変換は1クロックのうちに2サイクル実行されるので、巡回モードにおけるA/D変換に要する時間を短縮することができる。本実施形態においては、巡回型

のA/D変換の実行時に第2基準信号V_{refc}および積分回路10の出力の2つの差動信号が加算器30を介さずに比較器22に直接入力される。そのため、加算器30の遅延時間が量子化器20による量子化の速度に影響を与えない。また、2組の差動信号を入力信号とする量子化は2差動入力の比較器22を用いることで高精度に実行できることから、量子化器20は量子化の精度を保ちつつ高速に量子化を実行することができる。これにより、A/D変換器110は、1クロックの間に精度を保ちつつ巡回型のA/D変換を2サイクル実行できる。

[0060] (第3実施形態)

第1実施形態および第2実施形態では1次 $\Delta\Sigma$ 変調を用いるA/D変換器について説明した。これに対して、本実施形態では、2次 $\Delta\Sigma$ 変調を用いるA/D変換器について説明する。

[0061] 本実施形態におけるA/D変換器120は、図12に示すように、積分回路10としての第1積分器12および第2積分器14と、量子化器20と、加算器32と、制御部40と、第1DAC56と、第2DAC58と、第1減算部66と、第2減算部68と、を備えている。

[0062] 第1積分器12は、第1減算部66を介してアナログ信号V_{in}が入力される。第1減算部66は第1実施形態における減算部60と同様の機能を発揮する。すなわち、第1減算部66により、V_{in}から後述の第1DAC56の出力信号の減算が実行されて、減算結果が第1積分器12に入力される。なお、第1積分器12の出力信号をV_{int1}と示す。また、極性を示すときにはV_{int1}+あるいはV_{int1}-と示す。V_{int1}はスイッチ(DS)を介して第2積分器14に入力されるとともに、後述の加算器32にも入力される。

[0063] 第2積分器14の入力端子は、スイッチ(DS)を介して第1積分器12の出力端子に接続されている。第2積分器14の出力信号V_{int2}は加算器32あるいは量子化器20に出力されるとともに、第2減算部68に対しても出力される。第2減算部68は第2実施形態における第2減算部64と

同様の機能を奏するものであり、量子化結果に基づいて V_{int2} に対して減算を実行し、その減算結果を、スイッチ（CYC）を介して第2積分器14に入力する。

[0064] 量子化器20は、図2に示すように、比較器22およびスイッチ部24はともに第1実施形態と同一の構成を採用することができる。ただし、スイッチ部24に入力される信号について、図2で V_{int+} と記載した部分は V_{int2+} に読み替え、 V_{int-} と記載した部分は V_{int2-} に読み替える。

[0065] 加算器32に入力される信号は、図12に示すように、 $\Delta\Sigma$ 変調モード時の基準電圧である第1基準信号 V_{ref+} およびその逆極性 V_{ref-} と、変換対象であるアナログ信号 V_{in+} およびその逆極性 V_{in-} と、第1積分器12の出力信号 V_{int1+} およびその逆極性 V_{int1-} と、第2積分器14の出力信号 V_{int2+} およびその逆極性 V_{int2-} である。なお、加算器32も、量子化器20に対応して2つの加算器32aと加算器32bとを有する。加算器32aと加算器32bの構成は入力する第1基準信号 V_{ref} の極性が異なる点を除いて互いに同一である。

[0066] 加算器32aあるいは加算器32bは、入力される各信号に基づいて加算を実行し、その結果を V_{sum} として量子化器20に出力する。第1または第2実施形態における加算器30では、積分回路10の出力信号 V_{int} を加算対象に含んでいるが、本実施形態における加算器32は、 V_{int} の代わりに第1積分器12の出力 V_{int1} および第2積分器14の出力 V_{int2} を加算対象に含んでいる。この加算器32においても、加算結果 V_{sum+} および V_{sum-} には、それぞれ変換対象のアナログ信号である V_{in+} および V_{in-} の成分が含まれ、この加算結果は $\Delta\Sigma$ 変調モードにおいて量子化器20に入力される。すなわち、このA/D変換器120は、 $\Delta\Sigma$ 変調モードにおいて2次のフィードフォワード型の $\Delta\Sigma$ 変調器を構成する。

[0067] 制御部40は、第1または第2実施形態と同様であり、量子化器20の生成する量子化結果 Q_{out} に基づいて、アナログ信号 V_{in} のA/D変換結

果 D_{out} を生成する。また、制御部 40 は、後述の第 1 DAC 56 および第 2 DAC 58 を Q_{out} に基づいて制御することで、 $\Delta\Sigma$ 変調モードおよび巡回モードにおける減算に係る DAC の出力信号を決定する。

[0068] 第 1 DAC 56 および第 2 DAC 58 は、例えば一般的に知られた容量式 D/A 変換器である。第 1 DAC 56 は、制御部 40 から出力される制御信号に基づいて、図示しない DAC 容量に規定の電圧を入力する。第 2 DAC 56 における DAC 容量に入力された電圧に基づいて、第 1 減算部 66 における減算が実行される。また、第 2 DAC 58 は、制御部 40 から出力される制御信号に基づいて、図示しない DAC 容量に規定の電圧を入力する。第 2 DAC 58 における DAC 容量に入力された電圧に基づいて、第 2 減算部 68 における減算が実行される。なお、本実施形態における第 1 DAC 56 は第 1 D/A 変換器に相当し、第 2 DAC 58 は第 2 D/A 変換器に相当する。

[0069] 次に、図 13～図 15 を参照して、A/D 変換器 120 の動作について説明する。

[0070] 本実施形態における A/D 変換器 120 の動作に係るタイミングチャートを図 13 に示す。 ΣQ_{out} はアナログ信号 V_{in} を A/D 変換である $Q_{out} < a : b >$ の積算値である。 $\Sigma\Sigma Q_{out}$ は ΣQ_{out} を積算した値、すなわち、アナログ信号 V_{in} を A/D 変換である $Q_{out} < a : b >$ の二次積算値である。本実施形態における A/D 変換結果 D_{out} は二次積算値 $\Sigma\Sigma Q_{out}$ に基づいて計算される。この例では、リセット動作の後に $\Delta\Sigma$ 変調モードにおける量子化が 4 サイクル実行される。その後に、 $\Delta\Sigma$ 変調モードにおける最後の量子化結果に基づく減算の結果を第 1 積分器 12 から第 2 積分器 14 に受け渡すための LAST フェーズが設けられている。その後、巡回型の A/D 変換が 6 サイクル実行される。すなわち、リセット動作および LAST フェーズを含めて 12 クロックで A/D 変換を完了する。

[0071] 具体的には、図 13 に示すように、最初にリセット動作が実行される。リセット動作は、スイッチ (DS) がオンされて第 1 積分器 12 および第 2 積

分器 1 4 や第 1 D A C 5 6 および第 2 D A C 5 8 等に含まれる容量素子やオペアンプ等の電位をグラウンドレベル等にリセットする。

[0072] 次いで、制御部 4 0 は、A / D 変換器 1 2 0 を $\Delta \Sigma$ 変調モードで動作させる。具体的にはスイッチ (D S) をオンにするとともにスイッチ (C Y C) をオフにする。これにより、量子化器 2 0 は図 3 に示す結線状態となり、図 1 2 および図 2 (ただし、 V_{int+} および V_{int-} はそれぞれ V_{int2+} 、 V_{int2-} に読み替える。) に示す A / D 変換器 1 2 0 は、実質的に図 1 4 に示す結線状態となる。

[0073] 具体的には、 $\Delta \Sigma$ 変調モードでは、第 1 減算部 6 6 においてアナログ信号 V_{in} から第 1 D A C 5 6 の出力信号の減算が実行されつつ、第 1 減算部 6 6 の出力信号が第 1 積分器 1 2 および第 2 積分器 1 4 によって順次積分された後に、加算器 3 0 による加算が実行され、加算器 3 0 の出力信号が量子化器 2 0 によって量子化される。この際、A / D 変換器 1 2 0 は、加算器 3 2 において第 1 積分器 1 2 および第 2 積分器 1 4 の出力信号にアナログ信号 V_{in} が加算されるフィードフォワード型の $\Delta \Sigma$ 変調器として動作する。

[0074] 本実施形態における A / D 変換では、 $\Delta \Sigma$ 変調モードにおける量子化は 4 サイクル実行される。すなわち、図 1 3 に示すように、量子化器 2 0 による量子化結果 $Q_{out} < a : b >$ は 4 サイクルの量子化の間に $1 \rightarrow 0 \rightarrow 1 \rightarrow 0$ のように変化し、その二次積算値 ($\Sigma \Sigma Q_{out}$) としては $1 \rightarrow 2 \rightarrow 4 \rightarrow 6$ のように変化する。このため、 $\Delta \Sigma$ 変調モードにおける A / D 変換結果を上位ビットに反映した A / D 変換器 1 2 0 全体の A / D 変換結果 D_{out} は $64 \rightarrow 128 \rightarrow 256 \rightarrow 384$ のように変化する。

[0075] その次の 1 クロックにおいて、制御部 4 0 は量子化を実行せず、第 1 積分器 1 2 に残留する信号を第 2 積分器 1 4 に転送するための L A S T フェーズに移行する。

[0076] 次いで、制御部 4 0 は、A / D 変換器 1 2 0 を巡回モードで動作させる。具体的にはスイッチ (C Y C) をオンにするとともにスイッチ (D S) をオフにする。これにより、量子化器 2 0 は図 4 に示す結線状態となり、図 1 2

に示すA/D変換器120は図15に示す結線状態となる。これは第1実施形態における巡回モードの結線状態と実質的に同一である。このため、本実施形態におけるA/D変換器120の巡回モードの動作は、第1実施形態と同様であるから、その説明を省略する。なお、巡回モードにおけるA/D変換は6サイクル実行される。すなわち、図13に示すように、 $Q_{out} < a : b >$ は巡回型のA/D変換の6サイクルの間に $0 \rightarrow -1 \rightarrow 0 \rightarrow 1 \rightarrow 0 \rightarrow 1$ のように変化し、その量子化結果を一般的な巡回型A/D変換器と同様にA/D変換結果 D_{out} に適宜重み付け加算した結果として、A/D変換結果 D_{out} は $384 \rightarrow 368 \rightarrow 368 \rightarrow 372 \rightarrow 372 \rightarrow 373$ のように変化する。

[0077] 次に、本実施形態におけるA/D変換器120を採用することによる作用効果について説明する。

[0078] 本実施形態におけるA/D変換器120は、 $\Delta\Sigma$ 変調モードにおいてはフィードフォワード型の2次 $\Delta\Sigma$ 変調器として動作し、巡回モードでは巡回型A/D変換器として動作する。そのほか、第1実施形態と同様の効果を奏する。

[0079] (第4実施形態)

2次 $\Delta\Sigma$ 変調を実行する構成においても、巡回モードにおいて、1クロックあたり巡回型のA/D変換を2サイクル実行し、巡回型のA/D変換の変換速度を高速化することができる。本実施形態では、2次 $\Delta\Sigma$ 変調を用いる構成において巡回型のA/D変換を高速化することができる構成について説明する。

[0080] 本実施形態におけるA/D変換器130は、図16に示すように、積分回路10としての第1積分器12および第2積分器14と、量子化器26と、加算器32と、制御部40と、第1DAC70と、第2DAC72と、第1減算部80と、第2減算部82と、を備えている。

[0081] 第1積分器12は、第3実施形態における第1積分器12と同様であり、第1減算部80を介してアナログ信号 V_{in} が入力される。第1減算部80

は第3実施形態における第1減算部66と同様の機能を発揮する。すなわち、後述の第1DAC70により規定される減算が V_{in} に対して行われて第1積分器12に入力される。 V_{int1} はスイッチ(DS)を介して第2積分器14に入力されるとともに、後述の量子化器26および加算器32にも入力される。

[0082] 第2積分器14も、第3実施形態における第2積分器14と同様であり、スイッチ(DS)を介して第1積分器12の出力端子が第2積分器14の入力端子に接続されている。第2積分器14の出力信号 V_{int2} は加算器32あるいは量子化器26に出力されるとともに、スイッチ(CYC)を介して第1積分器12の入力端子に入力可能になっている。

[0083] 第1積分器12の出力端子と第2積分器14の入力端子との間には、スイッチ(DS)と並列に第2減算部82とスイッチ(CYC)の直列回路が設けられている。第2減算部82は、スイッチ(CYC)がオンになる巡回モードにおいて有効となり、第1積分器12の出力信号から第2DAC72の出力信号を減算して、第2積分器14の入力端子に入力可能になっている。

[0084] 量子化器26は、第1積分器12の出力信号 V_{int1} 、第2積分器14の出力信号 V_{int2} 、後述の加算器32の出力信号である加算結果 V_{sum} が入力され、これらの出力信号を量子化した量子化結果 Q_{out} を出力する。なお、本実施形態における量子化器26は1.5ビット量子化器である。つまり、本実施形態における量子化器26は、量子化器26aと量子化器26bとを有し、それぞれに V_{int1} 、 V_{int2} 、 V_{sum} 、後述の基準電圧 V_{refc} が入力される。

[0085] 図17に、量子化器26の構成を示す。量子化器26は、比較器22とスイッチ部28とを有している。比較器22は第1実施形態と同様であるから説明を省略する。スイッチ部28は、第1実施形態において説明したスイッチ部24に対して、入力される信号として V_{int} に代えて V_{int1} および V_{int2} が入力可能になっている。図17に示すように、加算結果 V_{sum+} およびその逆極性である V_{sum-} と、第2基準信号 V_{refc+} お

よびその逆極性 V_{refc} の入力については第1実施形態において説明したスイッチ部24と同様である。一方、第1実施形態において V_{int+} が入力されていた端子については、スイッチ (CYC2) がオンのときに V_{int1+} が入力可能にされ、スイッチ (CYC1) がオンのときに V_{int2+} が入力可能にされている。また、第1実施形態において V_{int-} が入力されていた端子については、スイッチ (CYC2) がオンのときに V_{int1-} が入力可能にされ、スイッチ (CYC1) がオンのときに V_{int2-} が入力可能にされている。

[0086] 加算器32は、第3実施形態において説明した加算器32と同様であるから、その説明を省略する。

[0087] 制御部40は、第1～第3実施形態と同様であり、量子化器26の生成する量子化結果 Q_{out} に基づいて、アナログ信号 V_{in} のA/D変換結果 D_{out} を生成する。また、制御部40は、 Q_{out} に基づき後述の第1DAC70および第2DAC72を制御し、 $\Delta\Sigma$ 変調モードおよび巡回モードにおける減算に係る第1DAC70および第2DAC72の出力信号を決定する。

[0088] 第1DAC70および第2DAC72は、例えば一般的に知られた容量式D/A変換器である。第1DAC70は、量子化結果 Q_{out} に基づいて制御部40から出力される制御信号に基づいて、図示しないDAC容量に規定の電圧を入力する。第1DAC70におけるDAC容量に入力された電圧に基づいて、第1減算部80における減算が実行される。また、第2DAC72は、量子化結果 Q_{out} に基づいて制御部40から出力される制御信号に基づいて、図示しないDAC容量に規定の電圧を入力する。第2DAC72におけるDAC容量に入力された電圧に基づいて、第2減算部82における減算が実行される。なお、本実施形態における第1DAC70は第1D/A変換器に相当し、第2DAC72は第2D/A変換器に相当する。

[0089] 次に、図18～図20を参照して、A/D変換器130の動作について説明する。

[0090] 本実施形態におけるA/D変換器130の動作に係るタイミングチャートを図18に示す。この例では、上記した第3実施形態と同様、リセット動作の後に $\Delta\Sigma$ 変調モードにおける量子化が4サイクル実行される。その後に、第1積分器12から第2積分器14へ信号の受け渡すためのLASTフェーズが設けられている。その後、巡回型のA/D変換が6サイクル実行される。また、本実施形態における巡回型のA/D変換は1クロックの間に2サイクル実行される。すなわち、リセット動作およびLASTフェーズを含めて9クロックでA/D変換器130全体としてのA/D変換を完了する。

[0091] A/D変換器130の動作を具体的に説明する。図18に示すように、最初にリセット動作が実行される。リセット動作は、スイッチ(DS)がオンされて第1積分器12および第2積分器14や第1DAC70および第2DAC72に含まれる積分素子やオペアンプ等の電位をアナロググラウンドレベル等の所定の電位にリセットする。

[0092] 次いで、制御部40は、A/D変換器130を $\Delta\Sigma$ 変調モードで動作させる。具体的にはスイッチ(DS)をオンにするとともにスイッチ(CYC)をオフにする。これにより、図16および図17に示すA/D変換器130は、実質的に図19に示す結線状態となる。このA/D変換器130での $\Delta\Sigma$ 変調モードにおける結線状態は第3実施形態における $\Delta\Sigma$ 変調モードと実質的に同一であるから、詳しい説明を省略する。第3実施形態と同様、 $\Delta\Sigma$ 変調モードにおけるA/D変換結果であるDoutは $64 \rightarrow 128 \rightarrow 256 \rightarrow 384$ のように変化する。

[0093] その次の1クロックにおいて、制御部40は量子化を実行せず、第1積分器12に残留する信号を第2積分器14に転送するためのLASTフェーズに移行する。

[0094] 次いで、制御部40は、A/D変換器130を巡回モードで動作させる。具体的にはスイッチ(CYC)をオンにするとともにスイッチ(DS)をオフにする。これにより、図16および図17A/D変換器130は、実質的に図20に示す結線状態となる。なお、本実施形態では、図17に示すよう

に、スイッチ部28にスイッチ(CYC1)およびスイッチ(CYC2)が設けられている。これにより、 V_{q2+} にはスイッチ(CYC1)およびスイッチ(CYC2)の開閉の状態に応じて V_{int2+} または V_{int1+} が印加されることになる。同様に、 V_{q1-} にはスイッチ(CYC1)およびスイッチ(CYC2)の開閉の状態に応じて V_{int2-} または V_{int1-} が印加されることになる。

[0095] 図18に示すように、巡回モードへの移行直後はスイッチ(CYC1)がオンにされ、スイッチ(CYC2)がオフにされる。これにより、比較器22には V_{int2-} および V_{int2+} と、その比較対象としての第2基準信号 V_{refc-} および V_{refc+} が入力され、量子化器26で量子化が実行される。制御回路40は、量子化結果に基づき第1DAC70の出力信号を制御し、第1減算部80および第1積分器12とで減算と増幅が実行される。

[0096] その半クロック後、すなわち、巡回モードが開始されてから半クロック後において、スイッチ(CYC1)がオフされるとともにスイッチ(CYC2)がオンされる。比較器22には V_{int1-} および V_{int1+} と、その比較対象としての第2基準信号 V_{refc-} および V_{refc+} が入力され、量子化器26で量子化が実行される。制御回路40は、量子化結果に基づき第2DAC72の出力信号を制御し、第2減算部82および第2積分器14とで減算と増幅が実行される。

[0097] つまり、第2実施形態と同様に、1クロックの間に、スイッチ(CYC1)がオンとされた状態でのA/D変換と、スイッチ(CYC2)がオンとされた状態でのA/D変換とが連続で実行される。すなわち、1クロックの間に巡回型のA/D変換が2サイクル実行される。第3実施形態においては巡回型のA/D変換の1サイクルに1クロックを要したが、本実施形態における巡回型のA/D変換は1クロックのうちに2サイクル実行されるので、巡回モードにおけるA/D変換に要する時間を短縮することができる。かつ、第2基準信号 V_{refc} と V_{int1} および V_{int2} が比較器22に直接

入力されるので、加算器の遅延時間が量子化器 26 による量子化の速度に影響を与えない。また、2 組までの差動信号を入力信号とする量子化は 2 差動入力の比較器 22 を用いることで高精度に実行できることから、量子化器 26 は量子化の精度を保ちつつ高速に量子化を実行することができる。これにより、A/D 変換器 130 は、1 クロックの間に精度を保ちつつ巡回型の A/D 変換を 2 サイクル実行できる。

[0098] ここで、第 1 DAC 70 と第 1 減算部 80 および第 1 積分器 12 を用いて実行される減算と増幅の動作、もしくは、第 2 DAC 72 と第 2 減算部 82 および第 2 積分器 14 を用いて実行される減算と増幅の動作は、一般的な巡回型 A/D 変換器に用いられる MDAC (Multiplying DAC) と同様の動作である。また、図 20 に示した第 1 DAC 70 と第 1 減算部 80 および第 1 積分器 12 の接続順や、第 2 DAC 72 と第 2 減算部 82 および第 2 積分器 14 の接続順は、図 16 と形式を揃えるように記載した接続順であり、同様の機能を発揮する別の接続順としてもよい。また、第 1 積分器 12 および第 2 積分器 14 は、巡回モードにおいては積分器としてではなく増幅器としての機能を発揮するよう制御回路 40 により制御され、その増幅率は巡回型 A/D 変換器に必要な、例えば 2 倍等の増幅率に適宜設定すればよい。

[0099] (変形例)

第 4 実施形態における A/D 変換器 130 において、第 1 積分器 12 の出力信号である V_{int1} のみを加算器 32 に入力、すなわちフィードフォワードし、アナログ信号 V_{in} をフィードフォワードしないフィードフォワード型の $\Delta\Sigma$ 変調器も採用できる。図 21 に示す本変形例における A/D 変換器 131 は、第 4 実施形態における A/D 変換器 130 に対して加算器 32 への V_{in} の入力経路が省略された構成である。

[0100] A/D 変換器 131 における $\Delta\Sigma$ 変調モードでの量子化は、アナログ信号 V_{in} がフィードフォワードされないので、アナログ信号 V_{in} のサンプリングは第 1 減算部 80 を介して第 1 積分器 12 のみで行われ、加算器 32 も

しくは量子化器26では行われない。このため、例えば V_{in} の変動が大きい場合においても、第1積分器12でのサンプリングと加算器32もしくは量子化器26でのサンプリングとの間のサンプリングのタイミングの時間差が $\Delta\Sigma$ 変調に与える影響が小さい。 A/D 変換器131では V_{in} の変動の影響を抑制しつつフィードフォワード型の $\Delta\Sigma$ 変調における量子化が実行可能である。また、巡回モードにおける A/D 変換は、第4実施形態と同様に1クロックの間に巡回型の A/D 変換を2サイクル実行可能になっている。

[0101] (その他の実施形態)

以上、本開示の好ましい実施形態について説明したが、本開示は上記した実施形態になんら制限されることなく、本開示の主旨を逸脱しない範囲において、種々変形して実施することが可能である。

[0102] 上記した各実施形態では、量子化器20, 26を2個の比較器を用いる1.5ビットの量子化器として記載したが、量子化器の有効分解能や比較器の個数は特定の数値に限定されるものではなく、例えば、比較器1個で有効分解能1ビットを実現する構成や多数の比較器を用いた多ビットの有効分解能を実現する構成を選択してもよい。

[0103] また、各実施形態では、加算器30, 32を単に加算機能を持つ加算器として記載したが、その実現方法は加算機能を持つ回路であれば特定の方式に限定されるものではなく、例えば、スイッチトキャパシタ式の加算回路やオペアンプを用いたアクティブ加算回路等、加算機能を持つ種々の構成を選択すればよい。

[0104] また、上記した各実施形態において、 D/A 変換器として、容量式の D/A 変換器を例に示したが、量子化結果 Q_{out} に基づいて制御可能な D/A 変換器であれば実現方法は容量式に限定されるものではない。

[0105] また、図5、図9、図13、図18で示したタイミングチャートのうち、量子化結果 Q_{out} やその積算値 ΣQ_{out} 、 $\Sigma\Sigma Q_{out}$ 、および A/D 変換結果 D_{out} の値は一例を示したものであり、 A/D 変換結果や量子化結果の形式およびそれらの演算方法を特定の形式や方法に限定するものではない。

ない。同様に、 $\Delta\Sigma$ 変調のサイクル数や巡回型のA/D変換のサイクル数を特定の数に限定するものではなく、必要な変換精度や変換速度に応じてサイクル数を選択すればよい。

[0106] また、上記した各実施形態では、 $\Delta\Sigma$ 変調にシングルループの1次もしくは2次の $\Delta\Sigma$ 変調器を用いる構成を記載したが、 $\Delta\Sigma$ 変調器の構成は特定の構成に限定されるものではなく、より高い次数の $\Delta\Sigma$ 変調器や、カスケード型の $\Delta\Sigma$ 変調器など種々の構成を選択してもよい。同様に、 $\Delta\Sigma$ 変調器と巡回型A/D変換器との組み合わせは、記載した組み合わせに限定するものではなく、例えば変形例に示したフィードフォワード型の $\Delta\Sigma$ 変調器に第3実施形態に示した巡回型A/D変換器を組み合わせるなど、必要な変換精度や変換速度、利用可能なハードウェアの量等に応じて、種々の組み合わせを選択すればよい。

[0107] また、上記した各実施形態では差動信号を用いた構成について説明したが、シングルエンド信号を用いた構成も採用することができる。

[0108] 本開示は、実施例に準拠して記述されたが、本開示は当該実施例や構造に限定されるものではないと理解される。本開示は、様々な変形例や均等範囲内の変形をも包含する。加えて、様々な組み合わせや形態、さらには、それらに一要素のみ、それ以上、あるいはそれ以下、を含む他の組み合わせや形態をも、本開示の範疇や思想範囲に入るものである。

請求の範囲

[請求項1] 変換対象のアナログ信号 (V_{in}) を入力信号とする $\Delta\Sigma$ 変調を実行するための積分回路 (10, 12, 14) と、

少なくとも前記積分回路の出力信号と、 $\Delta\Sigma$ 変調における基準信号としての第1基準信号 (V_{ref_s}) と、を加算した加算結果を出力する加算器 (30, 32) と、

前記積分回路の出力信号と前記加算器の出力信号と巡回型 A/D 変換における基準信号としての第2基準信号 (V_{ref_c}) と、が入力され、前記積分回路の出力信号と前記加算器の出力信号とを量子化した量子化結果を生成する量子化器 (20, 26) と、

前記積分回路と前記加算器と前記量子化器とを、 $\Delta\Sigma$ 変調器として動作させる $\Delta\Sigma$ 変調モード、または前記積分回路と前記量子化器とを、巡回型 A/D 変換器として動作させる巡回モードのいずれかのモードに切り替えて動作させるとともに、前記量子化結果に基づいて前記アナログ信号の A/D 変換結果 (D_{out}) を生成する制御部 (40) と、を備える A/D 変換器であって、

前記量子化器は、

比較器 (22) と、

前記積分回路および前記加算器と、前記比較器と、の間に介在し、前記積分回路および前記加算器と、前記比較器と、の互いの接続状態を切り替えるスイッチ部 (24, 28) と、を有し、

前記制御部は、

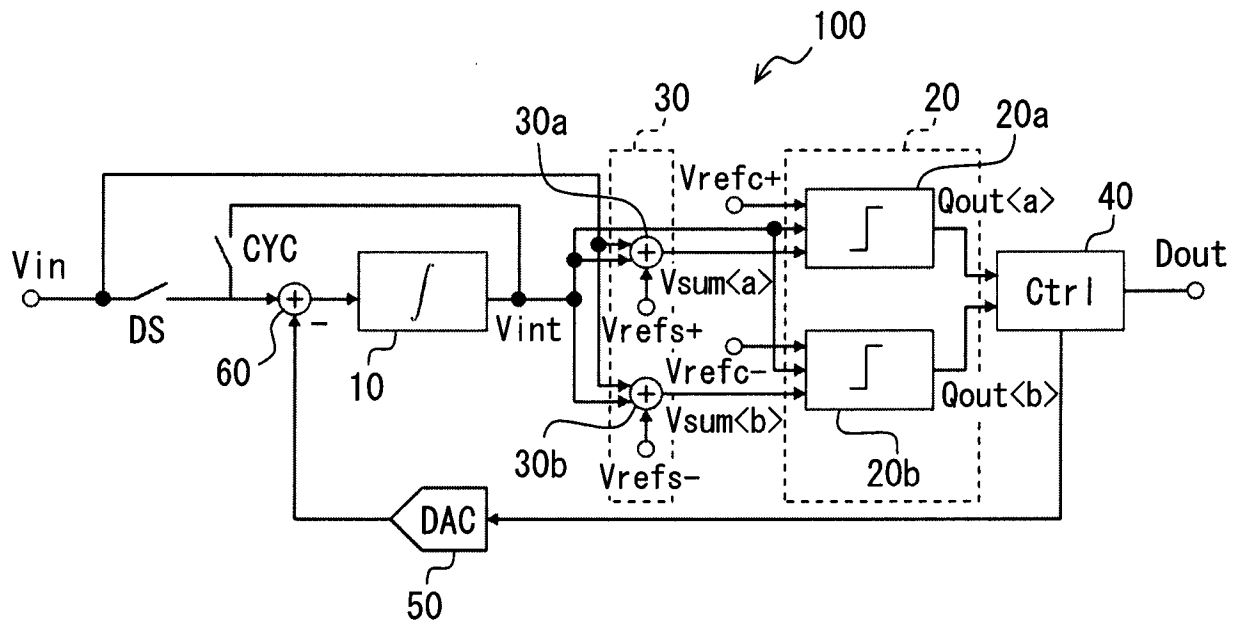
前記 $\Delta\Sigma$ 変調モードにおいて、前記加算結果のみが前記比較器に入力されるように前記スイッチ部を制御し、

前記巡回モードにおいて、前記積分回路の出力信号と、前記積分回路の出力信号に対する比較値となるべく設定された前記第2基準信号と、が前記比較器に入力されるように前記スイッチ部を制御する A/D 変換器。

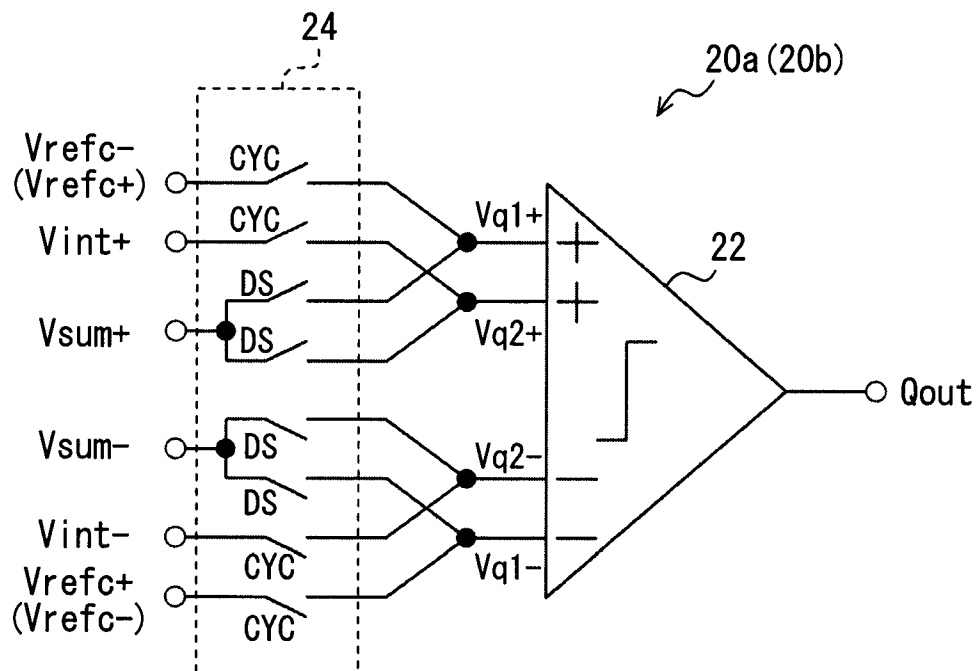
- [請求項2] 前記加算器が、前記積分回路の出力信号と、前記第1基準信号に加え、前記アナログ信号を加算した加算結果を出力し、
- 前記制御部は、前記 $\Delta\Sigma$ 変調モードにおいて、前記積分回路、前記加算器および前記量子化器を、フィードフォワード型の $\Delta\Sigma$ 変調器として動作させる請求項1に記載のA/D変換器。
- [請求項3] 前記積分回路が、唯一の第1積分器（12）を有する請求項1または請求項2に記載のA/D変換器。
- [請求項4] 前記制御部は、前記 $\Delta\Sigma$ 変調モードにおいて、前記量子化結果に応じて第1D/A変換器（52，56，70）の出力信号を制御して、 $\Delta\Sigma$ 変調を実行し、
- さらに、前記制御部は、前記巡回モードにおいて、前記量子化結果に応じて前記第1D/A変換器の出力信号および第2D/A変換器（54，58，72）の出力信号を制御して、前記巡回モードにおける巡回型のA/D変換を実行可能にされる請求項1～3のいずれか1項に記載のA/D変換器。
- [請求項5] 前記積分回路は、第1積分器（12）と、第2積分器（14）とを含み、
- 前記第1積分器の出力信号が前記加算器に入力され、前記第2積分器の出力信号が前記加算器と前記量子化器とに入力され、
- 前記加算回路は、少なくとも、前記第1積分器の出力信号と、前記第2積分器の出力信号と、前記第1基準信号と、を加算し、
- 前記制御部は、前記量子化結果に応じて第1D/A変換器（52，56，70）の出力信号を制御して、前記 $\Delta\Sigma$ 変調モードにおけるフィードフォワード型の $\Delta\Sigma$ 変調を実行し、
- さらに、前記制御部は、前記量子化結果に応じて第2D/A変換器（54，58，72）の出力信号を制御して、前記巡回モードにおける巡回型のA/D変換を実行する請求項1または請求項2に記載のA/D変換器。

- [請求項6] 前記制御部は、前記第2 D／A変換器の出力信号に加えて、前記第1 D／A変換器の出力信号を前記量子化結果に応じて制御して、巡回型のA／D変換を実行する請求項5に記載のA／D変換器。
- [請求項7] 前記第1積分器の出力信号が前記加算器に加え前記量子化器に入力され、
前記スイッチ部は、前記巡回モードにおいて、前記第1積分器の出力信号と前記第2積分器の出力信号とを切り替え可能なように構成され、
前記制御部は、前記巡回モードにおいて、前記第1積分器の出力信号と前記第2積分器の出力信号とを切り替えながら巡回型のA／D変換を実行するように前記スイッチ部を制御する請求項6に記載のA／D変換器。
- [請求項8] 前記 $\Delta\Sigma$ 変調モードから前記巡回モードへ移行する直前であって、前記 $\Delta\Sigma$ 変調モードにおける最後の1クロックにおいては、前記量子化器が量子化を実行しない請求項5～7のいずれか1項に記載のA／D変換器。
- [請求項9] 前記制御部が、前記巡回モードにおいて、前記量子化結果に応じて前記第1 D／A変換器の出力信号および前記第2 D／A変換器の出力信号を、A／D変換のサイクル毎に交互に制御して、巡回型のA／D変換を実行する請求項4または請求項6～8のいずれか1項に記載のA／D変換器。
- [請求項10] 前記巡回モードにおいて、前記量子化器において1クロックあたり2回の量子化が実行される請求項1～9のいずれか1項に記載のA／D変換器。
- [請求項11] 前記加算器が、スイッチトキャパシタ回路で構成される請求項1～10のいずれか1項に記載のA／D変換器。

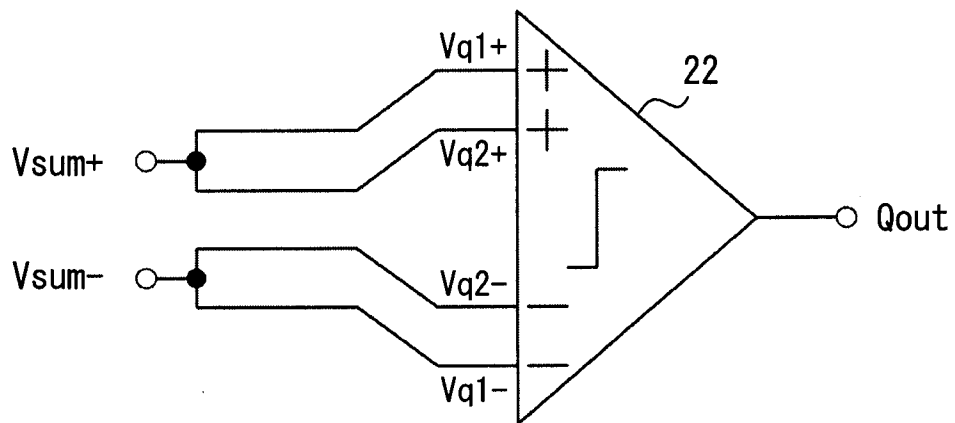
[図1]



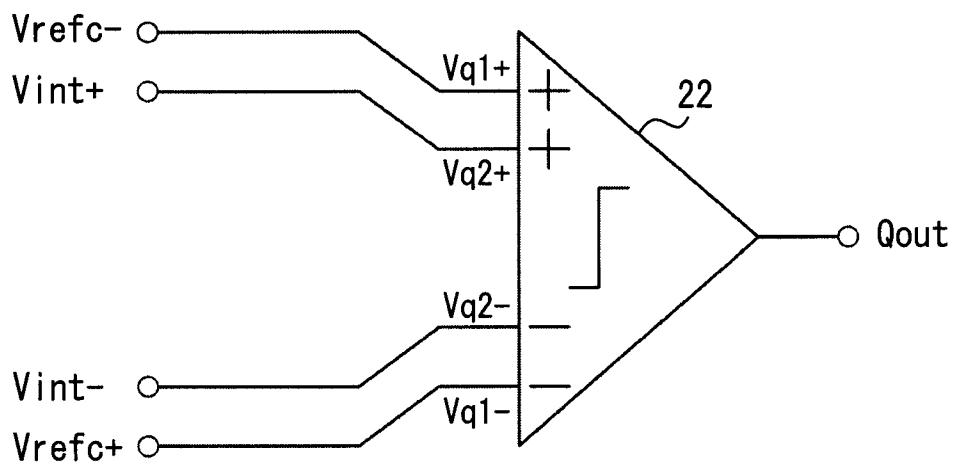
[図2]



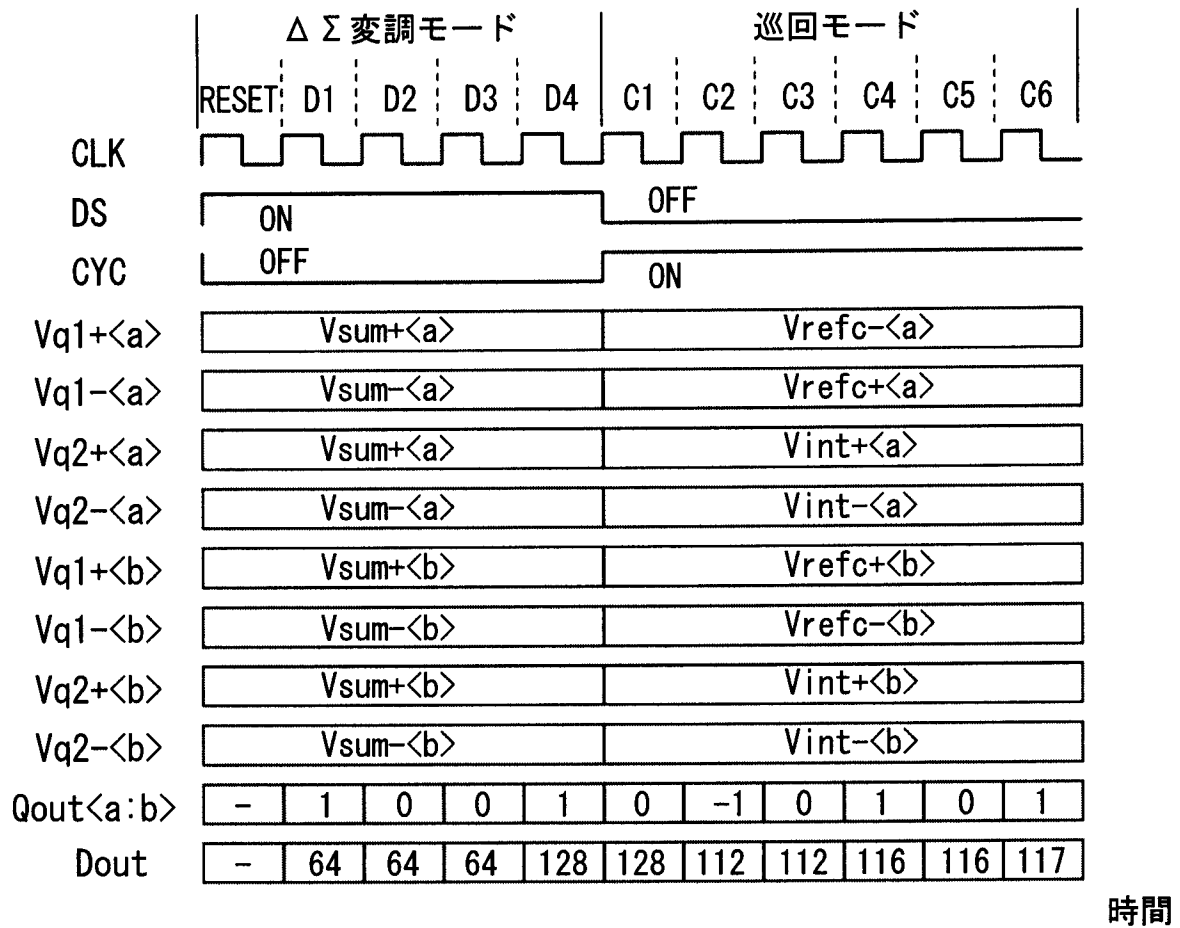
[図3]



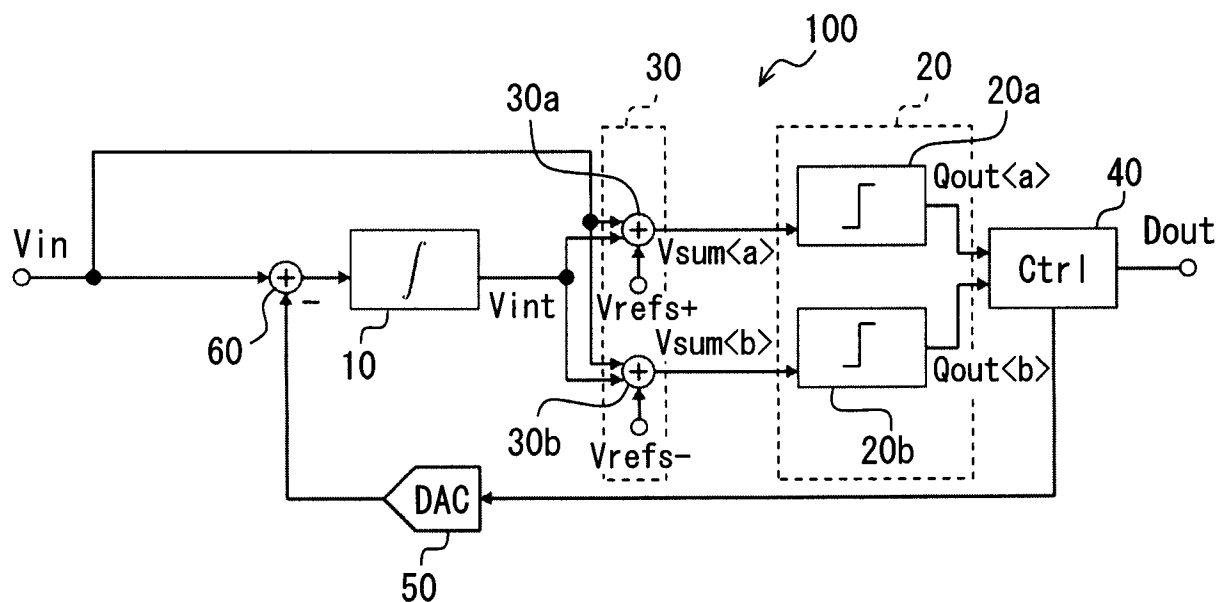
[図4]



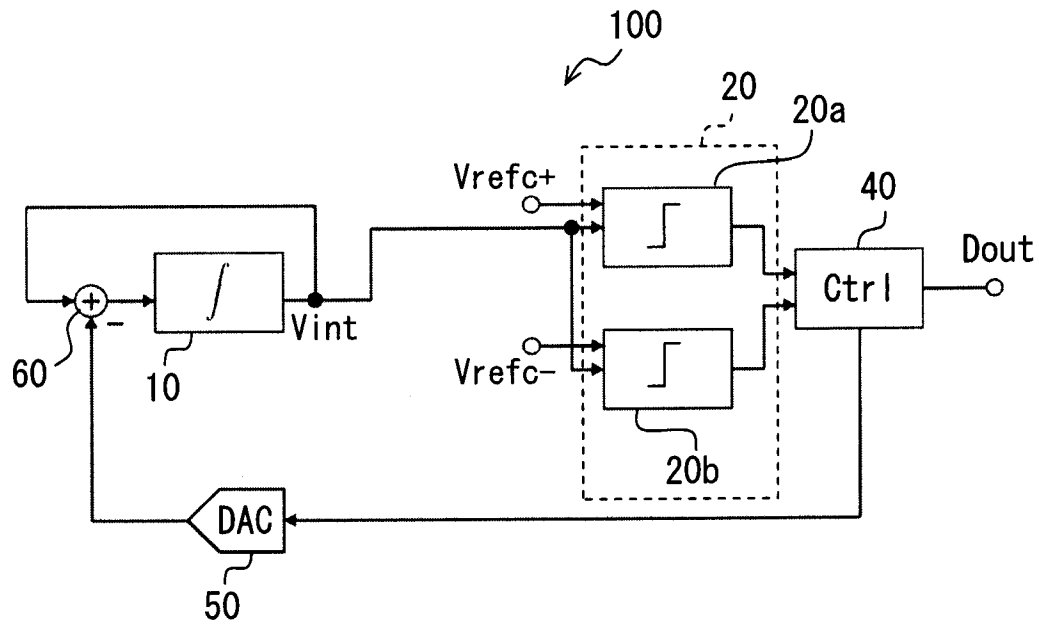
[図5]



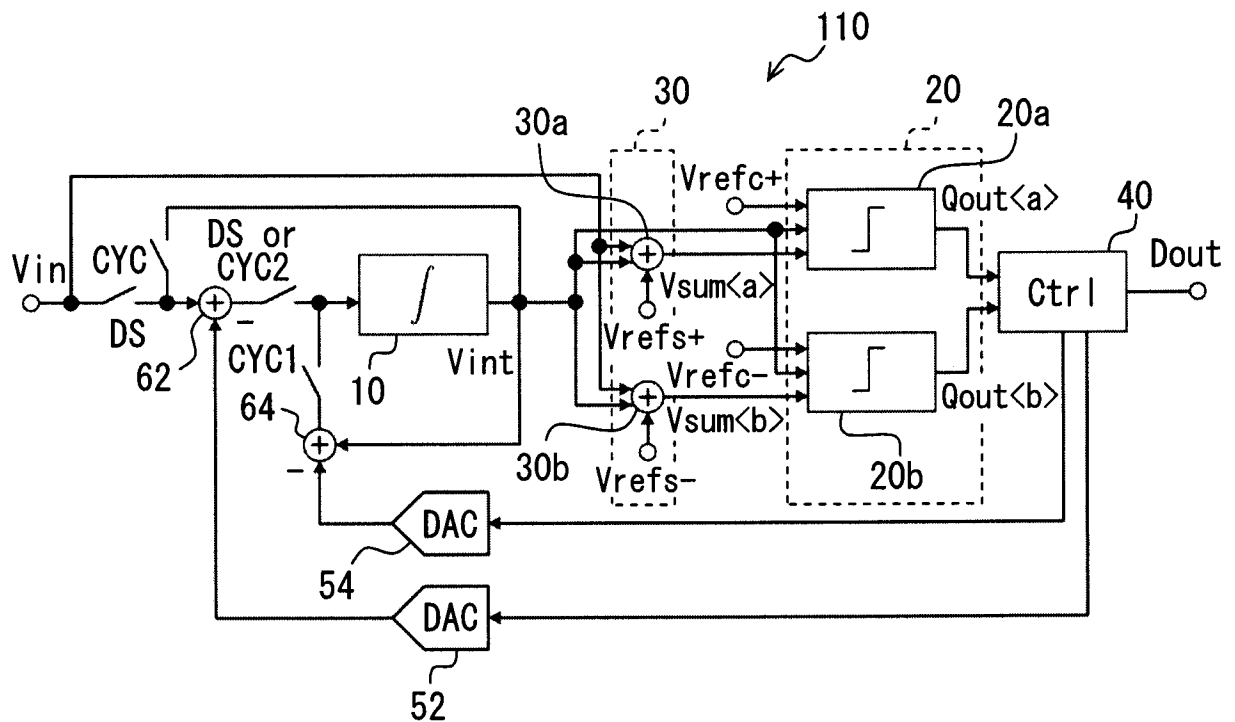
[図6]



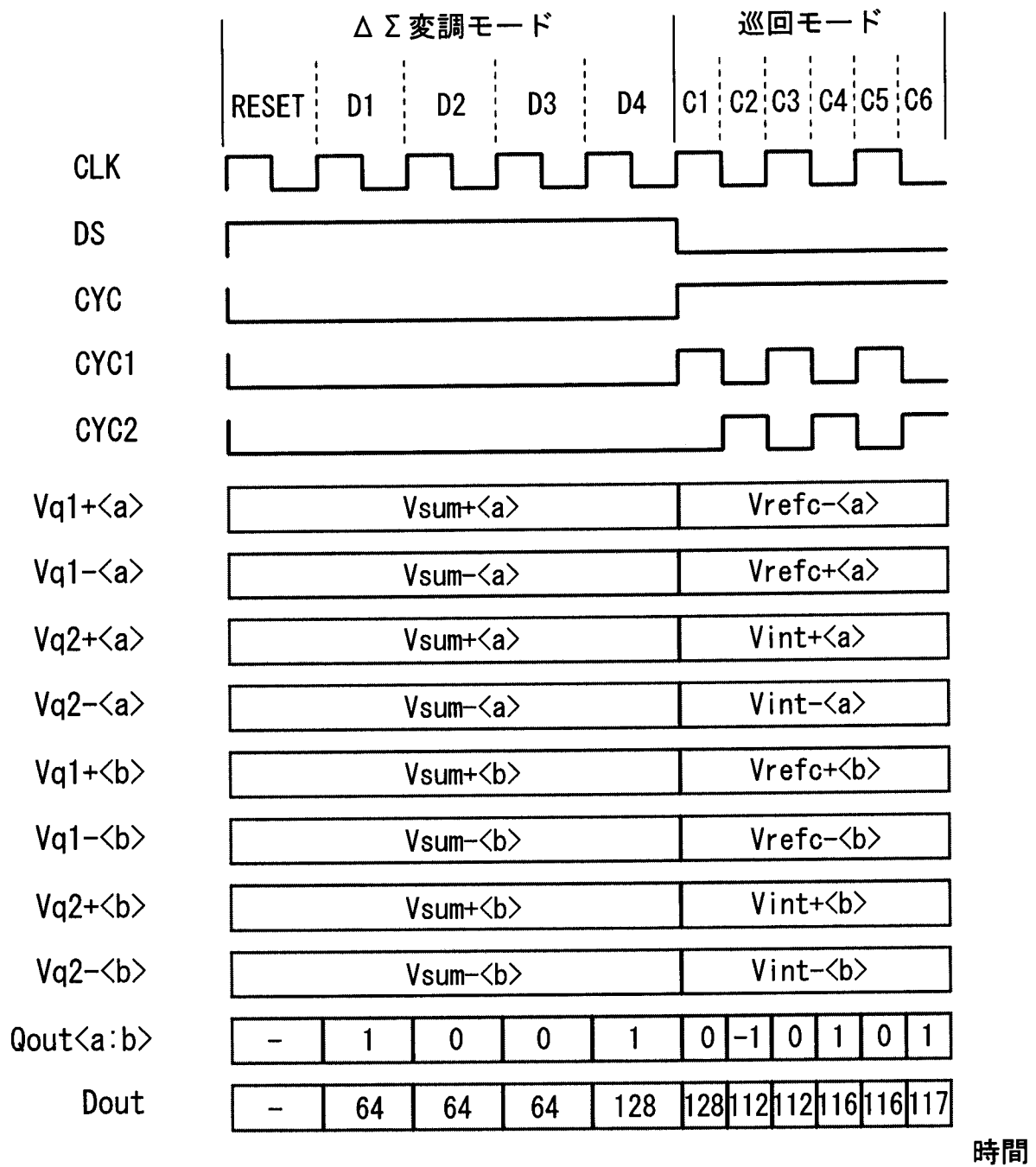
[図7]



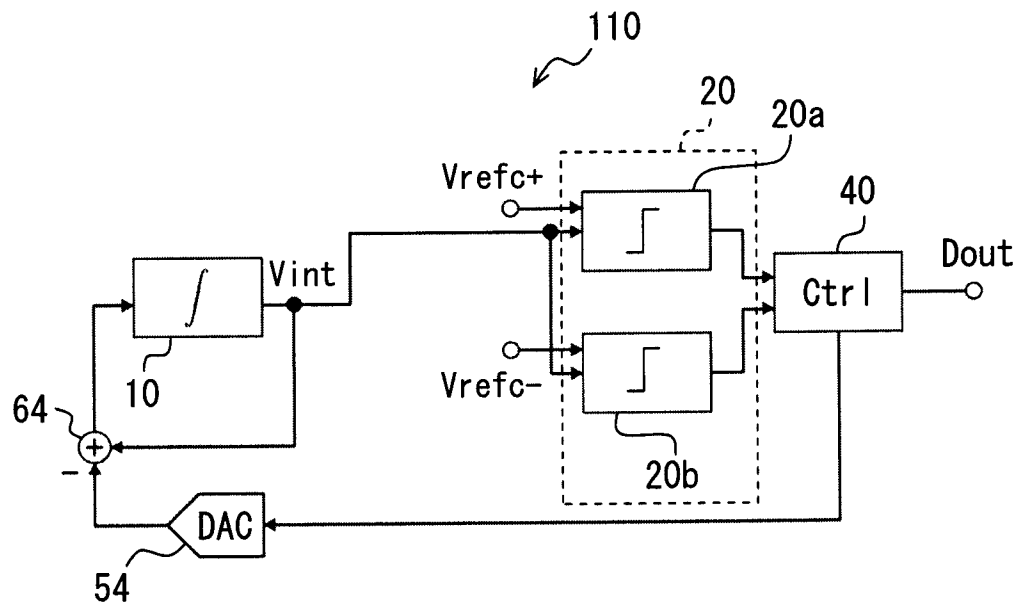
[図8]



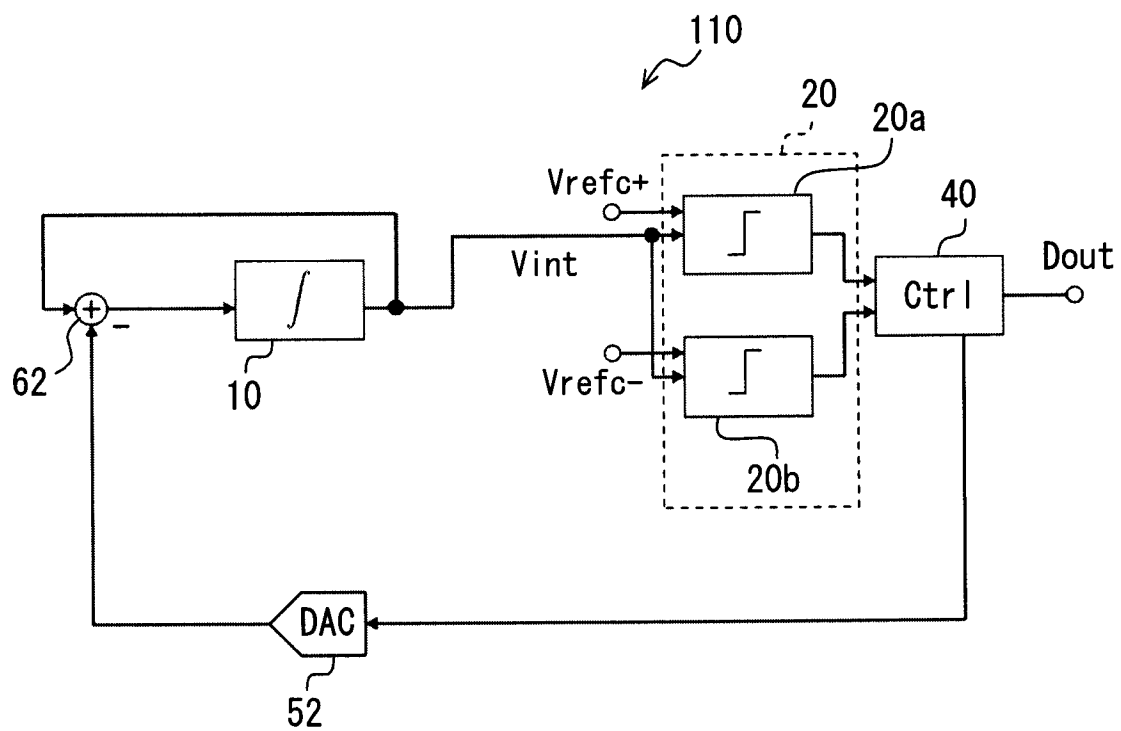
[図9]



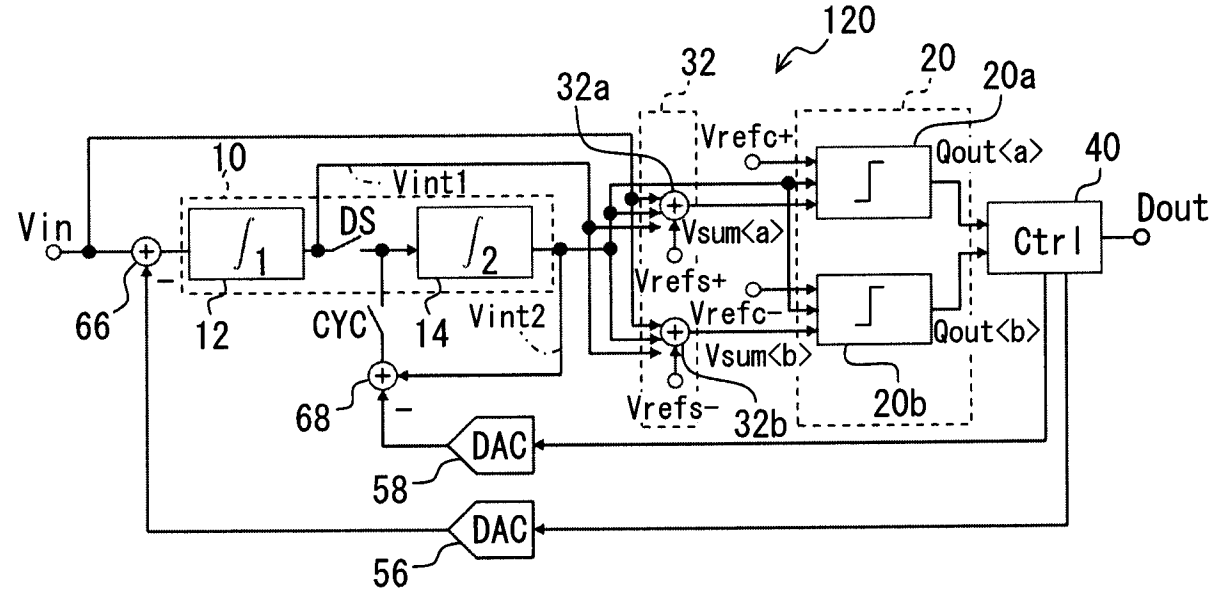
[図10]



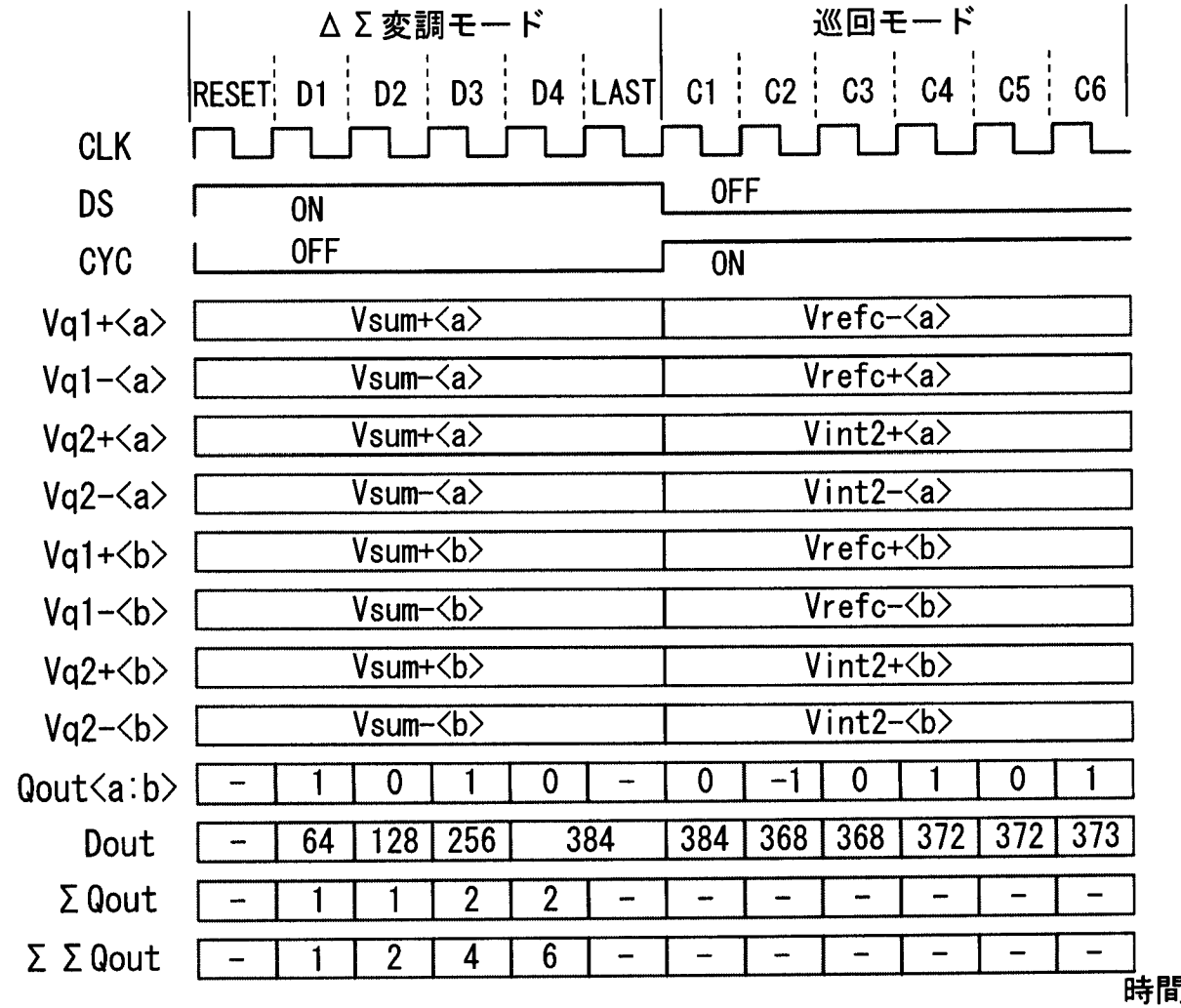
[図11]

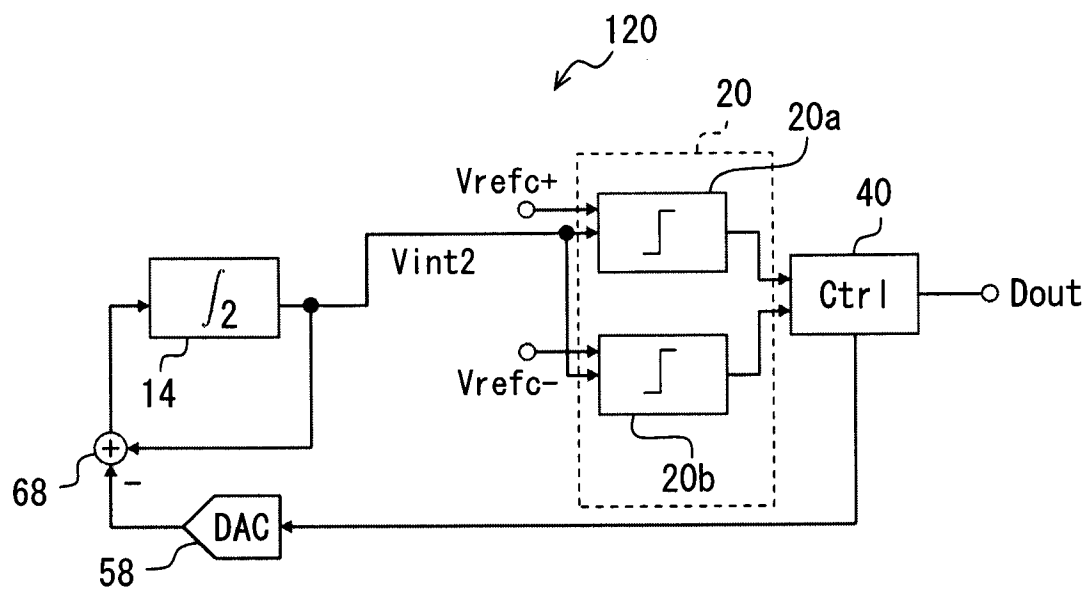
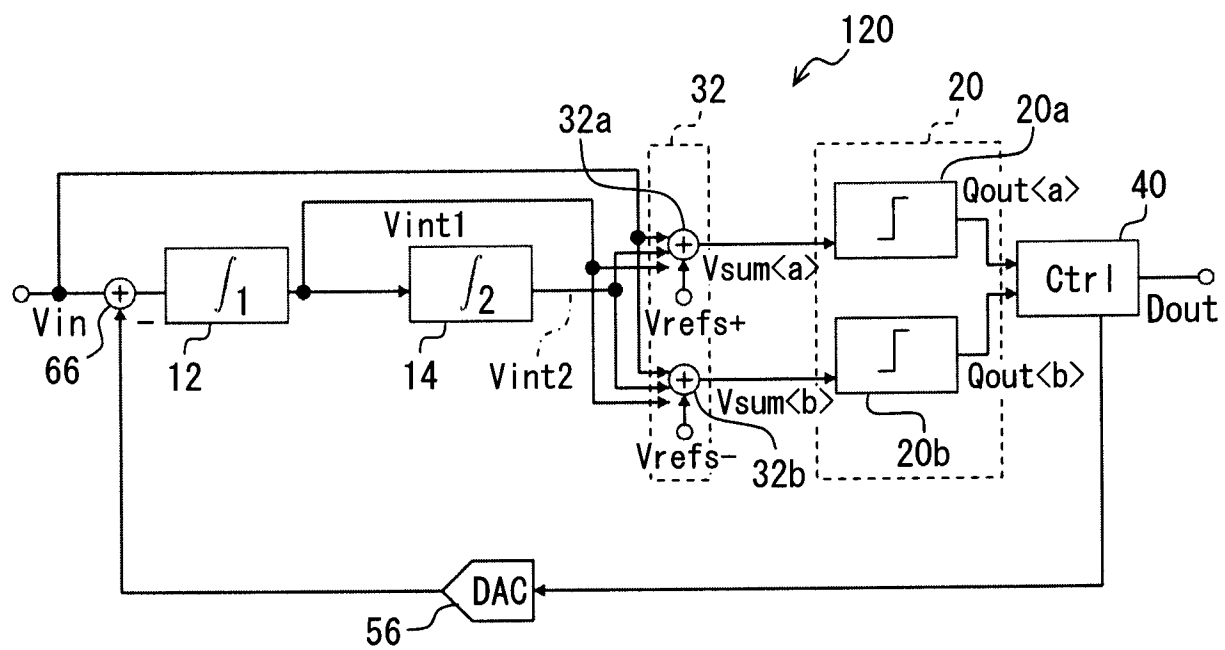


[図12]

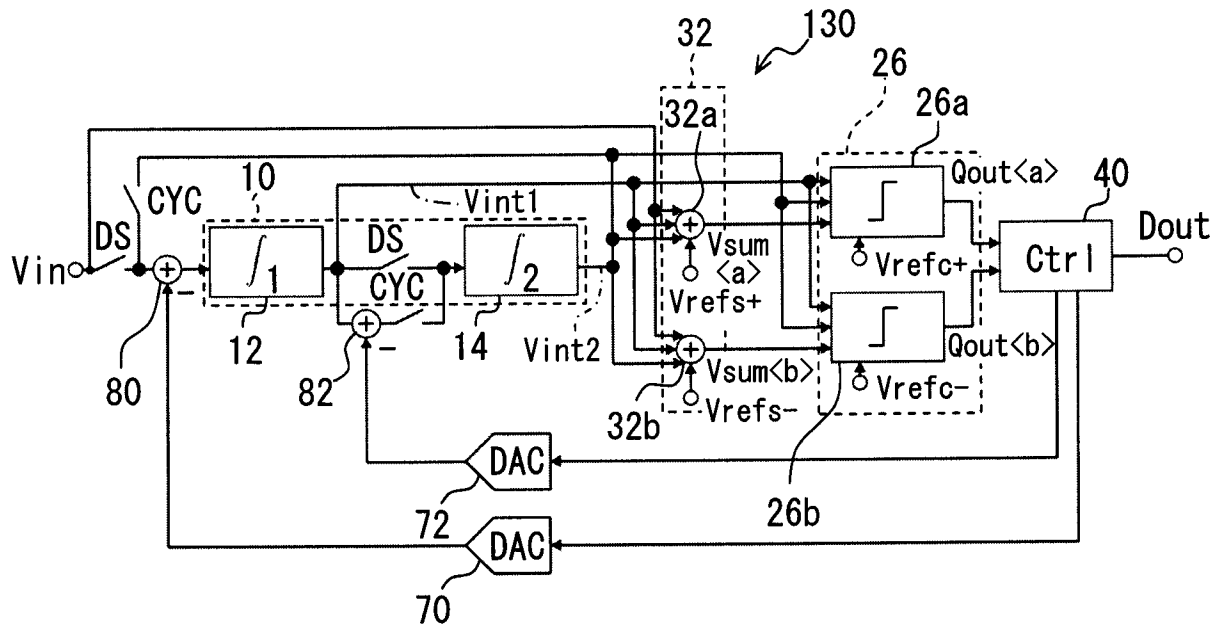


[図13]

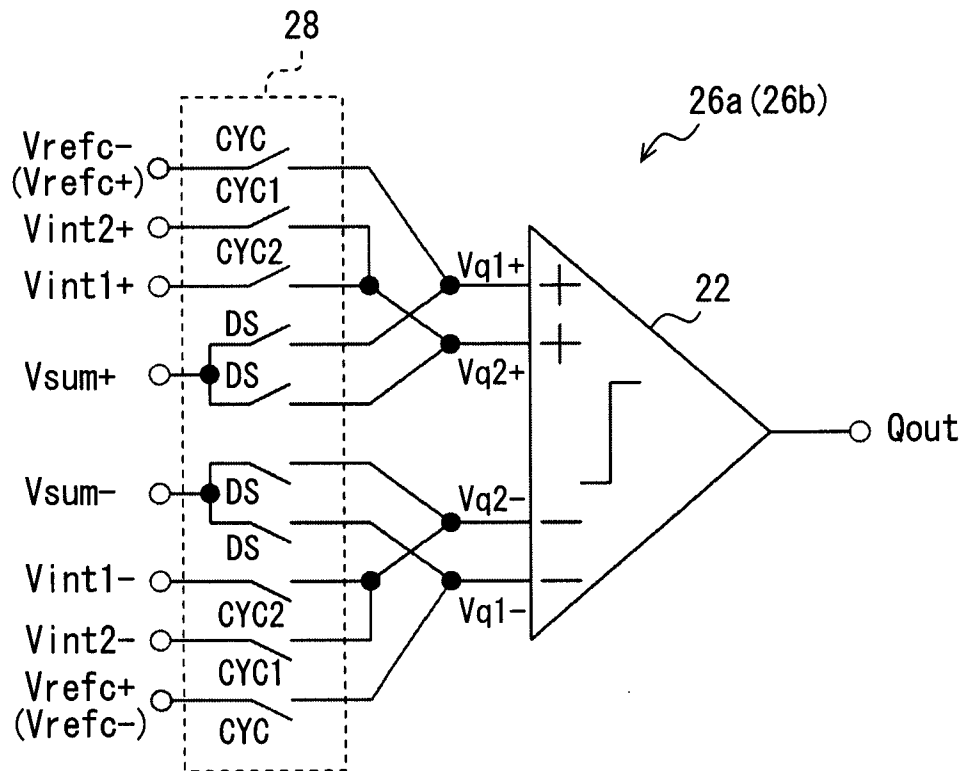




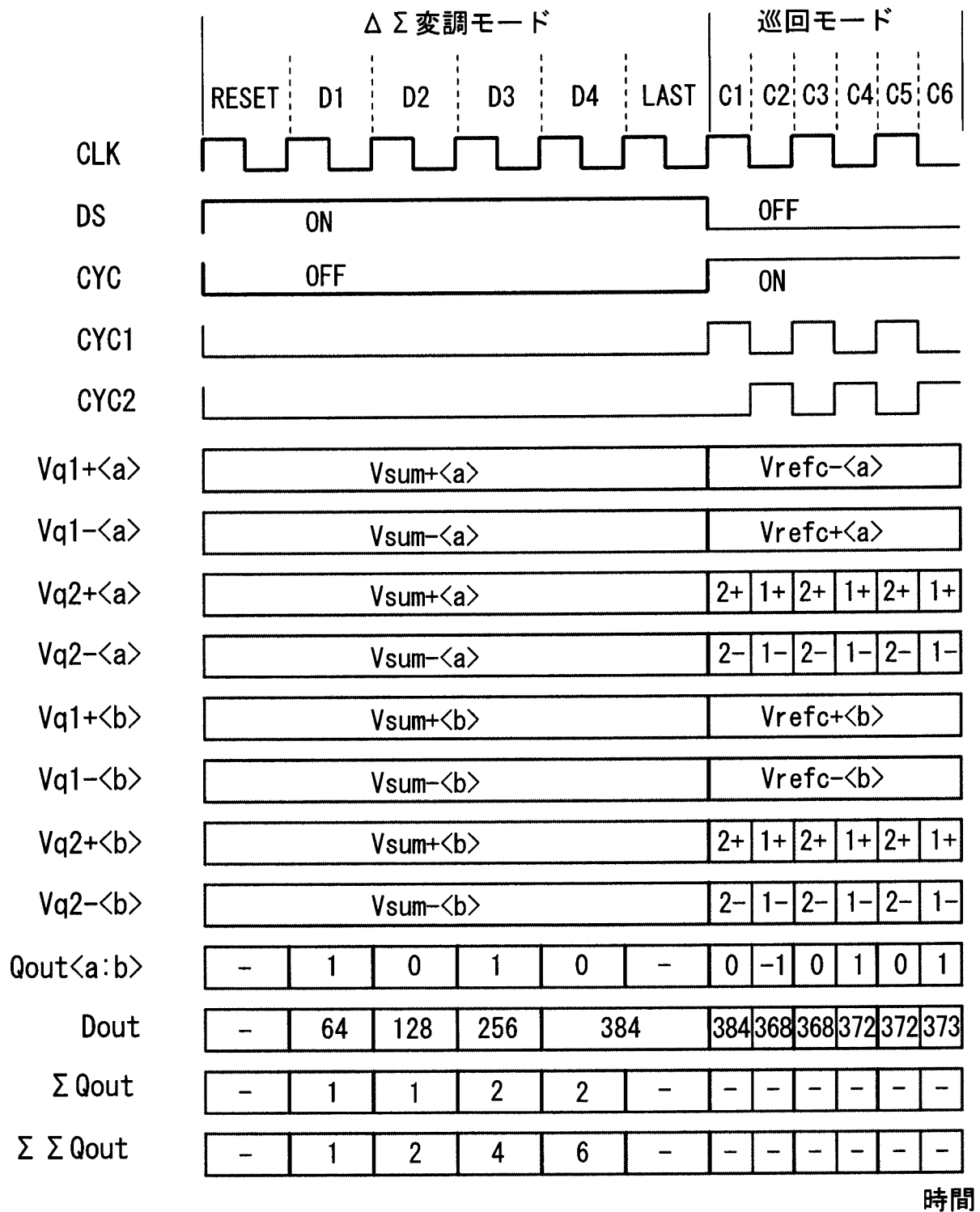
[図16]



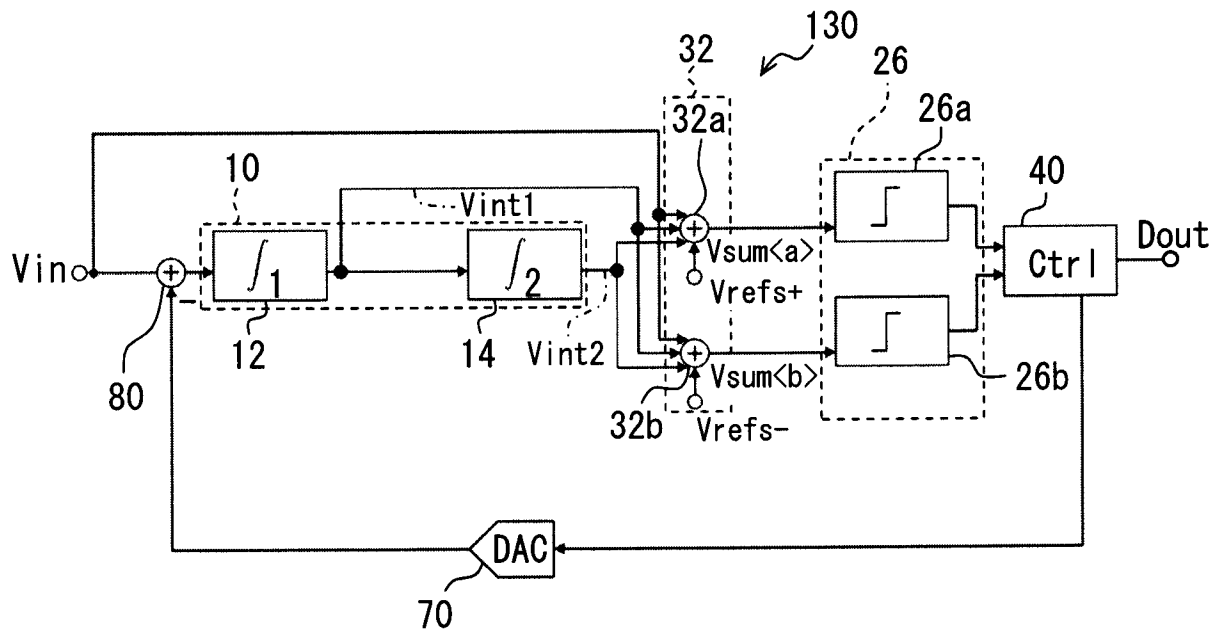
[図17]



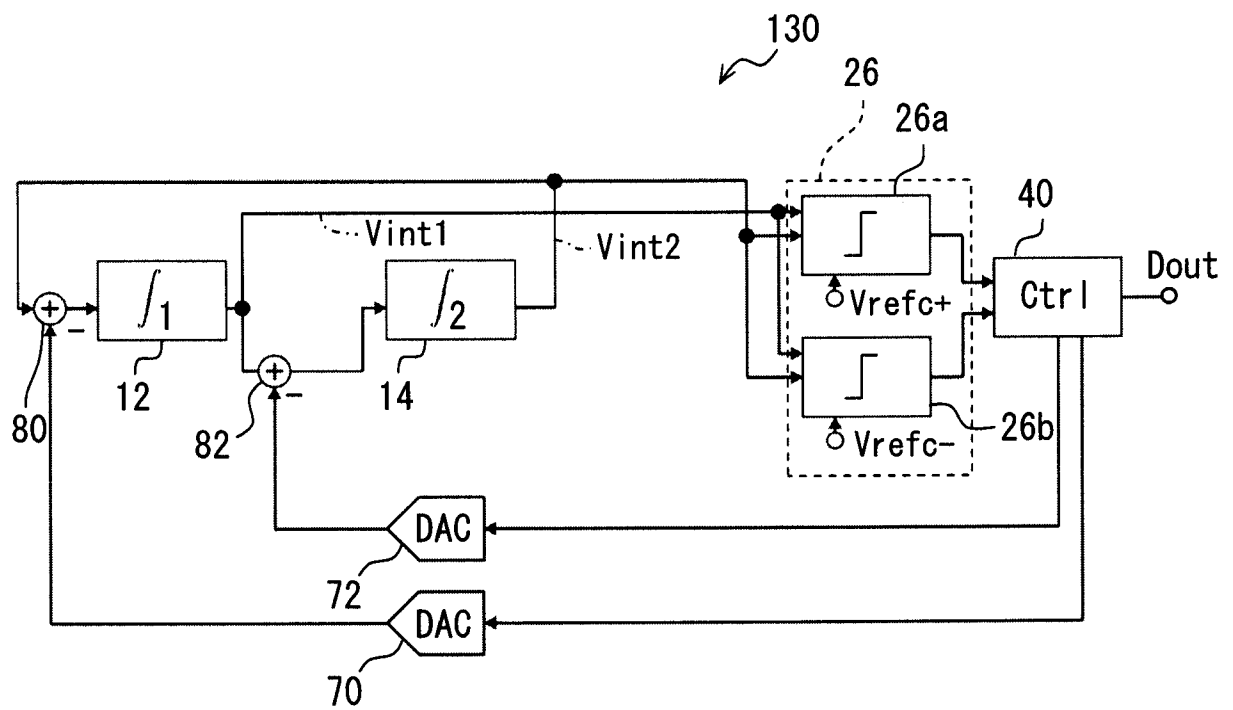
[図18]



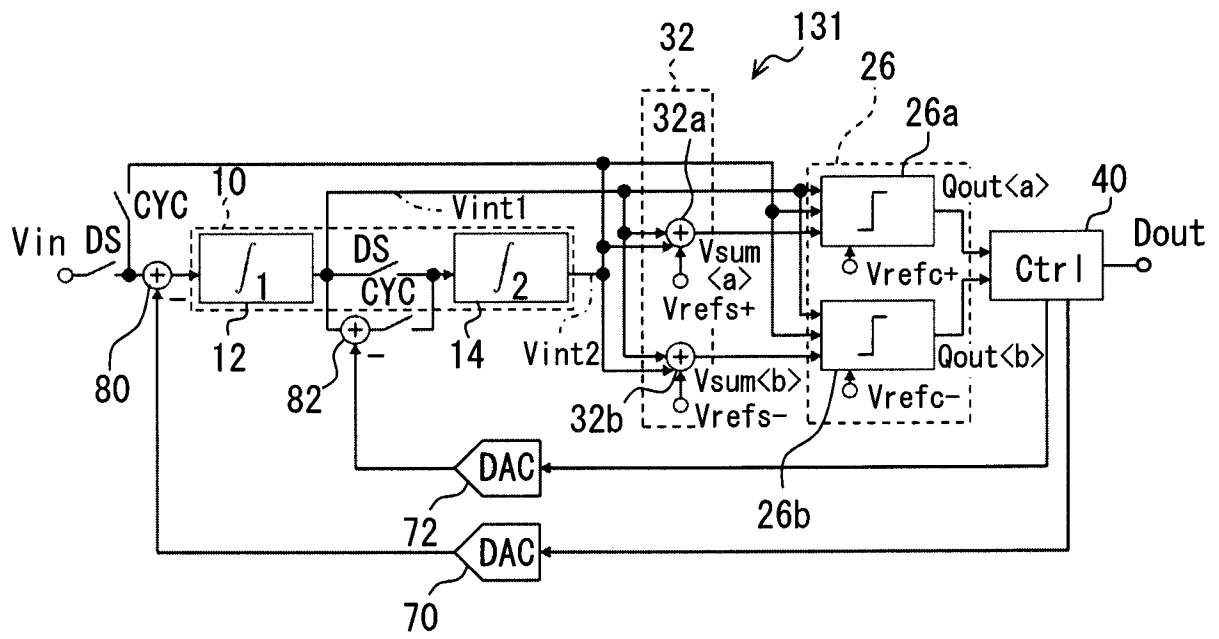
[図19]



[図20]



[図21]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/014906

A. CLASSIFICATION OF SUBJECT MATTER

H03M3/02(2006.01)i, H03M1/12(2006.01)i, H03M1/14(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03M3/02, H03M1/12, H03M1/14

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

IEEE Xplore

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2014/141350 A1 (Panasonic Corp.), 18 September 2014 (18.09.2014), entire text; all drawings & JP 14-141350 A1 Whole Document & US 2015/0381200 A1	1-11
A	JP 2015-171046 A (Panasonic Intellectual Property Management Co., Ltd.), 28 September 2015 (28.09.2015), entire text; all drawings & US 2015/0256194 A1 Whole Document	1-11

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
20 June 2017 (20.06.17)

Date of mailing of the international search report
27 June 2017 (27.06.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/014906

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2015-133626 A (Denso Corp.), 23 July 2015 (23.07.2015), entire text; all drawings & US 2015/0200682 A1 Whole Document & US 9077373 B1 & CN 104779955 A	1-11
A	JP 2016-39490 A (Denso Corp.), 22 March 2016 (22.03.2016), entire text; all drawings & US 2016/0043733 A1 Whole Document	1-11
A	Zhuo Zhang, Yacong Zhang, Miaomiao Fan, Meng Zhao, Dahe Liu, Wengao Lu, Zhongjian Chen, A Low-power 14-bit Two-stage Hybrid ADC for Infrared Focal Plane Array Detector, Information Technology, Networking, Electronic and Automation Control Conference, IEEE, 2016.05, pp.386-390	1-11

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H03M3/02 (2006.01)i, H03M1/12 (2006.01)i, H03M1/14 (2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H03M3/02, H03M1/12, H03M1/14

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

IEEE Xplore

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2014/141350 A1 (パナソニック株式会社) 2014.09.18, 全文, 全図 & JP 14-141350 A1, Whole Document & US 2015/0381200 A1	1-11
A	JP 2015-171046 A (パナソニック IP マネジメント株式会社) 2015.09.28, 全文, 全図 & US 2015/0256194 A1, Whole Document	1-11
A	JP 2015-133626 A (株式会社デンソー) 2015.07.23, 全文, 全図 & US 2015/0200682 A1, Whole Document & US 9077373 B1 & CN 104779955 A	1-11

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

20.06.2017

国際調査報告の発送日

27.06.2017

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

北村 智彦

5 K

9297

電話番号 03-3581-1101 内線 3556

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2016-39490 A (株式会社デンソー) 2016.03.22, 全文, 全図 & US 2016/0043733 A1, Whole Document	1-11
A	Zhuo Zhang, Yacong Zhang, Miaomiao Fan, Meng Zhao, Dahe Liu, Wengao Lu, Zhongjian Chen, A Low-power 14-bit Two-stage Hybrid ADC for Infrared Focal Plane Array Detector, Information Technology, Networking, Electronic and Automation Control Conference, IEEE, 2016.05, pp.386-390	1-11