

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-115499

(P2005-115499A)

(43) 公開日 平成17年4月28日(2005.4.28)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
G06F 3/00	G06F 3/00 R	5J055
H03K 17/687	H03K 19/00 1O1J	5J056
H03K 19/0175	H03K 19/00 1O1L	
	H03K 19/00 1O1S	
	H03K 17/687 F	
審査請求 未請求 請求項の数 3 O L (全 12 頁)		

(21) 出願番号 特願2003-346444 (P2003-346444)
 (22) 出願日 平成15年10月6日 (2003.10.6)

(71) 出願人 000005821
 松下電器産業株式会社
 大阪府門真市大字門真1006番地
 (74) 代理人 100113859
 弁理士 板垣 孝夫
 (74) 代理人 100068087
 弁理士 森本 義弘
 (72) 発明者 吉本 豊
 大阪府門真市大字門真1006番地 松下
 電器産業株式会社内
 Fターム(参考) 5J055 AX12 BX16 BX17 CX25 DX12
 DX56 DX72 DX73 DX83 EX02
 EY21 EZ04 EZ07 EZ08 EZ12
 EZ22 EZ25 FX04 FX18 FX19
 FX37 GX01 GX02
 最終頁に続く

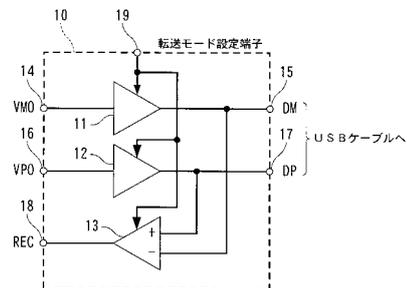
(54) 【発明の名称】 トランシーバ・インターフェース

(57) 【要約】

【課題】 シリアルバスにおけるデータ送受信時のトランスミッタおよびレシーバに流れる電流を制御することができ、消費電流を低減することができるトランシーバ・インターフェースを提供する。

【解決手段】 USBケーブルに接続されUSBプロトコルなどの有線通信方式に従って動作しているトランシーバ・インターフェース10が、転送モード設定端子19の論理値により、送信時(H)にはレシーバ13が消費電流が流れない非動作モードに設定され、受信時(L)にはトランスミッタ11、12が消費電流が流れない非動作モードに設定され、全消費電流を削減する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

定常的に電流を流すための第 1 の定常電流回路を有し、その第 1 の定常電流回路からの電流により送信動作時の電力を得るトランスミッタと、前記トランスミッタが有する第 1 の定常電流回路に電源を供給する電源線を接続または切断する第 1 のスイッチング回路と、定常的に電流を流すための第 2 の定常電流回路を有し、その第 2 の定常電流回路からの電流により受信動作時の電力を得るレシーバと、前記レシーバが有する第 2 の定常電流回路に電源を供給する電源線を接続または切断する第 2 のスイッチング回路と、前記トランスミッタにより送信動作する送信モードあるいは前記レシーバにより受信動作する受信モードを決める転送モードを設定し、前記第 1 および第 2 のスイッチング回路の前記接続または切断を制御するための論理レベルが入力される転送モード設定端子とを備え、前記第 1 および第 2 のスイッチング回路は、前記転送モード設定端子に前記送信モードを示す論理レベルが入力された場合には、前記トランスミッタが前記第 1 の定常電流回路からの電流により送信動作するように前記接続または切断を切り替え、前記転送モード設定端子に前記受信モードを示す論理レベルが入力された場合には、前記レシーバが前記第 2 の定常電流回路からの電流により受信動作するように前記接続または切断を切り替えるよう構成したことを特徴とするトランシーバ・インターフェース。

10

【請求項 2】

前記第 1 および第 2 のスイッチング回路は、少なくとも 1 個のトランジスタで構成されていることを特徴とする請求項 1 に記載のトランシーバ・インターフェース。

20

【請求項 3】

前記トランスミッタおよび前記レシーバの入力をプルダウンまたはプルアップする少なくとも 1 個のトランジスタを具備することを特徴とする請求項 1 または請求項 2 に記載のトランシーバ・インターフェース。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ユニバーサル・シリアル・バス等のシリアルバスを介して接続されたデバイス間でデータ転送するためのトランシーバ・インターフェースに関するものである。

【背景技術】

30

【0002】

従来から、電子デバイス内およびデバイス間で信号を搬送するためにバスを使用することは周知である。そのようなバスの 1 つであるユニバーサル・シリアル・バス (USB: Universal Serial Bus) の規格が、USB Implementation Forum (USB 実装フォーラム) で標準化されている。

【0003】

現在、USB 規格は、最大転送速度が 12 Mbps の Universal Serial Bus Specification Revision 1.1、および最大転送速度が 480 Mbps の Universal Serial Bus Specification Revision 2.0 が存在する。これらの USB 規格では、ホスト、デバイスおよびそれらをリンクする USB ケーブルにてデータを転送することができる。

40

【0004】

応用分野もマウスやハブなどのパーソナル・コンピュータ周辺からデジタルスチルカメラや携帯電話などに広がり、特に電池駆動機器であるデジタルスチルカメラや携帯電話などの仕様として、低消費電力化が要望されている。

【0005】

以上のような従来 of トランシーバ・インターフェースについて、以下に説明する。

図 4 は従来例におけるトランシーバ・インターフェースの一構成例を示す回路図である。図 4 に示すトランシーバ・インターフェースは、ユニバーサル・シリアル・バスのトランシーバの一例である。差動データの入出力端子 DM45、DP47 はユニバーサル・シ

50

リアル・バス仕様のUSBケーブルと接続される。ユニバーサル・シリアル・バスのトランシーバ・インターフェース40は、送信データを送信するためのトランスミッタ41、42と、受信データを受信するレシーバ43とから構成されている。

【0006】

送信モードにおいては、送信データVMO44、VPO46の論理データをトランスミッタ41、42がドライブして差動データとしてDM45、DP47に出力する。例えば、VMO44の論理値が“L”、VPO46の論理値が“H”であれば、差動データの論理は“H”となる。逆にVMO44の論理値が“H”、VPO46の論理値が“L”であれば、差動データの論理は“L”となる。

【0007】

また、受信モードにおいては、レシーバ43によって差動データの論理が“L”であれば、レシーバの出力REC48には“L”が出力される。また、差動データの論理が“H”であれば、レシーバの出力REC48には“H”が出力される。

【0008】

図5は従来例におけるトランスミッタの一構成例を示す回路図である。トランシーバには差動データの端子毎にトランスミッタが必要であるが、例として差動データDP59を出力するためのトランスミッタを例として説明する。差動データDMの場合も同様に説明できる。また、例として相補型MOSトランジスタ(CMOS)で構成されたトランスミッタの例で説明する。

【0009】

差動データDP59を出力するP型トランジスタ51のゲートに入力される電圧は、トランスファゲートを構成するP型トランジスタ53を介して接続されるP型トランジスタ54のゲート・ドレイン電圧である。差動データを出力する最終段のN型トランジスタ52のゲートに入力される電圧は、トランスファゲートを構成するN型トランジスタ55を介して接続されるN型トランジスタ57と、N型トランジスタ57のゲートと共通なゲートであるN型トランジスタ56のゲート電圧である。

【0010】

送信データVPO60が“H”の時、トランスファゲートを構成するP型トランジスタ53がON、N形トランジスタ55がOFF、P型トランジスタ54のゲート・ドレイン電圧がP型トランジスタ51のゲートに入力され、前記トランジスタ51がONしVDD 30

【0011】

送信データVPO60が“L”の時、トランスファゲートを構成するP型トランジスタ53がOFF、N形トランジスタ55がON、N型トランジスタ57のゲート・ドレイン電圧がN型トランジスタ52のゲートに入力され、前記トランジスタ52がONしGND レベルすなわち“L”がDP59に出力される。

【0012】

P型トランジスタ58、54、N型トランジスタ57、56は、一般によく使われているカレントミラー回路を構成している。P型トランジスタ58とN型トランジスタ57に定常的に流れる電流から、N型トランジスタ52のゲートに、トランスファゲートを構成 40

【0013】

P型トランジスタ54、N型トランジスタ56に定常的に流れる電流から、P型トランジスタ51のゲートに、トランスファゲートを構成するP型トランジスタ53を介して、N型トランジスタ52がONしない程度の電圧を生成する。

【0014】

受信モード時においても、P型トランジスタ58とN型トランジスタ57、およびP形トランジスタ54とN型トランジスタ56間に定常的に電流Iが流れている。

図6は従来例におけるレシーバの一構成例を示す回路図である。相補型MOSトランジ 50

スタ（CMOS）で構成されたレシーバの例で説明する。

【0015】

レシーバは、受信モード時に、DP72、DM73の差動データ入力端子からユニバーサル・シリアル・バスを介して入力される。

DP72の論理値が“H”、DM73の論理値が“L”の時、N型トランジスタ61がONし、ノード62の電圧レベルがほぼGNDになり、P型トランジスタ63がONしノード64の電圧レベルがほぼVDDになり、ノード65もほぼVDDレベルになり、レシーバの出力REC74の論理値“H”が出力される。また、DP72の論理値が“L”、DM73の論理値が“H”の時、P型トランジスタ68がONし、ノード67の電圧レベルがほぼVDDになり、N型トランジスタ70がONしノード71の電圧レベルがほぼGNDになり、ノード65もほぼGNDレベルになり、レシーバの出力REC74の論理値“L”が出力される。

10

【0016】

受信モード以外のモードでは、レシーバ出力REC74が“H”または“L”の定常状態となり、レシーバ出力REC74が“H”の状態では、ノード62、67の電圧がほぼGNDのため、P型トランジスタ66がONしVDDからP型トランジスタ66、N型トランジスタ61を経由してGNDまで常時電流が流れる。また、レシーバ出力REC74が“L”の状態では、ノード62、67の電圧がほぼVDDのため、N型トランジスタ69がONしVDDからP型トランジスタ68、N型トランジスタ69を経由してGNDまで常時電流が流れる。

20

【0017】

従来、この種のトランシーバ・インターフェース（例えば、特許文献1を参照）は、送受信増幅器とシュミットリガとを備えた構成であった。

前述のようなUSB規格は、パーソナル・コンピュータ関連機器にかぎらず、デジタルスチルカメラ、プリンタ、携帯電話に普及しており、特にインターネット、ブロードバンドの拡大や移動体通信機器の普及に伴って、電子メール、画像データなどのデータ転送を行うため、これらの機器をコンピュータに接続することができるインターフェースに適用されている。上記のような機器は、バッテリー電源駆動デバイスが多く、消費電力の低減が重要となる。

30

【特許文献1】特開2001-306198号公報

【発明の開示】

【発明が解決しようとする課題】

【0018】

しかしながら上記のような従来のトランシーバ・インターフェースでは、上述の消費電力低減の要望に対して、データ送信用トランスミッタやデータ受信レシーバにおいて、高速データ送信かつ入力感度の高い受信を実現するために、定常電流を流す回路が用いられており、機器の動作周波数やアプリケーションに関わらず、常に電流が消費されているという問題点を有していた。

【0019】

また、トランシーバ・インターフェースによるデータ転送の対象デバイスが相補型MOS半導体装置の場合、この相補型MOS半導体装置においては、基本的にはトランジスタのスイッチング時の貫通電流しか流れないことを考えると、トランシーバ・インターフェースやトランシーバ・インターフェースを有するシリアル・バス・デバイスにおける消費電流（電力）として、それらを含む全消費電流（電力）に占める割合が多くなってしまい、電池寿命を短くしてしまうという問題点も有していた。

40

【0020】

本発明は、上記従来の問題点を解決するもので、シリアルバスにおけるデータ送受信時のトランスミッタおよびレシーバに流れる電流を制御することができ、消費電流を低減することができるトランシーバ・インターフェースを提供する。

【課題を解決するための手段】

50

【0021】

上記の課題を解決するために、本発明の請求項1記載のトランシーバ・インターフェースは、定常的に電流を流すための第1の定常電流回路を有し、その第1の定常電流回路からの電流により送信動作時の電力を得るトランスミッタと、前記トランスミッタが有する第1の定常電流回路に電源を供給する電源線を接続または切断する第1のスイッチング回路と、定常的に電流を流すための第2の定常電流回路を有し、その第2の定常電流回路からの電流により受信動作時の電力を得るレシーバと、前記レシーバが有する第2の定常電流回路に電源を供給する電源線を接続または切断する第2のスイッチング回路と、前記トランスミッタにより送信動作する送信モードあるいは前記レシーバにより受信動作する受信モードを決める転送モードを設定し、前記第1および第2のスイッチング回路の前記接

10

【0022】

また、本発明の請求項2記載のトランシーバ・インターフェースは、請求項1に記載のトランシーバ・インターフェースであって、前記第1および第2のスイッチング回路は、

20

【0023】

これらの構成により、トランスミッタおよびレシーバにおいて、電源線と定常電流回路との間に接続したスイッチング回路が転送モード設定端子からの信号でONまたはOFFし、電源線と定常電流回路間が接続または切断され、定常電流回路に定常電流を流す経路の遮断を制御することにより定常電流を低減することができ、かつ、簡単な回路構成での実現を可能にすることができる。

【0024】

また、本発明の請求項3記載のトランシーバ・インターフェースは、請求項1または請求項2に記載のトランシーバ・インターフェースであって、前記トランスミッタおよび前

30

【0025】

この構成により、トランスミッタおよびレシーバにおいて、電源線と定常電流回路との間に接続したスイッチング回路が転送モード設定端子からの信号でONまたはOFFし、電源線と定常電流回路間が接続または切断され、定常電流回路に定常電流を流す経路の遮断を制御することにより定常電流を低減することができ、かつ、簡単な回路構成での実現を可能にできるとともに、スイッチング回路によって定常電流回路が電源線と切断され定常電流が流れる経路が遮断された時に、トランスミッタおよびレシーバにプル

40

【発明の効果】

【0026】

以上のように本発明によれば、トランスミッタおよびレシーバにおいて、電源線と定常電流回路との間に接続したスイッチング回路が転送モード設定端子からの信号でONまたはOFFし、電源線と定常電流回路間が接続または切断され、定常電流回路に定常電流を流す経路の遮断を制御することにより定常電流を低減することができ、かつ、簡単な回路構成での実現を可能にすることができる。

【0027】

50

そのため、シリアルバスにおけるデータ送受信時のトランスミッタおよびレシーバに流れる電流を制御することができ、消費電流を低減することができるとともに、回路構成を簡単化することができ、集積回路化へ容易に適用することができる。

【0028】

また、スイッチング回路によって定常電流回路が電源線と切断され定常電流が流れる経路が遮断された時に、トランスミッタおよびレシーバにプルダウンまたはプルアップ用のトランジスタを接続し、そのトランジスタを転送モード設定端子からの信号でONさせることにより、トランスミッタおよびレシーバの出力をハイインピーダンス化して入力電圧レベルを固定でき、余分な電流をなくすることができる。

【0029】

そのため、シリアルバスにおけるデータ送受信時のトランスミッタおよびレシーバに流れる電流を制御することで、消費電流を低減することができ、かつ転送モード以外のモードでも更に消費電流を低減することができる。

【発明を実施するための最良の形態】

【0030】

以下、本発明の実施の形態を示すトランシーバ・インターフェースについて、図面を参照しながら具体的に説明する。

図1は本実施の形態のトランシーバ・インターフェースの構成を示す回路図である。差動データの入出力端子DM15、DP17は、ユニバーサル・シリアル・バス仕様のUSBケーブルと接続される。ユニバーサル・シリアル・バスのトランシーバ・インターフェース10は、送信データを送信するためのトランスミッタ11、12と、受信データを受信するレシーバ13と、転送モード設定端子19とから構成されている。

【0031】

以上のように構成されたトランシーバ・インターフェースについて、その動作を以下に説明する。

転送モード設定端子19が"H"で送信モードとすると、トランスミッタ11、12のみ動作状態に設定され、レシーバ13は非動作状態に設定される。送信モードにおいては、送信データVMO14、VPO16の論理データをトランスミッタ11、12がドライブして差動データとしてDM15、DP17に出力する。例えば、VMO14の論理値が"L"、VPO16の論理値が"H"であれば、差動データの論理は"H"となる。逆にVMO14の論理値が"H"、VPO16の論理値が"L"であれば、差動データの論理は"L"となる。

【0032】

転送モード設定端子19が"L"で受信モードとすると、レシーバ13のみ動作状態に設定され、トランスミッタ11、12は非動作状態に設定される。受信モードにおいては、レシーバ13によって差動データの論理が"L"であれば、レシーバの出力REC18には"L"が出力される。また、差動データの論理が"H"であれば、レシーバの出力REC18には"H"が出力される。

【0033】

上記のようなトランシーバ・インターフェースについて、その詳細を図2、3を用いて以下に説明する。

図2は本実施の形態のトランシーバ・インターフェースのトランスミッタの構成を示す回路図である。図2において、21は転送モード設定端子、22、23はスイッチング回路を構成するP形トランジスタ、24はプルダウン用N形トランジスタ、25はプルアップ用P型トランジスタ、201は差動データを出力する最終段のP型トランジスタ、202は差動データを出力する最終段のN型トランジスタ、203はトランスファゲートを構成するP型トランジスタ、204、208はP型トランジスタ、206、207はN型トランジスタで、これらP型トランジスタ204、208およびN型トランジスタ206、207によりカレントミラー回路を構成している。

【0034】

10

20

30

40

50

以上のように構成されたトランシーバ・インターフェースのトランスミッタについて、その動作を以下に説明する。

まず、図2の転送モード設定端子21が”H”で送信モードで、かつ送信データVPO26が”H”の時、P型トランジスタ22、23がON、N型トランジスタ24がON、P型トランジスタ25がOFFで、トランスファゲートを構成するP型トランジスタ203がON、N形トランジスタ205がOFF、P型トランジスタ204のゲート・ドレイン電圧がP型トランジスタ201のゲートに入力され、P型トランジスタ201がONしDP209にはVDDレベルすなわち”H”が出力される。

【0035】

送信データVPO26が”L”の時には、トランスファゲートを構成するP型トランジスタ203がOFF、N形トランジスタ205がON、N型トランジスタ207のゲート・ドレイン電圧がN型トランジスタ202のゲートに入力され、N型トランジスタ202がONしDP209にはGNDレベルすなわち”L”が出力される。

10

【0036】

カレントミラー回路を構成するP型トランジスタ208、204、N型トランジスタ207、206は常時ONし、P型トランジスタ208と22、N型トランジスタ207に定常的に流れる電流から、N型トランジスタ202のゲートに、トランスファゲートを構成するN型トランジスタ205を介してP型トランジスタ201がONしない程度の電圧を生成し、P形トランジスタ204と23、N型トランジスタ206に定常的に流れる電流から、P型トランジスタ201のゲートにトランスファゲートを構成するP型トランジスタ203を介してN型トランジスタ202がONしない程度の電圧を生成する。

20

【0037】

ここで、受信モードになった場合、従来例の構成においては、P型トランジスタ208、22とN型トランジスタ207、およびP形トランジスタ204、23とN型トランジスタ206間に定常的に電流Iが流れている。しかし本実施の形態では、受信モード時には転送モード設定端子21が”L”となっているため、P型トランジスタ22と23がOFFとなり、N型トランジスタ24とP型トランジスタ25がONになり、VDDからP型トランジスタ22、208、N型トランジスタ207に流れる経路、およびVDDからP型トランジスタ23、204、N型トランジスタ206に流れる経路が切断され、P型トランジスタ201およびN型トランジスタ202がOFFになり、DP209はハイインピーダンスとなる。

30

【0038】

図3は本実施の形態のトランシーバ・インターフェースのレシーバの構成を示す回路図である。図3において、31は転送設定モード端子、32、33、34、35はスイッチング回路を構成するP形トランジスタ、36はプルダウン用N形トランジスタであり、このレシーバは受信モード時に、DP38、DM39の差動データ入力端子からユニバーサル・シリアル・バスを介して、差動データが入力される。

【0039】

ここで転送モード設定端子31が”L”すなわち受信モード時には、レシーバが動作状態に設定され、トランスミッタは非動作状態に設定される。この受信モード時には、転送モード設定端子31が”L”になっているので、スイッチング回路を構成するP形トランジスタ32、33、34、35がON、プルダウン用N形トランジスタ36がOFFとなり、この時、DP38の論理値が”H”、DM39の論理値が”L”となった場合には、N型トランジスタ301がONし、ノード302の電圧レベルがほぼGNDになり、P型トランジスタ303がONし、ノード304の電圧レベルがほぼVDDになり、ノード305もほぼVDDレベルになり、レシーバの出力であるREC37からは論理値”H”が出力される。

40

【0040】

ここで、DP38の論理値が”L”、DM39の論理値が”H”となった場合には、P型トランジスタ308がONし、ノード309の電圧レベルがほぼVDDになり、N型ト

50

ランジスタ310がONし、ノード311の電圧レベルがほぼGNDになり、ノード305もほぼGNDレベルになり、レシーバの出力であるREC37からは論理値”L”が出力される。

【0041】

ここで、受信モード以外のモードの場合、従来例の構成では、レシーバ出力REC37が”H”または”L”の定常状態となり、レシーバ出力REC37が”H”の状態では、ノード302、307の電圧がほぼGNDのため、P型トランジスタ306がONしVDDからP型トランジスタ33、306からN型トランジスタ301を経由してGNDまで常時電流が流れる。また、レシーバ出力REC37が”L”の状態では、ノード309、307の電圧がほぼVDDのため、N型トランジスタ314がONしVDDからP型トランジスタ32、308からN型トランジスタ314を経由してGNDまで常時電流が流れる。

10

【0042】

しかし、転送モード設定端子31が”H”で送信モードになった時には、P型トランジスタ32、33、34、35がOFF、N型トランジスタ36がONし、VDDからP型トランジスタ32、308、N型トランジスタ314を経由してGNDに流れる経路、VDDからP型トランジスタ33、306からN型トランジスタ301を経由してGNDに流れる経路、VDDからP型トランジスタ33、306、312、N型トランジスタ313、314を経由してGNDに流れる経路、VDDからP型トランジスタ34、315、316、N型トランジスタ317、318を経由してGNDに流れる経路、VDDからP型トランジスタ34、315、N型トランジスタ310を経由してGNDに流れる経路、およびVDDからP型トランジスタ35、303、N型トランジスタ318を経由してGNDに流れる経路の全てが切断される。また、このとき、N形トランジスタ36がONしレシーバ出力回路が”L”に固定される。

20

【産業上の利用可能性】

【0043】

本発明のトランシーバ・インターフェースは、シリアルバスにおけるデータ送受信時のトランスミッタおよびレシーバに流れる電流を制御することができ、消費電流を低減することができるものであり、ユニバーサル・シリアル・バス等のシリアルバスを介して接続されたデバイス間でデータ転送する場合等の技術に適用できる。

30

【図面の簡単な説明】

【0044】

【図1】本発明の実施の形態のトランシーバ・インターフェースの構成を示す回路図

【図2】同実施の形態のトランシーバ・インターフェースにおけるトランスミッタの構成を示す回路図

【図3】同実施の形態のトランシーバ・インターフェースにおけるレシーバの構成を示す回路図

【図4】従来例のトランシーバ・インターフェースの構成を示す回路図

【図5】同従来例のトランシーバ・インターフェースにおけるトランスミッタの構成を示す回路図

40

【図6】同従来例のトランシーバ・インターフェースにおけるレシーバの構成を示す回路図

【符号の説明】

【0045】

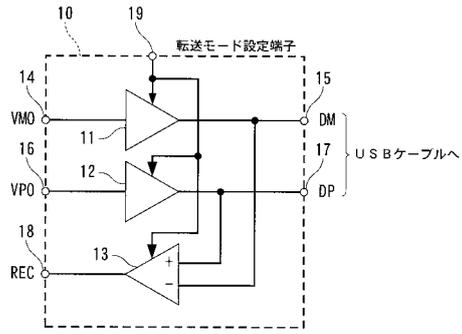
- 10 トランシーバ・インターフェース
- 11 トランスミッタ
- 12 トランスミッタ
- 13 レシーバ
- 14 VMO
- 15 DM

50

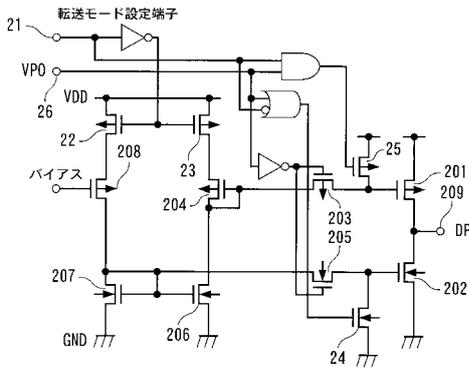
1 6	V P O	
1 7	D P	
1 8	R E C	
1 9	転送モード設定端子	
2 1	転送モード設定端子	
2 2、2 3	P型トランジスタ	
2 4	N型トランジスタ	
2 5	P型トランジスタ	
2 6	V P O	
2 0 1	P型トランジスタ	10
2 0 2	N型トランジスタ	
2 0 3	P型トランジスタ	
2 0 4	P型トランジスタ	
2 0 5	N型トランジスタ	
2 0 6	N型トランジスタ	
2 0 7	N型トランジスタ	
2 0 8	P型トランジスタ	
2 0 9	D P	
3 1	転送モード設定端子	
3 2	P型トランジスタ	20
3 3	P型トランジスタ	
3 4	P型トランジスタ	
3 5	P型トランジスタ	
3 6	N型トランジスタ	
3 7	R E C	
3 8	D P	
3 9	D M	
3 0 1	N型トランジスタ	
3 0 2	ノード	
3 0 3	P型トランジスタ	30
3 0 4	ノード	
3 0 5	ノード	
3 0 6	P型トランジスタ	
3 0 7	ノード	
3 0 8	P型トランジスタ	
3 0 9	ノード	
3 1 0	N型トランジスタ	
3 1 1	ノード	
3 1 2	P型トランジスタ	
3 1 3	N型トランジスタ	40
3 1 4	N型トランジスタ	
3 1 5	P型トランジスタ	
3 1 6	P型トランジスタ	
3 1 7	N型トランジスタ	
3 1 8	N型トランジスタ	
4 0	トランシーバ・インターフェース	
4 1	トランスミッタ	
4 2	トランスミッタ	
4 3	レシーバ	
4 4	V M O	50

4 5	D M	
4 6	V P O	
4 7	D P	
4 8	R E C	
5 1	P 型トランジスタ	
5 2	N 型トランジスタ	
5 3	P 型トランジスタ	
5 4	P 型トランジスタ	
5 5	N 型トランジスタ	
5 6	N 型トランジスタ	10
5 7	N 型トランジスタ	
5 8	P 型トランジスタ	
5 9	D P	
6 0	V P O	
6 1	N 型トランジスタ	
6 2	ノード	
6 3	P 型トランジスタ	
6 4	ノード	
6 5	ノード	
6 6	P 型トランジスタ	20
6 7	ノード	
6 8	P 型トランジスタ	
6 9	N 型トランジスタ	
7 0	N 型トランジスタ	
7 1	ノード	
7 2	D P	
7 3	D M	
7 4	R E C	

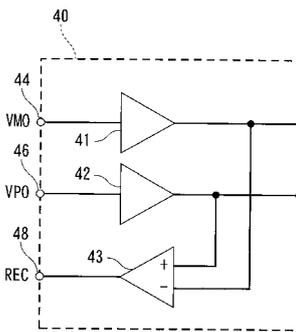
【図1】



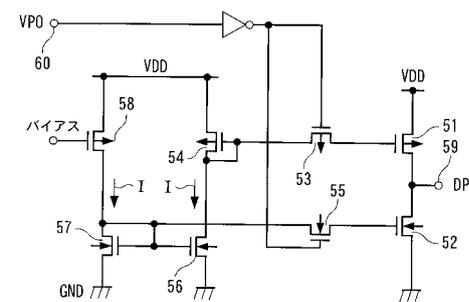
【図2】



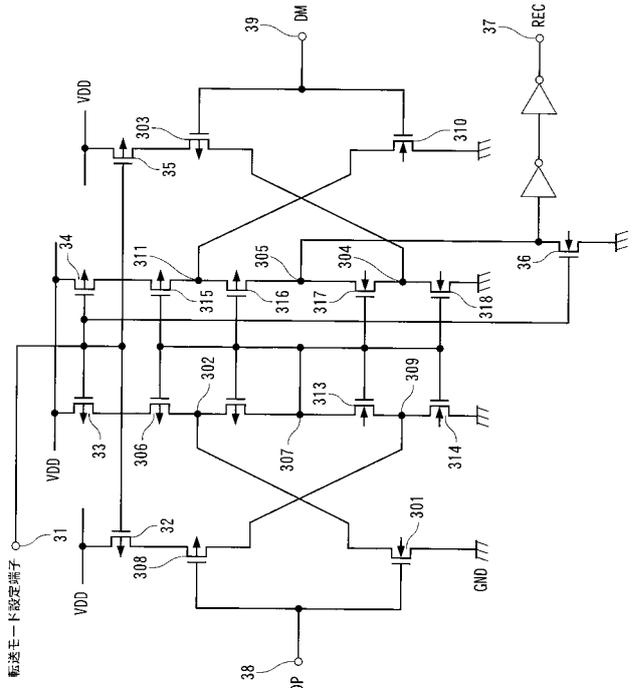
【図4】



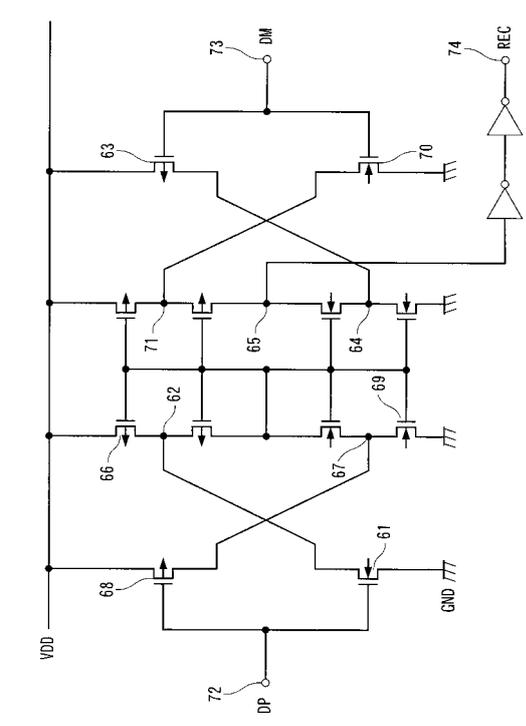
【図5】



【図3】



【図6】



フロントページの続き

Fターム(参考) 5J056 AA01 AA04 BB17 BB54 CC00 CC02 DD12 DD29 EE08 FF06
FF07 FF09 GG04 GG12