

(12) SOLICITUD INTERNACIONAL PUBLICADA EN VIRTUD DEL TRATADO DE COOPERACIÓN
EN MATERIA DE PATENTES (PCT)

(19) Organización Mundial de la Propiedad
Intelectual
Oficina internacional



(43) Fecha de publicación internacional
3 de Abril de 2008 (03.04.2008)

PCT

(10) Número de Publicación Internacional
WO 2008/037816 A1

(51) Clasificación Internacional de Patentes:
GI1C 11/412 (2006.01)

(21) Número de la solicitud internacional:
PCT/ES2006/000542

(22) Fecha de presentación internacional:
28 de Septiembre de 2006 (28.09.2006)

(25) Idioma de presentación: español

(26) Idioma de publicación: español

(71) Solicitante (para todos los Estados designados salvo US):
INTEL CORPORATION [US/US]; 2200 Mission Col-
lege Boulevard, M/S SC4-202, Santa Clara, CA 95052
(US).

(72) Inventores; e

(75) Inventores/Solicitantes (para US solamente): **ABELLA,**
Jaume [ES/ES]; Reina Elisenda De Montcada 11, 6-3,
E-08034 Barcelona (ES). **VERA, Xavier** [ES/ES]; Gran

Via Carles III, 87-89B, 2-2, E-08028 Barcelona (ES). **UN-**
SAL, Osman [ES/ES]; c/ Pellaires 1, p2, pta 1, E-08019
Barcelona (ES). **GONZÁLEZ, Antonio** [ES/ES]; Joan
Güell 11, 4º, 1ª, E-08028 Barcelona (ES).

(74) Mandatario: **CARPINTERO LOPEZ, Francisco**; Al-
calá 35, E-28014 Madrid (ES).

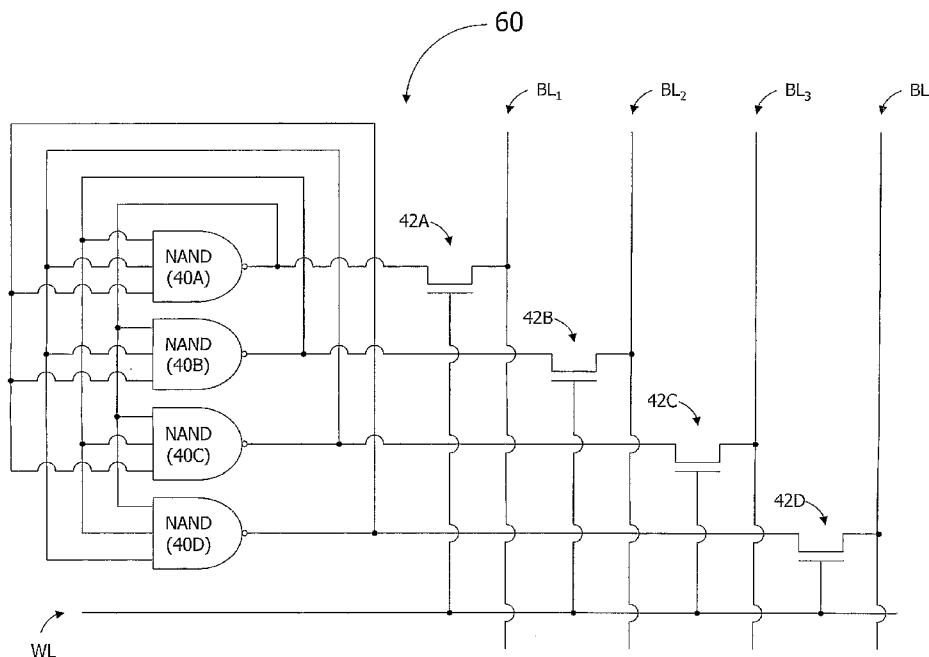
(81) Estados designados (a menos que se indique otra cosa,
para toda clase de protección nacional admisible): AE,
AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY,
BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ,
EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HN, HR, HU,
ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC,
LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN,
MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH,
PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV,
SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN,
ZA, ZM, ZW.

(84) Estados designados (a menos que se indique otra cosa,
para toda clase de protección regional admisible): ARIPO

[Continúa en la página siguiente]

(54) Title: NBTI-RESISTANT MEMORY CELLS WITH NAND GATES

(54) Título: CÉLULAS DE MEMORIA RESISTENTES A LA NBTI CON COMPUERTAS NAND



(57) Abstract: The invention relates to an NBTI-resistant memory cell consisting of a ring containing multiple NAND gates. The NAND gates are disposed such that one of the gates has a 0 at the output thereof, while the rest of said gates have a 1 at the outputs thereof. The PMOS transistors inside the memory cell experience less degradation than in inverter-based memory cells. The guard band can be reduced in order to prevent transistor degradation, while the operating frequency of the memory cell can be increased.

[Continúa en la página siguiente]

WO 2008/037816 A1



(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), euroasiática (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europea (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Publicada:

— *con informe de búsqueda internacional*

(57) Resumen: Una célula de memoria resistente a la NBTI está compuesta por un anillo de múltiples compuertas NAND. Las compuertas NAND están dispuestas de tal manera que una de las compuertas NAND tiene un "0" en su salida, mientras que las restantes compuertas NAND tienen un "1" en sus salidas. Los transistores PMOS dentro de la célula de memoria experimentan menor degradación que en las células de memoria basadas en invertidores. Puede reducirse la banda de resguardo para la prevención de la degradación de transistores, o bien puede aumentarse la frecuencia operativa de la célula de memoria.

CÉLULAS DE MEMORIA RESISTENTES A LA NBTI CON COMPUERTAS NAND

CAMPO TÉCNICO

5 Esta revelación se refiere a células de memoria y, más en particular, a la prevención de fallos de transistores dentro de células de memoria.

ANTECEDENTES

10 Según evoluciona la tecnología de circuitos, los transistores se reducen, ya sea en longitud, en ancho o en espesor. La reducción de transistores puede causar uno o más efectos que afectan negativamente a la operación del circuito. Un fenómeno, conocido como inestabilidad de temperatura por polarización negativa (Negative Bias Temperature Instability - NBTI), es una fuente de fallos de transistores. La NBTI ocurre en
15 transistores PMOS (P-type metal oxide semiconductors - semiconductores de óxido metálico de tipo p), siempre que el voltaje en la compuerta es negativo (entrada lógica "0"). La NBTI causa degradación del transistor, lo cual acorta su vida útil.

20 Como otros circuitos basados en transistores, las células de memoria se ven adversamente afectadas por el fenómeno de la NBTI. Aunque existen variaciones, las típicas células de memoria consisten en dos invertidores, dispuestos de manera tal que la salida de un primer invertidor se acopla a la entrada de un segundo invertidor, y viceversa. Con tal configuración, uno de los invertidores tiene un voltaje negativo (entrada
25 lógica "0") en su entrada en todo momento, lo que da como resultado la degradación por NBTI. La degradación del mejor de los casos ocurre cuando el valor de cada invertidor es "0" durante el 50% del tiempo, lo cual significa que ambos transistores PMOS se degradan a la misma tasa. Debido a la configuración de las células de memoria, es inviable lograr una
30 tasa de degradación por debajo del 50%.

 Por esto, existe una necesidad permanente de abordar aquellas cuestiones vinculadas con la NBTI y asociadas a las células de memoria.

BREVE DESCRIPCIÓN DE LOS DIBUJOS

35 Los aspectos precedentes, y muchas de las ventajas concomitantes de esta revelación, se apreciarán tanto más inmediatamente según la misma

devenga más comprensible por referencia a la siguiente descripción detallada, al ser considerada conjuntamente con los dibujos adjuntos, en los cuales los números de referencia iguales refieren a partes análogas en todas las diversas imágenes, a menos que se especifique lo contrario.

5 Las Figuras 1A – 1C son diagramas de una célula de memoria SRAM (del inglés Static Random Access Memory – Memoria Estática de Acceso Aleatorio) , según la técnica anterior;

10 La Figura 2 es un diagrama de una célula de memoria con base NAND, incluyendo tres compuertas NAND de dos entradas, según algunas realizaciones;

La Figura 3 es un diagrama de una compuerta NAND de dos entradas y un circuito de transistores equivalente, según la técnica anterior;

15 La Figura 4 es un diagrama de una célula de memoria con base NAND, incluyendo cuatro compuertas NAND de tres entradas, según algunas realizaciones;

La Figura 5 es un diagrama de una compuerta NAND de tres entradas y un circuito de transistores equivalente, según la técnica anterior;

20 La Figura 6 es un diagrama de una célula de memoria que incluye dos de las células de memoria con base NAND de la Figura 2, según algunas realizaciones;

Las Figuras 7A – 7C son gráficos que comparan el retardo, el área y la potencia, respectivamente, entre distintos tipos de células de memoria, según algunas realizaciones;

25 La Figura 8 es un diagrama de una célula de memoria que incluye la célula de memoria de la Figura 1C, duplicada en su totalidad, según algunas realizaciones;

La Figura 9 es un diagrama de una célula de memoria, que incluye la célula de memoria de la Figura 1C, duplicada no totalmente, según algunas realizaciones; y

30 La Figura 10 es un diagrama en bloques de un sistema basado en procesadores, que utiliza las células de memoria de la Figura 4, según algunas realizaciones.

DESCRIPCIÓN DETALLADA

35 Según las realizaciones descritas en este documento, se revela una célula de memoria resistente a la NBTI, en la cual la disposición de

invertidores acoplados, común en células de memoria de técnica anterior, es reemplazada por un anillo de múltiples compuertas NAND. Dentro de la novedosa célula de memoria, las compuertas NAND se disponen de manera tal que una de las compuertas NAND tiene un "0" en su salida, mientras que las restantes compuertas NAND tienen un "1" en sus salidas. Utilizando las novedosas células de memoria, se reducen las tasas de degradación. Debido a esta ventaja, con la novedosa célula de memoria puede evitarse, o reducirse, la banda de resguardo para prever la degradación de transistores, o bien puede aumentarse la frecuencia de operación de la célula de memoria.

En la siguiente descripción detallada, se hace referencia a los dibujos adjuntos, que muestran, a modo de ilustración, realizaciones específicas en las cuales puede ponerse en práctica el asunto descrito. Sin embargo, ha de entenderse que otras realizaciones devendrán evidentes para aquellos medianamente versados en la tecnología al leer esta revelación. La siguiente descripción detallada, por lo tanto, no ha de ser interpretada en un sentido limitado, ya que el alcance de la presente revelación está definido por las reivindicaciones.

Las Figuras 1A, 1B y 1C son diagramas de una célula de memoria estática de acceso aleatorio (Static Random Access Memory - SRAM), según la técnica anterior. La célula SRAM 10A (Figura 1A) es una célula de memoria de dos puertos, que incluye dos invertidores acoplados 12A y 12B, transistores de acceso 14A y 14B (acceso del primer puerto), y transistores de acceso 16A y 16B (acceso del segundo puerto). Para el acceso del primer puerto, las líneas de bits complementarias BL_1 y $BL_1\#$ están conectadas con los transistores de acceso 14A y 14B, respectivamente, y la línea de palabras WL_1 está conectada con las compuertas de los transistores de acceso 14A y 14B. Para el acceso del segundo puerto, las líneas de bits complementarias BL_2 y $BL_2\#$ están conectadas con los transistores de acceso 16A y 16B, respectivamente, y la línea de palabras WL_2 está conectada con las compuertas de los transistores de acceso. Las líneas de bits BL_1 (BL_2) y $BL_1\#$ ($BL_2\#$) son conocidas como líneas de bits complementarias, ya que una línea de bits transmite un valor de "1" o "0", mientras que la otra línea de bits transmite su complemento, un valor de "0" o "1".

En la célula 10B de memoria SRAM (Figura 1B), los invertidores 12A

y 12B están reemplazados por los transistores 18A, 18B, 22A y 22B. (Dado que la célula 10A de memoria SRAM y la célula 10B de memoria SRAM son circuitos equivalentes, el circuito se menciona en este documento como la célula 10 de memoria SRAM o la célula 10 de memoria). Los transistores en la célula 10 de memoria son transistores semiconductores con efecto de campo de óxido metálico (Metal Oxide Semiconductor Field-Effect Transistors, o MOSFET). Los transistores 14A, 14B, 16A, 16B, 22A y 22B son MOSFET de tipo n, también conocidos como transistores NMOS, mientras que los transistores 18A y 18B son MOSFET de tipo p, también conocidos como transistores PMOS. La célula 10 de memoria tiene dos puertos, dos conjuntos de transistores de acceso, y es conocida por esto como una célula de dos puertos.

Una célula de memoria de puerto único se ilustra en la Figura 1C, según la técnica anterior. La célula 20 de memoria incluye una única línea de palabras WL, un único par de líneas de bits complementarias BL y BL#, y un único par de transistores de acceso 24A y 24B, que son transistores NMOS. Los transistores 26A y 26B son transistores PMOS, mientras que los transistores 28A y 28B son transistores NMOS. La célula 20 de memoria consiste por ello en seis MOSFET, dos transistores PMOS y cuatro transistores NMOS.

Los transistores de acceso 24A y 24B son encendidos por la activación de la línea de palabras, WL, permitiendo el acceso entre las líneas de bits BL / BL# y el resto de la célula 20 de memoria. Cuando se habilitan, los transistores de acceso 14A y 14B acoplan las líneas de bits BL y BL# con los valores de células complementarias, indicados como V_1 y V_2 en la Figura 1C. El valor de la célula 20 de memoria, V_1 , se almacena en un lado de la célula (terminales de derivación de los transistores 26A y 28A), mientras que el complemento del valor de la célula de memoria, V_2 , se almacena en el otro lado de la célula (terminales de derivación de los transistores 26B y 28B). Siempre que la célula 20 de memoria almacena un valor "0" ($V_1=0$), el voltaje en la compuerta del transistor PMOS 26B es negativo (entrada lógica "0"). El voltaje complementario, V_2 , es un valor "1", que causa que el voltaje en la compuerta del transistor PMOS 26A sea positivo. Siempre que la célula 20 de memoria almacena un valor "1" ($V_1=1$), el voltaje en la compuerta del transistor PMOS 26B es positivo (entrada lógica "1"). El voltaje complementario, V_2 , es un valor "0", que causa que el voltaje en la

compuerta del transistor PMOS 26A sea negativo (entrada lógica "0"). De esta manera, según la disposición acoplada de los transistores PMOS y NMOS en una célula de memoria, uno de los transistores PMOS tendrá un valor "0", o voltaje negativo, en un momento dado.

5 Como se ha descrito anteriormente, un transistor PMOS se degrada cuando el voltaje en su compuerta es negativo, un fenómeno conocido como inestabilidad de temperatura por polarización negativa (Negative Bias Temperature Instability - NBTI). Una célula de memoria, tal como las células 10 y 20 de memoria, descritas anteriormente, es incapaz de evitar el fenómeno, ya que uno de los dos transistores PMOS tendrá un voltaje negativo en un instante dado en el tiempo, debido a la disposición específica de los transistores PMOS y NMOS.

10 La vida útil de las células 10 y 20 de memoria puede optimizarse de manera tal que haya un equilibrio entre el momento en el cual un transistor PMOS esté degradándose (18A o 26A) y aquel en el cual el segundo transistor PMOS esté degradándose (18B o 26B). Este equilibrio garantiza que cada transistor PMOS dentro de la célula de memoria se degrada durante el 50% del tiempo.

20 Allí donde la célula de memoria incluye más transistores PMOS, un equilibrio similar entre cada transistor PMOS puede, en teoría, reducir los efectos de la NBTI. Por ejemplo, la Figura 2 es una célula 50 de memoria con base NAND, según algunas realizaciones. La célula 50 de memoria con base NAND, una célula de memoria de puerto único, incluye tres compuertas NAND 30A, 30B y 30C de dos entradas (colectivamente, compuertas NAND 30). Las compuertas NAND 30 están dispuestas de tal manera que la salida de una compuerta NAND se entrega como entrada en las otras dos compuertas NAND. Con esta configuración, siempre que una compuerta NAND suministra un valor "0" a su salida, las dos compuertas NAND restantes suministran un valor "1". Por ejemplo, cuando la compuerta NAND 30A suministra un valor "0" a su salida, las compuertas NAND 30B y 30C suministran un valor "1" a sus salidas.

30 Tres transistores de acceso 32A, 32B y 32C (colectivamente, transistores 32 de acceso) están conectados con las salidas de las compuertas NAND 30A, 30B y 30C, respectivamente, con una línea de palabras WL que deriva la salida de cada compuerta NAND a una respectiva línea de bits BL₁, BL₂ o BL₃. En la configuración de la Figura 2, la célula 50

de memoria no incluye líneas de bits complementarias.

La célula 50 de memoria es una célula de memoria de puerto único. Puede brindarse soporte a puertos adicionales, añadiendo líneas de bits (tres por puerto), transistores de acceso (tres por puerto) y líneas de palabras (una por puerto). (Véanse las Figuras 1A y 1B para un ejemplo de una célula de memoria de dos puertos.)

Como los invertidores 12A y 12B, las compuertas NAND 30A pueden describirse utilizando circuitos de transistores equivalentes. En la Figura 3, se ilustra una compuerta NAND 30 de dos entradas, que tiene una primera entrada (entrada 1), una segunda entrada (entrada 2) y una salida (salida). Un circuito equivalente 34 incluye dos transistores PMOS 36A y 36B, y dos transistores NMOS 38A y 38B, dispuestos según se muestra. La primera entrada (entrada 1) está conectada con la compuerta del transistor NMOS 38A, y con la compuerta del transistor PMOS 36B. La segunda entrada (entrada 2) está conectada con la compuerta del transistor NMOS 38B y con la compuerta del transistor PMOS 36A. La salida (salida) está conectada con las derivaciones de los transistores PMOS 36A y 36B y con la derivación del transistor NMOS 38A. Una compuerta NAND de dos entradas incluye así dos transistores PMOS y dos transistores NMOS.

Como muestra el circuito 34, el transistor PMOS 36A es negativo siempre que la segunda entrada (entrada 2) es un "0" lógico. El transistor PMOS 36B es negativo siempre que la primera entrada (entrada 1) es un "0" lógico. Así, siempre que alguna de las entradas, o ambas, a la compuerta NAND 30 es "0", puede ocurrir alguna degradación por NBTI de la compuerta NAND.

Volviendo a la Figura 2, la disposición de las compuertas NAND 30 en la célula 50 de memoria garantiza que, siempre que una compuerta NAND emite un "0", las otras dos compuertas suministran un "1". Dado que la salida de cada compuerta NAND 30 está vinculada con una entrada de cada otra compuerta NAND, esto significa que dos entre seis entradas, o sea, un tercio, tendrán un "0", de manera tal que los transistores PMOS en la misma se degraden un 33% del tiempo, en promedio, en lugar de la mitad del tiempo, como en la célula convencional 10 o 20 de memoria.

La célula 50 de memoria es mayor que las células 10 o 20 de memoria; sin embargo, la célula 50 de memoria es más resistente a la NTBI, ya que tiene más transistores PMOS. La novedosa célula 50 de memoria

incluye tres transistores NMOS 32 de acceso, más seis transistores PMOS y seis transistores NMOS (dos de cada en cada una de las compuertas NAND 30). En contraposición con las células 10 (Figuras 1A y 1B) y 20 (Figura 1C) de memoria, cada una de las cuales tiene dos transistores PMOS, la novedosa célula 50 de memoria tiene seis transistores PMOS.

Cada una de las salidas de las compuertas NAND 30 en la Figura 2 está conectada con la entrada de las otras compuertas NAND de manera tal que, siempre que una compuerta NAND suministra un valor "0" a su salida, las otras dos compuertas NAND suministran un valor "1". Esto significa que el 33% de los transistores PMOS en la célula 50 de memoria se degradan a la vez. La Tabla 1 detalla las entradas y salidas cuando la compuerta NAND 30A tiene un valor "1" en ambas entradas.

Tabla 1. Entradas y salidas para la célula 50 de memoria

	<u>entrada 1</u>	<u>entrada 2</u>	<u>Salida</u>
NAND (30A)	1	1	0
NAND (30B)	0	1	1
NAND (30C)	0	1	1

La figura 4 ilustra una segunda célula 60 de memoria con base NAND, según algunas realizaciones. La célula 50 de memoria con base NAND, una célula de memoria de puerto único, incluye cuatro compuertas NAND 40A, 40B, 40C y 40D (colectivamente, compuertas NAND 40) de tres entradas. Igual que en la Figura 2, las compuertas NAND 40 de la célula 60 de memoria se disponen de manera tal que la salida de una compuerta NAND se suministra como una entrada en las restantes compuertas NAND; en este caso, tres compuertas NAND. Por ejemplo, cuando la compuerta NAND 40B emite un valor "0", las compuertas NAND 40A, 40C y 40D emiten un valor "1".

Cuatro transistores de acceso 42A, 42B, 42C y 42D (colectivamente, los transistores 42 de acceso) están conectados con las salidas de las compuertas NAND 40A, 40B, 40C y 40D, respectivamente, con una línea de palabras WL que deriva la salida de cada compuerta NAND a una respectiva línea de bits BL1, BL2, BL3 o BL4. En la configuración de la Figura 4, la célula 60 de memoria no incluye líneas de bits complementarias.

La célula 60 de memoria es una célula de memoria de puerto único.

Puede brindarse soporte a puertos adicionales, añadiendo líneas de bits (cuatro por puerto), transistores de acceso (cuatro por puerto) y líneas de palabras (una por puerto).

En la Figura 5 se ilustra una compuerta NAND 40 de tres entradas, que tiene una primera entrada (entrada 1), una segunda entrada (entrada 2), una tercera entrada (entrada 3) y una salida (salida). Un circuito equivalente 44 incluye tres transistores PMOS 46A, 46B y 46C, y tres transistores NMOS 48A, 48B y 48C, dispuestos como se muestra. La primera entrada (entrada 1) está conectada con la compuerta del transistor NMOS 48A y la compuerta del transistor PMOS 46C. La segunda entrada (entrada 2) está conectada con la compuerta del transistor NMOS 48B y la compuerta del transistor PMOS 46B. La tercera entrada (entrada 3) está conectada con la compuerta del transistor NMOS 48C y la compuerta del transistor PMOS 46A. La salida (salida) está acoplada con las derivaciones de los transistores PMOS 46A, 46B y 46C, y con la derivación del transistor NMOS 48A. Una compuerta NAND de tres entradas, incluye así tres transistores PMOS y tres transistores NMOS.

Como muestra el circuito 44, el transistor PMOS 46A es negativo siempre que la tercera entrada (entrada 3) sea un "0" lógico. El transistor PMOS 46B es negativo siempre que la segunda entrada (entrada 2) sea un "0" lógico. El transistor PMOS 46C es negativo siempre que la primera entrada (entrada 1) sea un "0" lógico. De esta manera, siempre que cualquiera de las entradas a la compuerta NAND 30 es "0", puede ocurrir alguna degradación por NBTI de la compuerta NAND.

Volviendo a la Figura 4, la disposición de las compuertas NAND 40 en la célula 60 de memoria garantiza que, siempre que una compuerta NAND emite un "0", las otras tres compuertas suministran un "1". Dado que la salida de cada compuerta NAND 40 está vinculada con una entrada de cada otra compuerta NAND, esto significa que tres entre doce entradas, o sea una cuarta parte, tendrán un "0", de manera tal que los transistores PMOS en ellas se degradan el 25% del tiempo, en promedio, en lugar de la mitad del tiempo, como en la célula convencional 10 o 20 de memoria, o el 33% del tiempo, como en la célula 50 de memoria con base NAND (Figura 2).

Cada una de las salidas de las compuertas NAND 40 en la Figura 4 está conectada con la entrada de las otras compuertas NAND de tal manera que, siempre que una compuerta NAND suministra un valor "0" a su salida,

las otras tres compuertas NAND suministran un valor "1". Esto significa que el 25% de los transistores PMOS en la célula 60 de memoria se degrada en cada momento. La tabla 2 detalla las entradas y salidas cuando la compuerta NAND 40A tiene un valor "1" en las tres entradas.

5

Tabla 2. Entradas y salidas para la célula 60 de memoria

	entrada 1	entrada 2	entrada 3	salida
NAND 40A	1	1	1	0
NAND 40B	0	1	1	1
NAND 40C	0	1	1	1
NAND 40D	0	1	1	1

10

La disposición de las tres células 50 de memoria con base NAND de 2 entradas y de las cuatro células 60 de memoria con base NAND de 3 entradas puede asimismo extenderse a configuraciones más y más grandes, según se desee. Con cada incorporación de una compuerta NAND, transistores PMOS adicionales están presentes en la célula, de forma tal que el número de transistores PMOS aumenta, y la degradación asociada por NBTI puede disminuirse.

15

20

Las células 50 y 60 de memoria son más grandes que la célula 20 de memoria. Excluyendo los transistores de acceso, la célula 30 de memoria de puerto único (Figura 1C) tiene cuatro transistores (2 NMOS, 2 PMOS); la célula 50 de memoria (Figura 2) tiene doce transistores (6 NMOS, 6 PMOS); la célula 60 de memoria (Figura 4) tiene veinticuatro transistores (12 NMOS, 12 PMOS). Según aumenta el número de compuertas NAND, el número de transistores aumenta de manera similar. Una célula de memoria que comprenda cinco compuertas NAND de cuatro entradas, dispuestas de manera similar a la mostrada en las Figuras 2 y 4, tendría cuarenta transistores (20 NMOS, 20 PMOS), por ejemplo.

25

30

A pesar de utilizar más transistores que la célula convencional 20 de memoria, aún puede haber ventajas al emplear las células 50 o 60 de memoria. Para aplicaciones con un gran número de puertos, tales como los ficheros de registro, por ejemplo, el sobregasto en términos de transistores se hace menos notable. La tabla 3 compara el sobregasto en transistores entre la célula de memoria convencional y la célula 60 de memoria de cuatro NAND.

Tabla 3. Tabla de comparación de sobregasto en transistores

<u>número de puertos</u>	<u>célula 20 de memoria</u>	<u>célula 60 de memoria</u>	<u>sobregasto relativo</u>
1	6	14	2,33x
2	8	16	2,00x
3	10	18	1,80x
4	12	20	1,67x
5	14	22	1,57x
6	16	24	1,50x
7	18	26	1,44x
8	20	28	1,40x
9	22	30	1,36x
10	24	32	1,33x

La célula 20 de memoria tiene cuatro transistores, además de dos transistores más por puerto para un único bit ($4 + 2 \times n$ puertos). (Por ejemplo, la célula 10 de memoria de dos puertos en la Figura 1B tiene ocho transistores). La célula 60 de memoria tiene veinticuatro transistores, además de cuatro transistores más por puerto para dos bits ($12 + 2 \times n$ puertos por bit). Como muestra la Tabla 3, cuanto mayor es el número de puertos, menor es el sobregasto relativo de la célula 60 de memoria con respecto a la célula 20 de memoria. (Los números en la Tabla 3 no consideran el sobregasto debido a líneas de bits y a líneas de palabras.)

Más aún: además de estar dispuestas de la manera específica ilustrada en las Figuras 2 y 4, sobre las células 50 y 60 de memoria se opera para cambiar periódicamente la codificación de valores, a fin de equilibrar la degradación de cada transistor PMOS, en algunas realizaciones. Según la posición de las entradas como todas "1" (o la salida en "0") en cada compuerta NAND, existe un estado distinto. Cuando hay "1" en las entradas primera y segunda de la compuerta NAND 30A, la célula 50 de memoria está en un primer estado; cuando hay "1" en las entradas primera y segunda de la compuerta NAND 30B, la célula 50 de memoria está en un segundo estado; cuando hay "1" en las entradas primera y segunda de la compuerta NAND 30C, la célula 50 de memoria está en un tercer estado. De manera similar, existen cuatro estados posibles para la célula 60 de memoria de cuatro NAND.

La célula 60 de memoria de cuatro NAND es por esto capaz de almacenar dos bits, utilizando los cuatro estados distintos. En algunas realizaciones, la lógica para codificar y decodificar los cuatro estados distintos involucra dos niveles de compuertas, una compuerta NOT, o invertidor, más una compuerta NAND de dos entradas o una compuerta NOR de dos entradas. Las funciones para mapear dos bits, X0 y X1, en cuatro estados, Y0, Y1, Y2 e Y3, pueden ser las siguientes, aunque también son factibles otras funciones de mapeo:

$$\begin{array}{lll} Y_3 = \overline{\overline{X_1} \cdot \overline{X_0}} & Y_1 = \overline{X_1 \cdot \overline{X_0}} & X_1 = \overline{\overline{Y_3} + \overline{Y_2}} \\ Y_2 = \overline{\overline{X_1} \cdot X_0} & Y_0 = \overline{X_1 \cdot X_0} & X_0 = \overline{\overline{Y_3} + \overline{Y_1}} \end{array}$$

Debido a que la célula 50 de memoria de tres NAND tiene tres estados, esto permite la codificación de un único bit. En algunas realizaciones, se emplean juntas dos células 50 de memoria de tres NAND para formar una unidad de memoria de tres bits. Debido a que cada célula de memoria almacena tres posibles estados, unir dos células de tres NAND permite nueve estados posibles. De esta manera, utilizando dos células 50 de memoria de tres NAND, con nueve estados, pueden codificarse tres bits.

La Figura 6 es una célula 70 de memoria, que incluye dos células 50 de memoria de tres NAND (Figura 2), según algunas realizaciones. Debido a que cada una de las células 50 de memoria de tres NAND almacena tres posibles estados, las dos células de memoria de tres NAND se combinan para almacenar nueve estados posibles en la célula 70 de memoria. Con nueve estados posibles, pueden codificarse tres bits en la célula 70 de memoria. La célula 70 de memoria puede por ello pensarse como una célula de memoria de tres bits.

Con la célula 60 de memoria de cuatro NAND, y dado que están presentes cuatro estados, pueden codificarse dos bits, sin combinar la célula de memoria con otra célula de memoria. De esta manera, la célula 60 de memoria de cuatro NAND (Figura 5) es menos compleja que las dos células 70 de memoria de tres NAND (Figura 6), ya que no hay ninguna combinación de células de memoria para formar nuevas células de memoria.

La tabla 4 resume las características de las nuevas células de memoria, con respecto a la célula de memoria de la técnica anterior. El número de transistores en la columna "transistores por célula" no incluye los transistores de acceso utilizados para el acceso a puertos.

Tabla 4. Transistores y líneas de bits para tres células de memoria

	<u>transistor es por célula</u>	<u>transistores por bit</u>	<u>líneas de bits por célula (cada puerto)</u>	<u>líneas de bits y transistores por bit (cada puerto)</u>
2 NOT	4	4	2	2
3 NAND	12	8 (3 bits en 2 células)	3	2 (3 bits en 2 células)
4 NAND	24	12 (2 bits en 1 célula)	4	2 (2 bits en 1 célula)

Como muestra la tabla 4, mientras el número de transistores por célula de memoria aumenta en las configuraciones de tres y cuatro NAND, el número de líneas de bits y de transistores por bit se mantiene coherente con la célula de memoria de la técnica anterior, la configuración de los dos "NOT" o dos invertidores de la Figura 1C.

La célula 70 de memoria (Figura 6) incluye seis líneas de bits, B1 – B6, tres para cada célula 50 de memoria de tres NAND. La célula convencional 20 de memoria (Figura 1C) emplea dos líneas de bits y codifica un único bit. La célula 70 de memoria, que codifica tres bits, no utiliza, por tanto, más líneas de bits por bit que la célula 20 de memoria. La célula 60 de memoria (Figura 4) incluye cuatro líneas de bits, B1 – B4. Dado que la célula 60 de memoria almacena dos bits, hay dos líneas de bits para cada bit.

En algunas realizaciones, los estados de las células de memoria se invierten periódicamente, de manera tal que la degradación en cualquier transistor PMOS se equilibre con la degradación de otros transistores PMOS en la célula de memoria. Tal equilibrio de la degradación puede extender la vida útil de la célula de memoria. En lugar de tener dos estados (como en la célula 20 de memoria), la inversión de estado se lleva a cabo sobre tres estados en la célula 50 de memoria de tres NAND (nueve estados en la célula 70 de memoria de tres bits), sobre cuatro estados en la célula 60 de memoria de cuatro NAND, y así sucesivamente para configuraciones más y más grandes. Siempre que se cambia el estado, se hacen rotar los mapeos a fin de equilibrar la actividad de los transistores PMOS dentro de cada célula de memoria. Por ejemplo, la célula 60 de memoria de cuatro NAND puede mapear el valor "00" como "0111" en el primer estado, "1011" en el

segundo estado, "1101" en el tercer estado y "1110" en el cuarto estado.

Las células de memoria están conectadas con circuitos que facilitan la transmisión de señales a y desde la célula de memoria. Durante una operación de lectura, por ejemplo, un decodificador de columna puede recibir los datos desde el par relevante de líneas de bits y enviar los datos a un amplificador sensor. El amplificador sensor amplifica la señal y envía la señal a los almacenes temporales de entrada / salida (E/S), para su recepción por parte de circuitos externos. Durante una operación de escritura, un controlador de escritura extrae los datos desde los almacenes temporales de E/S y envía los datos al par relevante de líneas de bits.

Típicamente, los amplificadores sensores empleados durante una operación de lectura son amplificadores sensores diferenciales, ya que los datos se transmiten por líneas de bits complementarias. En las células 60 (de cuatro NAND) y 70 (dos de tres NAND) de memoria, no se utilizan líneas de bits complementarias. Por esto, en algunas realizaciones se utilizan amplificadores sensores de extremo único. Con amplificadores sensores de extremo único, la célula convencional de memoria (p. ej., la célula 20 de memoria) puede operar una línea de bits por célula. Las células de memoria NAND pueden incluir al menos tantas líneas de bits y amplificadores sensores como los NAND que haya por célula, menos uno. Una línea de bits y el amplificador sensor asociado pueden eliminarse. Esto se debe a que, según la configuración de las compuertas NAND, si todas las líneas de bits son "1", entonces la línea de bits restante es, automáticamente, un "0"; análogamente, si una de las líneas de bits es "0", entonces la línea de bits restante es, automáticamente, un "1". De esta manera, una de las líneas de bits puede deducirse del valor de las otras líneas de bits.

La célula 70 de memoria de tres NAND y la célula 60 de memoria de cuatro NAND han sido analizadas, en términos de retardo, área y sobregasto de energía. Las Figuras 7A, 7B y 7C muestran los resultados de pruebas empíricas realizadas sobre la célula 70 de memoria, la célula 60 de memoria y dos otras células de memoria, descritas más adelante, según algunas realizaciones. Las mediciones en cada gráfico están tomadas con respecto a una célula de memoria "base", la célula convencional 20 de memoria. Los gráficos resultantes 92, 94 y 96 ilustran el retardo, el área y la potencia, respectivamente, para cada célula que tenga un número distinto de puertos. La célula 70 de memoria es más lenta que la célula 60 de memoria, debido

al mayor retardo asociado al mecanismo de codificación / decodificación en la célula 60 de memoria. Por otra parte, la célula 70 de memoria es más pequeña que la célula 60 de memoria, porque la célula 70 de memoria tiene menos transistores por bit que la célula 60 de memoria.

Una célula 80 de memoria se ilustra en la Figura 8, según algunas realizaciones. Conocida en los gráficos como "base x 2", la célula 80 de memoria es una réplica de toda la célula 20 de memoria (Figura 1C), incluyendo líneas de bits y líneas de palabra. La célula 80 de memoria, implementada con células convencionales de memoria, se incluye en el gráfico para extender al doble la vida útil de una típica célula de memoria de la técnica anterior. (Esto supone que la vida útil puede extenderse gratis en términos de retardo y potencia). En los gráficos 92, 94 y 96, la célula 80 de memoria, "base x 2", se representa gráficamente utilizando cuadrados huecos.

La célula 70 de memoria de tres NAND es conocida en los gráficos como "NAND3", y se representa gráficamente utilizando círculos llenos. La célula 60 de memoria de cuatro NAND es conocida en los gráficos como "NAND4", y se representa gráficamente utilizando triángulos huecos. Una cuarta célula de memoria, conocida como "base x 2 inteligente", se representa gráficamente utilizando "cruces". Un ejemplo de la célula de memoria "base x 2 inteligente" se ilustra en la Figura 9. A diferencia de la célula 80 de memoria (Figura 8), la célula 90 de memoria replica una buena parte de los circuitos de la célula 20 de memoria (Figura 1C), excepto los puertos. La célula 90 de memoria también emplea una técnica de Vdd-derivada para cambiar periódicamente las células en uso. La célula 90 de memoria emplea ocho transistores por célula (el doble que la base), cuatro transistores por puerto para controlar ambas células (el doble que la base y el doble que las células NAND) y los cables y transistores utilizados para implementar la técnica Vdd-derivada, para encender / apagar una u otra célula.

Los gráficos 92, 94 y 96 son representaciones gráficas de resultados medidos para un fichero de registro que tiene 256 registros, estando tomada cada medición para células de memoria con un número distinto de puertos. Utilizando la célula 70 de memoria de tres NAND (Figura 6) o la célula 60 de memoria de cuatro NAND (Figura 4), los gráficos muestran que hay algún sobregasto en términos de retardo (gráfico 92) y de área (gráfico 96), pero,

para un gran número de puertos, el sobregasto no es tan notable. En el gráfico 92, los resultados para la célula 60 de memoria (NAND4) están cerca de los resultados para la célula 90 de memoria (base x 2 inteligente). Según aumenta el número de puertos, la célula 60 de memoria está a menos de un 5% de distancia del retardo en el caso base (p. ej., la célula 20 de memoria).

En términos de potencia (Figura 7B), el gráfico 94 muestra que, según aumenta el número de puertos, la diferencia entre las células de memoria con base NAND y el caso base, en particular la célula de memoria de cuatro NAND, es mínima. En términos de área (Figura 7C), el gráfico 96 muestra que, una vez que aumenta el número de puertos, las células de memoria con base NAND responden mejor que la célula 80 de memoria (base x 2) y que la célula 90 de memoria (base x 2 inteligente). Allí donde un sistema utiliza un gran número de puertos, las células de memoria con base NAND responden bien, comparadas con las células de memoria de la técnica anterior.

Como se muestra en el gráfico 92, el sobregasto en términos de retardo para la célula 70 de memoria (NAND3) es alto, pero es bajo para la célula 60 de memoria (NAND4). Por ejemplo, para nueve puertos, el retardo del fichero de registro (256 registros) aumenta en un 5%. El aumento del tiempo de acceso al fichero de registro, usualmente, no tiene impacto sobre las prestaciones generales del procesador. En algunas realizaciones, la reducción adicional de la banda de resguardo brinda ventajas extra en las prestaciones, al aumentar la frecuencia operativa en más de un 5%.

En el gráfico de potencia 94, el sobregasto es despreciable, por debajo del 0,5% al utilizar la célula 60 de memoria (4NAND) para cualquier número de puertos, y por debajo del 1% para la mayoría de los casos. En el gráfico de área 96, las células de memoria con base NAND responden mejor, excepto para estructuras de puerto único. Por ejemplo, el registro con células 60 de memoria (4NAND) con nueve puertos aumenta el área en un 16%, que es mucho menos que replicar el fichero de registro entero (base x 2) o replicar las células de memoria (base x 2 inteligente).

Se ha mostrado que, utilizando células de memoria convencionales (p. ej., la célula 20 de memoria en la Figura 1C), la vida útil de la célula de memoria puede aumentarse cuatro veces, reduciendo el tiempo con voltaje negativo en la compuerta de los transistores PMOS, desde el 100% del tiempo al 50% del tiempo. Así, en algunas realizaciones, las configuraciones

de tres NAND y de cuatro NAND pueden alcanzar al menos estos resultados, y deberían responder mejor (33% y 25%, respectivamente) debido al efecto autocurativo de la NBTI cuando el voltaje en la compuerta de los transistores PMOS no es negativo. Como se muestra en los gráficos, la replicación del fichero de registro entero (base x 2), o bien la replicación de sólo las células de memoria (base x 2 inteligente), extiende la vida útil al doble, con un sobregasto de área mayor que con las células de memoria con base NAND.

Además de las células de registro, las células 50 y 60 de memoria pueden emplearse en cualquier estructura similar a una memoria, tal como las colas y cachés. Aunque la estructura de las células 50 y 60 de memoria es adecuada para estructuras con gran dotación de puertos, tales como ficheros de registro, almacenes temporales y colas, las células 50 y 60 de memoria también pueden utilizarse en estructuras de memoria existentes dentro de los núcleos y la periferia de muchos procesadores.

En la Figura 10, se ilustra un sistema 100 basado en procesadores, según algunas realizaciones. El sistema 100 basado en procesadores incluye un procesador 102, el cual incluye un núcleo 104 con una memoria 106. La memoria 106 incluye células 60 de memoria, la configuración de memoria de cuatro NAND descrita anteriormente. Acoplada también al procesador 102 hay una memoria externa 110. La memoria externa también incluye las células 60 de memoria. El procesador 102 está adicionalmente acoplado con un grupo de chips 108, que incluye una antena inalámbrica 112.

Si bien la revelación ha sido descrita con respecto a un número limitado de realizaciones, aquellos versados en la tecnología apreciarán numerosas modificaciones y variaciones de la misma. Se pretende que las reivindicaciones adjuntas cubran todas aquellas modificaciones y variaciones que permanezcan dentro del verdadero espíritu y alcance del asunto descrito.

REIVINDICACIONES

1. Una célula de memoria, que comprende:

una pluralidad de compuertas NAND, comprendiendo cada una:

un primer transistor de tipo p y un segundo transistor de tipo p;

un primer transistor de tipo n y un segundo transistor de tipo n;

una primera entrada;

una segunda entrada; y

una salida;

en la cual la salida de una primera compuerta NAND de la pluralidad de compuertas NAND está acoplada con una de las entradas de otras compuertas NAND entre la pluralidad de compuertas NAND.

2. La célula de memoria de la reivindicación 1, que comprende adicionalmente:

una pluralidad de transistores de acceso, uno para cada una de las otras compuertas NAND; y

una pluralidad de líneas de bits, una para cada una de las otras compuertas NAND;

en la cual la pluralidad de transistores de acceso acoplan la salida de cada una de las otras compuertas NAND con una entre la pluralidad de líneas de bits.

3. La célula de memoria de la reivindicación 2, que comprende adicionalmente:

una línea de palabras acoplada con una compuerta de cada uno entre la pluralidad de transistores de acceso.

4. La célula de memoria de la reivindicación 3, comprendiendo adicionalmente cada una entre la pluralidad de compuertas NAND:

un tercer transistor de tipo p;

un tercer transistor de tipo n; y

una tercera entrada.

5. La célula de memoria de la reivindicación 3, que comprende adicionalmente:

una segunda pluralidad de compuertas NAND, comprendiendo

cada una:

un primer transistor de tipo p y un segundo transistor de tipo p;
un primer transistor de tipo n y un segundo transistor de tipo n;
una primera entrada;
una segunda entrada; y
una salida;

en la cual la salida de una segunda compuerta NAND de la segunda pluralidad de compuertas NAND se acopla con una de las entradas de las restantes compuertas NAND entre la segunda pluralidad de compuertas NAND.

6. La célula de memoria de la reivindicación 5, que comprende adicionalmente:

una segunda pluralidad de transistores de acceso, uno para cada una de las restantes compuertas NAND; y

una segunda pluralidad de líneas de bits, una para cada una de las restantes compuertas NAND;

en la cual la segunda pluralidad de transistores de acceso acoplan la salida de cada una de las restantes compuertas NAND con una entre la segunda pluralidad de líneas de bits.

7. La célula de memoria de la reivindicación 3, que comprende adicionalmente:

una segunda línea de palabras;

una segunda pluralidad de transistores de acceso, uno para cada una de las otras compuertas NAND; y

una segunda pluralidad de líneas de bits, una para cada una de las otras compuertas NAND;

en la cual la segunda pluralidad de transistores de acceso acoplan la salida de cada una de las otras compuertas NAND con una entre la segunda pluralidad de líneas de bits.

8. La célula de memoria de la reivindicación 4, que comprende adicionalmente:

una segunda línea de palabras;

una segunda pluralidad de transistores de acceso, uno para cada una

de las otras compuertas NAND; y

una segunda pluralidad de líneas de bits, una para cada una de las otras compuertas NAND;

en la cual la segunda pluralidad de transistores de acceso acoplan la salida de cada una de las otras compuertas NAND con una entre la segunda pluralidad de líneas de bits.

9. La célula de memoria de la reivindicación 6, que comprende adicionalmente:

una segunda línea de palabras;

una segunda pluralidad de transistores de acceso, uno para cada una de las otras compuertas NAND; y

una segunda pluralidad de líneas de bits, una para cada una de las otras compuertas NAND;

en la cual la segunda pluralidad de transistores de acceso acoplan la salida de cada una de las otras compuertas NAND con una entre la segunda pluralidad de líneas de bits.

10. Una célula de memoria, que comprende:

una pluralidad de compuertas NAND dispuestas de manera tal que la salida de una compuerta NAND está acoplada con una entrada de las otras compuertas NAND;

una pluralidad de líneas de bits acopladas con las salidas de cada una de la pluralidad de compuertas NAND; y

una pluralidad de transistores de acceso acoplados entre las salidas de cada una de la pluralidad de compuertas NAND, sin incluir dicha primera compuerta NAND, y la pluralidad de líneas de bits.

11. La célula de memoria de la reivindicación 10, comprendiendo cada compuerta NAND, entre la pluralidad de compuertas NAND, dos entradas, en donde la célula de memoria comprende tres estados válidos.

12. La célula de memoria de la reivindicación 11, comprendiendo cada compuerta NAND, entre la pluralidad de compuertas NAND, dos transistores de tipo p, en donde cada transistor de tipo p se degrada una tercera parte del tiempo.

13. La célula de memoria de la reivindicación 10, comprendiendo cada compuerta NAND, entre la pluralidad de compuertas NAND, tres entradas, en donde la célula de memoria comprende cuatro estados válidos.

14. La célula de memoria de la reivindicación 13, comprendiendo cada compuerta NAND, entre la pluralidad de compuertas NAND, tres transistores de tipo p, en donde cada transistor de tipo p se degrada una cuarta parte del tiempo.

15. La célula de memoria de la reivindicación 10, que comprende adicionalmente:

una segunda pluralidad de líneas de bits acopladas con las salidas de cada una de la pluralidad de compuertas NAND, sin incluir dicha primera compuerta NAND; y

una segunda pluralidad de transistores de acceso acoplados entre las salidas de cada una de la pluralidad de compuertas NAND, sin incluir dicha primera compuerta NAND, y la pluralidad de líneas de bits.

16. La célula de memoria de la reivindicación 12, que comprende adicionalmente:

una segunda pluralidad de compuertas NAND dispuestas de manera tal que la salida de una compuerta NAND está acoplada con una entrada de las otras compuertas NAND;

una segunda pluralidad de líneas de bits acopladas con las salidas de cada una de la pluralidad de compuertas NAND, sin incluir dicha primera compuerta NAND; y

una segunda pluralidad de transistores de acceso acoplados entre las salidas de cada una de la pluralidad de compuertas NAND, sin incluir dicha primera compuerta NAND, y la pluralidad de líneas de bits.

17. La célula de memoria de la reivindicación 16, comprendiendo cada compuerta NAND, entre la segunda pluralidad de compuertas NAND, dos entradas, en donde la célula de memoria comprende nueve estados válidos.

18. Un sistema basado en procesadores, que comprende:
un procesador para ejecutar instrucciones;

un grupo de chips acoplado con el procesador;
una antena inalámbrica acoplada con el grupo de chips; y
un núcleo dispuesto dentro del procesador, comprendiendo el núcleo
una memoria, comprendiendo la memoria una pluralidad de células de
5 memoria, comprendiendo cada célula de memoria:

una pluralidad de compuertas NAND, comprendiendo cada
una:

un primer transistor de tipo p y un segundo transistor de
tipo p;

10 un primer transistor de tipo n y un segundo transistor de
tipo n;

una primera entrada;

una segunda entrada; y

una salida;

15 en donde la salida de una entre la pluralidad de compuertas NAND está
acoplada con una de las entradas de otra entre la pluralidad de compuertas
NAND.

20 19. El sistema basado en procesadores de la reivindicación 18,
comprendiendo adicionalmente cada célula de memoria:

un tercer transistor de tipo p;

un tercer transistor de tipo n; y

una tercera entrada.

25 20. El sistema basado en procesadores de la reivindicación 18,
comprendiendo adicionalmente cada célula de memoria:

una segunda pluralidad de compuertas NAND, comprendiendo cada
una:

un primer transistor de tipo p y un segundo transistor de tipo p;

30 un primer transistor de tipo n y un segundo transistor de tipo n;

una primera entrada;

una segunda entrada; y

una salida;

35 en donde la salida de una entre la segunda pluralidad de compuertas NAND
está acoplada con una de las entradas de otra entre la segunda pluralidad
de compuertas NAND.

Figura 1A
(técnica anterior)

10A

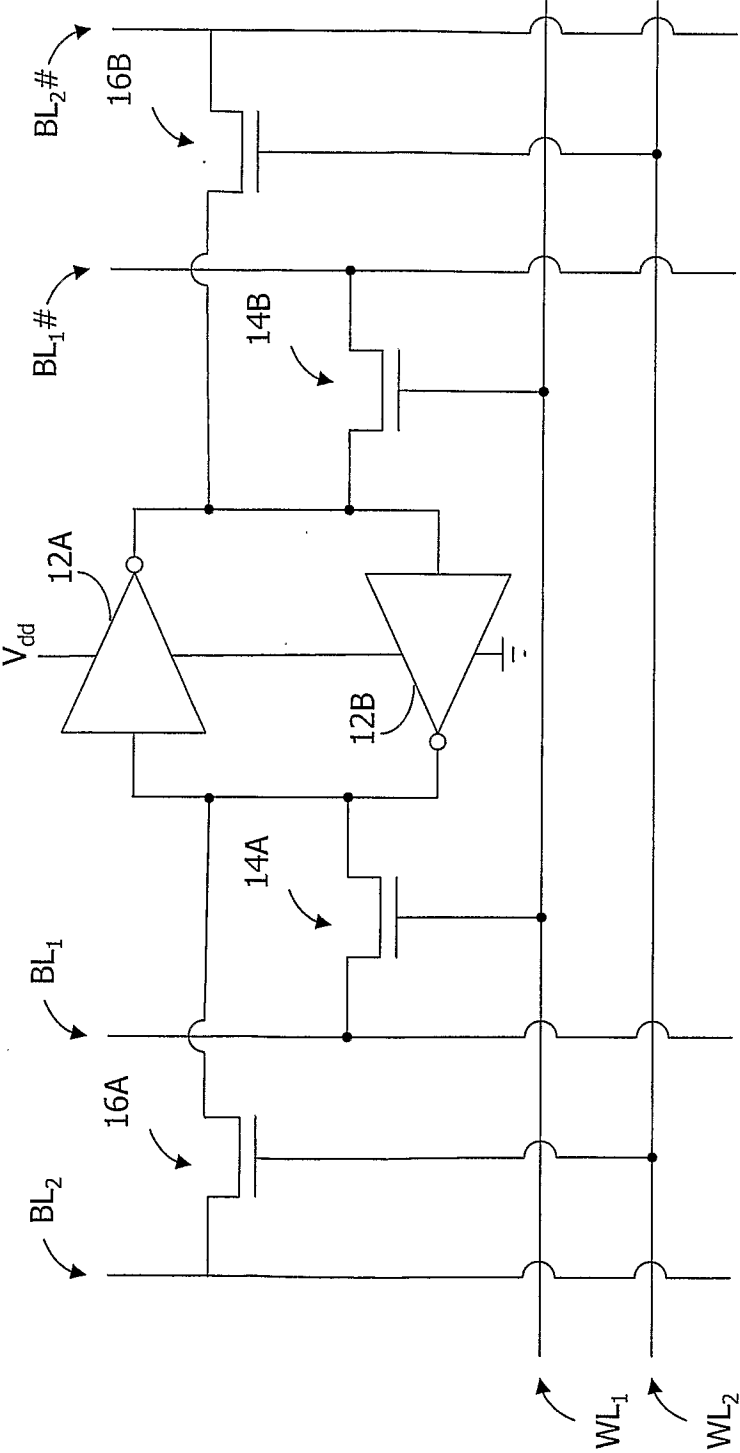


Figura 1B
(técnica anterior)

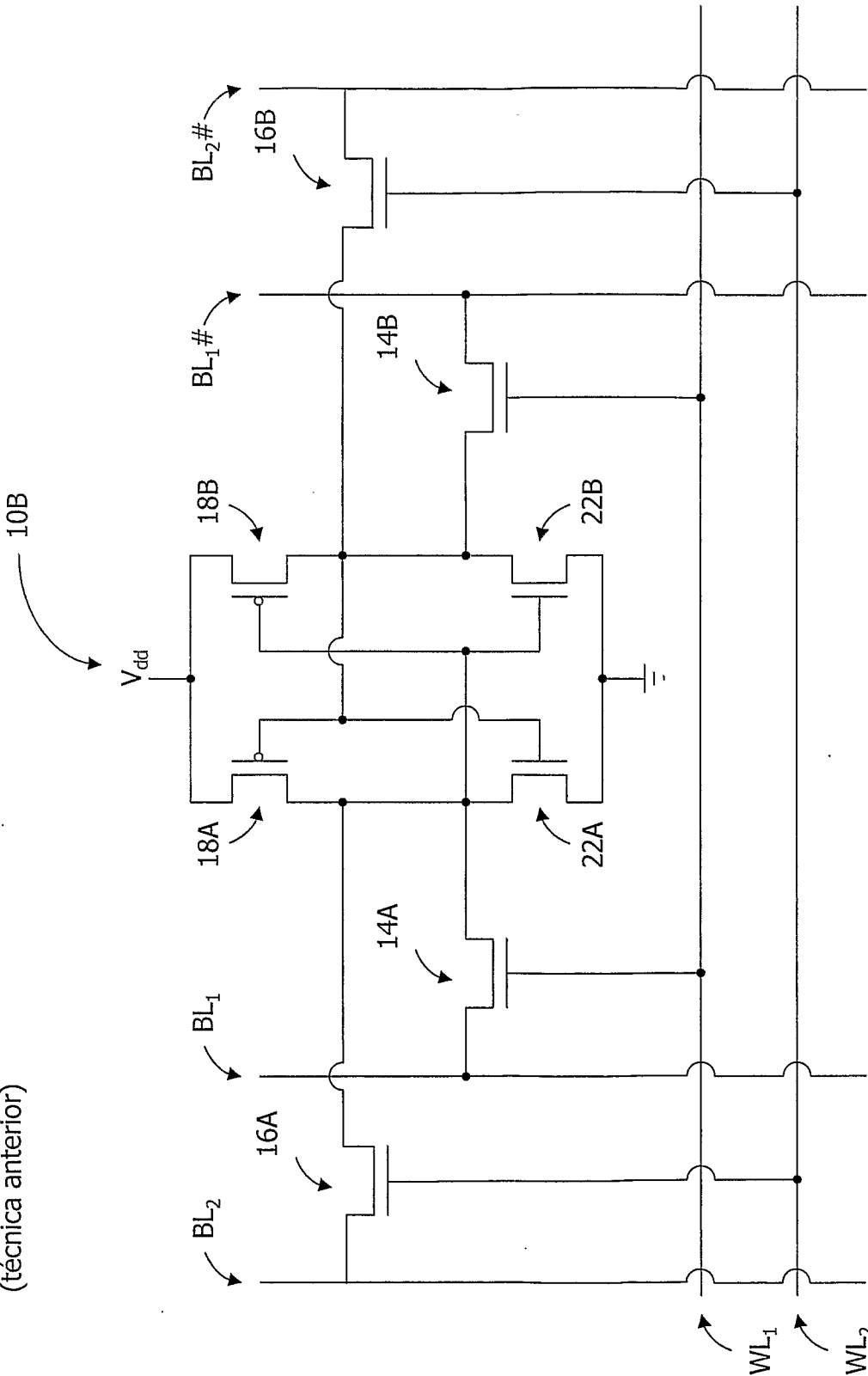


Figura 1C
(técnica anterior)

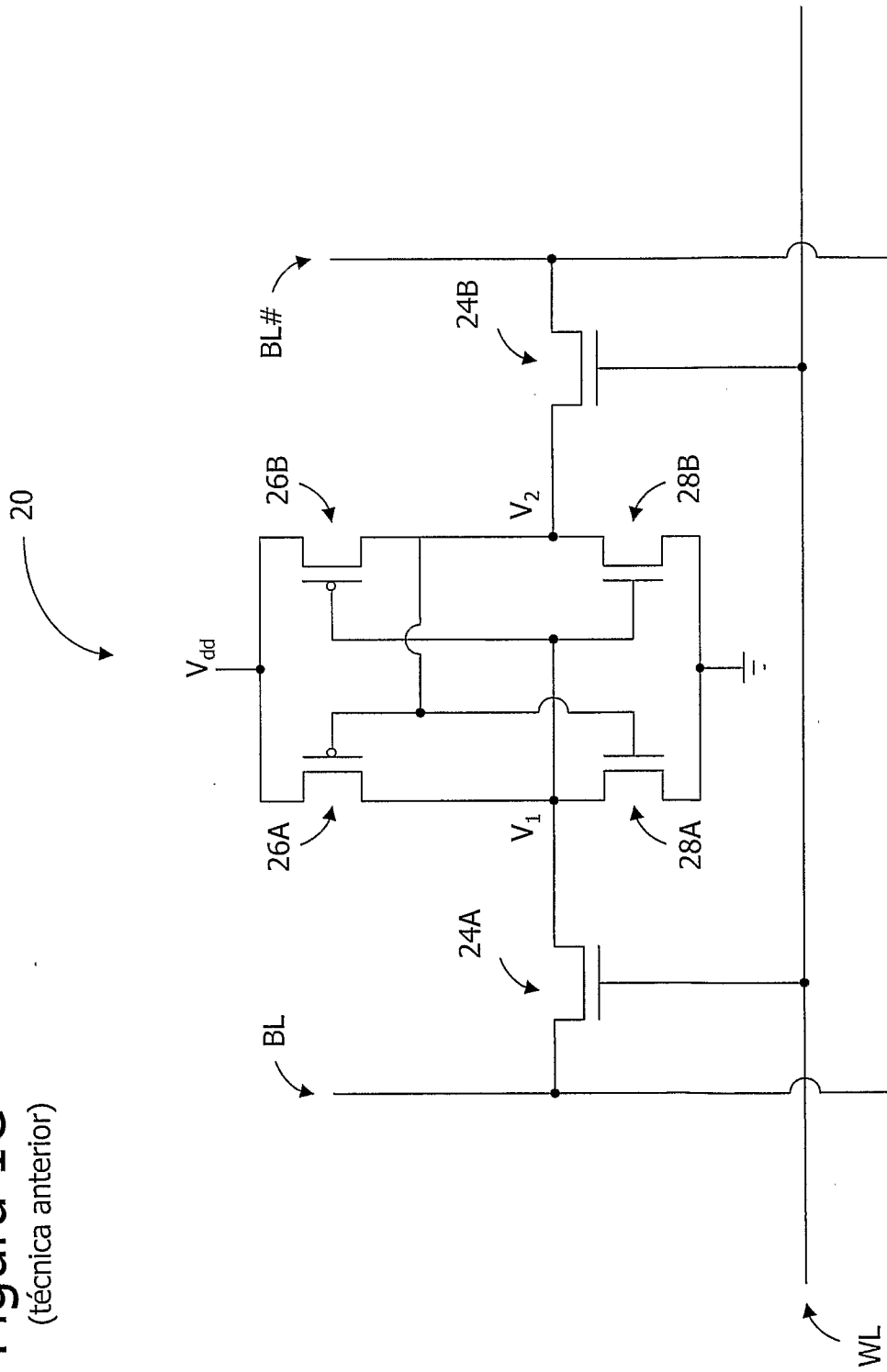


Figura 2

50

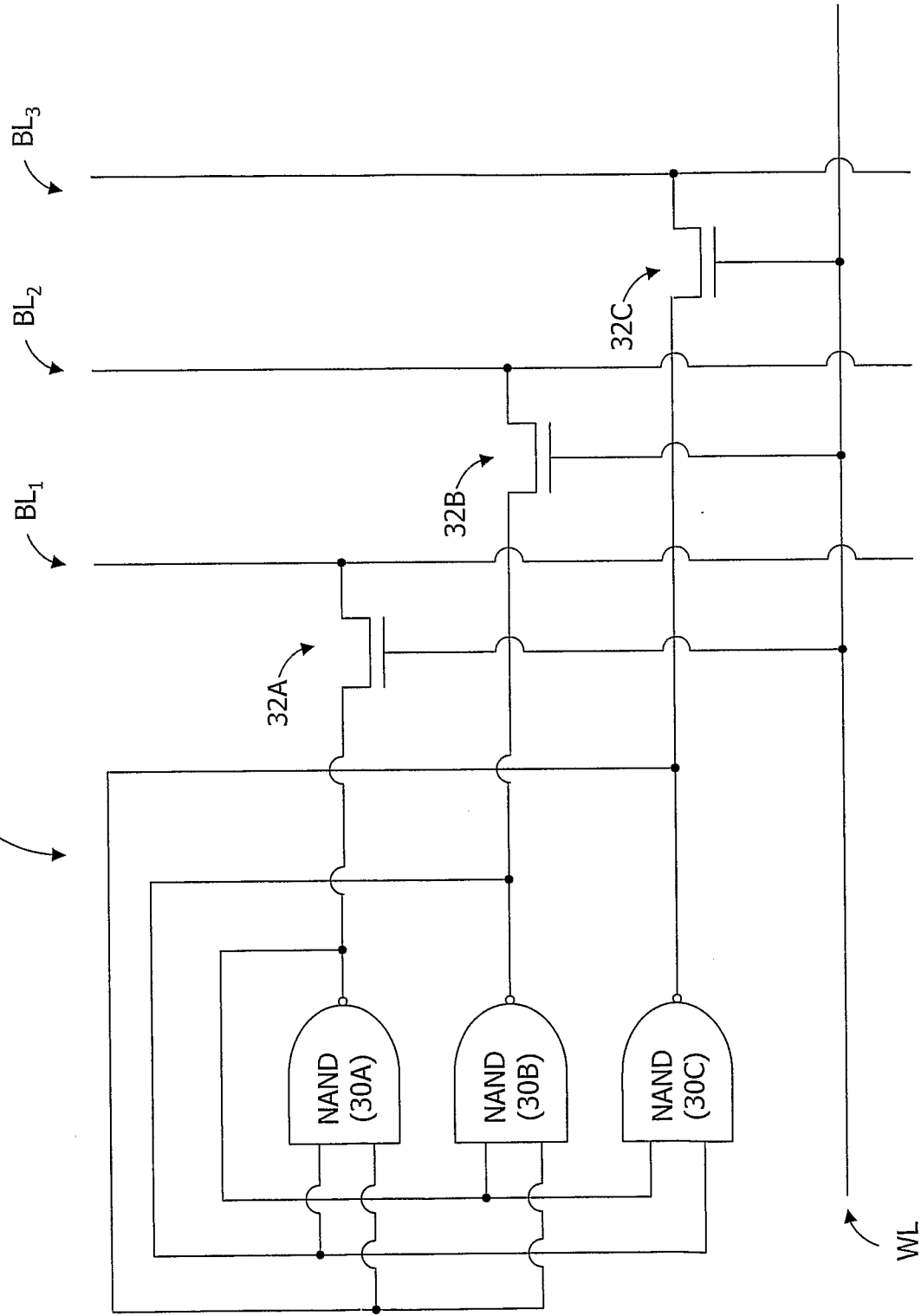
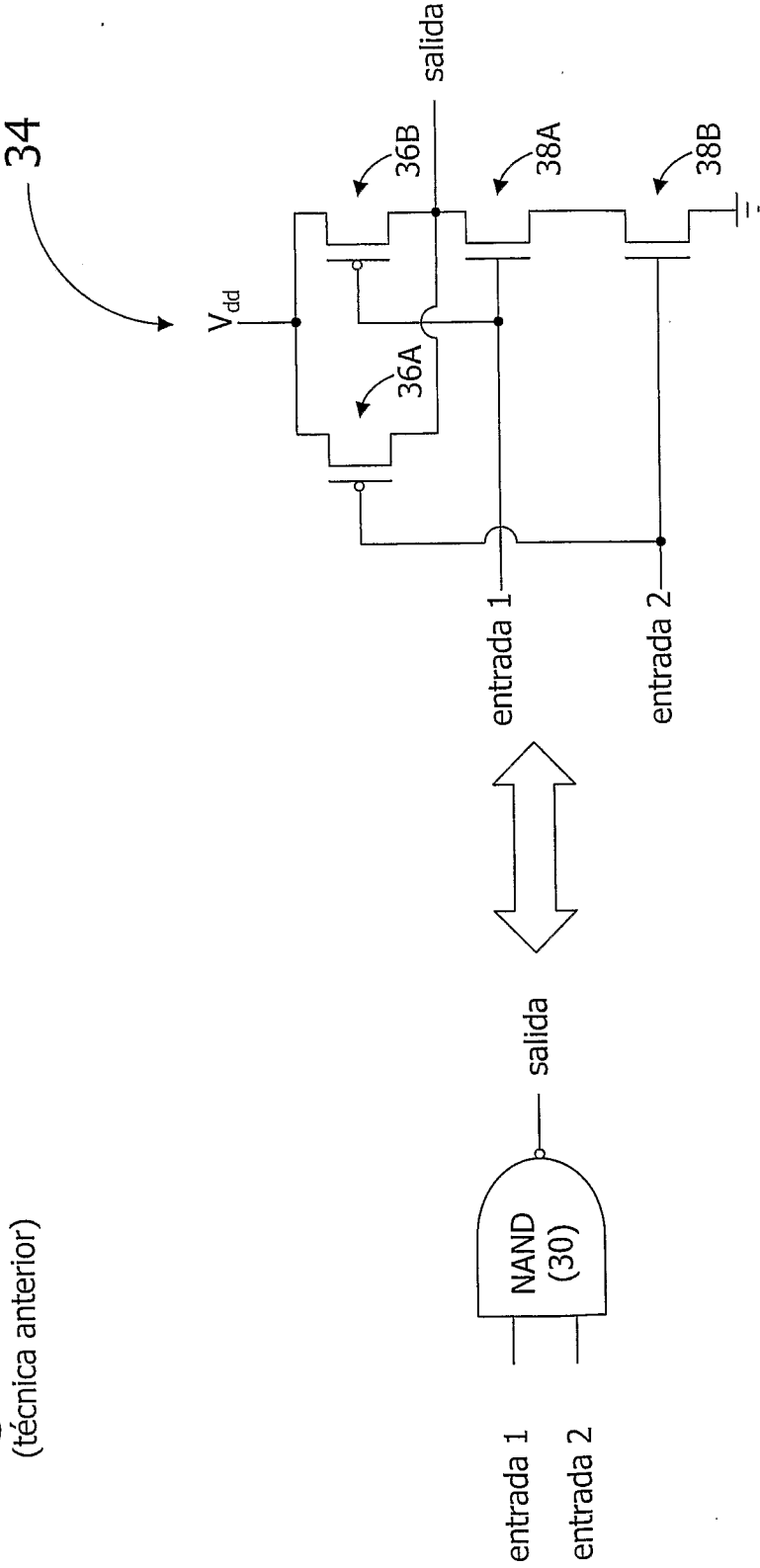


Figura 3
(técnica anterior)



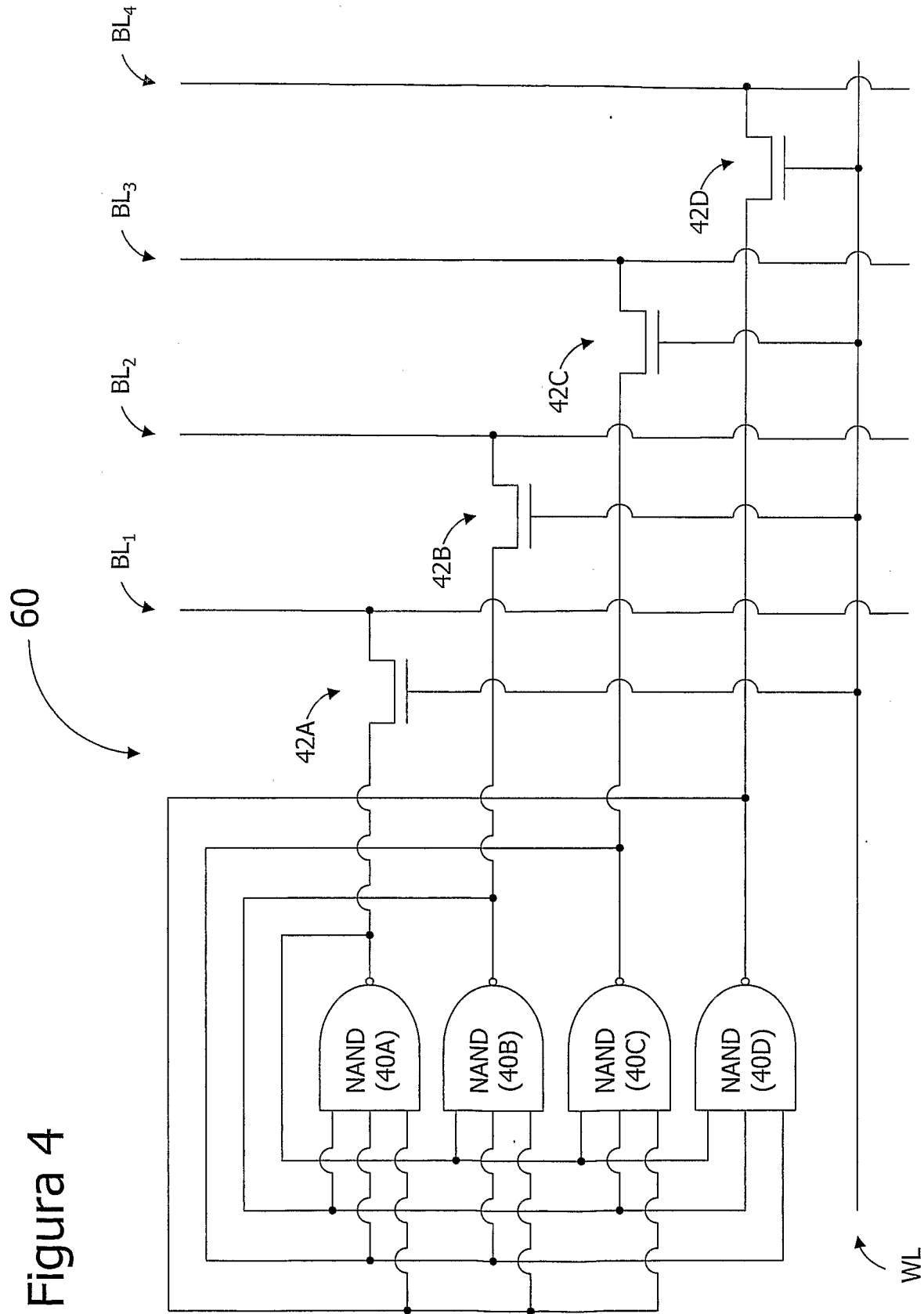


Figura 5
(técnica anterior)

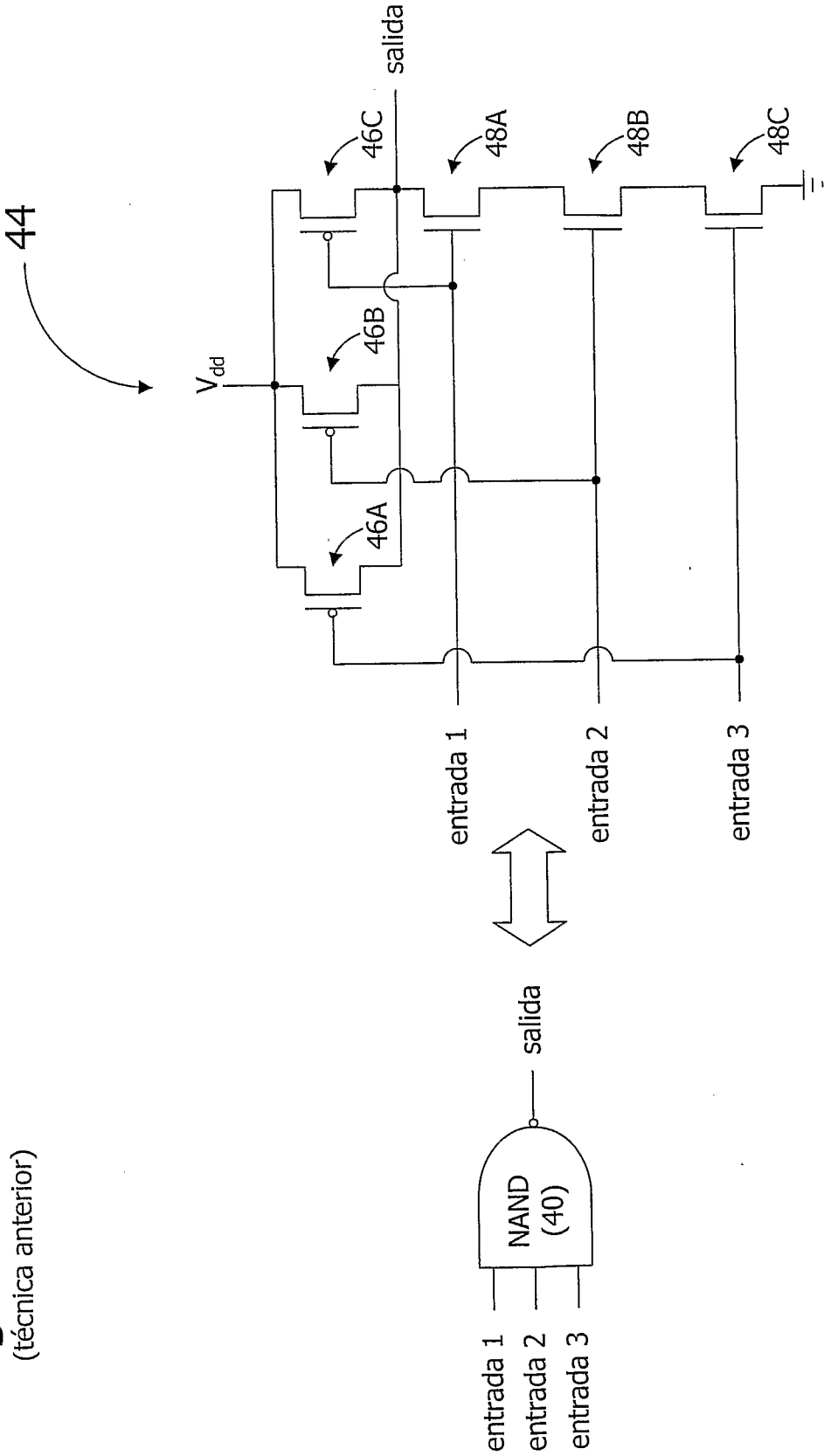


Figura 6

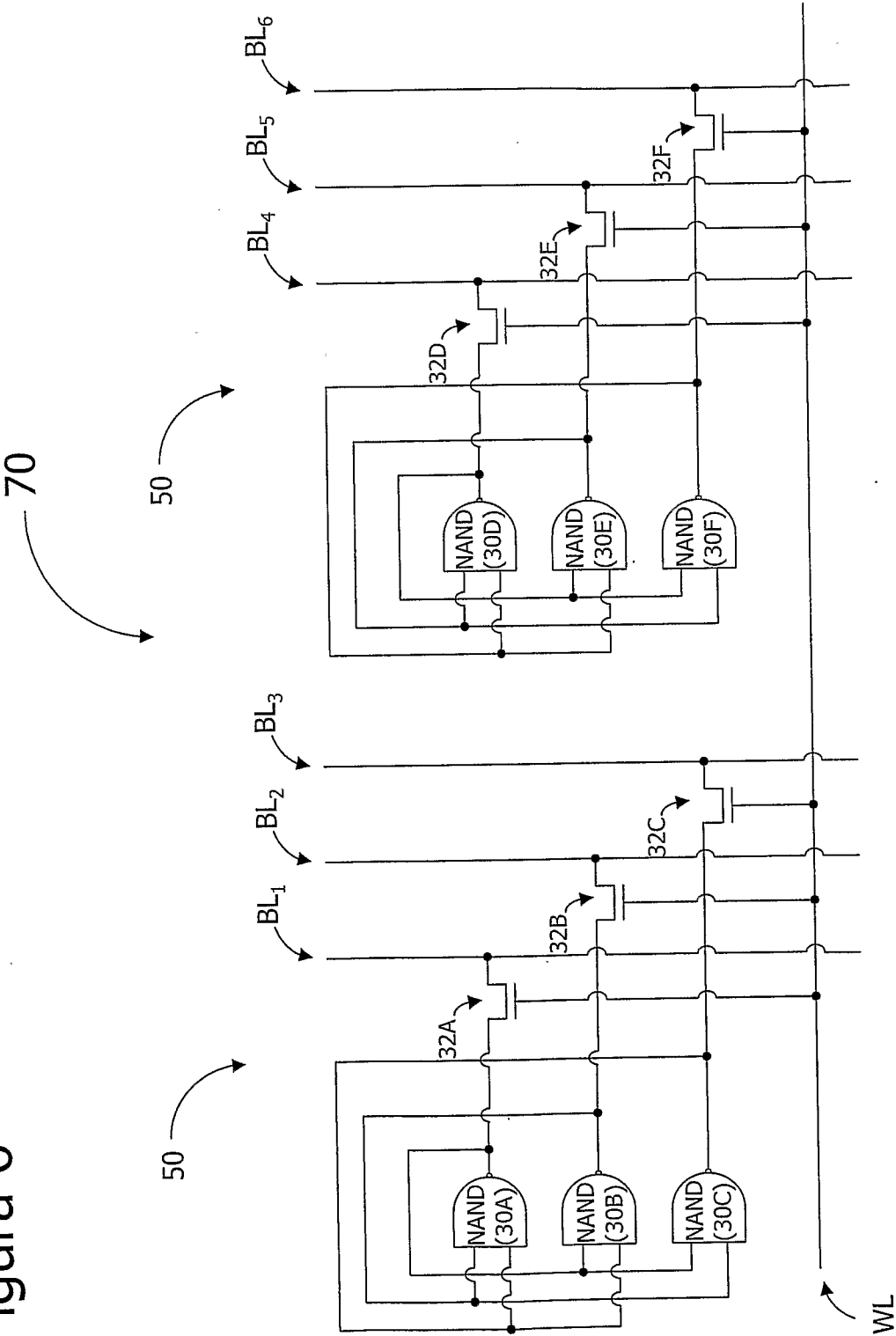


Figura 7A

92

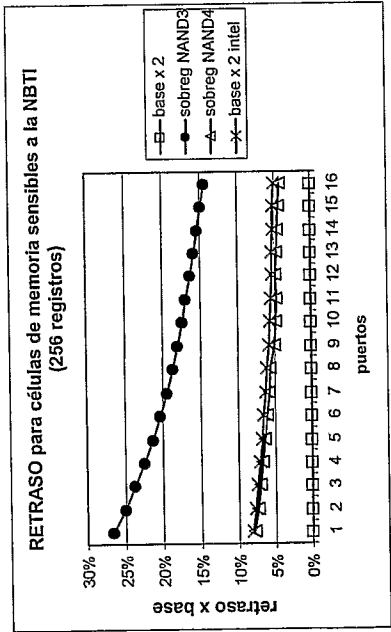


Figura 7C

96

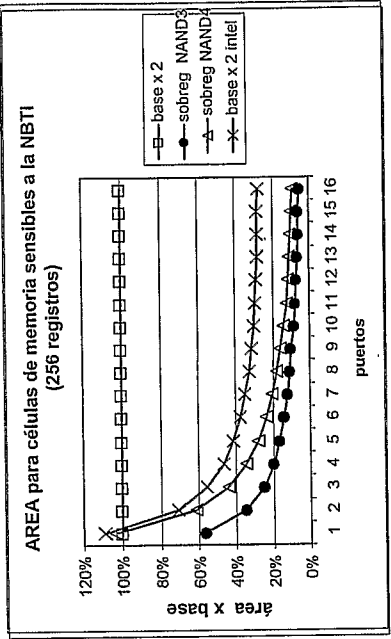


Figura 7B

94

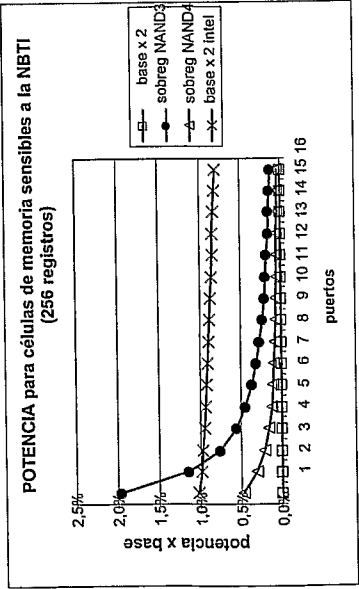


Figura 8
(técnica anterior)

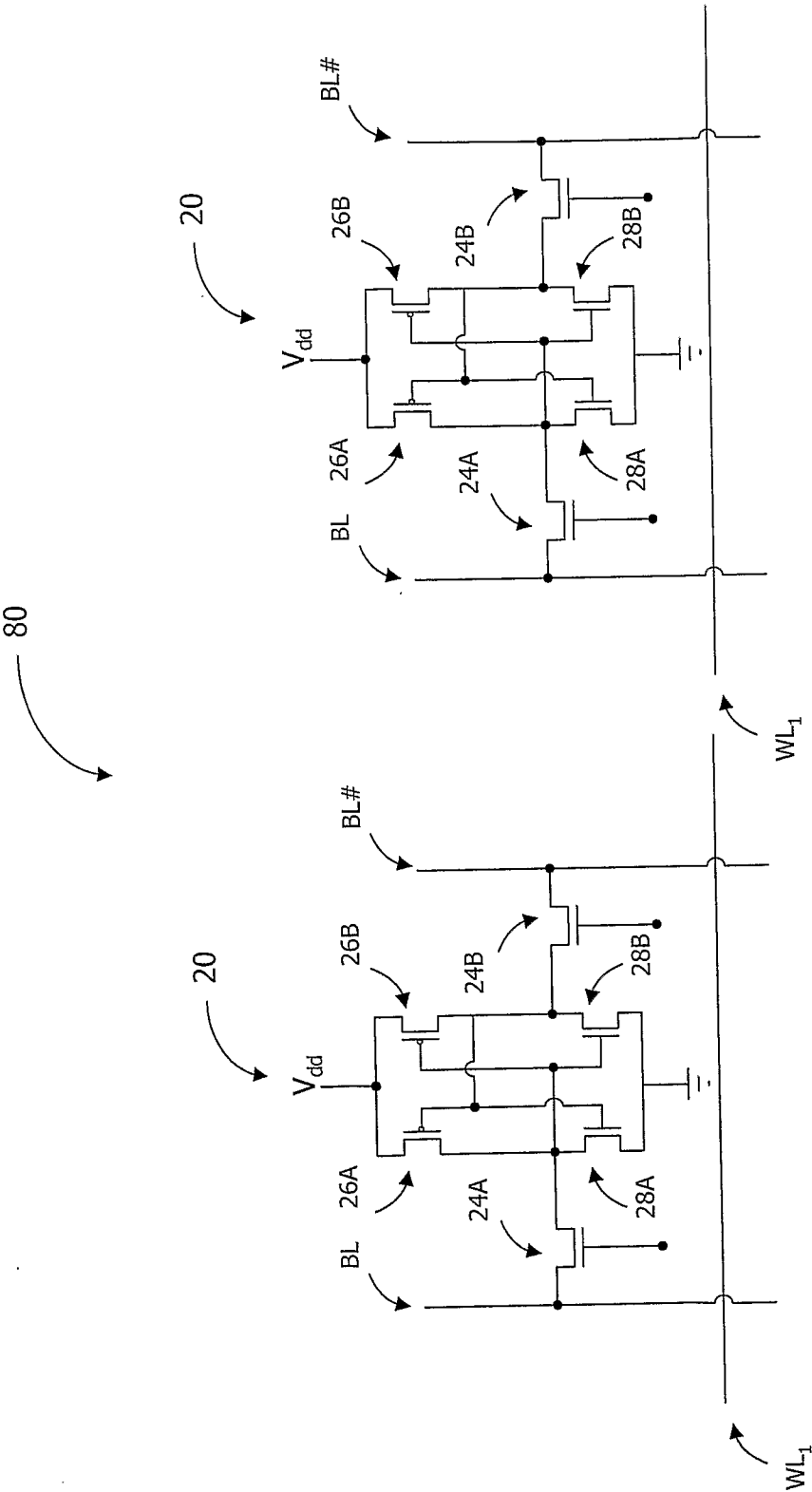
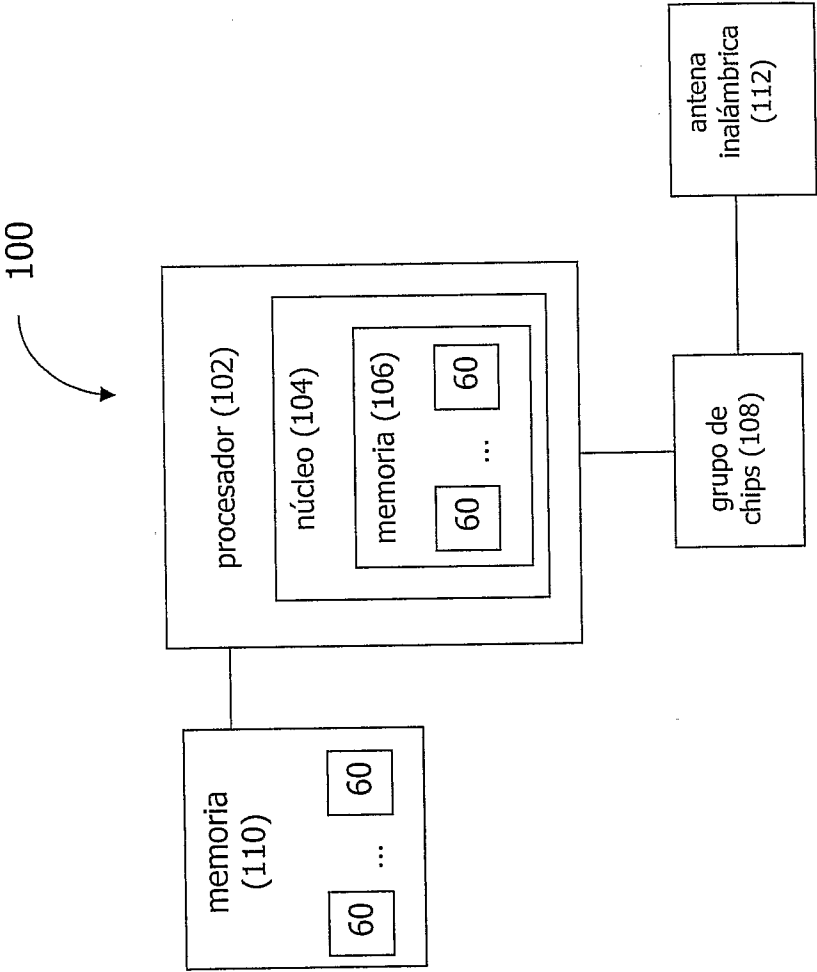


Figura 9
(técnica anterior)

Figura 10



INTERNATIONAL SEARCH REPORT

International application No

PCT/ES2006/000542

A. CLASSIFICATION OF SUBJECT MATTER

INV. G11C11/412

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C H03K

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	SEIFART AND BEIKIRCH: "Digitale Schaltungen" 1998, VERLAG TECHNIK GMBH, BERLIN, XP002445076 page 154; table 5.5 -----	1, 10, 18
A	US 5 546 035 A (OKAMOTO FUYUKI [JP]) 13 August 1996 (1996-08-13) the whole document -----	1-20
A	US 5 532 957 A (MALHI SATWINDER [US]) 2 July 1996 (1996-07-02) the whole document -----	1-20
A	US 4 879 680 A (LUCKETT DIRK R [US] ET AL) 7 November 1989 (1989-11-07) the whole document -----	1-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

A document defining the general state of the art which is not considered to be of particular relevance

E earlier document but published on or after the international filing date

L document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

O document referring to an oral disclosure, use, exhibition or other means

P document published prior to the international filing date but later than the priority date claimed

T later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

X document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

Y document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

* & * document member of the same patent family

Date of the actual completion of the international search

1 August 2007

Date of mailing of the international search report

13/08/2007

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Czarik, Damien

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/ES2006/000542

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 5546035	A	13-08-1996	JP 2882272 B2 JP 7231246 A	12-04-1999 29-08-1995
US 5532957	A	02-07-1996	NONE	
US 4879680	A	07-11-1989	NONE	

INFORME DE BÚSQUEDA INTERNACIONAL

Solicitud internacional n°
PCT/ES2006/000542

A. CLASIFICACIÓN DEL OBJETO DE LA SOLICITUD

INV. G11C11/412

De acuerdo con la Clasificación Internacional de Patentes (CIP) o según la clasificación nacional y CIP.

B. SECTORES COMPRENDIDOS POR LA BÚSQUEDA

Documentación mínima buscada (sistema de clasificación seguido de los símbolos de clasificación)

G11C H03K

Otra documentación consultada, además de la documentación mínima, en la medida en que tales documentos formen parte de los sectores comprendidos por la búsqueda

Bases de datos electrónicas consultadas durante la búsqueda internacional (nombre de la base de datos y, si es posible, términos de búsqueda utilizados)

EPO-Internal

C. DOCUMENTOS CONSIDERADOS RELEVANTES

Categoría*	Documentos citados, con indicación, si procede, de las partes relevantes	Relevante para las reivindicaciones n°
X	SEIFART AND BEIKIRCH: "Digitale Schaltungen" 1998, VERLAG TECHNIK GMBH, BERLIN, XP002445076 página 154; tabla 5.5	1, 10, 18
A	US 5 546 035 A (OKAMOTO FUYUKI [JP]) 13 agosto 1996 (1996-08-13) todo el documento	1-20
A	US 5 532 957 A (MALHI SATWINDER [US]) 2 julio 1996 (1996-07-02) todo el documento	1-20
A	US 4 879 680 A (LUCKETT DIRK R [US] ET AL) 7 noviembre 1989 (1989-11-07) todo el documento	1-20

☐ En la continuación del Recuadro C se relacionan otros documentos

☒ Los documentos de familias de patentes se indican en el Anexo

* Categorías especiales de documentos citados:	"T"	documento ulterior publicado con posterioridad a la fecha de presentación internacional o de prioridad que no pertenece al estado de la técnica pertinente pero que se cita por permitir la comprensión del principio o teoría que constituye la base de la invención.
"A" documento que define el estado general de la técnica no considerado como particularmente relevante.		
"E" solicitud de patente o patente anterior pero publicada en la fecha de presentación internacional o en fecha posterior.		
"L" documento que puede plantear dudas sobre una reivindicación de prioridad o que se cita para determinar la fecha de publicación de otra cita o por una razón especial (como la indicada).	"X"	documento particularmente relevante; la invención reivindicada no puede considerarse nueva o que implique una actividad inventiva por referencia al documento aisladamente considerado.
"O" documento que se refiere a una divulgación oral, a una utilización, a una exposición o a cualquier otro medio.	"Y"	documento particularmente relevante; la invención reivindicada no puede considerarse que implique una actividad inventiva cuando el documento se asocia a otro u otros documentos de la misma naturaleza, cuya combinación resulta evidente para un experto en la materia.
"P" documento publicado antes de la fecha de presentación internacional pero con posterioridad a la fecha de prioridad reivindicada.	"&"	documento que forma parte de la misma familia de patentes.

Fecha en que se ha concluido efectivamente la búsqueda internacional.
1° de agosto de 2007 (01.08.07)

Fecha de expedición del informe de búsqueda internacional
13 de agosto de 2007 (13.08.07)

Nombre y dirección postal de la Administración encargada de la búsqueda internacional

EPO

Funcionario autorizado

N° de fax

N° de teléfono

INFORME DE BÚSQUEDA INTERNACIONAL
Información relativa a los miembros de familias de patentes

Solicitud internacional nº
PCT/ES2006/000542

US 5546035	A	13-08-1996	JP JP	2882272 B2 7231246 A	12-04-1999 29-08-1995

US 5532957	A	02-07-1996	NINGUNA		

US 4879680	A	07-11-1989	NINGUNA		
