【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第６部門第１区分
【発行日】平成26年7月10日(2014.7.10)

【公開番号】特開2013-19830(P2013-19830A)
【公開日】平成25年1月31日(2013.1.31)
【年通号数】公開・登録公報2013-005
【出願番号】特願2011-154675(P2011-154675)
【国際特許分類】
Ｇ０１Ｒ　31/28　(2006.01)
Ｈ０１Ｌ　27/04　(2006.01)
Ｈ０１Ｌ　21/822　(2006.01)
【ＦＩ】
Ｇ０１Ｒ　31/28　Ｖ
Ｈ０１Ｌ　27/04　Ｔ

【手続補正書】
【提出日】平成26年5月26日(2014.5.26)
【手続補正１】
【補正対象書類名】特許請求の範囲
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
所定のビット幅のパラレルデータからなるパラレルデータ列を受信し、該パラレルデータ列を構成するそれぞれのパラレルデータのビットを所定の順番に配列したシリアルデータに変換する、第１および第２のパラレルシリアル変換回路と、
前記所定のビット幅の共通のテスト用パラレルデータ列に基づいて、前記第１のパラレルシリアル変換回路に供給する第１のテスト用パラレルデータ列と、前記第２のパラレルシリアル変換回路に供給する第２のテスト用パラレルデータ列とを生成するテスト用パラレルデータ列生成回路と、
前記第１のパラレルシリアル変換回路が前記第１のテスト用パラレルデータ列を変換した第１のシリアルデータビットと、前記第２のパラレルシリアル変換回路が前記第２のテスト用パラレルデータ列を変換した第２のシリアルデータのビットとの一致／不一致を検出する検出回路とを備えた半導体集積回路であって、
前記テスト用のパラレルデータ列生成回路が、前記共通のテスト用パラレルデータ列を構成するそれぞれのパラレルデータのビットを、順番に、前記所定の順番において後になる方向に前記所定のビット幅未満の第１のビット数だけシフトし、あふれたビットを、次のパラレルデータの前記所定の順番において先になる位置にシフトして、前記第２のテスト用パラレルデータ列を生成するパラレルビットシフト回路を含むことにより、前記共通のテスト用パラレルデータ列の同一のビットに対応するビットのパラレルデータ内での位置が相互にシフトした前記第１のテスト用パラレルデータ列と前記第２のテスト用パラレルデータ列とを生成し、
前記検出回路が、同一のタイミングで入力された前記第１のシリアルデータのビットと前記第２のシリアルデータのビットとを比較する比較回路と、前記テスト用パラレルデータ生成回路から供給されるときのシフトに応じて前記第１のシリアルデータと前記第２のシリアルデータとの少なくとも一方のビットをシフトして、前記共通のテスト用パラレルデータ列の同一のビットに対応する前記第１のシリアルデータのビットおよび前記第２のシリアルデータのビットが前記比較回路に入力されるタイミングをそろえるシリアルビッ

トシフト回路とを含むことを特徴とする半導体集積回路。
【請求項２】
前記パラレルビットシフト回路には、前記共通のテスト用パラレルデータ列を構成するそれぞれのパラレルデータが順番にパラレルクロックに同期して入力され、
前記パラレルビットシフト回路は、前記共通のテスト用パラレルデータ列を構成するそれぞれのパラレルデータを前記パラレルクロックの１周期分だけ遅らせて、前記第１のテスト用パラレルデータ列として前記第１のパラレルシリアル変換回路に供給する請求項１記載の半導体集積回路。
【請求項３】
前記パラレルビットシフト回路は、前記共通のテスト用パラレルデータ列を構成するそれぞれのパラレルデータのビットを、順番に、前記所定の順番において後になる方向に前記所定のビット幅未満の第２のビット数だけシフトし、あふれたビットを、次のパラレルデータの前記所定の順番において先になる位置にシフトして、前記第１のテスト用パラレルデータ列を生成し、
前記第１及び第２のビット数は互いに異なる請求項１記載の半導体集積回路。
【請求項４】
前記検出回路が、前記比較器が不一致を検出したときに、前記第１のパラレルシリアル変換回路と前記第２のパラレルシリアル変換回路とのいずれかが不良であることを示す検出信号を生成する検出信号生成回路を含むことを特徴とする請求項１乃至請求項３のいずれか一つに記載の半導体集積回路。
【請求項５】
請求項４記載の半導体集積回路を用い、前記検出信号の生成の有無により、前記第１および第２のパラレルシリアル変換回路の少なくとも一方の不良を検出することを特徴とする半導体集積回路のテスト方法。
【手続補正２】
【補正対象書類名】明細書
【補正対象項目名】００２７
【補正方法】変更
【補正の内容】
【００２７】
第１および第２のパラシリ変換回路１１，１２から出力されたシリアルデータは、第１および第２の出力バッファ１５，１６をそれぞれ経由して半導体集積回路１の外部に出力される。