



(12)发明专利申请

(10)申请公布号 CN 108022550 A

(43)申请公布日 2018.05.11

(21)申请号 201710913338.X

G09G 3/3208(2016.01)

(22)申请日 2017.09.30

(30)优先权数据

62/415,542 2016.11.01 US

62/429,162 2016.12.02 US

15/478,874 2017.04.04 US

(71)申请人 群创光电股份有限公司

地址 中国台湾新竹科学工业园区苗栗县竹南镇科学路160号

(72)发明人 李冠锋 吴昱娴

(74)专利代理机构 上海专利商标事务所有限公司 31100

代理人 骆希聪

(51)Int.Cl.

G09G 3/32(2016.01)

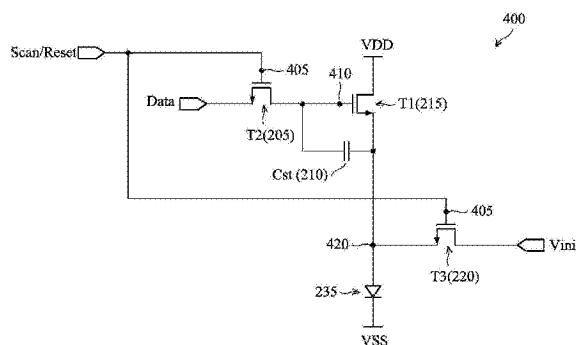
权利要求书2页 说明书17页 附图18页

(54)发明名称

显示装置

(57)摘要

显示装置包括耦接输入节点的第一发光二极管,且更包括像素驱动电路。像素驱动电路包括数据输入晶体管、驱动晶体管与重置晶体管。数据输入晶体管被配置以基于第一控制信号,将数据信号经由具有第一沟道宽长比率的第一沟道来传导。驱动晶体管被配置以基于数据信号,将电流经由第二沟道传导至输入节点。第二沟道具有第二沟道宽长比率。重置晶体管被配置以基于所接收的第二控制信号,将第一参考电压信号经由第三沟道传导至输入节点。第三沟道具有第三沟道宽长比率。第一、第二、第三沟道宽长比率的至少其中之一具有不同的值。



1. 一种显示装置,包括:

—第一发光二极管,耦接一输入节点;以及

—像素驱动电路,包括:

—数据输入晶体管,包括一第一控制端及一第一沟道,该第一沟道具有一第一沟道宽长比率,其中当该第一控制端接收一第一控制信号,该第一沟道传导一数据信号;

—驱动晶体管,包括一第二控制端及一第二沟道,该第二沟道具有一第二沟道宽长比率,其中当该第二控制端接收该数据信号,该第二沟道将一电流传导至该输入节点;以及

—重置晶体管,包括一第三控制端及一第三沟道,该第三沟道具有一第三沟道长宽比率,其中当该第三控制端接收一第二控制信号,该第三沟道将一第一参考电压信号传导至该输入节点;

其中,该第一沟道宽长比率、该第二沟道宽长比率以及该第三沟道宽长比率的至少其中之一具有不同的值。

2. 如权利要求1所述的显示装置,其特征在于,该驱动晶体管的该第二沟道宽长比率小于该第一沟道宽长比率,且该第二沟道宽长比率小于该第三沟道宽长比率。

3. 如权利要求1所述的显示装置,其特征在于,该数据输入晶体管、该驱动晶体管以及该重置晶体管的至少其中之一具有一双栅极结构。

4. 如权利要求3所述的显示装置,其特征在于,该驱动晶体管具有该双栅极结构,该双栅极结构包括:

—第一栅极端,用以接收该数据信号;以及

—第二栅极端,用以接收一第三控制信号,借以选择性地将该驱动晶体管耦接一供应电压。

5. 如权利要求1所述的显示装置,其特征在于,该驱动晶体管的该第二沟道包括氧化物半导体。

6. 如权利要求5所述的显示装置,其特征在于,该第一沟道与该第三沟道的至少其中之一包括氧化物半导体。

7. 如权利要求5所述的显示装置,其特征在于,该像素驱动电路更包括:

—发射晶体管包括氧化物半导体,具有一第四控制端,当该第四控制端接收一第三控制信号,该第二沟道选择性地传导电流。

8. 如权利要求1所述的显示装置,其特征在于,该像素驱动电路更包括:

—第一储存电容,耦接于该第二控制端与该输入节点之间。

9. 如权利要求8所述的显示装置,其特征在于,该像素驱动电路更包括:

—第二储存电容,耦接于一供应电压与该输入节点之间。

10. 如权利要求8所述的显示装置,更包括:

—基底,具有一第一区域及一第二区域;

其中,于俯视方向上,该驱动晶体管与该第一区域重叠,该第一储存电容与该第二区域重叠,且该第一发光二极管与该第一区域以及该第二区域的至少其中之一重叠。

11. 如权利要求8所述的显示装置,其特征在于,该驱动晶体管更包括一金属层,该第一发光二极管与该金属层直接连接。

12. 如权利要求1所述的显示装置,其特征在于,该像素驱动电路更包括:

一发射晶体管,包括一第四控制端,当该第四控制端接收一第三控制信号,该第二沟道选择性地传导电流。

13. 如权利要求12所述的显示装置,其特征在于,该发射晶体管更包括一第四沟道,当该第四控制端接收该第三控制信号,该第四沟道耦接一供应电压。

14. 如权利要求12所述的显示装置,其特征在于,该像素驱动电路更包括:

一补偿晶体管,包括一第五控制端,当该第五控制端接收该第二控制信号,第五沟道耦接一第二参考电压。

15. 如权利要求1所述的显示装置,更包括:

一基底及一栅极驱动电路,该基底具有一第一区域及一第二区域,其中,于俯视方向上,该像素驱动电路与该第一区域重叠,该栅极驱动电路与该第二区域重叠,该第一发光二极管包括一第一端及一第二端,该第一端耦接该输入节点,该第二端耦接一共通电压节点,且该共通电压节点与该第二区域重叠。

16. 如权利要求15所述的显示装置,更包括一有源区域,其中,该栅极驱动电路的至少一部分被配置在该有源区域之外。

17. 如权利要求16所述的显示装置,更包括:

一导电环,位于该有源区域周围,其中,该栅极驱动电路及该第一端或该第二端其中之一耦接该导电环。

18. 如权利要求17所述的显示装置,更包括:

多个条导线,延伸跨越该有源区域,并且耦接该导电环,其中每一该多个导线的的一第一宽度小于该导电环的一第二宽度。

19. 如权利要求18所述的显示装置,其特征在于,每一该多个导线具有一第一端及一第二端,该第一端及该第二端耦接该导电环。

20. 如权利要求1所述的显示装置,其特征在于,该第一发光二极管包括:

一第一端,耦接该输入节点;以及

一第二端,由该像素驱动电路之外的一电路接收一共通电压信号。

显示装置

技术领域

[0001] 本发明是有关于像素驱动电路,特别是有关于可应用在包括一或多个发光元件的显示装置的像素驱动电路。

背景技术

[0002] 薄膜晶体管(Thin-film transistor (TFT))通常被用于驱动显示装置的像素。TFT背板的半导体材料的选择,会影响显示装置的尺寸和整体性能。举例而言,由具有相对较大的电子迁移率的半导体材料所形成的晶体管,可以提供相对较大的电流至发光元件及/或更快的切换动作(相较于具有相对较小的电子迁移率的另一种半导体材料所形成的相同尺寸的晶体管)。在此情况下,具有较大电子迁移率的晶体管的尺寸可以较小,却仍然满足显示装置的需求,借此可支援更大的像素密度及/或降低功率消耗。此外,其他半导体材料可提供不同的益处,且应用于显示装置的像素驱动电路可有益地组合不同的材料,借以实现期望中的各种益处的组合。

发明内容

[0003] 根据本文所提出的各种实施例,描述在显示装置的像素驱动电路中使用不同的半导体材料的技术。在一些实施例中,像素驱动电路至少包括具有相对较大的电子迁移率及/或相对较大的稳定性的第一半导体材料的第一晶体管。像素驱动电路亦至少包括具有相对较大的临界电压均一性的第二半导体材料的第二晶体管。第一和第二晶体管的尺寸可被设计,借以提供期望中的每种类型的半导体材料的优点的组合。

[0004] 在一实施例中,显示装置包括耦接输入节点的至少一第一发光二极管,以及像素驱动电路。像素驱动电路包括数据输入晶体管,且数据输入晶体管包括被配置以接收第一控制信号的第一控制端。其中数据输入晶体管被配置以基于第一控制信号,经由具有第一沟道宽长比率(width-to-length (W/L) ratio)的数据输入晶体管的第一沟道传导数据信号。像素驱动电路更包括驱动晶体管,且驱动晶体管包括被配置以从数据输入晶体管接收数据信号的第二控制端。其中驱动晶体管被配置以基于数据信号,经由驱动晶体管的第二沟道将电流传导至输入节点。其中第二沟道具有第二沟道宽长比率。像素驱动电路更包括重置晶体管,且重置晶体管包括被配置以接收第二控制信号的第三控制端。其中重置晶体管被配置以基于第二控制信号,经由重置晶体管的第三沟道将第一参考电压信号传导至输入节点,其中第三沟道具有第三沟道长宽比率。第一沟道宽长比率、第二沟道宽长比率以及第三沟道宽长比率的至少其中之一具有不同的值。

附图说明

[0005] 为详细地理解上述特征,本文中更加具体描述之内容(简要地归纳于上述内容)可被参考为实施例,且一些特征是被显示于所附图式中。应当注意,附图仅为示范性实施例,并不会对本发明实施例造成任何限制,且可以扩及其他同等有效的实施例。

[0006] 为了便于理解,在可能的情况下,使用相同的附图标记来表示各图的相同元件。可以理解的是,在一个实施例中披露的元件,可以有益处地被使用于其他实施例且不需特别说明。附图中的图示不应被理解为按比例绘制(除非特别注明)。此外,为了清楚的说明和解释,附图通常被简化且省略了细节或组件。附图和文字内容用于解释本发明实施例的原理,其中相同的标号表示相同的元件。

[0007] 图1是依据本发明实施例的显示装置的示意图。

[0008] 图2是依据本发明实施例的像素驱动电路的示意图。

[0009] 图3是依据本发明实施例的形成于不同半导体材料的晶体管的电流/电压特性。

[0010] 图4A是依据本发明实施例的像素驱动电路的配置示意图。

[0011] 图4B是依据本发明实施例的晶体管配置的示意图。

[0012] 图5是依据本发明实施例的像素驱动电路的配置示意图。

[0013] 图6A是依据本发明实施例的像素驱动电路的配置示意图。

[0014] 图6B、6C是依据本发明实施例的双栅极晶体管配置的示意图。

[0015] 图7-9是依据本发明实施例的显示装置的配置示意图。

[0016] 图10A-10C是依据本发明实施例的显示装置中的共通线或接地线的配置示意图。

[0017] 图11、12是依据本发明实施例的显示装置中的发光二极管的配置示意图。

[0018] 图13是依据本发明实施例的像素驱动电路的配置示意图。

[0019] 符号说明:

[0020] 100~显示装置

[0021] 102~基底

[0022] 105~软性印刷电路

[0023] 110~集成电路

[0024] 115~导电连结

[0025] 120~解多工器

[0026] 125~有源区域

[0027] 130A、130B~栅极驱动器区域

[0028] 135~共通电极

[0029] 140~导电环

[0030] 145~导线

[0031] 150~像素

[0032] 155-R~红色子像素

[0033] 155-G~绿色子像素

[0034] 155-B~蓝色子像素

[0035] 200~像素驱动电路

[0036] 205~数据输入元件

[0037] 210~储存元件

[0038] 215~驱动元件

[0039] 220~重置元件

[0040] 225~补偿元件

- [0041] 230~发射元件
- [0042] 235~发光二极管
- [0043] 300~图示
- [0044] 305、310、315~图案
- [0045] LTPS~低温多晶硅
- [0046] IGZO~铟镓锌氧化物
- [0047] a-SI~非晶硅
- [0048] V_{th} (LTPS)、 V_{th} (IGZO) ~临界电压
- [0049] 400~电路配置
- [0050] VDD、VSS~供应电压
- [0051] V_{ini} ~参考电压
- [0052] Scan/Reset~组合控制信号
- [0053] Data~数据信号
- [0054] T1~驱动晶体管
- [0055] T2~数据输入晶体管
- [0056] T3~重置晶体管
- [0057] Cst~储存电容
- [0058] 405、410、415~控制端
- [0059] 420~输入节点
- [0060] 425~晶体管配置
- [0061] 430A~第一源极/漏极端
- [0062] 430B~第二源极/漏极端
- [0063] 432A~第一通孔
- [0064] 432B~第二通孔
- [0065] 435~栅极端
- [0066] 440~半导体层
- [0067] 442~沟道
- [0068] L~长度
- [0069] W~宽度
- [0070] 500~电路配置
- [0071] Scan~扫描信号
- [0072] Reset~重置信号
- [0073] Enable~启动信号
- [0074] 505~控制端
- [0075] C1~第二储存电容C1
- [0076] T4~发射晶体管
- [0077] 600~电路配置
- [0078] 605、610、615~双栅极晶体管
- [0079] 625~晶体管配置

- [0080] 630A~第一源极/漏极端
- [0081] 630B~第二源极/漏极端
- [0082] 632A~第一通孔
- [0083] 632B~第二通孔
- [0084] 635~栅极端
- [0085] 640~半导体层
- [0086] 642A~第一沟道
- [0087] 642B~第二沟道
- [0088] 650~晶体管配置
- [0089] 635A、635B~栅极端
- [0090] 700~显示装置
- [0091] 130~栅极驱动器区域
- [0092] 705~基底层
- [0093] 710~缓冲层
- [0094] 715~栅极绝缘层
- [0095] 720、725~介电层
- [0096] 730~平坦化层
- [0097] 740、745~钝化层
- [0098] 750~第一导电层
- [0099] 752~半导体层
- [0100] 754~电极层
- [0101] 755~第一导电连结
- [0102] 756~导电连结
- [0103] 758~部分元件
- [0104] 760~第二导电连结
- [0105] 762、765~导电层
- [0106] 770、775~共通电压节点
- [0107] 780~第三导电连结
- [0108] 785~栅极驱动电路
- [0109] 790~导电层
- [0110] Cst1、Cst2~储存电容
- [0111] 235-1、235-2~发光二极管
- [0112] 800~显示装置
- [0113] 805、810~介电层
- [0114] 815~氧化物半导体层
- [0115] 820~导电连结
- [0116] 825~共通电压节点
- [0117] 830~第二沟道
- [0118] 835~第三沟道

- [0119] 840~源极/漏极端
- [0120] 900~显示装置
- [0121] 1000~配置
- [0122] 1005~导电层
- [0123] 1010~共通电压节点
- [0124] 1025~配置
- [0125] 1030~共通电压节点
- [0126] 1035、1040~导电连结
- [0127] 1050~配置
- [0128] 1055~共通电压节点
- [0129] 1060~导电连结
- [0130] 1100~配置
- [0131] 1105~介面
- [0132] 1200~配置
- [0133] 1300~电路配置
- [0134] T5~补偿晶体管
- [0135] C2~第一电容
- [0136] C3~第二电容
- [0137] Scan[n]~扫描信号
- [0138] Scan[n+3]~扫描信号的未来值
- [0139] Enable[n]~启动信号
- [0140] V_{ref} ~参考电压
- [0141] 1305~控制端
- [0142] 1310~节点

具体实施方式

[0143] 本发明各种实施例提供多种显示装置。显示装置在相关联的像素驱动电路中使用不同的半导体材料。像素驱动电路的至少两个晶体管是由不同的半导体材料所形成,借以实现期望中的每种类型的半导体材料的有益效果的组合。

[0144] 在一些实施例中,包括像素驱动电路的至少一第一晶体管的第一半导体层,是由诸如低温多晶硅(low-temperature polycrystalline silicon(LTPS))的半导体材料所形成;且包括像素驱动电路的至少一第二晶体管的第二半导体层,是由诸如铟镓锌氧化物(indium gallium zinc oxide(IGZO))的氧化物半导体材料所形成。第一晶体管通常提供比第二晶体管相对更大的电子迁移率及/或相对更大的稳定性,而第二晶体管通常提供比第一晶体管更大的临界电压均一性(threshold voltage uniformity)。此外,虽然具体描述了LTPS和IGZO的组合范例,但是本发明实施例所述的技术并不限于这种组合。实际上,像素驱动电路的其他实施方式可以包括任何其它合适类型的半导体材料的晶体管,无论是现在已知的还是随后开发的。

[0145] 于本发明中,耦接可表示两元件(或导体)直接接触而电性连接,或是两元件(或导

体)非直接接触而是借由另外至少一元件来达成电性连接。

[0146] 显示装置实施例

[0147] 图1是依据本发明实施例的显示装置100的俯视图。显示装置100包括耦接软性印刷电路105的基底102。集成电路110(IC)被设置在基底102上,且用于控制显示装置100的显示单元的操作。在其他实施例中,集成电路110被设置在软性印刷电路105上,或其它电路板上。集成电路110透过软性印刷电路105与外部处理器进行通信。在一些实施例中,显示装置100形成集成电路装置的一部分,且外部处理器包括集成电路装置的主处理器(host processor)。举例而言,集成电路110可以从主处理器接收显示数据及/或控制数据,然后可以提供适当的显示信号及/或控制信号以操作显示装置100的各种显示单元。如图所示,集成电路110通过多个导电连结(conductive connection)115以提供显示信号及/或控制信号至解多工器(de-multiplexer)120以及在栅极驱动器区域130A、130B中的栅极驱动电路。一般而言,解多工器120允许减少在集成电路110和显示装置100的显示单元之间所需的导电连结115的数量。在一些实施例中,显示单元的数量可为数千、数百万或更多。

[0148] 显示装置100包括有源区域125,其中图像是透过有源区域125中的一个或多个显示单元来显示。如图所示,显示单元对应于像素150。如图所示,有源区域125包括以M列和N行的样式排列的M×N个像素150,其中M和N各自为正整数。有源区域125可以包括具有任何适当的空间布置的任何替代数量的像素150。如图1所示,每个像素150可以包括至少一个子像素,例如一个像素150可包括一个红色子像素155-R、一个绿色子像素155-G和一个蓝色子像素155-B(任何类型的子像素通常可以被称为子像素155)。像素150可以包括任何适当的替代数量的子像素155,在一些实施例中,可以基于不同于RGB颜色模型的颜色模型。在其他实施例中,像素150可以各自包括一个子像素(例如,白色子像素、红色子像素、绿色子像素或蓝色子像素)。在其他实施例中,像素150可以各自包括多个子像素组合(例如,RGB颜色模型、RGBW颜色模型、RGBY颜色模型、RGBG颜色模型或RBGB颜色模型)。

[0149] 每个子像素155包括一个或多个发光元件,诸如无机发光二极管(inorganic light-emitting diode(LED)),有机发光二极管(organic light-emitting diode)或其它类型的发光元件。在一实施例中,显示装置100是LED显示器,且各别LED通常被用以产生所选择的光的颜色(例如,用于RGB颜色模型的红色、绿色或蓝色)。在另一实施例中,显示装置100是OLED显示器,且各别OLED通常被用以产生所选择的光的颜色(例如,用于RGB颜色模型的红色、绿色或蓝色)。此外,虽然具体描述了LED显示器和OLED显示器的实施例,但是本发明实施例的技术不限于这些类型的显示器。实际上,显示装置100的其他实施方式可以包括任何其他合适的显示技术,无论是现在已知的还是随后开发的。

[0150] 在有源区域125的外部,耦接像素150的栅极驱动电路是被设置在基底102上,且被布置在栅极驱动器区域130A,130B中。显示装置100的其他实施例可以包括不同数量及/或布置的栅极驱动器区域,例如单一个栅极驱动器区域。当显示装置100被包括于集成电路装置中时,布置在有源区域125之外(诸如栅极驱动电路)的显示装置100的元件可能被部分或全部遮蔽,并且对于观察者而言通常难以观察。在其他实施例中,显示装置100的上述元件(例如栅极驱动电路)可以被布置在有源区域125内。如图所示,共通电极(common electrode)(或接地电极)135被部分地设置在有源区域125的外部,且被部分地设置在有源区域125的内部。在其他实施例中,共通电极135覆盖有源区域125的一半以上的面积。共通

电极135耦接集成电路110,并且提供参考电压至像素150。

[0151] 在一些实施例中,共用电极135包括基本上包围有源区域125的导电环140,以及延伸跨越有源区域125并且耦接导电环140的多个条导线145。然而,在其他实施例中,共用电极135不需要包围有源区域。在一些实施例中,每条导线145定义第一端和第二端,且每条导线145的第一端和第二端连接导电环140。在一些实施例中,每条导线145的宽度小于导电环140的宽度,因为较小宽度的导电线145通常可提供有源区域125内的更大的像素密度。在其他实施例中,导线145可被导电板所替代,导电板连接至导电环140并且覆盖有源区域125一半以上的区域。

[0152] 像素驱动电路实施例

[0153] 图2是依据本发明实施例的像素驱动电路200的示意图。如图所示,像素驱动电路200包括数据输入元件205、储存元件210、驱动元件215以及重置元件220。像素驱动电路200用于驱动一或多个发光元件,例如具有微米尺寸的发光二极管(LED) 235(亦称为Micro-LED)。在一些实施例中,发光二极管235具有约10微米与约百100微米之间的尺寸(例如,最长边缘的直径或宽度)。在其他实施例中,可以包括任何适当的替代尺寸(直径或最长边缘宽度)的发光二极管235(例如,小于10微米或大于1微米)。

[0154] 数据输入元件205通常用于选择性地将数据信号传导至驱动元件215。数据信号可以由相关联的处理器所提供(例如图1的集成电路110)。数据信号可以包括不同的类型,例如参考电压和数据电压。储存元件210通常用于保持输入至驱动元件215的数据信号的值。驱动元件215通常被配置以基于数据信号,提供驱动电流至发光二极管235。重置元件220通常用于选择性地导通电流,从而将驱动元件215的电压重置为预定电压。数据输入元件205、驱动元件215以及重置元件220可以包括薄膜晶体管(TFT),储存元件210可以包括薄膜电容(capacitance)。

[0155] 像素驱动电路200选择性地包括补偿元件225及/或发射元件230。发射元件230通常被配置以控制发光二极管235处于发射状态或未发射状态。在一些实施例中,发射元件230与驱动元件215串联布置。补偿元件225通常用于补偿像素驱动电路200中的驱动元件215的半导体材料的不良的临界电压均一性。补偿元件225及发射元件230可以包括薄膜晶体管。

[0156] 图3是依据本发明实施例的形成于不同半导体材料的薄膜晶体管的电流/电压特性的图示300。更具体地,图示300包括表示由低温多晶硅(LTPS)半导体材料形成的薄膜晶体管的电流/电压特性的图案305、表示由非晶硅(amorphous silicon(a-Si))形成的薄膜晶体管的电流/电压特性的图案310以及表示由铟镓锌氧化物(IGZO)半导体材料形成的薄膜晶体管的电流/电压特性的图案315。IGZO半导体材料薄膜晶体管的临界电压(V_{th} (IGZO))大于LTPS半导体材料薄膜晶体管的临界电压(V_{th} (LTPS))。如本领域已知的知识,薄膜晶体管的临界电压表示形成跨越薄膜晶体管的沟道(亦即,源极和漏极之间)的导电路径所需的最小栅极至源极电压差。

[0157] 一般而言,LTPS半导体材料和IGZO半导体材料各自提供比a-Si半导体材料显著更大的电子迁移率。在一些实施例中,IGZO半导体材料的电子迁移率比a-Si半导体材料的电子迁移率大20-50倍;LTPS半导体材料的电子迁移率比a-Si半导体材料大约100倍(或更多)。更大的电子迁移率通常可对应较小尺寸的晶体管并且同时满足显示装置的要求,上述

要求是支援更高像素密度和较小的显示装置及/或更高解析度的显示装置。此外,较大的电子迁移率可对应减少显示装置的功率消耗。

[0158] 如图示300所示,IGZO半导体材料比LTPS半导体材料提供显著更低的漏电流(亦即,在电压小于相应临界电压的电流值)。此外,IGZO半导体材料提供比a-Si半导体材料或LTPS半导体材料相对更大的临界电压均一性。在视觉上,临界电压均一性表示在「关闭」状态(亦即,小于相应的临界电压的电压值)和「开启」状态(亦即,等于或大于相应的临界电压的电压值)之间的循环转换。临界电压 V_{th} (IGZO)周围的图案315的斜率比相应临界电压周围的图案305(LTPS)或图案310(a-Si)的斜率相对地更大或更陡峭,代表可较佳地定义薄膜晶体管的「关闭」状态和「开启」状态之间的转换。如上所述,在其他实施例中,像素驱动电路的薄膜晶体管可以由不同的半导体材料所形成,上述不同的半导体材料具有不同的特性,例如电子迁移率、漏电流、临界电压均一性等。

[0159] 在各种实施例中,在显示装置的像素驱动电路内采用不同半导体材料所形成的薄膜晶体管的组合,借以实现每种材料类型的益处。在一实施例中,像素驱动电路的驱动薄膜晶体管可透过IGZO半导体材料实现(基于较大的临界电压均一性可以减轻由显示装置的不同LED发射的光的差异)。不同的LED所发射的光的更大的均一性,通常提供了显示装置的更好的整体性能。在此实施例中,像素驱动电路中的一或多个其它薄膜晶体管(例如发射元件的薄膜晶体管)可透过LTPS实现以获得更好的稳定性。

[0160] 图4A是依据本发明实施例的像素驱动电路的电路配置400的示意图。电路配置400表示图2的像素驱动电路200的一个可能的实施例。

[0161] 电路配置400包括驱动晶体管T1(表示驱动元件215的范例)、数据输入晶体管T2(表示数据输入元件205的范例)以及重置晶体管T3(表示重置元件220的范例)。数据输入晶体管T2包括用于接收第一控制信号的第一控制端405。如图4A所示,第一控制信号是一组合控制信号Scan/Reset(扫描/重置)并且与重置晶体管T3共用(在其他实施例中,可包括独立的扫描和重置控制信号)。基于第一控制信号,数据输入晶体管T2经由数据输入晶体管T2的第一沟道传送数据信号Data。

[0162] 驱动晶体管T1包括从数据输入晶体管T2接收数据信号的第二控制端410。基于数据信号,驱动晶体管T1经由驱动晶体管T1的第二沟道将电流传导至输入节点420。如图所示,驱动晶体管T1将第一供应电压VDD与输入节点420耦接。

[0163] 储存电容Cst耦接于第二控制端410和输入节点420之间。储存电容Cst表示储存元件210的范例,且保持在第二控制端410的数据信号的值。

[0164] 重置晶体管T3包括接收第二控制信号的第三控制端405。基于第二控制信号,重置晶体管T3经由重置晶体管T3的第三沟道,将第一参考电压信号 V_{ini} 传导至输入节点420。如图4A所示,第二控制信号为组合控制信号。

[0165] 发光二极管235耦接于输入节点420和第二供应电压VSS(或者VCOM或ground)之间。如图所示,发光二极管235的阳极连接输入节点420,且发光二极管235的阴极连接与第二供应电压VSS。然而,在其他实施例中,发光二极管235的阳极和阴极可被反转。

[0166] 数据输入晶体管T2的第一沟道具有第一沟道宽长比率(width-to-length(W/L) ratio)。驱动晶体管T1的第二沟道具有第二沟道宽长比率。重置晶体管T3的第三沟道具有第三沟道宽长比率。在一些实施例中,第一沟道宽长比率、第二沟道宽长比率和第三沟道宽

长比率中的至少一个具有不同的值。换句话说,在一个状况中,上述薄膜晶体管的两个沟道宽长比率相同,并且相同的宽长比率与其余薄膜晶体管的宽长比率不同。在另一个状况中,所有薄膜晶体管的沟道宽长比率皆不同。如本领域已知的知识,沟道宽长比率描述了特定薄膜晶体管的几何形状并且影响薄膜晶体管的导通参数。

[0167] 一般而言,制程成本需要考量制程均一性,使得在实现像素驱动电路时,对于每个薄膜晶体管(例如,驱动晶体管T1、数据输入晶体管T2、重置晶体管T3)具有相同的沟道宽长比率。然而,在本发明各种实施例中,对像素驱动电路的不同晶体管提供不同的沟道宽长比率可以改善显示装置的性能。对于具有不同半导体材料类型的薄膜晶体管的像素驱动电路的实施例,也可以实现这种改善后的性能。

[0168] 在一些实施例中,驱动晶体管的第二沟道宽长比率小于第一沟道宽长比率,并且小于第三沟道宽长比率。驱动晶体管T1、数据输入晶体管T2、重置晶体管T3的宽度和长度的示例范围在表格1中提供。表格1亦包括基于宽度和长度范围的沟道宽长比率的最小值和最大值。表格1亦提供了像素驱动电路的一种实施例的宽度、长度和相应的宽长比率。

[0169] 表格1:电路配置400、500的晶体管尺寸实施例

[0170]

晶体管	宽度 (μm)	长度 (μm)	宽长比率 (最小值)	宽长比率 (最大值)	宽度、长度 实施例 (μm)	宽长比率 实施例
T1	2-6	12-25	0.080	0.5	3、18.5	0.162
T2	2-6	2-12	0.167	3	3、6	0.500
T3	2-6	2-12	0.167	3	3、6	0.500
T4	2-6	2-12	0.167	3	3、6	1.000

[0171] 在一些实施例中,驱动晶体管T1、数据输入晶体管T2、重置晶体管T3由单一半导体材料类型所形成。在一实施例中,驱动晶体管T1、数据输入晶体管T2、重置晶体管T3各自透过LTPS半导体材料所形成。然而在一些状况中,电路配置400的全LTPS实现方式可能并不适当,因为LTPS半导体材料的相对较差的临界电压均一性不会由电路配置400内的其他电路补偿。在另一实施例中,驱动晶体管T1、数据输入晶体管T2、重置晶体管T3各自透过IGZO半导体材料所形成。对于这种特定情况,宽度、长度等的示例范围将于表格3中提供。

[0172] 在一些实施例中,驱动晶体管T1、数据输入晶体管T2、重置晶体管T3中的至少一个是由不同的材料类型所形成。在一实施例中,驱动晶体管T1是由IGZO半导体材料形成,而数据输入晶体管T2以及重置晶体管T3是由LTPS半导体材料形成。与上述讨论一致,驱动晶体管T1、数据输入晶体管T2、重置晶体管T3与IGZO半导体材料、LTPS半导体材料的其它组合方式亦可被实现。

[0173] 图4B是依据本发明实施例的晶体管配置425的示意图。晶体管配置425通常可用于本发明实施例所述的任何单栅极薄膜晶体管,例如图4A的驱动晶体管T1、数据输入晶体管T2、重置晶体管T3以及下文描述的其它单栅极晶体管。

[0174] 晶体管配置425包括第一源极/漏极端430A和第二源极/漏极端430B。尽管未明确描述,但是第一源极/漏极端430A和第二源极/漏极端430B可透过导电接触点(conductive contact)耦接显示装置的在相同层的其他电路及/或在其它层的其他电路。第一源极/漏极端430A和第二源极/漏极端430B被设置在半导体层440的两个相对侧。第一源极/漏极端430A透过第一通孔432A耦接半导体层440,且第二源极/漏极端430B透过第二通孔432B耦接半导体层440。第一通孔432A和第二通孔432B穿过设置在半导体层440和第一源极/漏极端430A(或第二源极/漏极端430B)之间的绝缘层。栅极端435与半导体层440重叠。沟道442位于在第一源极/漏极端430A和第二源极/漏极端430B之间,且沟道442定义宽度W和长度L。宽度W和长度L被用于描述薄膜晶体管的沟道宽长比率。

[0175] 图5是依据本发明实施例的像素驱动电路的电路配置500的示意图。电路配置500表示图2的像素驱动电路200的一种可能的实施方式。电路配置500包括驱动晶体管T1、数据输入晶体管T2和重置晶体管T3。电路配置500更包括发射晶体管T4,且发射晶体管T4包括接收第三控制信号(启动信号Enable)的第四控制端505,借以选择性地实现在驱动晶体管T1的第二沟道的电流传导。如图所示,个别的控制信号被提供至控制端405(扫描信号Scan)以及控制端415(重置信号Reset)。电路配置500更包括耦接在供应电压VDD与输入节点420之间的第二储存电容C1。

[0176] 表格2描述像素驱动电路的多个状态。在第一个(预充电)状态中,扫描信号Scan、启动信号Enable以及重置信号Reset为「开启(ON)」或逻辑「高」状态。数据信号Data具有第一参考电压(V_{ref})的值,而驱动晶体管T1的控制端410处的电压(V_{410})等于 V_{ref} 。输入节点420处的电压(V_{420})等于透过重置晶体管T3提供的第二参考电压(V_{ini})。在第二个(补偿)状态下,扫描信号Scan与启动信号Enable为「开启」,重置信号Reset为「关闭(OFF)」或逻辑「低」状态。数据信号Data具有第一参考电压 V_{ref} 的值,且电压 V_{410} 等于 V_{ref} 。电压 V_{420} 等于 $(V_{ref}-V_{th})$,其中 V_{th} 是驱动晶体管T1的临界电压。提供预充电状态和补偿状态的组合,可使像素驱动电路减轻临界电压均一性的问题,诸如某些材料(例如LTPS)的相对较差的临界电压均一性及/或不同的半导体材料之间的临界电压的差异。

[0177] 在第三个(数据写入)状态下,扫描信号Scan为「开启」,启动信号Enable和重置信号Reset为「关闭」。数据信号Data具有 V_{data} 的值,且电压 V_{410} 等于 V_{data} 。电压 V_{420} 等于 $\{V_{ref}-V_{th}+f*(V_{data}-V_{ref})\}$,其中f是等于 $\{f=Cst/(Cst+C1)\}$ 的函数。在第四个(发射)状态下,扫描信号Scan和重置信号Reset为「关闭」,启动信号Enable为「开启」。数据信号Data具有第一参考电压 V_{ref} 的值。相对地,电压 V_{410} 等于 $\{V_{data}+V_{420}-V_{ref}-V_{th}+f*(V_{data}-V_{ref})\}$ 。

[0178] 表格2:电路配置500的状态实施例

[0179]

状态	Data	Scan	Enable	Reset	V_{410}	V_{420}
预充电	V_{ref}	开启	开启	开启	V_{ref}	V_{ini}
补偿	V_{ref}	开启	开启	关闭	V_{ref}	$V_{ref}-V_{th}$
数据 写入	V_{data}	开启	关闭	关闭	V_{data}	$V_{ref}-V_{th}+f^*$ $(V_{data}-V_{ref})$
发射	V_{ref}	关闭	开启	关闭	$V_{data}+V_{420}-V_{ref}$ $-V_{th}+f^*$ $(V_{data}-V_{ref})$	V_{420}

[0180] 驱动晶体管T1、数据输入晶体管T2、重置晶体管T3、发射晶体管T4的宽度和长度的实施例是在前述表格1中描述。表格1亦包括基于宽度和长度的范围的沟道宽长比率的最小值和最大值。表格1还提供了像素驱动电路的一个实施例中的宽度、长度和相应的宽长比率。

[0181] 在一些实施例中，驱动晶体管T1、数据输入晶体管T2、重置晶体管T3、发射晶体管T4是由单一半导体材料类型所形成。在一实施例中，驱动晶体管T1、数据输入晶体管T2、重置晶体管T3、发射晶体管T4各自透过LTPS半导体材料形成。然而，不同于图4的电路配置400，电路配置500包括能够减轻LTPS半导体材料的相对较差的临界电压均一性的补偿功能。此外，如以下将于图6A中所讨论的内容，像素驱动电路的其他实施例可使用双栅极(dual gate)设计来减轻相对高的漏电流，诸如有关于LTPS半导体材料的相对高的漏电流。

[0182] 在一些实施例中，驱动晶体管T1、数据输入晶体管T2、重置晶体管T3、发射晶体管T4的至少其中之一是由不同的半导体材料类型所形成。在一实施例中，驱动晶体管T1、数据输入晶体管T2和重置晶体管T3个别由IGZO半导体材料形成，而发射晶体管T4是由LTPS半导体材料所形成。具有益处地，LTPS半导体材料可提供发射晶体管T4相对更大的稳定性，同时保持由IGZO半导体材料所提供的较大临界电压均一性的性能优点。表格3提供电路配置500的驱动晶体管T1、数据输入晶体管T2、重置晶体管T3、发射晶体管T4的宽度和长度的示例范围。表格3亦包括基于宽度和长度的范围的沟道宽长比率的最小值和最大值。表格3还提供了像素驱动电路的一个实施例的宽度、长度和相对应的宽长比率。

[0183] 表格3: 电路配置500的晶体管尺寸实施例

[0184]

晶体管	宽度 (μm)	长度 (μm)	宽长比率 (最小值)	宽长比率 (最大值)	宽度、长度 实施例 (μm)	宽长比率 实施例
T1(IGZO)	2-6	12-25	0.080	0.5	3、15	0.200
T2(IGZO)	2-6	2-12	0.167	3	3、3	1.000
T3(IGZO)	2-6	2-12	0.167	3	3、3	1.000
T4(LTPS)	2-6	2-12	0.167	3	3、3	1.000

[0185] 与前述讨论内容一致,驱动晶体管T1、数据输入晶体管T2、重置晶体管T3、发射晶体管T4与IGZO半导体材料、LTPS半导体材料或不同半导体材料的其它组合也可被实现。

[0186] 图6A是依据本发明实施例的像素驱动电路的电路配置600的示意图。电路配置600表示图2的像素驱动电路200的一种可能的实施方式。电路配置600包括驱动晶体管T1、数据输入晶体管T2、重置晶体管T3和发射晶体管T4。如图所示,数据输入晶体管T2形成第一双栅极晶体管605;重置晶体管T3形成第二双栅极晶体管610;驱动晶体管T1和发光晶体管T4形成第三双栅极晶体管615。

[0187] 通常,双栅极晶体管可以减轻相关材料(例如LTPS半导体材料)的相对高的漏电流。以下的表格4提供了在LTPS半导体材料中形成的电路配置600的驱动晶体管T1、数据输入晶体管T2、重置晶体管T3和发射晶体管T4的宽度和长度的示例范围。

[0188] 表格4:电路配置600的晶体管尺寸实施例

[0189]

晶体管	宽度 (μm)	长度 (μm)	宽长比率 (最小值)	宽长比率 (最大值)	宽度、长度 实施例 (μm)	宽长比率 实施例
T1	2-6	12-25	0.080	0.5	3、18.5	0.162
T2	2-6	2-12	0.167	3	3、(3+3)	0.500
T3	2-6	2-12	0.167	3	3、(3+3)	0.500
T4	2-6	2-12	0.167	3	3、3	1.000

[0190] 虽然电路配置600所示的驱动晶体管T1、数据输入晶体管T2、重置晶体管T3和发射晶体管T4是属于在双栅极晶体管的实施例,但其他实施例亦可具有不同数量的双栅极晶体管。在一实施例中,数据输入晶体管T2和重置晶体管T3中有一个被选择以具有双栅极晶体管的实现方式,而其他每一个晶体管具有单栅极晶体管的实现方式。

[0191] 在一些实施例中,驱动晶体管T1、数据输入晶体管T2、重置晶体管T3和发射晶体管T4的至少其中之一是由不同的半导体材料类型所形成。在一实施例中,驱动晶体管T1由IGZO半导体材料形成,而数据输入晶体管T2、重置晶体管T3和发射晶体管T4均由LTPS半导

体材料形成。数据输入晶体管T2和重置晶体管为双栅极晶体管。表格5提供电路配置600的驱动晶体管T1、数据输入晶体管T2、重置晶体管T3和发射晶体管T4的宽度和长度的示例范围。表格5亦包括基于宽度和长度的范围的沟道宽长比率的最小值和最大值。表格5还提供了像素驱动电路的一个实施例的宽度、长度和对应的宽长比率。

[0192] 表格5:电路配置600的晶体管尺寸实施例

[0193]

晶体管	宽度 (μm)	长度 (μm)	宽长比率 (最小值)	宽长比率 (最大值)	宽度、长度 实施例 (μm)	宽长比率 实施例
T1(IGZO)	2-6	12-25	0.080	0.5	3、15	0.200
T2(LTPS)	2-6	2-12	0.167	3	3、(3+3)	0.500
T3(LTPS)	2-6	2-12	0.167	3	3、(3+3)	0.500
T4(LTPS)	2-6	2-12	0.167	3	3、3	1.000

[0194] 与前述讨论内容一致，驱动晶体管T1、数据输入晶体管T2、重置晶体管T3、发射晶体管T4与IGZO半导体材料、LTPS半导体材料或不同半导体材料的其它组合也可被实现。此外，双栅极特征可以扩展到其他电路配置，例如图4A的电路配置400(具有类似的优点)。举例而言，电路配置400可被修改，使得驱动晶体管T1由IGZO半导体材料形成，而数据输入晶体管T2和重置晶体管T3由LTPS半导体材料形成。驱动晶体管T1、数据输入晶体管T2、重置晶体管T3的尺寸通常对应于表格5所提供的范围。数据输入晶体管T2和重置晶体管T3具有双栅极晶体管的实现方式，借以减轻LTPS半导体材料的漏电流。

[0195] 图6B和图6C是依据本发明实施例的双栅极晶体管配置625、650的示意图。图6B所示的晶体管配置625通常可用于将单个(或共通)输入对应两个栅极的任何双栅极晶体管，例如图6A所示的双栅极晶体管605、610。图6C所示的晶体管配置650通常可用于将两个独立输入对应两个栅极的双栅极晶体管，例如双栅极晶体管。

[0196] 晶体管配置625、650各自包括第一源极/漏极端630A和第二源极/漏极端630B。尽管未明确描述，但是第一源极/漏极端630A和第二源极/漏极端630B可透过导电接触点耦接显示装置的在相同层的其他电路及/或在其它层的其他电路。第一源极/漏极端630A和第二源极/漏极端630B被设置在半导体层640的两个相对侧。第一源极/漏极端630A透过第一通孔632A耦接半导体层640，且第二源极/漏极端630B透过第二通孔632B耦接半导体层640。第一通孔632A和第二通孔632B穿过设置在半导体层640和第一源极/漏极端630A(或第二源极/漏极端630B)之间的绝缘层。在晶体管配置625中，单个栅极端635的两个部分与半导体层640重叠。第一沟道642A和第二沟道642B位于第一源极/漏极端630A和第二源极/漏极端630B之间，且第一沟道642A和第二沟道642B分别定义相对应的宽度W和相对应的长度L(两个沟道的宽度W和长度L可以相同或不同)，借以描述晶体管的沟道宽长比率。在晶体管配置650中，两个不同的栅极端635A、635B与沟道640重叠，且每个栅极端635A、635B与半导体层640重叠并对应第一沟道642A和第二沟道642B。第一沟道642A和第二沟道642B分别定义相

对应的宽度W和相对应的长度L,借以描述晶体管的沟道宽长比率。

[0197] 图13是依据本发明实施例的像素驱动电路的电路配置1300的示意图。电路配置1300表示图2的像素驱动电路200的一种可能的实施方式。电路配置1300包括驱动晶体管T1、数据输入晶体管T2、重置晶体管T3、发射晶体管T4和补偿晶体管T5。补偿晶体管T5包括第五控制端1305。补偿晶体管T5表示补偿元件225(图2)的一个实施例,补偿晶体管T5用于补偿半导体材料的不良的临界电压均一性及/或电路配置1300的不同类型的半导体材料的不同临界电压。基于在第五控制端1305接收的第四控制信号(启动信号Enable[n]的电流值),补偿晶体管T5经由补偿晶体管T5的第五沟道,将发射晶体管T4耦接至第二参考电压 V_{ref} 。在电路配置1300中,扫描信号Scan[n]的电流值是提供给数据输入晶体管T2的第一控制端405的第一控制信号,亦是提供给重置晶体管T3的第三控制端415的第二控制信号。提供给发射晶体管T4的第四控制端505的第三控制信号是扫描信号的未来值Scan[n+3]。第一电容C2耦接在驱动晶体管T1的第二控制端子410和节点1310之间,且第二电容C3耦接在节点1310和输入节点420之间。

[0198] 在一个实施例中,驱动晶体管T1由IGZO半导体材料所形成,且数据输入晶体管T2、重置晶体管T3、发射晶体管T4和补偿晶体管T5是由LTPS半导体材料所形成。在一些实施例中,数据输入晶体管T2及/或重置晶体管T3使用双栅极的实现方式以减轻漏电流。驱动晶体管T1、数据输入晶体管T2、重置晶体管T3和发射晶体管T4的尺寸通常可以对应于表格5所提供的尺寸,且补偿晶体管T5的尺寸与表格5中的数据输入晶体管T2、重置晶体管T3或发射晶体管T4相同。

[0199] 在另一个实施例中,发射晶体管T4透过LTPS半导体材料来形成以改善稳定性,且驱动晶体管T1、数据输入晶体管T2、重置晶体管T3和补偿晶体管T5由IGZO半导体材料。在其他实施例中,数据输入晶体管T2和重置晶体管T3的其中之一可以由LTPS半导体材料形成。驱动晶体管T1、数据输入晶体管T2、重置晶体管T3和发射晶体管T4的尺寸通常可以对应于表格3所提供的尺寸,且补偿晶体管T5的尺寸与表格3中的驱动晶体管T1、数据输入晶体管T2或重置晶体管T3相同。

[0200] 显示装置的结构实施例

[0201] 图7-9是依据本发明实施例的显示装置的示意图。更加具体而言,图7描绘显示装置700的剖面图。显示装置700包括在一个子像素内的两个发光二极管235-1、235-2以及对应于图6所示的电路配置600的像素驱动电路。驱动晶体管T1、数据输入晶体管T2、重置晶体管T3、发射晶体管T4由半导体材料(例如LTPS)形成,且被配置在显示装置的有源区域125内。

[0202] 显示装置700包括多个层,包括基底层705(或基底)、缓冲层710、栅极绝缘层715、介电(interlayer dielectric)层720、介电层725、平坦化(planarization)层730、像素定义(pixel define)层735和钝化(passivation)层740、745。基底层705的材料可以是玻璃、塑料、金属箔(metal foil)或其他适合用于支撑的材料。缓冲层710、栅极绝缘层715、介电层720、介电层725、平坦化层730、像素定义层735和钝化层740、745可为单层或多层。缓冲层710、栅极绝缘层715、介电层720、介电层725、平坦化层730、像素定义层735和钝化层740、745皆可称为介电层,且其材料可以包括无机绝缘材料(例如氮化硅(silicon nitride)、氧化硅(silicon oxide)、氮氧化硅(silicon oxynitride)、氧化铝(aluminium oxide)或具

有绝缘性质的其它材料)、有机绝缘材料或无机材料与有机材料的组合。于俯视方向上,像素驱动电路与有源区域125内的基底705的第一区域重叠,并且栅极驱动电路785与栅极驱动器区域130内的基底705的第二区域重叠。虽然在显示装置700中示出了各种示例性层,其他实施例可以包括不同数量及/或组成的层。

[0203] 用于驱动晶体管T1、数据输入晶体管T2、重置晶体管T3、发射晶体管T4的栅极端是形成在第一导电层750内。数据输入晶体管T2和重置晶体管T3都具有双栅极的实现方式。驱动晶体管T1包括用于与其他层形成储存电容Cst的控制(栅极)端410和电极层754。控制端410和电极层754耦接。栅极绝缘层715将半导体层752(例如LTPS)与第一导电层750分离。半导体层752形成驱动晶体管T1、数据输入晶体管T2、重置晶体管T3、发射晶体管T4的沟道。

[0204] 第一导电连结755从导电层790延伸穿过栅极绝缘层715和介电层720、725并且耦接半导体层752。第一导电连结755将输入数据信号Data耦接至数据输入晶体管T2的源极/漏极端。第二导电连结760从导电层790延伸穿过栅极绝缘层715和介层720、725并耦接半导体层752。第二导电连结760将供应电压VDD耦接至发射晶体管T4的源极/漏极端。第三导电连结780从导电层790延伸穿过栅极绝缘层715和介电层720、725并耦接半导体层752。第三导电连结780将参考电压 V_{ini} 耦接至重置晶体管T3的源极/漏极端。

[0205] 在本实施例中,储存电容Cst由储存电容Cst1(表示驱动晶体管T1的电极层754与形成输入节点420的一部分的导电连结756之间的电容)与储存电容Cst2(表示电极层754与半导体层752内的驱动晶体管T1的一部分元件758之间的电容)并联所组成。在一些实施例中,于俯视方向上,驱动晶体管T1与基底705的第一区域重叠,且储存电容Cst与基底705的第二区域重叠。发光二极管235-1及/或235-2与第一区域和第二区域的至少其中之一重叠。

[0206] 每一个发光二极管235-1、235-2的第一端经由与平坦化层730和像素定义层735部分重叠的导电层762与输入节点420耦接。每一个发光二极管235-1、235-2的第二端经由形成在钝化层740、745之间的导电层765与共通电压(VCOM)节点770耦接。在一些实施例中,发光二极管235-1、235-2的第一端为阳极,且发光二极管235-1、235-2的第二端为阴极。在其他实施例中,第一端为阴极,且第二端为阳极。导电连结(共通电压节点770)延伸穿过钝化层740、像素定义层735和平坦化层730,且将导电层765与共通电压节点775耦接。于俯视方向上,共通电压节点775与基底705的第二区域重叠。在一些实施例中,共通电压节点775被设置在导电层750内并且与提供共通电压的集成电路耦接。

[0207] 图8描绘显示装置800的剖面图。显示装置800包括两个发光二极管235-1、235-2和像素驱动电路。显示装置800与图7的显示装置700的不同的处在于,显示装置800包括形成在氧化物半导体层815内的一个或多个晶体管,其包括第二沟道830和第三沟道835。显示装置800包括在介电层725和平坦化层730之间的介电层805、810。介电层805、810可以是单层的或多层的。介电层805、810可以包括无机绝缘材料(例如氮化硅,氧化硅,氮氧化硅,氧化铝或其他具有绝缘性质的材料)、有机绝缘材料或无机材料与有机材料的组合。

[0208] 如图所示,驱动晶体管T1的第二沟道830和重置晶体管T3的第三沟道835形成在氧化物半导体层815内(例如IGZO半导体材料层)。驱动晶体管T1的源极/漏极端840形成在氧化物半导体层815中,并且形成耦接导电层762、发光二极管235-1、235-2的输入节点420的一部分。数据输入晶体管T2的第一沟道和发射晶体管T4的第四沟道形成在半导体层752中。

在其他实施例中,可在半导体层752和氧化物半导体层815中具有不同的晶体管分布。

[0209] 如图所示,导电连结820提供共通电压(common voltage)至导电层765。不同于延伸穿过显示装置800的多个不同层,导电连结820耦接共通电压节点825。共通电压节点825与栅极驱动器区域130重叠。在一些实施例中,共通电压节点825被设置在与导电连结820相同的平面中,并且耦接提供共通电压的集成电路。

[0210] 图9描绘显示装置900的剖面图。显示装置900包括氧化物半导体层815内的驱动晶体管的第二沟道830,以及数据输入晶体管T2的沟道、重置晶体管T3和半导体层752内的发射晶体管T4。

[0211] 共通/接地线的配置实施例

[0212] 图10A-10C是依据本发明实施例的显示装置内的共通线或接地线的配置1000、1025、1050的示意图。配置1000、1025、1050通常可以与本发明实施例所讨论的任何显示装置一起使用。

[0213] 图10A描绘显示装置的一部分的剖面图。更加具体而言,为了清楚起见,图示中省略了像素驱动电路的一部分。在配置1000内,共通电压节点1010被布置在钝化层740、745之间的导电层1005中。导电层1005可以由任何合适的导电材料所形成,例如金属或透光导电材料(例如氧化铟锡(indium tin oxide)ITO或IZO)。

[0214] 共通电压节点1010耦接导电层765(与一或多个发光二极管连接)。如图所示,共通电压节点1010由在导电层1005中从有源区域125延伸至栅极驱动器区域130的导线145以及被设置在导电层1005内且在栅极驱动器区域130内的导电环140所形成。

[0215] 在图10B的配置1025内,共通电压节点1030由与有源区域125内的导电层765耦接的导电线145形成,并且延伸穿过钝化层740、像素定义层735、平坦化层730以及介电层810至形成在氧化物半导体层815中的导电连结1035。导电连结1035耦接导电环140,借以被布置为形成在氧化物半导体层815中且在配置1025的一或多层下方的导电连结1040。

[0216] 在图10C的配置1050内,共通电压节点1055耦接有源区域125中的导电层765,并且从有源区域125延伸至栅极驱动器区130。在配置1050中,导电层1005被布置在有源区域125内的钝化层740、745之间,并且当导电层1005延伸到栅极驱动器区域130中时,通常遵循配置1050的轮廓。如图所示,导电层1005遵循由钝化层740、像素定义层735和平坦化层730所形成的轮廓。导电连结1060将共通电压节点1055与导电环140连接,借此被布置为形成在氧化物半导体层815中的导电连结1040。

[0217] 发光二极管与像素驱动电路的直接连接

[0218] 在上述各种显示装置的实施例中,一或多个发光二极管235-1、235-2通过导电层762与像素驱动电路的输入节点耦接,借此可延伸穿过显示装置的一或多个层。图11、12是依据本发明实施例的显示装置中的发光二极管235的配置1100、1200的示意图。

[0219] 在配置1100中,发光二极管235的第一端使用已知的结合技术直接地连接到介面1105处的导电层790。发光二极管235被部分地设置在蚀刻到平坦化层730中(或以其它方式从平坦化层730中移除)的部件中。如图所示,介面1105对应于形成输入节点420的一部分的导电连结756。耦接发光二极管235的第二端的导电层765延伸穿过钝化层740和平坦化层730到导电层790内的导电连结。一般而言,将发光二极管235直接连接到像素驱动电路内的导电层790可以减少显示装置所需的层数,从而简化制造过程及/或减少显示装置的总体尺

寸。

[0220] 在配置1200中,发光二极管235的第一端在介面1205处直接连接到氧化物半导体层815。发光二极管235被部分地设置在蚀刻到介电层810(或以其它方式从介电层810中移除)的部件中。如图所示,介面1205对应形成输入节点420的一部分的氧化物半导体层815内的导电连结。耦接发光二极管235的第二端的导电层765延伸穿过钝化层740和介电层810到布置在氧化物半导体层815内的导电连结1035。一般而言,将发光二极管235直接连接到像素驱动电路内的氧化物半导体层815可以减少显示装置所需的层数,从而简化制造过程及/或减少显示装置的总体尺寸。

[0221] 虽然本发明已以较佳实施例揭示如上,然其并非用以限定本发明,任何本领域技术人员,在不脱离本发明的精神和范围内,当可作些许的修改和完善,因此本发明的保护范围当以权利要求书所界定的为准。

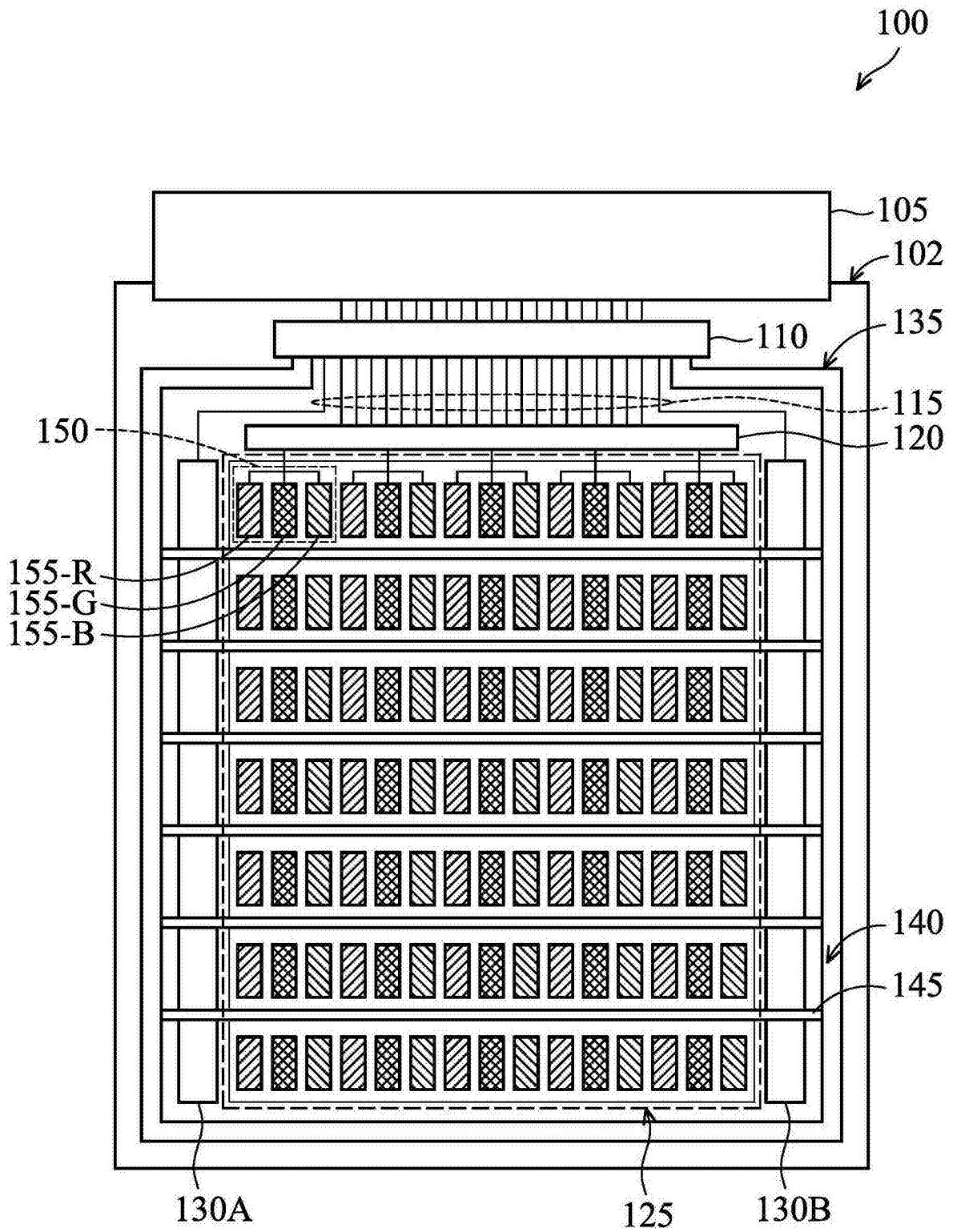


图1

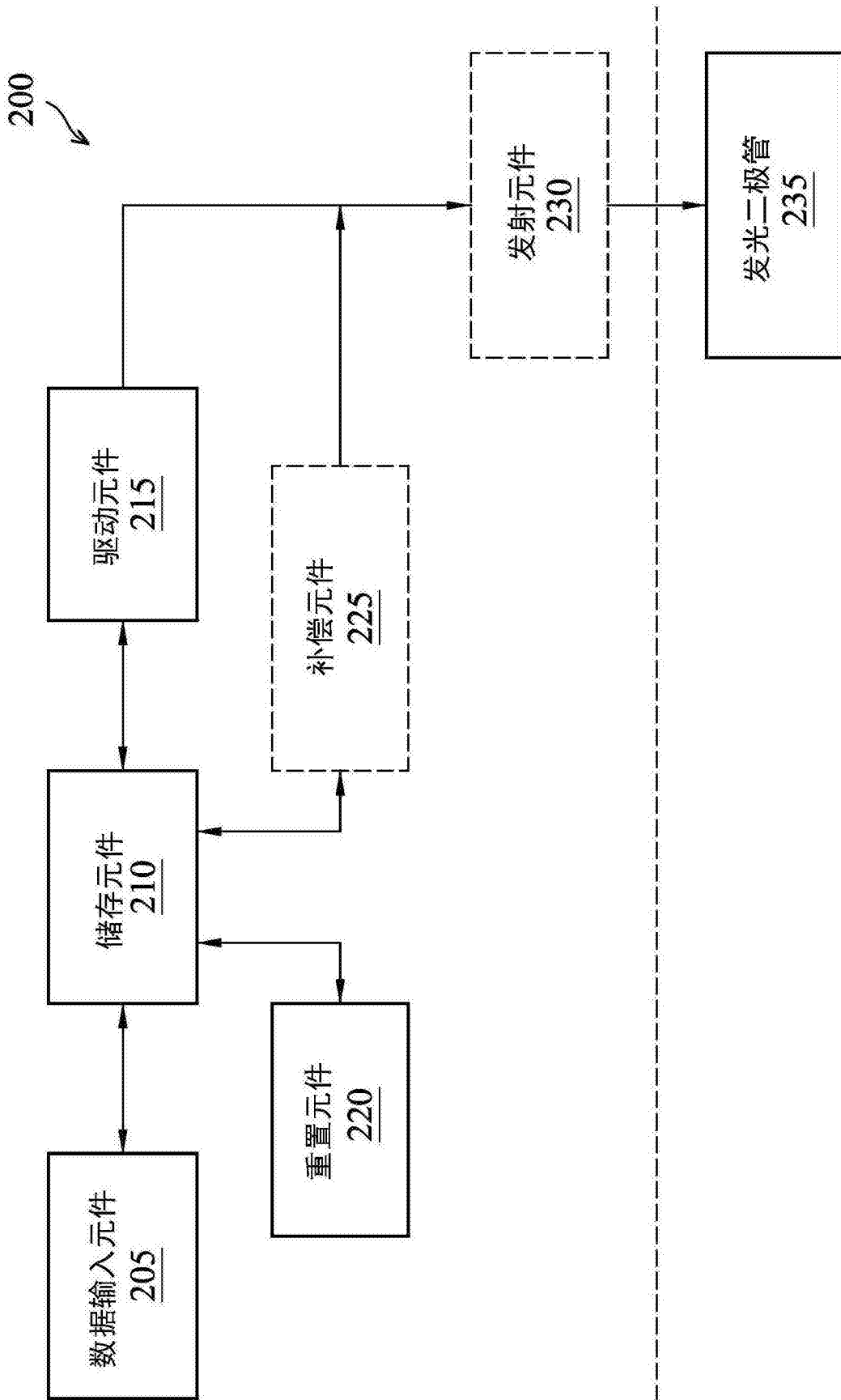


图2

300 ↘

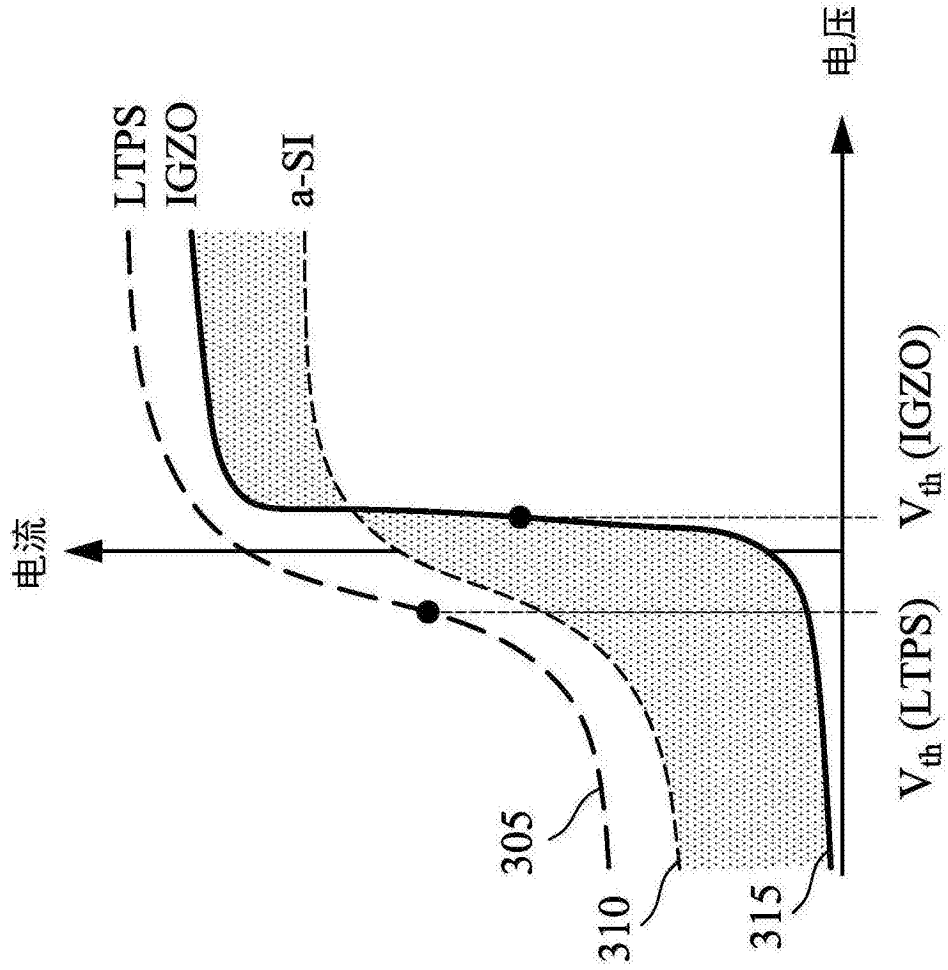


图3

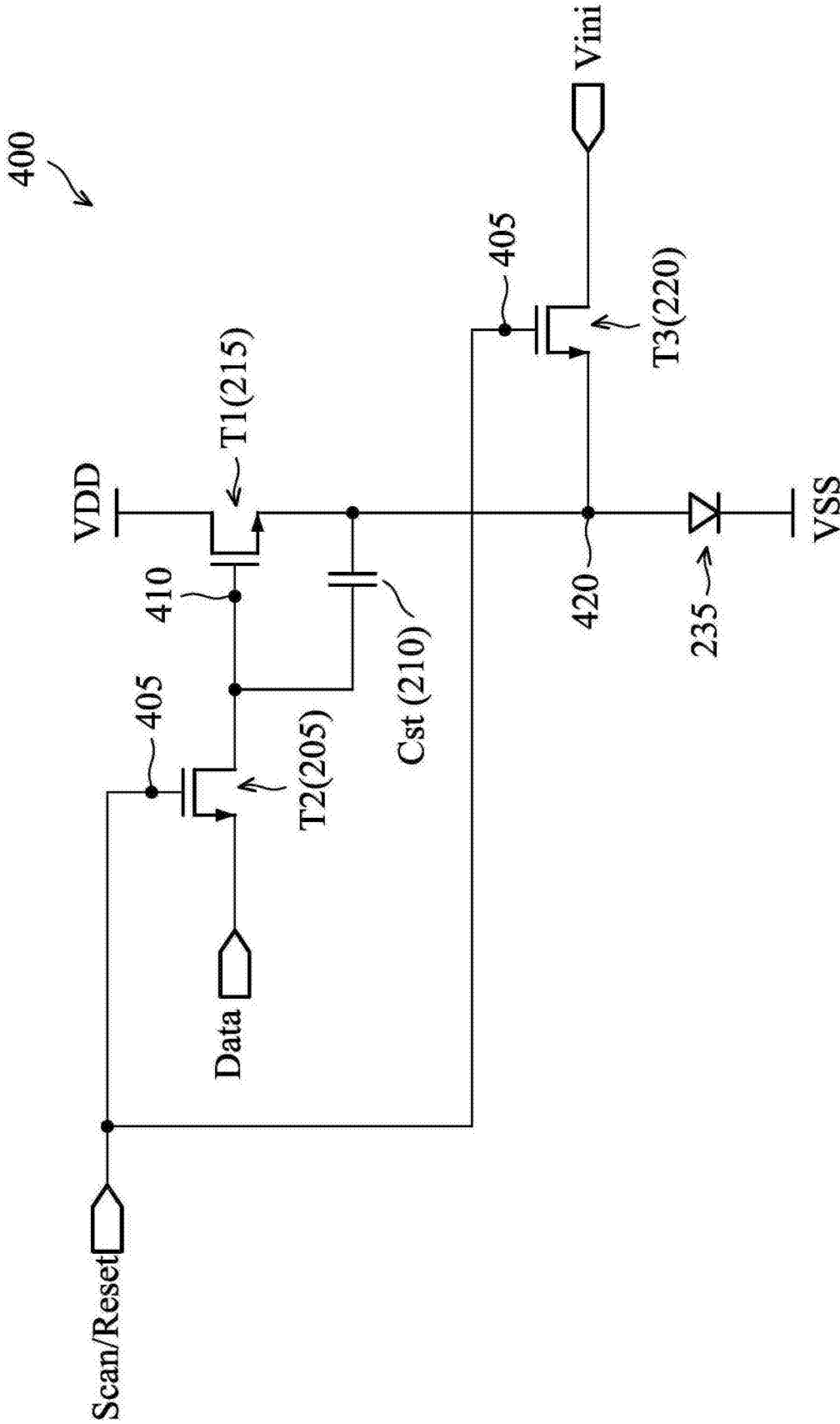


图4A

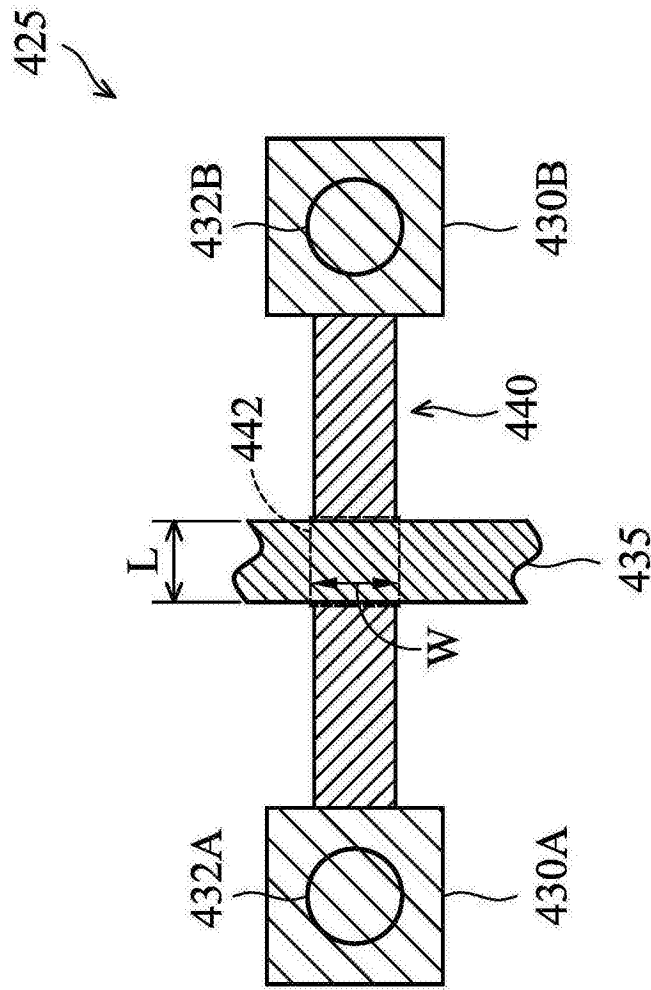


图4B

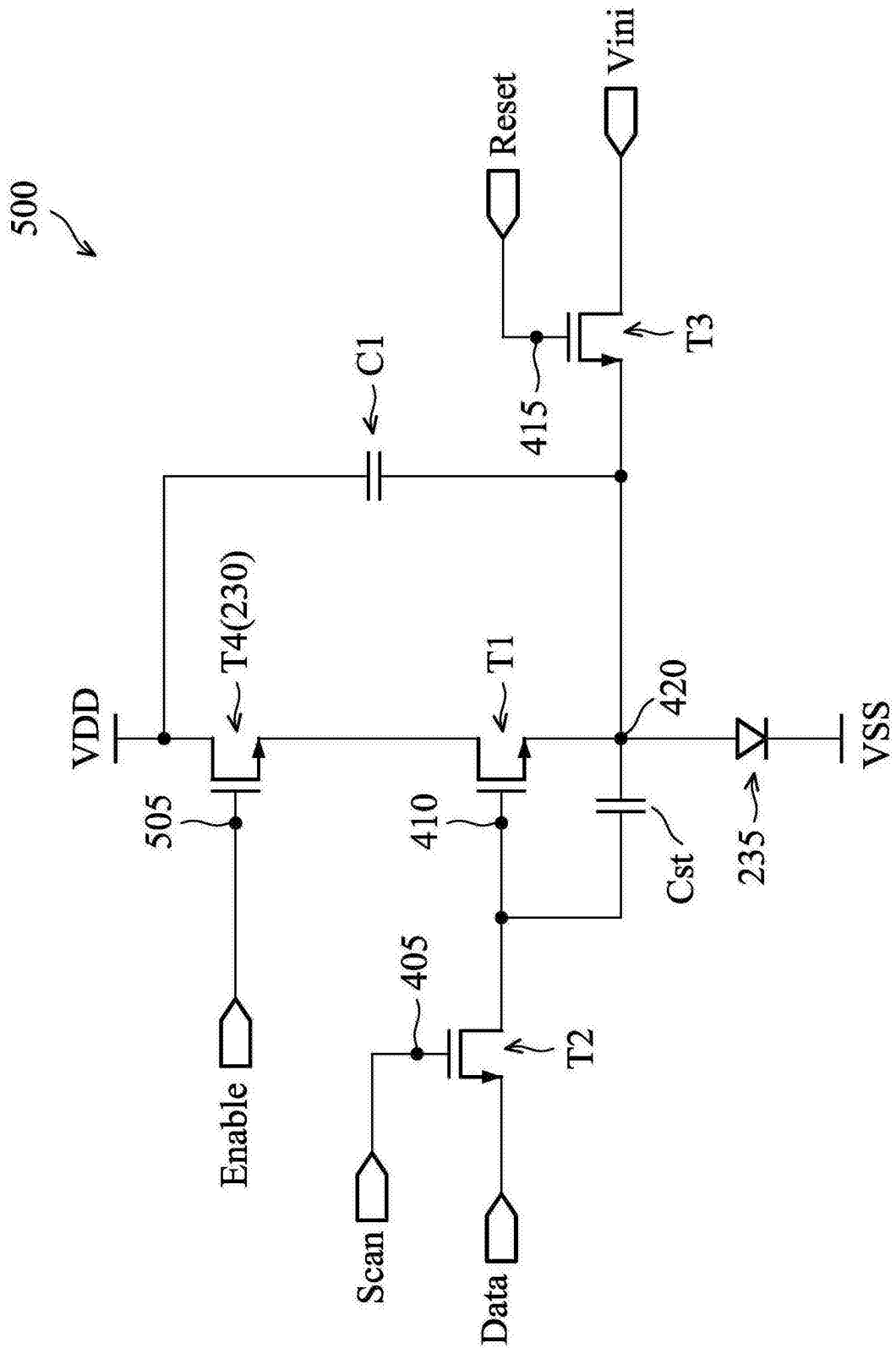


图5

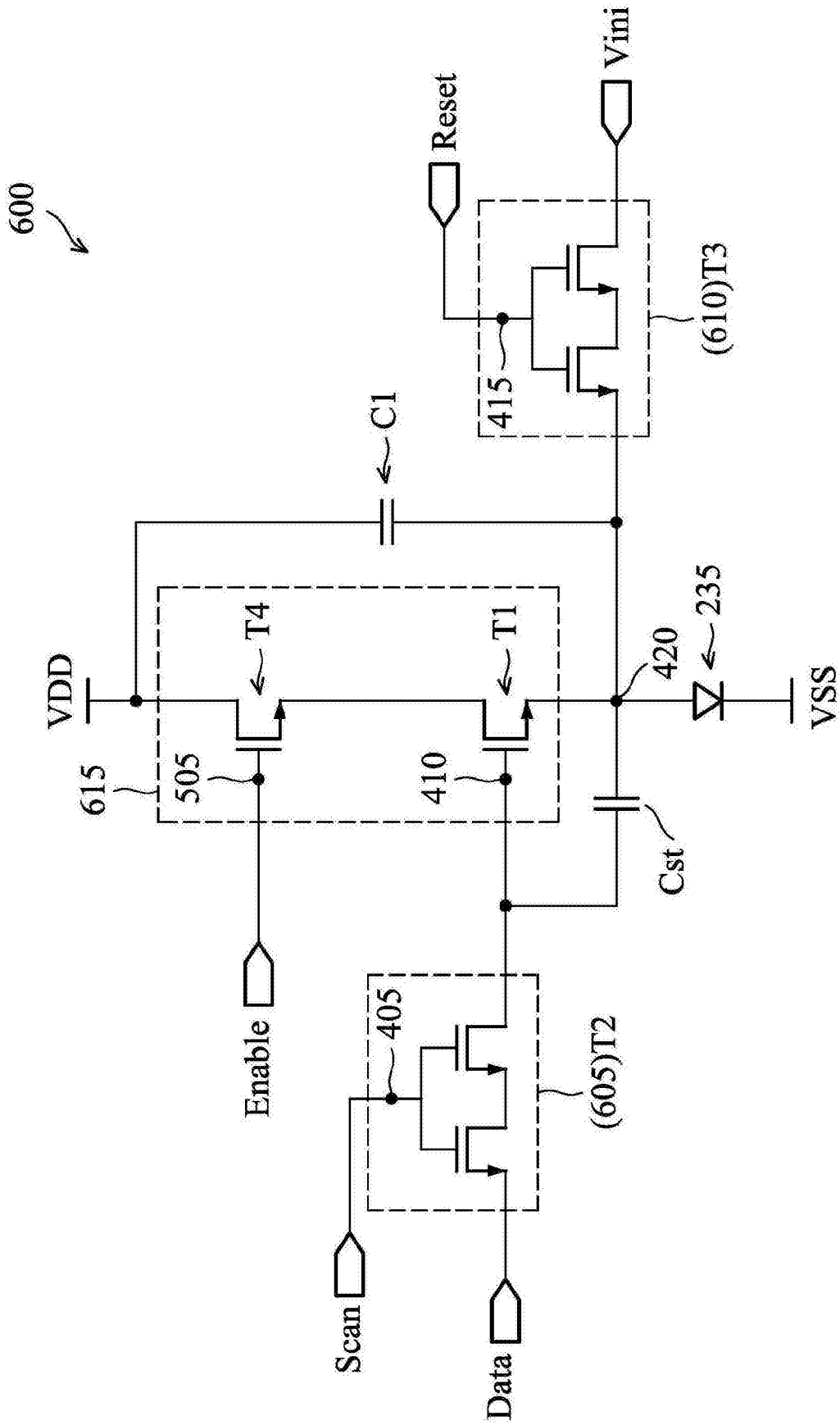


图6A

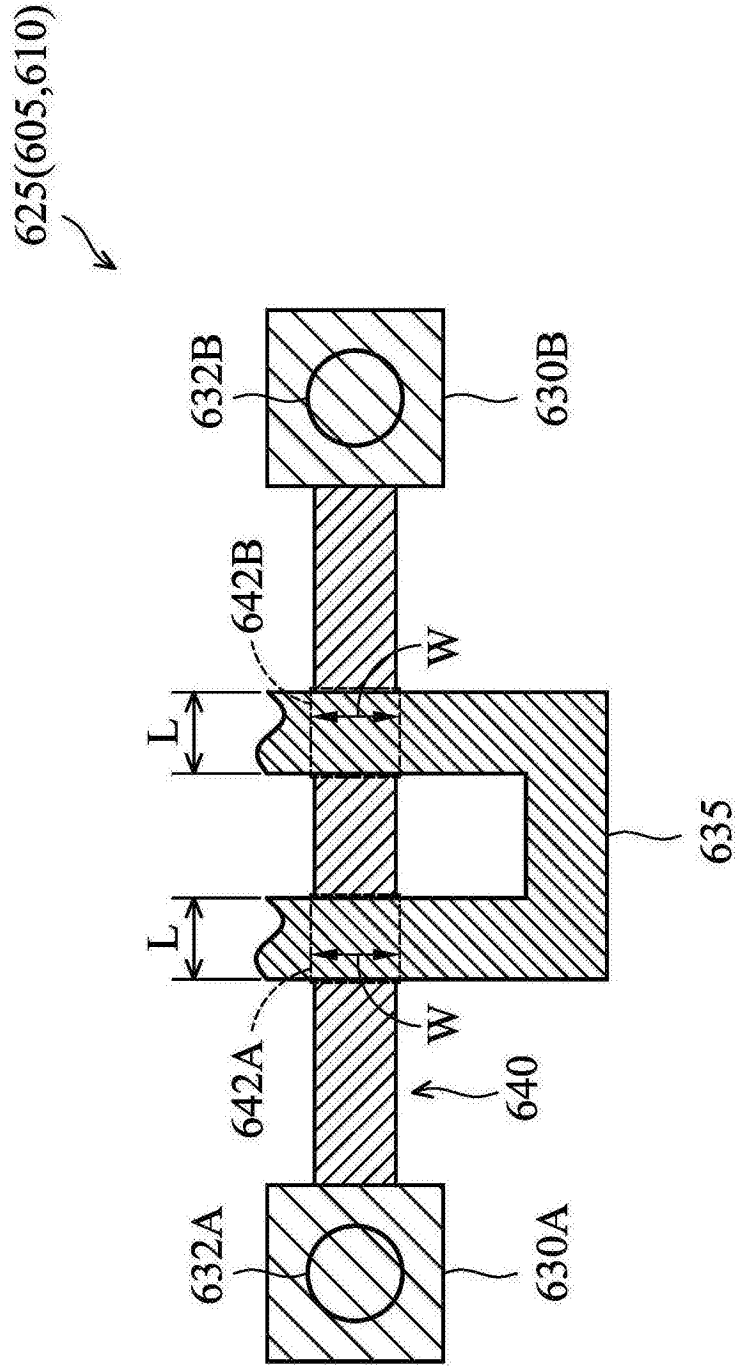


图6B

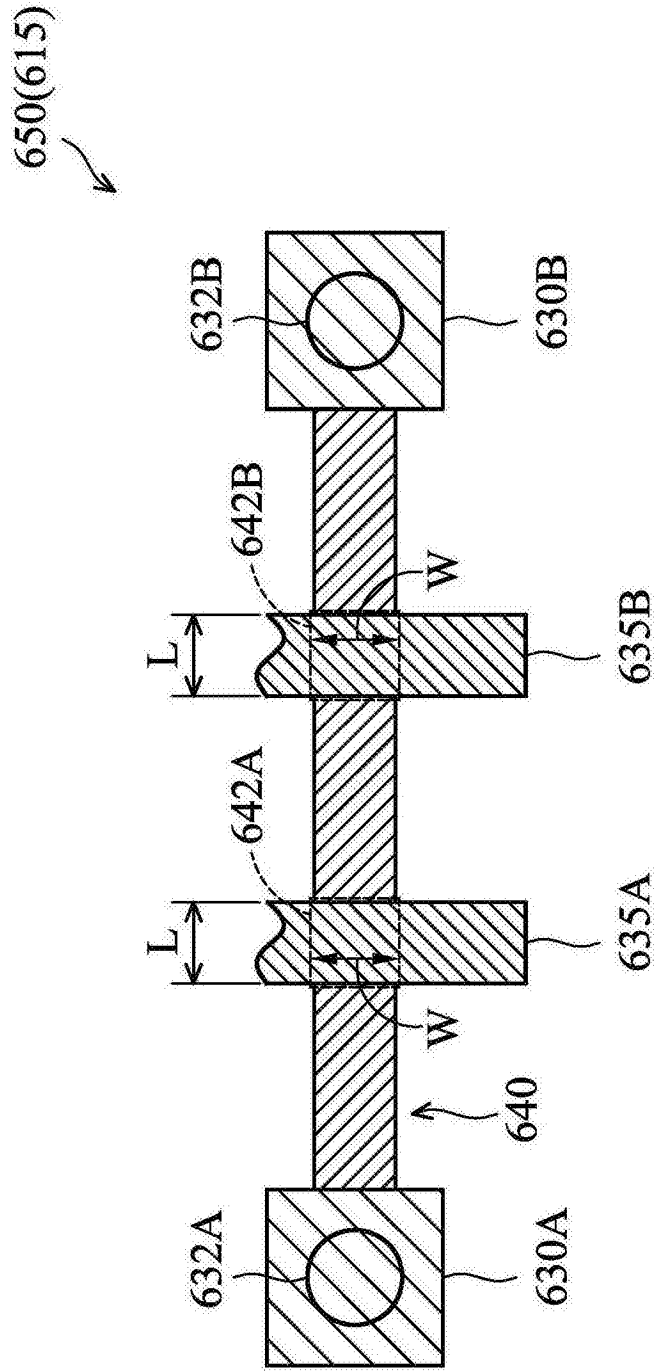


图6C

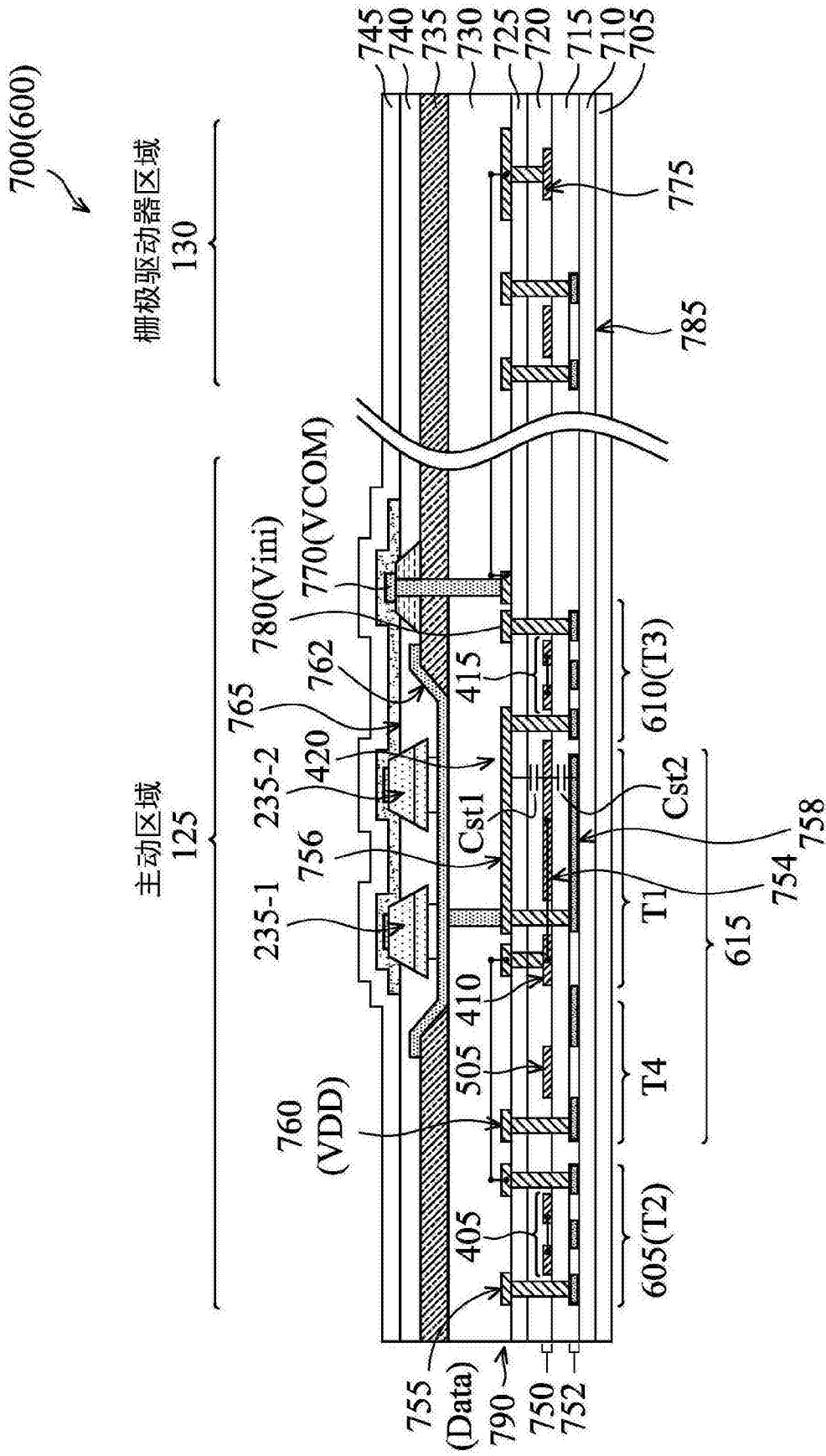


图7

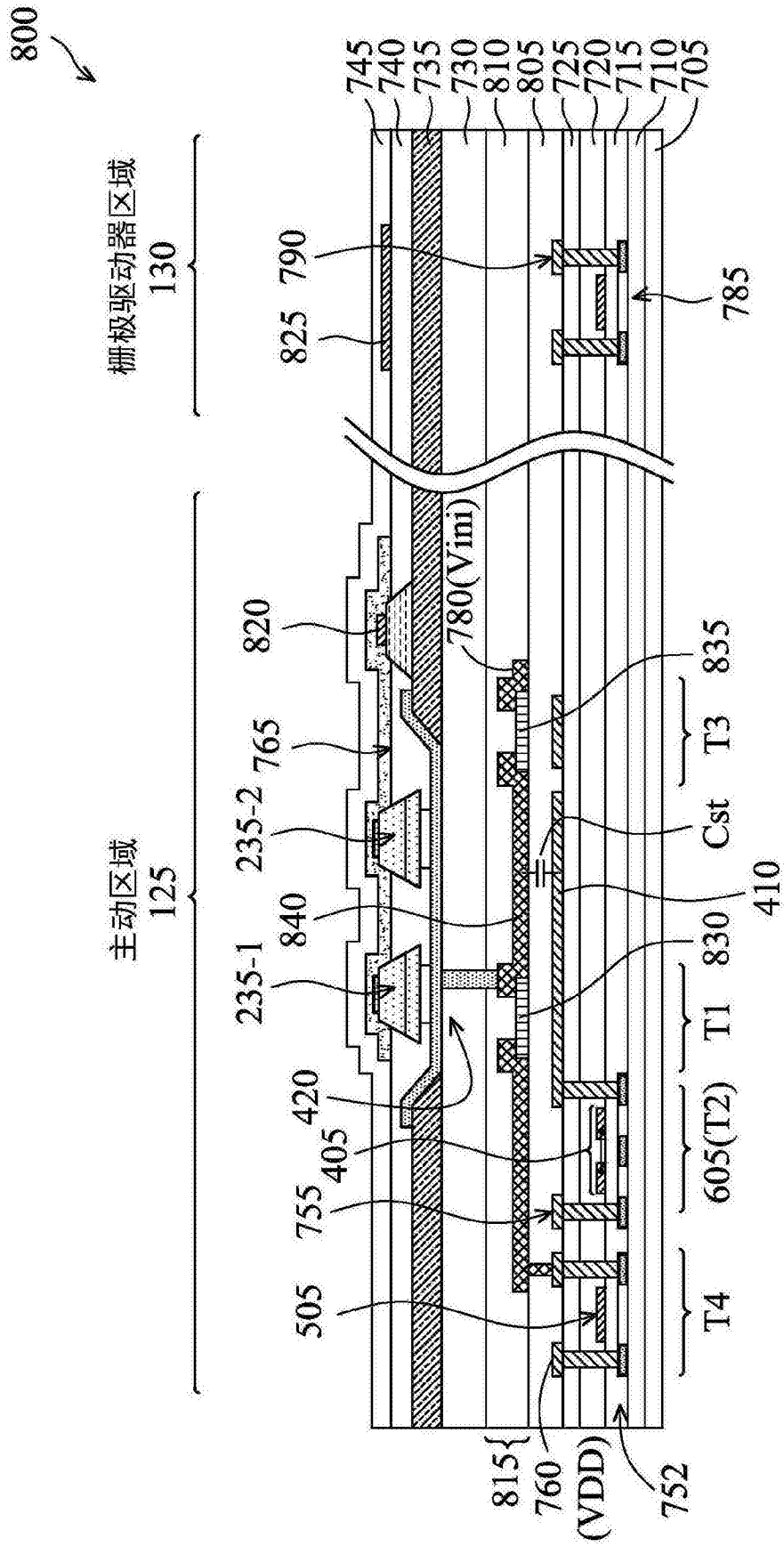


图8

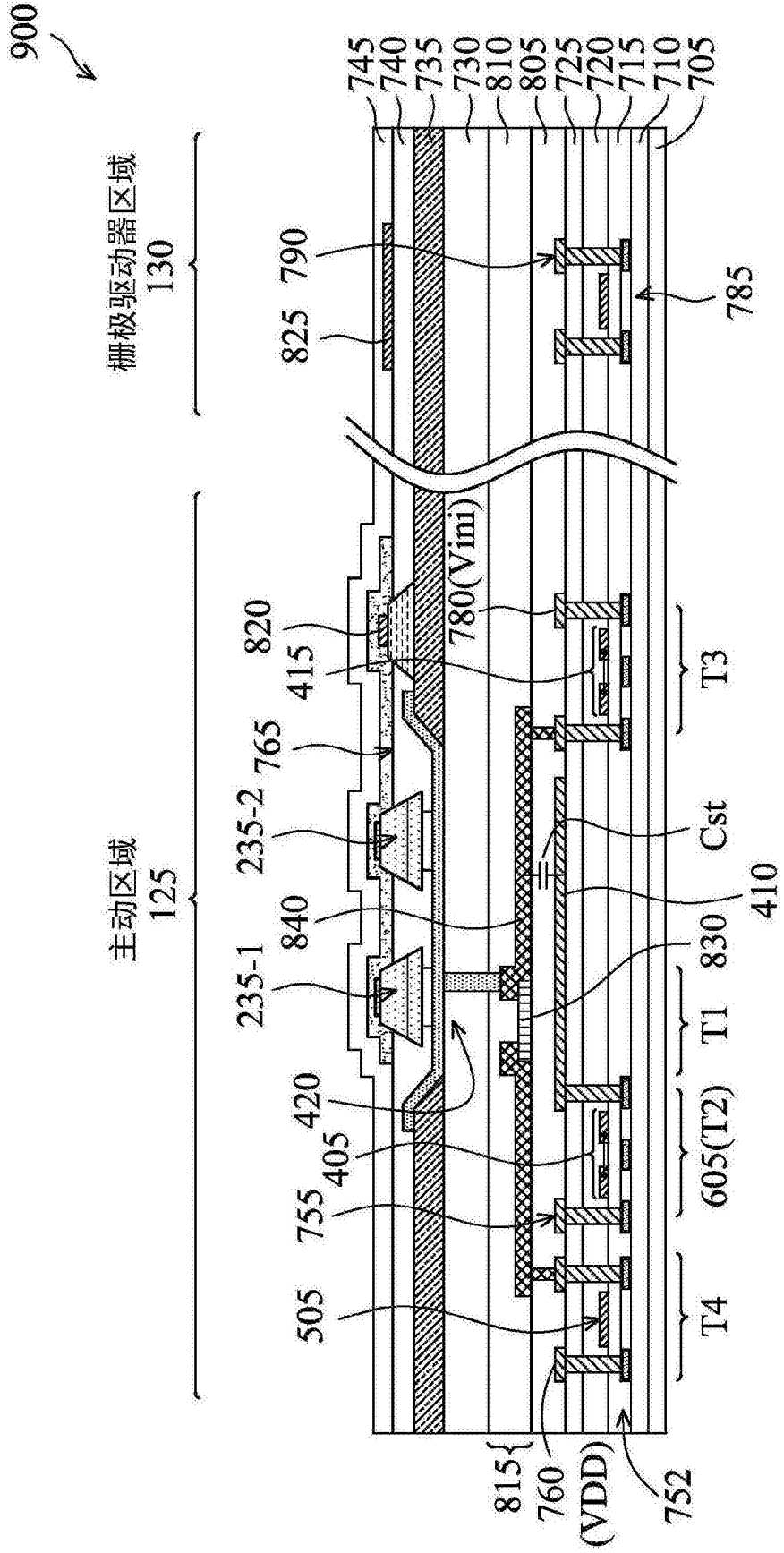


图9

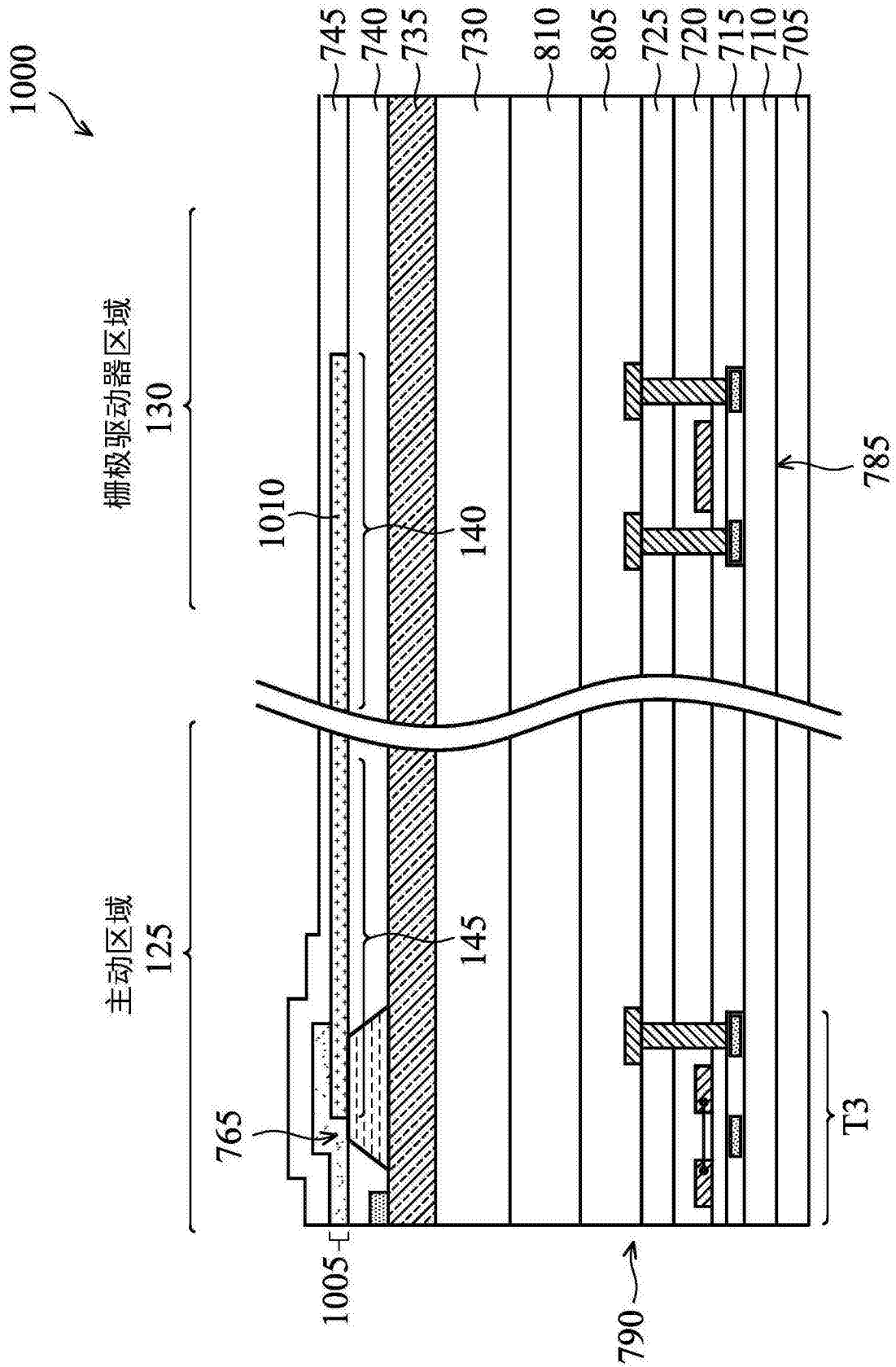


图10A

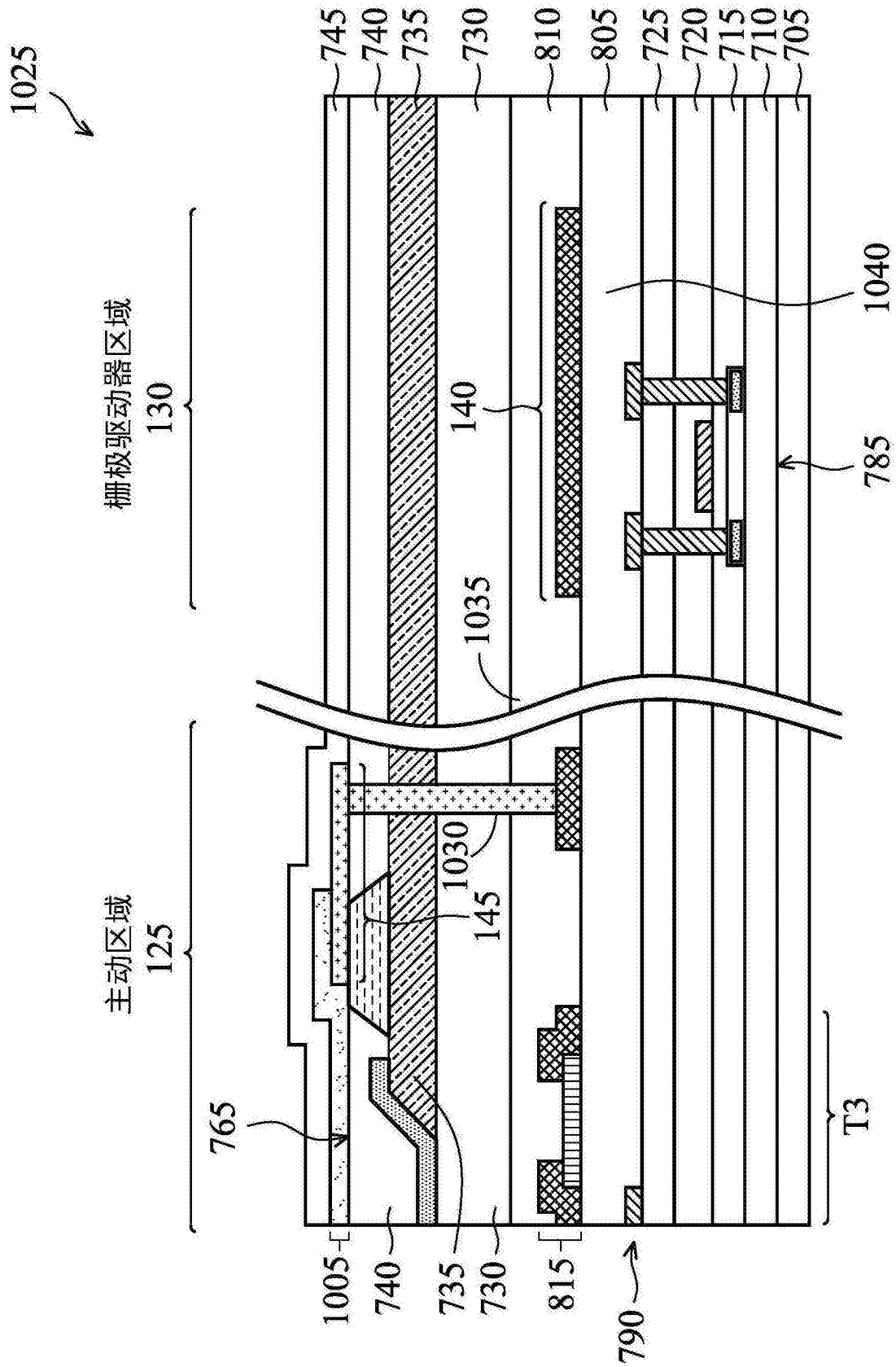


图10B

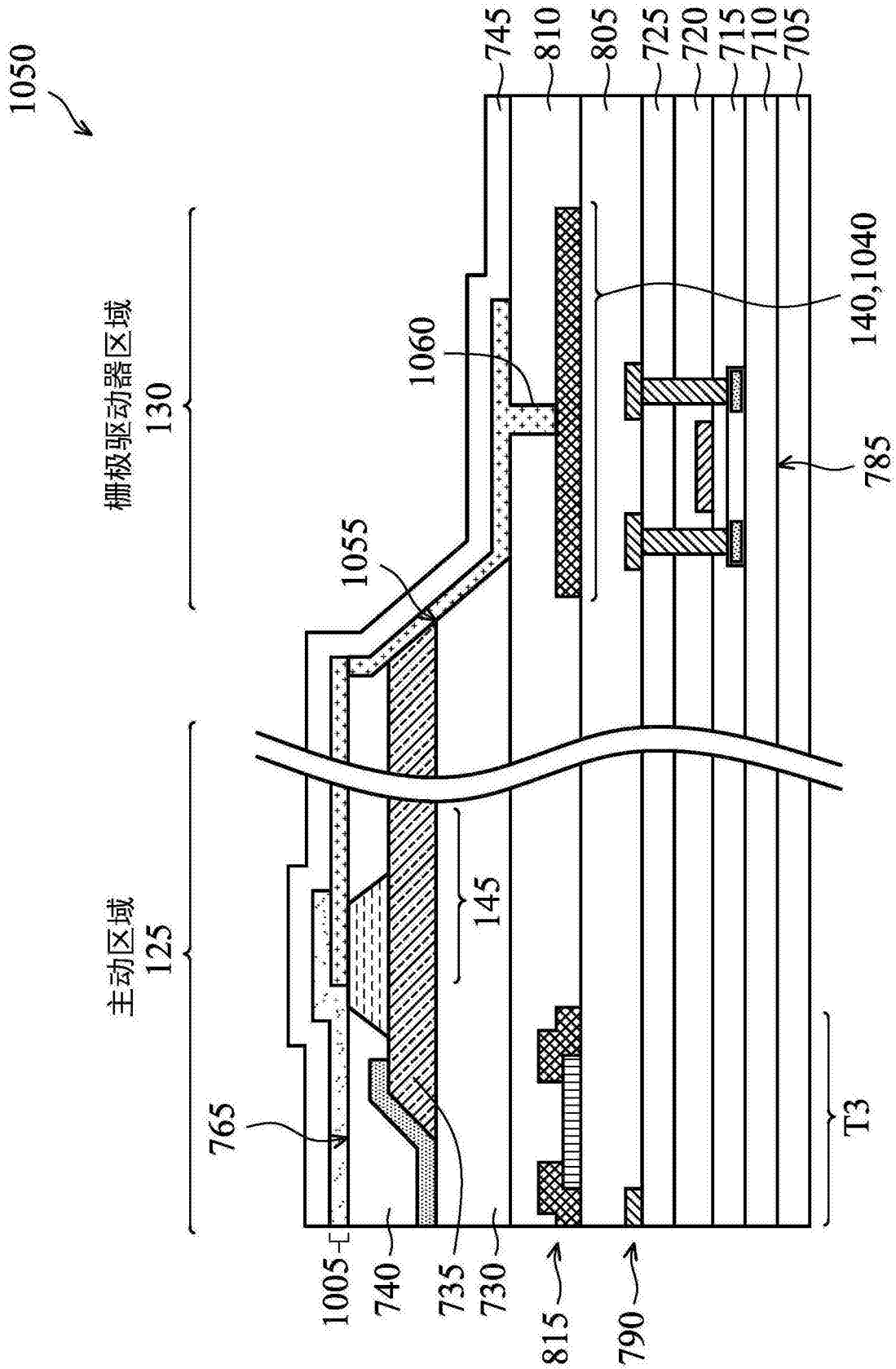


图10C

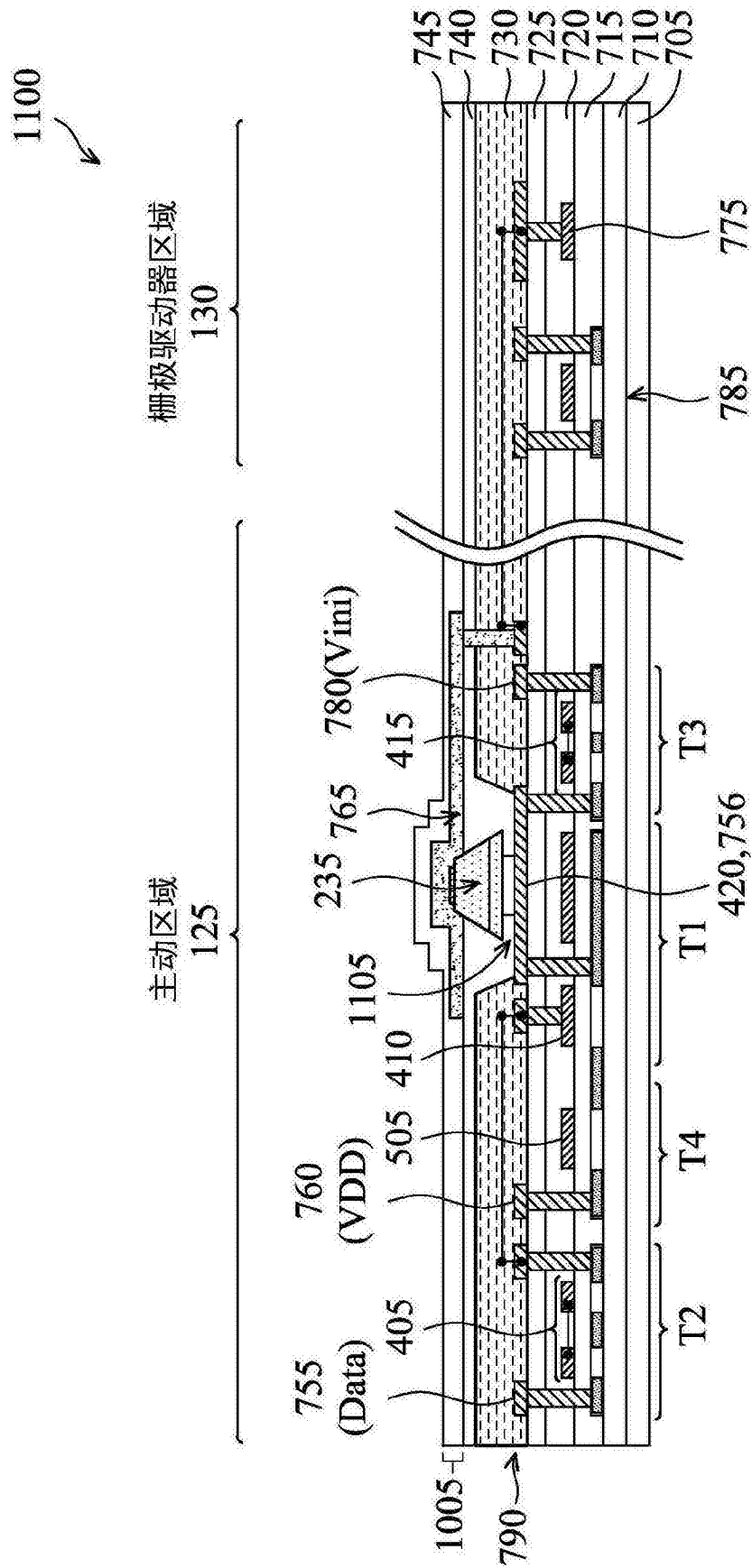


图11

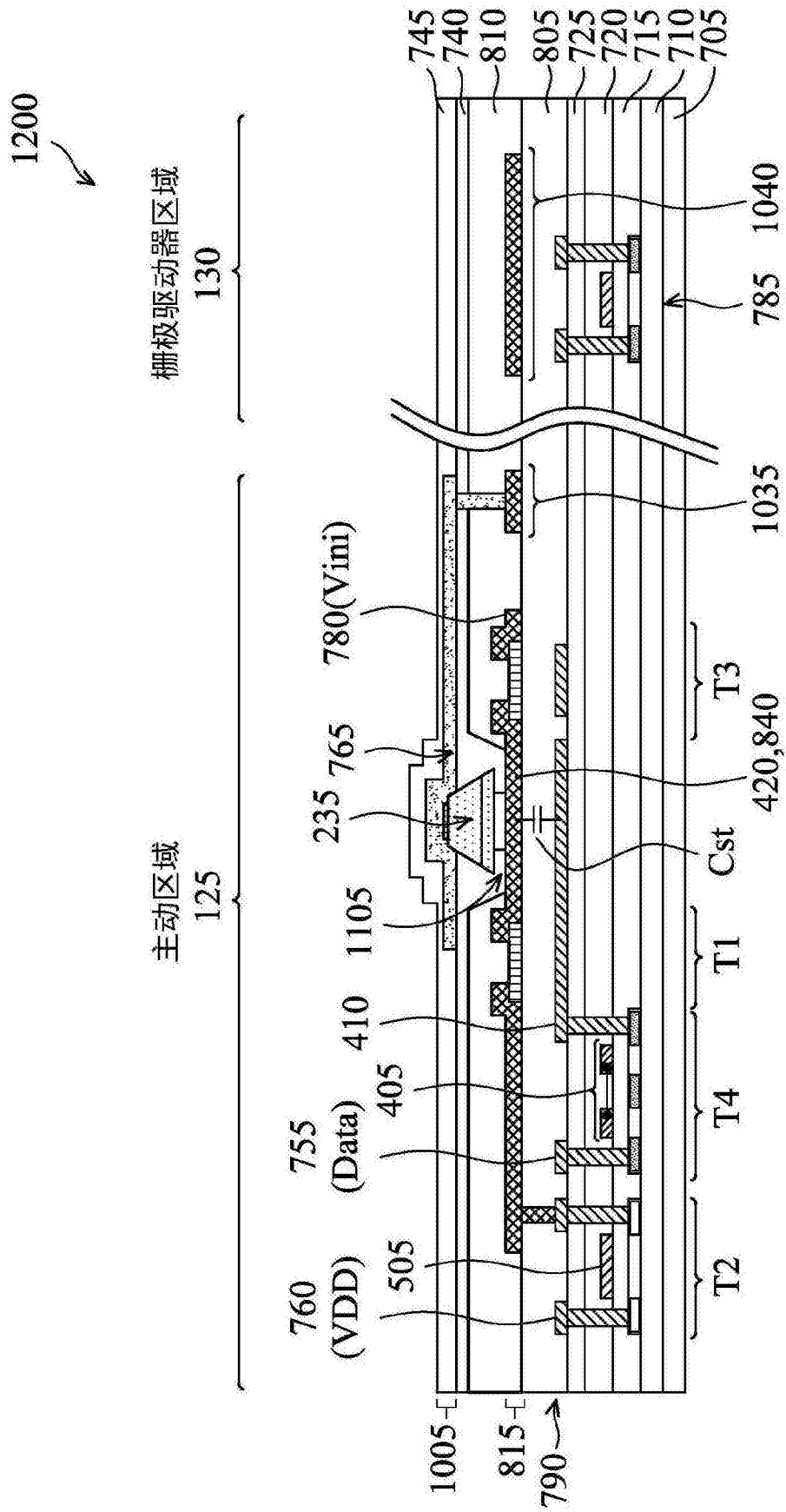


图12

