(19)中华人民共和国国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 102148059 A
(43)申请公布日 2011.08.10

(21)申请号 201110034906.1

(22)申请日 2011.02.09

(30)优先权数据
11989/10 2010.02.09 KR
61/356,712 2010.06.21 US

(71)申请人 三星电子株式会社
地址 韩国京畿道

(72)发明人 韩真晚 蔡东赫

(74)专利代理机构 北京市柳沈律师事务所 11105
代理人 邵亚丽

(51)Int.Cl.
G11C 16/02(2006.01)
G11C 16/14(2006.01)
G11C 16/08(2006.01)

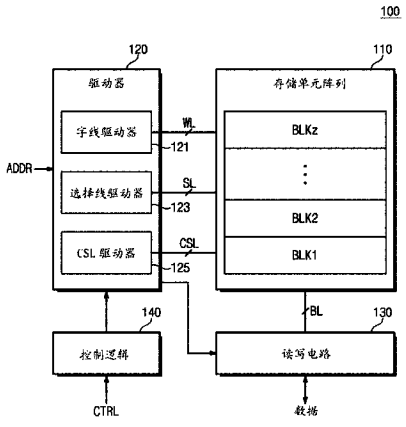
权利要求书 2 页 说明书 17 页 附图 29 页

(54)发明名称

非易失性存储器件、其操作方法和包括其的存储系统

(57)摘要

提供了非易失性存储器件、其操作方法以及包括该非易失性存储器件的存储系统。在所述操作方法中，可以被浮置连接到位线的第一串的地选择线。可以向连接到所述位线的第二串的地选择线施加擦除禁止电压。可以向所述第一串和第二串施加擦除操作电压。



CN 102148059 A

1. 一种操作方法，包括：

浮置连接到位线的第一串的地选择线；

向连接到所述位线的第二串的地选择线施加擦除禁止电压；以及

向所述第一串和第二串施加擦除操作电压。

2. 如权利要求 1 所述的操作方法，其中，所述第一串和第二串包括在垂直于衬底的方向上堆叠的多个存储单元。

3. 如权利要求 1 所述的操作方法，其中，所述擦除禁止电压大于连接到所述第二串的地选择线的地选择晶体管的阈值电压。

4. 如权利要求 1 所述的操作方法，其中，施加擦除操作电压包括：

向连接到所述第一串和第二串的多条字线施加地电压，以及

向连接到所述第一串和第二串的共源线施加擦除电压。

5. 如权利要求 1 所述的操作方法，其中，施加擦除操作电压包括：

浮置连接到所述第一串和第二串的多条字线，

向连接到所述第一串和第二串的共源线施加预电压，

向所述共源线施加擦除电压，以及

向所述多条字线施加地电压。

6. 如权利要求 1 所述的操作方法，还包括：

向所述第二串的第二地选择线施加第二擦除禁止电压。

7. 如权利要求 6 所述的操作方法，其中，所述第二擦除禁止电压小于所述擦除禁止电压。

8. 如权利要求 6 所述的操作方法，其中，所述第二擦除禁止电压大于连接到所述第二串的第二地选择线的第二地选择晶体管的阈值电压。

9. 如权利要求 6 所述的操作方法，还包括：

向所述第二串的串选择线施加第三擦除禁止电压。

10. 一种非易失性存储器件，包括：

存储单元阵列，其包括连接在位线和共源线之间的第一串和第二串存储单元，所述串各自连接到至少一条字线、至少一条选择线以及至少一条地选择线；

驱动器，其被配置为向所述字线、选择线、地选择线和所述共源线施加电压，该驱动器被配置为在擦除操作期间，向所述第一串的第一字线和所述第二串的第二字线施加相同的电压，并且向所述第一串的第一地选择线和所述第二串的第二地选择线施加不同的电压；以及

读写电路，其被配置为向所述第一串和第二串的存储单元写入数据以及从所述第一串和第二串的存储单元读出数据。

11. 如权利要求 10 所述的非易失性存储器件，其中，所述驱动器被配置为，在擦除操作期间，浮置所述第一地选择线，向所述第二地选择线施加擦除禁止电压，以及向所述第一字线和第二字线以及所述共源线施加擦除操作电压。

12. 如权利要求 10 所述的非易失性存储器件，其中，所述驱动器被配置为，在擦除操作期间，向所述第一字线和第二字线施加地电压，以及向所述共源线施加擦除电压。

13. 如权利要求 10 所述的非易失性存储器件，其中，所述驱动器被配置为，在擦除操作

期间，将所述第一字线和第二字线的电压从浮置状态改变到地电压，以及将所述共源线的电压从预电压改变到擦除电压。

14. 如权利要求 11 所述的非易失性存储器件，其中，所述驱动器被配置为，在擦除操作期间，向连接到所述第二串的第三地选择线施加第二擦除禁止电压。

15. 如权利要求 14 所述的非易失性存储器件，其中，所述第二地选择线在所述第三地选择线与所述共源线之间，并且

所述第二擦除禁止电压小于所述擦除禁止电压。

16. 如权利要求 10 所述的非易失性存储器件，其中，所述第一串和第二串的存储单元在垂直于衬底的方向上堆叠。

17. 如权利要求 10 所述的非易失性存储器件，其中所述第一字线和第二字线被电连接。

18. 一种存储系统，包括：

非易失性存储器件，包括，

存储单元阵列，其具有连接在位线和共源线之间的第一串和第二串存储单元，所述串各自连接到至少一条字线、至少一条选择线以及至少一条地选择线；

驱动器，其被配置为向所述字线、选择线、地选择线和所述共源线施加电压，该驱动器被配置为，在擦除操作期间，向所述第一串的第一字线和所述第二串的第二字线施加相同的电压，并且向所述第一串的第一地选择线和所述第二串的第二地选择线施加不同的电压；以及

读写电路，其被配置为向所述第一串和第二串的存储单元写入数据以及从所述第一串和第二串的存储单元读出数据；以及，控制器，其被配置为控制所述非易失性存储器件。

19. 一种半导体驱动器（固态驱动器），包括如权利要求 18 所述的存储系统。

20. 一种存储卡，包括如权利要求 18 所述的存储系统。

非易失性存储器件、其操作方法和包括其的存储系统

[0001] 相关申请的交叉引用

[0002] 本美国非临时专利申请要求于 2010 年 2 月 9 日向韩国知识产权局 (KIPO) 提交的韩国专利申请第 10-2010-0011989 号的优先权以及于 2010 年 6 月 21 日提交的美国临时申请第 61/356,712 号的权益，它们的全部内容通过引用合并于此。

技术领域

[0003] 本发明构思的示例实施例涉及半导体存储器件，更具体地，涉及非易失性存储器件、其操作方法以及包括该非易失性存储器件的存储系统。

背景技术

[0004] 半导体存储器件是使用诸如硅 (Si)、锗 (Ge)、砷化镓 (GaAs) 和磷化铟 (InP) 的半导体材料实现的存储器件。

[0005] 半导体存储器件一般来说被分类为易失性存储器件和非易失性存储器件。易失性存储器件是其中存储的数据在电源切断时被擦除的存储器件。易失性存储器件的例子包括静态随机存取存储器 (SRAM)、动态随机存取存储器 (DRAM) 和同步动态随机存取存储器 (SDRAM)。相反，非易失性存储器件是即使电源被切断也保持存储的数据的存储器件。非易失性存储器件的例子包括只读存储器 (ROM)、可编程只读存储器 (PROM)、可擦除可编程只读存储器 (EPROM)、电可擦除可编程只读存储器 (EEPROM)、闪速存储器、相变随机存取存储器 (phase-change random access memory，PRAM)、磁阻式随机存取存储器 (Magnetoresistive Random Access Memory，MRAM)、阻变式随机存取存储器 (Resistive Random Access Memory，RRAM) 和铁电随机存取存储器 (Ferroelectric Random Access Memory，FRAM)。闪速存储器器件基本上被分类成 NOR(或非) 型和 NAND(与非) 型。

发明内容

[0006] 本发明构思的示例实施例涉及半导体存储器件，更具体地，涉及具有减少的擦除单元的非易失性存储器件、其操作方法以及包括该非易失性存储器件的存储系统。

[0007] 本发明构思的示例实施例可以提供操作方法，该操作方法包括 :浮置连接到位线的第一串的地选择线，向连接到该位线的第二串的地选择线施加擦除禁止电压，并向该第一串和第二串施加擦除操作电压。

[0008] 根据一些示例实施例，该第一串和第二串可以分别包括在垂直于衬底的方向上顺序地设置的存储单元。在其他示例实施例中，擦除禁止电压可以高于连接到所述第二串的地选择线的地选择晶体管的阈值电压。在其他示例实施例中，所述施加擦除操作电压可以包括 :向连接到所述第一串和第二串的字线施加地电压，以及向连接到所述第一串和第二串的共源线施加擦除电压。

[0009] 在其他示例实施例中，施加擦除操作电压可以包括 :浮置连接到第一串和第二串的字线，向连接到第一串和第二串的共源线施加预电压 (pre-voltage)，向该共源线施加擦

除电压，以及向所述字线施加地电压。在其他示例实施例中，所述方法还可以包括向所述第二串的第二地选择线施加第二擦除禁止电压。在另外的示例实施例中，所述第二擦除禁止电压可以低于所述擦除禁止电压。

[0010] 在更进一步的示例实施例中，所述第二擦除禁止电压可以高于连接到所述第二串的第二地选择线的第二地选择晶体管的阈值电压。在更进一步的示例实施例中，所述方法还可以包括向所述第二串的串选择线施加第三擦除禁止电压。

[0011] 在其他本发明构思的示例实施例中，非易失性存储器件可以包括：存储单元阵列，其包括连接在位线和共源线之间的第一串和第二串；驱动器，其被配置为向连接到所述第一串和第二串的字线、选择线和共源线传送电压；以及读写电路，其被配置为向所述第一串和第二串的存储单元中写入数据或从所述第一串和第二串的存储单元读出数据。其中，在擦除操作期间，所述驱动器被配置为向所述第一串的第一字线和第二串的第二字线施加相同的电压，并且向所述第一串的地选择线和所述第二串的地选择线施加不同的电压。

[0012] 在一些示例实施例中，在擦除操作期间，所述驱动器可以被配置为浮置所述第一串的地选择线，向所述第二串的地选择线传送擦除禁止电压，以及向所述第一字线和第二字线以及所述共源线施加擦除操作电压。在其他示例实施例中，在擦除操作期间，所述驱动器可以被配置为向所述第一字线和第二字线施加地电压，以及向所述共源线施加擦除电压。在其他示例实施例中，在擦除操作期间，所述驱动器可以被配置为控制所述第一字线和第二字线的电压从浮置状态到地电压，以及控制所述共源线的电压从预电压到擦除电压。

[0013] 在其他的示例实施例中，在擦除操作期间，所述驱动器可以被配置为向连接到所述的第二串的第二地选择线施加第二擦除禁止电压。在其他示例实施例中，所述第二串的地选择线可以被设置在所述第二地选择线和所述共源线之间，并且所述第二擦除禁止电压可以具有低于所述擦除禁止电压的电平。在进一步的示例实施例中，所述第一串和第二串可以分别包括在垂直于衬底的方向上提供的存储单元。在更进一步的示例实施例中，所述第一和第二字线可以被电连接。

[0014] 在本发明构思的其他示例实施例中，一种存储系统可以包括：非易失性存储器件；和控制器，其被配置为控制所述非易失性存储器件。所述非易失性存储器件包括存储单元阵列，该存储单元阵列包括：连接在位线和共源线之间的第一串和第二串；驱动器，其被配置为向连接到所述第一串和第二串的字线、选择线和共源线传送电压；以及读写电路，其被配置为向所述第一串和第二串的存储单元中写入数据或从所述第一串和第二串的存储单元读出数据。并且，在擦除操作期间，所述驱动器被配置为向所述第一串的第一字线和所述第二串的第二字线施加相同的电压，并且向所述第一串的地选择线和所述第二串的地选择线施加不同的电压。

[0015] 在一些示例实施例中，所述非易失性存储器件和所述控制器可以构成半导体驱动器（固态驱动器）。在其他示例实施例中，所述非易失性存储器件和所述控制器可以构成存储卡。

[0016] 根据示例实施例，一种非易失性存储器可以包括：存储单元阵列，该存储单元阵列包括连接在位线和共源线之间的第一串和第二串存储单元，所述串各自连接到至少一条字线、至少一条选择线和至少一条地选择线；驱动器，其被配置为向所述字线、选择线、地选择线和共源线施加电压，该驱动器被配置为，在擦除操作期间，向所述第一串的第一字线和所

述第二串的第二字线施加相同的电压，并且向所述第一串的第一地选择线和所述第二串的第二地选择线施加不同的电压；以及读写电路，其被配置为向所述第一串和第二串的存储单元写入数据或从所述第一串和第二串的存储单元读出数据。

[0017] 根据示例实施例，一种存储系统可以包括：非易失性存储器件，该非易失性存储器件包括具有连接在位线和共源线之间的第一串和第二串存储单元的存储单元阵列，所述串各自连接到至少一条字线、至少一条选择线和至少一条地选择线；驱动器，其被配置为向所述字线、选择线、地选择线和共源线施加电压，该驱动器被配置为，在擦除操作期间，向所述第一串的第一字线和所述第二串的第二字线施加相同的电压，并且向所述第一串的第一地选择线和所述第二串的第二地选择线施加不同的电压；以及读写电路，其被配置为向所述第一串和第二串的存储单元写入数据或从所述第一串和第二串的存储单元读出数据；以及控制器，其被配置为控制该非易失性存储器件。

附图说明

[0018] 从以下结合附图的简要说明，将能更清楚地理解示例实施例。图 1-30 代表这里所描述的非限制性的示例实施例。

[0019] 图 1 是示出根据本发明构思的示例实施例的非易失性存储器件的框图；

[0020] 图 2 是示出图 1 的存储单元阵列的框图；

[0021] 图 3 是示出根据本发明构思的示例实施例的图 2 的存储块之一的透视图；

[0022] 图 4 是沿图 3 的存储块的 IV-IV′ 线截取的截面图；

[0023] 图 5 是示出图 4 的晶体管的结构的截面图；

[0024] 图 6 是示出参照图 3- 图 5 描述的存储块的等效电路的电路图；

[0025] 图 7 是示出参照图 3-6 描述的存储块的一个 NAND（与非）串的截面图；

[0026] 图 8 是示出图 6 的存储块的擦除单元的电路图；

[0027] 图 9 是示出图 8 的擦除单元的擦除操作电压条件的表；

[0028] 图 10 是示出根据图 9 的电压条件的被选择的串的电压变化的时序图

[0029] 图 11 是示出根据图 10 的电压变化的被选择的串的状态的截面图；

[0030] 图 12 是示出根据图 9 的电压条件的未被选择的串的电压变化的时序图；

[0031] 图 13 是示出根据图 12 的电压变化的未被选择的串的状态的截面图；

[0032] 图 14 是示出根据本发明构思的示例实施例的图 2 的存储块的电路图；

[0033] 图 15 是示出在擦除操作期间图 14 的未被选择的串的电压变化的时序图；

[0034] 图 16 是示出根据本发明构思的示例实施例的图 2 的存储块的电路图；

[0035] 图 17 是示出根据本发明构思的示例实施例的图 2 的存储块的电路图；

[0036] 图 18 是示出根据本发明构思的示例实施例的图 3 的存储块的透视图；

[0037] 图 19 是示出根据示例实施例的图 2 的存储块之一的透视图；

[0038] 图 20 是沿图 19 的存储块的 XX-XX′ 线截取的截面图；

[0039] 图 21 是示出图 19 和图 20 的存储块的擦除操作电压条件的表；

[0040] 图 22 是示出根据图 21 的电压条件的被选择的串的电压变化的时序图；

[0041] 图 23 是示出根据图 22 的电压变化的被选择的串的状态的截面图；

[0042] 图 24 是示出根据图 22 的电压条件的未被选择的串的电压变化的时序图；

[0043] 图 25 是示出根据图 24 的电压变化的未被选择的串的状态的截面图；

[0044] 图 26 是示出根据示例实施例的图 2 的存储块之一的透视图；

[0045] 图 27 是沿图 26 的存储块的 XXVII-XXVII′ 线截取的截面图；

[0046] 图 28 是示出包括图 1 的非易失性存储器件的存储系统的框图；

[0047] 图 29 是示出图 28 的存储系统的示例应用的框图；

[0048] 图 30 是示出包括参照图 29 描述的存储系统的计算系统的示图。

[0049] 应注意，这些附图是用来示出在本发明构思的特定示例实施例中使用的方法、结构和 / 或材料的一般特性并补充下面提供的书面描述。然而，这些附图不是按比例的，并且可能未精确地反映任何给定实施例的确切结构或性能特征，并且不应被解释为定义或者限制示例实施例所包含的值或属性的范围。例如，可能为了清楚起见而缩小或放大分子、层、区域和 / 或结构元件的相对厚度和放置。在不同的附图中相似或相同的参考数字的使用是用来指示存在相似或相同的元件或特征。

具体实施方式

[0050] 现在将参照附图更充分地描述本发明构思的示例实施例，附图中示出了示例实施例。然而，本发明构思的示例实施例可以用许多不同的形式来实现，并且不应被理解为局限于此处阐述的实施例；相反地，提供这些实施例是为了使本公开全面和完整，并且向本领域普通技术人员充分地传达示例实施例的构思。在附图中，为了清楚起见，层和区域的厚度是放大的。附图中相同的参考数字代表相同的元件，因此将省略对它们的描述。

[0051] 将会理解到，当一元件被称为“连接”或“耦接”到另一元件时，该元件可以直接连接或耦接到所述另一个元件，或者可以存在居间的元件。相反，当一元件被称为“直接连接”或“直接耦接”到另一个元件时，没有居间的元件存在。相同的数字始终指代相同的元件。此处使用的词语“和 / 或”包括相关的所列项目中的任何一个或其中的一个或多个的全部组合。用于描述元件或层之间的关系的其他词汇也应当以类似方式解释（例如，“在 ... 之间”与“直接在 ... 之间”、“相邻”与“直接相邻”、“在 ... 之上”与“直接在 ... 之上”）。

[0052] 将理解到，尽管此处可能使用词语“第一”、“第二”等来描述不同的元件、组件、区域、层和 / 或部分，但这些元件、组件、区域、层和 / 或部分不应受到这些词语的限制。这些词语仅仅用于将一个元件、组件、区域、层或部分与另一个元件、组件、区域、层或部分区分开来。因而，下面讨论的第一元件、组件、区域、层或部分也可以被称为第二元件、组件、区域、层或部分，而不会脱离本发明构思的示例实施例的教导。

[0053] 此处可能使用诸如“在 ... 下面”、“之下”、“低于”、“之上”、“上层”等等的空间关系术语，以便于描述附图中所示的一个元件或特征与其他元件或特征的关系。将理解到，这些空间关系术语旨在包含使用中或操作中的器件的、除了附图中描绘的方向之外的其他方向。例如，如果翻转附图中的器件，则被描述为在其他元件或特征“之下”或“下面”的元件的方向将定位为在其他元件或特征“之上”。因而，示范性的术语“下面”能够包含上面和下面两个方向。器件也可能具有其他朝向（旋转 90 度或处于其他方向），因此应相应地解释此处使用的空间关系描述词。

[0054] 此处使用的术语仅仅是为了描述特定实施例，并非旨在限定本发明构思的示例实施例。此处使用的单数形式“一”、“该”旨在也包括复数形式，除非上下文明确给出相反指

示。将进一步理解到，如果此处使用术语“包括”、“包含”，则其表明存在所述的特征、整体、步骤、操作、元件和 / 或组件，但是并不排除存在或附加一个或多个其他特征、整体、步骤、操作、元件、组件和 / 或它们的组合。

[0055] 此处参照截面图描述了本发明构思的示例实施例，所述截面图是示例实施例的理想化实施例（和中间结构）的示意图。因此，可能发生由于制造技术和 / 或容差所致与图示的形状有所偏差。因而，示例实施例不应该被理解为局限于此处示出的区域的具体形状，而是应包括例如由于制造所致的形状上的偏差。例如，被图示为矩形的注入区可以具有圆形的或弯曲的特征，和 / 或在其边缘可以具有渐变的注入浓度 (a gradient of implant concentration)，而非从注入区到非注入区的二元变化。同样地，通过注入形成的掩埋区 (buriedregion) 可能导致在掩埋区与通过其进行注入的表面之间的一些注入。因而，附图中示出的区域本质上是示意性的，区域的形状并非旨在示出器件的区域的实际形状，并且并非旨在限制示例实施例的范围。

[0056] 除非另外定义，否则此处使用的所有术语（包括技术术语和科学术语）所具有的含义与本发明构思的示例实施例所属的技术领域内的普通技术人员之一所通常理解的含义相同。还将理解，诸如通常使用的词典中定义的那些术语应该被解释为所具有的含义与它们在相关领域的上下文中的含义一致，而不应理想化地或过分形式化地对其进行解释，除非此处明确地如此定义。

[0057] 图 1 是示出根据本发明构思的示例实施例的非易失性存储器件 100 的框图。参照图 1，非易失性存储器件 100 可以包括存储单元阵列 110、驱动器 120、读写电路 130 和控制逻辑 140。存储单元阵列 110 可以通过字线 WL 连接到驱动器 120，并且可以通过位线 BL 连接到读写电路 30。存储单元阵列 110 可以包括多个存储单元。例如，在行方向上排列的存储单元可以连接到字线 WL，并且在列方向上排列的存储单元可以连接到位线 BL。例如，存储单元阵列 110 可以被配置为每单元存储一个或多个比特。

[0058] 存储单元阵列 110 可以包括多个存储块 BLK1 到 BLKz。每个存储块 BLK 可以包括多个存储单元。可以为每个存储块 BLK 提供多条字线 WL、多条选择线 SL 以及至少一条共源线 CSL。驱动器 120 可以通过字线 WL 连接到存储单元阵列 110。驱动器 120 可以被配置为响应于控制逻辑 140 的控制而操作。驱动器 120 可以从外部接收地址 ADDR。

[0059] 驱动器 120 可以被配置为解码所接收的地址 ADDR。驱动器 120 可以使用解码的地址选择字线 WL。驱动器 120 可以被配置为向被选择的字线 WL 和未被选择的字线 WL 施加电压。例如，驱动器 120 可以被配置为在编程操作、读操作或擦除操作时分别向字线施加与编程操作相关联的编程操作电压、与读操作相关联的读操作电压和 / 或与擦除操作相关联的擦除操作电压。例如，驱动器 120 可以包括选择和驱动字线的字线驱动器 121。

[0060] 例如，驱动器 120 可以被配置为选择和驱动选择线 SL。例如，驱动器 120 可以被配置为进一步选择和驱动串选择线 SSL 和地选择线 GSL。例如，驱动器 120 可以包括选择线驱动器 123，其被配置为选择和驱动选择线 SL。例如，驱动器 120 可以被配置为驱动共源线 CSL(common source line，CSL)。例如，驱动器 120 可以包括共源线驱动器 125，其被配置为驱动共源线 CSL。读写电路 130 可以通过位线 BL 连接到存储单元阵列 110。读写电路 130 可以响应于控制逻辑 140 的控制而操作。读写电路 130 可以被配置为选择位线 BL。

[0061] 例如，读写电路 130 可以从外部接收数据 DATA，并且将接收的数据写入存储单元

阵列 110。读写电路 130 可以从存储单元阵列 110 读出数据 DATA，并且将读出的数据传送到外部。读写电路 130 可以从存储单元阵列 110 的第一存储区读出数据，并且将读出的数据写入存储单元阵列 110 的第二存储区。例如，读写电路 130 可以被配置为执行回写 (copy-back) 操作。例如，读写电路 130 可以包括诸如页缓冲区（或页寄存器）、列选择电路和 / 或数据缓冲区的公知的组件（未示出）。再例如，读写电路 130 可以包括诸如感测放大器、写驱动器、列选择电路和 / 或数据缓冲区的公知的组件（未示出）。

[0062] 控制逻辑 140 可以连接到驱动器 120 和读写电路 130。控制逻辑 140 可以被配置为控制非易失性存储器件 100 的总体操作。控制逻辑 140 可以响应于来自外部的控制信号 CTRL 而操作。

[0063] 图 2 是示出图 1 的存储单元阵列 110 的框图。参照图 2，存储单元阵列 110 可以包括多个存储块 BLK1-BLKz。每个存储块 BLK 可以具有三维结构（或垂直结构）。例如，每个存储块 BLK 可以包括在第一到第三方向上延伸的结构。每个存储块 BLK 可以包括在第二方向上延伸的多个 NAND（与非）串（未示出）。可以在第一方向上和第三方向上提供多个 NAND 串。

[0064] 每个 NAND 串可以连接到位线 BL、串选择线 SSL、地选择线 GSL、字线 WL 和共源线 CSL。每个存储块可以连接到多条位线 BL、多条串选择线 SSL、多条地选择线 GSL、多条字线 WL 和多条共源线 CSL。存储块 BLK1-BLKz 将参照图 3 详细描述。

[0065] 图 3 是示出根据本发明构思的示例实施例的图 2 的存储块 BLK1-BLKz 中的一个存储块 BLKi 的透视图。图 4 是沿图 3 的存储块 BLKi 的 IV-IV′ 线截取的截面图。参照图 3 和图 4，存储块 BLKi 可以包括在第一方向上和第三方向上延伸的结构。可以提供衬底 111。例如，衬底 111 可以包括掺杂有第一类型杂质（例如，P 型杂质）的硅材料。例如，衬底 111 可以是 P 型阱 (p typewell)（例如，口袋型 p 阱 (pocket p-well)）。在下文中，衬底 111 将被描述为包括 P 型硅，但是示例实施例不局限于此。

[0066] 在第一方向上延伸的多个掺杂区 311-314 可以在衬底 111 之上。例如，多个掺杂区 311-314 可以是不同于衬底 111 的第二类型。例如，多个掺杂区 311-314 可以是 N 型。在下文中，第一到第四掺杂区 311-314 被描述为 N 型，但是示例实施例不局限于此。在第一方向上延伸的多个绝缘材料 112 可以在衬底 111 上方、沿着第二方向位于（例如顺序地提供在）第一掺杂区 311 和第二掺杂区 312 之间。例如，多个绝缘材料 112 和衬底 111 可以沿第二方向相互间隔一定距离。例如，多个绝缘材料 112 可以沿第二方向相互间隔一定距离。绝缘材料 112 可以包括硅氧化物。

[0067] 多个柱 (pillar) 113 可以（例如，顺序地）在衬底 111 上方、在第一掺杂区 311 和第二掺杂区 312 之间，并且在第二方向上贯穿绝缘材料 112。例如，多个柱 113 可以通过绝缘材料 112 连接到衬底 111。每一个柱 113 可以由多种材料形成。例如，柱 113 的表层 114 可以包括以例如第一类型掺杂的硅材料。例如，表层 114 可以包括用与衬底 111 相同类型掺杂的硅材料。在下文中，柱 113 的表层 114 将被描述为包括 P 型硅，但是实施例不局限于此。

[0068] 柱 113 的内层 115 可以由绝缘材料形成。例如，内层 115 可以包括硅氧化物。绝缘层 116 可以沿着绝缘材料 112、柱 113 和在第一掺杂区 311 和第二掺杂区 312 之间的衬底 111 的暴露表面。例如，绝缘层 116 的厚的可以小于绝缘材料 112 之间的距离的一半。在绝

缘材料 112 的第一绝缘材料的底面上的绝缘层 116 的部分与低于该第一绝缘材料的第二绝缘材料的顶面上的绝缘层 116 的部分之间可以是接收除了绝缘材料 112 和绝缘层 116 之外的材料的区域。

[0069] 导电材料 211-291 可以在第一掺杂区 311 和第二掺杂区 312 之间的绝缘层 116 的暴露表面上。例如，导电材料 211 可以在衬底 111 与邻近衬底 111 的绝缘材料 112 之间、在第一方向上延伸。导电材料 211 可以在衬底 111 与邻近衬底 111 的绝缘材料 112 底面上的绝缘层 116 之间、在第一方向上延伸。

[0070] 导电材料可以在绝缘材料顶面上的绝缘层 116 与设置在该绝缘材料上方的绝缘材料底面上的绝缘层 116 之间、在第一方向延伸。例如，多个导电材料 221-281 可以在绝缘材料 112 之间、在第一方向上延伸。导电材料 291 可以在绝缘材料 112 上方、在第一方向上延伸。例如，在第一方向上延伸的导电材料 211-291 可以包括金属材料。例如，在第一方向上延伸的导电材料 211-291 可以包括导电材料（例如，多晶硅）。

[0071] 与第一掺杂区 311 和第二掺杂区 312 上方的结构类似的结构可以位于第二掺杂区 312 和第三掺杂区 313 之间。例如，在第一方向上延伸的多个绝缘材料 112，在第二方向上贯穿多个绝缘材料 112 的、在第一方向上的（例如，在第一方向上顺序地设置的）多个柱 113，在多个柱 113 和多个绝缘材料 112 的暴露表面上的绝缘层 116，以及多个导电材料 212-292 可以位于第二掺杂区 312 和第三掺杂区 313 之间。

[0072] 与第一掺杂区 311 和第二掺杂区 312 上方的结构类似的结构可以位于第三掺杂区 313 和第四掺杂区 314 之间。例如，在第一方向上延伸的多个绝缘材料 112，在第二方向上贯穿多个绝缘材料 112 的、在第一方向上的（例如，在第一方向上顺序地设置的）多个柱 113，在多个柱 113 和多个绝缘材料 112 的暴露表面上的绝缘层 116，以及多个导电材料 213-293 可以位于第三掺杂区 313 和第四掺杂区 314 之间。

[0073] 漏极 320 可以位于多个柱 113 上方。例如，漏极 320 可以包括以第二类型掺杂的硅材料。漏极 320 可以包括以例如 N 型杂质掺杂的硅材料。在下文中，漏极 320 将被描述为包括 N 型硅，但是实施例不局限于此。每个漏极 320 的宽度可以例如大于相应的柱 113 的宽度。例如，漏极 320 可以是位于柱 113 的顶面上的垫 (pad) 型结构。

[0074] 在第三方向上延伸的导电材料 331-333 可以位于漏极 320 之上。导电材料 331-333 可以在第一方向上（例如，顺序地位于第一方向上）。各个导电材料 331-333 可以连接到相应的漏极 320。例如，漏极 320 以及在第三方向上延伸的导电材料 333 可以通过接触插塞 (contact plug) 相互连接。在第三方向上延伸的导电材料 331-333 可以包括金属材料。在第三方向上延伸的导电材料 331-333 可以包括导电材料（例如，多晶硅）。

[0075] 在图 3 和图 4 中，柱 113 连同绝缘层 116 的相邻区域以及在第一方向上延伸的多条导电线 211-291、212-292 和 213-293 的相邻区域一起，可以形成串。例如，柱 113 连同绝缘层 116 的相邻区域以及多条导电线 211-291、212-292 和 213-293 的相邻区域一起，可以形成 NAND 串。NAND 串可以包括多个晶体管 TS。

[0076] 图 5 是示出图 4 的晶体管 TS 的结构的截面图。参照图 1-5，绝缘层 116 可以包括至少 3 个子绝缘层 117、118 和 119。例如，在第一方向上延伸的导电材料 233 可以邻近子绝缘层 119，子绝缘层 119 例如可以是硅氧化物层。邻近柱 113 的子绝缘层 117 可以是例如硅氧化物层。在硅氧化物层 117 和 119 之间的子绝缘层 118 可以是例如硅氮化物层。绝缘层

116 可以包括氧化层 - 氮化层 - 氧化层 (Oxide-Nitride-Oxide，ONO)。

[0077] 导电材料 233 可以用作栅极（例如，控制栅极）。硅氧化物层 119 可以是阻挡 (blocking) 绝缘层。硅氮化物层 118 可以是电荷存储层。例如，硅氮化物层 118 可以用作电荷俘获层。邻近柱 113 的硅氧化物层 117 可以是例如隧穿 (tunneling) 绝缘层。柱 113 的 P 型硅层 114 可以用作主体。栅极（例如，控制栅极）233、阻挡绝缘层 119、电荷存储层 118、隧穿绝缘层 117 和主体 114 可以形成晶体管（例如，存储单元晶体管结构）。在下文中，柱 113 的 P 型硅 114 将被称为第二方向主体。

[0078] 存储块 BLKi 可以包括多个柱 113。存储块 BLKi 可以包括多个 NAND 串。存储块 BLKi 可以包括在第二方向上（例如，垂直于衬底的方向）延伸的多个 NAND 串。每个 NAND 串可以包括沿着第二方向的多个晶体管结构 TS。每个 NAND 串 NS 的多个晶体管结构 TS 中的至少一个可以用作串选择晶体管 SST。每个 NAND 串的多个晶体管结构 TS 中的至少一个可以用作地选择晶体管 GST。

[0079] 栅极（例如，控制栅极）可以对应于在第一方向上延伸的导电材料 211-291、212-292 和 213-293。栅极（例如，控制栅极）可以形成在第一方向上延伸的字线和至少两条选择线（例如，至少一条串选择线 SSL 和至少一条地选择线 GSL）。在第三方向上延伸的导电材料 331-333 可以连接到 NAND 串的一端。例如，在第三方向上延伸的导电材料 331-333 可以用作位线 BL。一个存储块 BLKi 中多个 NAND 串可以连接到一条位线 BL。

[0080] 可以向 NAND 串的与位线导电材料 331-333 相反的一端提供在第一方向上延伸的第二类型掺杂区 311-314。在第一方向上延伸的第二类型掺杂区 311-314 可以用作共源线 CSL。存储块 BLKi 可以包括多个在衬底 111 的法线方向（第二方向）上延伸的多个 NAND 串，并且存储块 BLKi 可以是其中多个 NAND 串连接到一条位线 BL 的 NAND 闪速存储块（例如，电荷俘获型）。

[0081] 尽管在图 3- 图 5 中描述了在第一方向上延伸的导电材料 211-291、212-292 以及 213-293 为 9 层，但是实施例不局限于此。例如，在第一方向上延伸的导电材料 211-291、212-292 和 213-293 可以是 8 层或 16 层，或更多层。可以在一个 NAND 串中提供 8 个、16 个或更多晶体管。尽管在图 1- 图 5 中的描述了 3 个 NAND 串连接到一条位线 BL，但实施例不局限于此。例如，在存储块 BLKi 中“m”个 NAND 串可以连接到一条位线 BL。在第一方向上延伸的导电材料 211-291、212-292 和 213-293 的数目以及共源线 311-314 的数目可以由连接到一条位线 BL 的 NAND 串的数目来确定。

[0082] 尽管在图 3-5 中描述了 3 个 NAND 串连接到在第一方向上延伸的一个导电材料，但实施例不局限于此。例如，“n”个 NAND 串可以连接到在第一方向上延伸的一个导电材料。在这种情况下，位线 331-333 的数目可以由连接到在第一方向上延伸的一个导电材料的 NAND 串的数目确定。

[0083] 图 6 是示出参照图 3-5 描述的存储块 BLKi 的等效电路的电路图。参照图 3-6，NAND 串 NS11-NS31 可以在第一位线 BL1 与共源线 CSL 之间。第一位线 BL1 可以对应于在第三方向上延伸的导电材料 331。NAND 串 NS12-NS32 可以在第二位线 BL2 与共源线 CSL 之间。第二位线 BL2 可以对应于在第三方向上延伸的导电材料 332。NAND 串 NS13-NS33 可以在第三位线 BL3 与共源线 CSL 之间。第三位线 BL3 可以对应于在第三方向上延伸的导电材料 333。

[0084] 每个 NAND 串 NS 的串选择晶体管 SST 可以连接到相应的位线 BL。每个 NAND 串 NS

的地选择晶体管 GST 可以连接到共源线 CSL。存储单元 MC（例如，MC1-MC7）可以在每个 NAND 串 NS 的串选择晶体管 SST 与地选择晶体管 GST 之间。

[0085] 在下文中，以行和列为单元来描述 NAND 串 NS。共同连接到一条位线 BL 的 NAND 串 NS11-NS31 可以形成一列。例如，连接到第一位线 BL1 的 NAND 串 NS11-NS31 可以是第一列。连接到第二位线 BL2 的 NAND 串 NS12-NS32 可以是第二列。连接到第三位线 BL3 的 NAND 串 NS13-NS33 可以是第三列。连接到一条串选择线 SSL 的 NAND 串 NS 可以形成一行。例如，连接到第一串选择线 SSL1 的 NAND 串 NS11-NS31 可以是第一行。连接到第二串选择线 SSL2 的 NAND 串 NS21-NS23 可以是第二行。连接到第三串选择线 SSL3 的 NAND 串 NS31-NS33 可以是第三行。

[0086] 在每个 NAND 串 NS 中可以定义高度。例如，在每个 NAND 串 NS 中，邻近地选择晶体管 GST 的存储单元 MC1 的高度可以是 1。在每个 NAND 串 NS 中，随着存储单元变得更靠近串选择晶体管 SST，该存储单元的高度可以增加。在每个 NAND 串 NS 中，邻近串选择晶体管 SST 的存储单元 MC7 的高度可以是 7。尽管相对于高度描述了示例实施例，但是这样的描述仅仅为了清楚的说明，示例实施例不局限于具体的方向。

[0087] 在同一行中的 NAND 串 NS 可以共用串选择线 SSL。在不同行中的 NAND 串 NS 可以连接到不同的串选择线 SSL。NAND 串 NS 中的在同一行中具有相同高度的存储单元可以共用字线。在相同高度的、不同行中的 NAND 串 NS 的字线 WL 可以共同连接在一起（connected in common）。例如，在其中导电材料 211-291、212-292 和 213-293 在第一方向上延伸的层中，字线 WL 可以共同连接在一起。例如，在第一方向上延伸的导电材料 211-291、212-292 和 213-293 可以通过触点（contact）连接到上层。在第一方向上延伸的导电材料 211-291、212-292 和 213-293 可以在上层共同连接在一起。

[0088] 在同一行中的 NAND 串 NS 可以共用地选择线 GSL。在不同行中的 NAND 串 NS 可以连接到不同的地选择线 GSL。共源线 CSL 可以公共连接到 NAND 串 NS。例如，第一到第四掺杂区 311-314 可以在衬底 111 上的有源区（active region）中连接。例如，第一到第四掺杂区 311-314 可以通过触点连接到上层。第一到第四掺杂区 311-314 可以在上层共同连接在一起。

[0089] 如图 6 所示，相同高度的字线 WL 可以共同连接在一起。当选择了特定字线 WL 时，连接到该特定字线 WL 的所有 NAND 串 NS 都可以被选择。在不同行中的 NAND 串 NS 可以连接到不同的串选择线 SSL。通过选择串选择线 SSL1-SSL3，连接到同一字线 WL 的 NAND 串 NS 中的未被选择的行的 NAND 串 NS 可以与位线 BL1-BL3 分开。通过选择串选择线 SSL1-SSL3 之一可以选择一行 NAND 串 NS。通过选择位线 BL1-BL3 可以以列为单元选择被选择的行的 NAND 串 NS。

[0090] 图 7 是示出参照图 3-6 描述的存储块 BLKi 的一个 NAND 串 NS 的横断面图。例如，示出了第一行和第二列的 NAND 串 NS12。参照图 6 和图 7，地电压 Vss 可以被施加到第一字线（WL1）221、第二字线（WL2）231、第三字线（WL3）241、第六字线（WL6）271 和第七字线（WL7）281。相应于第一到第三存储单元 MC1-MC3 以及第六存储单元 MC6 和第七存储单元 MC7 的第二类型的主体 114 的区域可以保持第一类型（例如，P 型）。

[0091] 例如，第一电压 V1 可以被施加到地选择线（GSL1）211。第一电压 V1 可以是电平高于地选择晶体管 GST 的阈值电压的正电压。通过第一电压 V1，与地选择晶体管 GST 相对应

的第二方向的主体 114 的区域可以被反转成第二类型（例如，N 型）（参照 N1）。在与地选择晶体管 GST 相对应的第二方向的主体 114 中可以形成沟道 N1。

[0092] 由于第一电压 V1 的边缘场 (fringing field) 的影响，地选择晶体管 GST 的沟道 N1 可以沿着第二方向延伸。例如，由于第一电压 V1 的边缘场的影响，地选择晶体管 GST 的沟道 N1 可以连接到第一掺杂区 311 和第二掺杂区 312。第一掺杂区 311 和第二掺杂区 312、以及地选择晶体管 GST 的沟道 N1 可以被控制为具有相同的类型（例如，N 型）。地选择晶体管 GST 的共源线 CSL 和沟道 N1 可以相互电连接。

[0093] 例如，可以向第四字线 WL4) 251 施加第二电压 V2，并且可以向第五字线 (WL5) 261 施加第三电压 V3。第二电压 V2 和第三电压 V3 分别可以是电平高于存储单元 MC4 和存储单元 MC5 的阈值电压的正电压。通过第二电压 V2 和第三电压 V3 可以反转第四存储单元 MC4 和第五存储单元 MC5 的第二方向的主体 114。可以在第四存储单元 MC4 和第五存储单元 MC5 中形成沟道。由于第二电压 V2 和第三电压 V3 的边缘场的影响，第四存储单元 MC4 和第五存储单元 MC5 的沟道可以连接到一个沟道 N2。

[0094] 例如，第四电压 V4 可以被施加到串选择线 (SSL1) 291。第四电压 V4 可以是正电压。串选择晶体管 SST 的第二方向的主体 114 可以被反转。可以在串选择晶体管 SST 中形成沟道 N3。由于第四电压 V4 的边缘场的影响，串选择晶体管 SST 的沟道 N3 可以连接到漏极 320。串选择晶体管 SST 的沟道 N3 和漏极 320 可以相互电连接。

[0095] 当电平高于地选择晶体管 GST 的阈值电压的正电压被施加到地选择线 (GSL1) 211 时，地选择晶体管 GST 的沟道可以被电连接到包括掺杂区 311 和 312 的共源线 (CSL)。当电平高于串选择晶体管 SST 的阈值电压的正电压时，串选择晶体管 SST 的沟道可以连接到漏极 320。当电平高于存储单元 MC1-MC7 的阈值电压的正电压被施加到相邻的字线 WL 时，相应存储单元 MC 的沟道可以被电连接。

[0096] 由于边缘场的影响，地选择晶体管 GST 的沟道和存储单元 MC1-MC7 的沟道可以被连接。由于边缘场的影响，串选择晶体管 SST 的沟道和存储单元 MC1-MC7 的沟道可以被连接。当正电压（电平高于阈值电压的电压）被施加到地选择线 (GSL1) 211 时，第一到第七字线 (WL1-WL7) 221-281、以及串选择线 (SSL) 291 时，漏极 320、串选择晶体管 SST 的沟道、存储单元 MC1-MC7 的沟道、地选择晶体管 GST 的沟道以及共源线 (CSL) 掺杂区域 311-312 可以被电连接。NAND 串 NS12 可以被选择。

[0097] 例如，当向串选择线 (SSL1) 291 施加低于串选择晶体管 SST 的阈值电压的电压或地电压 Vss 时，串选择晶体管 SST 的沟道区可以不被反转。尽管向字线 (WL1-WL7) 211-281 以及地选择线 (GSL) 211 施加了正电压，NAND 串 NS12 仍然可以与位线 (BL2) 332 电绝缘。NAND 串 NS12 可以未被选择。

[0098] 图 8 是示出图 6 的存储块 BLKi 的擦除单元 EU 的电路图。参照图 8，可以以存储块 BLKi 的一行 NAND 串 NS 为单位，例如以地选择线 GSL 为单位，执行擦除操作。图 9 是示出图 8 的擦除单元 EU 的擦除操作电压条件的表。参照图 8 和图 9，在擦除操作期间，NAND 串 NS 可以被分成被选择的串和未被选择的串。被选择的串可以表示将要擦除的 NAND 串。未被选择的串可以表示禁止擦除的 NAND 串。例如，将会描述第一行中的 NAND 串 NS11-NS13 被选择，并且第二行的 NAND 串 NS21-NS23 和第三行的 NAND 串 NS31-NS33 未被选择。

[0099] 被选择的 NAND 串 NS11-NS13 的串选择线 SSL1 可以被浮置。可以控制未被选择的

NAND 串 NS21-NS23 和 NS31-NS33 的串选择线 SSL2 和 SSL3 的电压，使其从地电压 Vss 到第二擦除禁止电压 Vm2。可以向被选择的和未被选择的串 NS11-NS13、NS21-NS23 以及 NS31-NS33 的字线 WL1-WL7 施加地电压 Vss。可以浮置被选择的串 NS11-NS13 的地选择线 GSL1。可以控制未被选择的串 NS21-NS23 和 NS31-NS33 的地选择线 GSL2-GSL3 的电压，使其从地电压 Vss 到第一擦除禁止电压 Vm1。可以浮置共源线 CSL，并且可以向衬底 111 施加擦除电压 Vers。

[0100] 图 10 是示出根据图 9 的电压条件的被选择的串 NS11-NS13 的电压变化的时序图。图 11 是示出根据图 10 的电压变化的被选择的串 NS12 的状态的截面图。参照图 10 和图 11，在第一时间 t1，可以向衬底 111 施加擦除电压 Vers。衬底 111 和第二方向的主体 114 可以是以相同类型（例如，P 型）掺杂的硅材料。擦除电压 Vers 可以被传送给第二方向的主体 114。可以向字线 (WL1-WL7)221-281 施加地电压 Vss。可以向存储单元 MC1-MC7 的栅极（例如，控制栅极）施加地电压 Vss，并且可以向第二方向的主体 114 施加擦除电压 Vers。可以根据 Fowler-Nordheim 隧穿偏置存储单元 MC1-MC7。

[0101] 地选择线 (GSL1)211 可以被浮置。当第二方向的主体 114 的电压变成擦除电压 Vers 时，通过耦合 (coupling) 地选择线 (GSL1)211 的电压也可以发生改变。例如，地选择线 (GSL1)211 的电压可以变成第一耦合电压 Vc1。第一耦合电压 Vc1 和擦除电压 Vers 之间的电压差可以小于地电压 Vss 和擦除电压 Vers 之间的电压差。可能不产生 Fowler-Nordheim 隧穿。地选择晶体管 GST 可以被禁止擦除。类似地，串选择线 (SSL1)291 的电压可以变成第二耦合电压 Vc2。串选择晶体管 SST 可以被禁止擦除。

[0102] 例如，第二方向的主体 114 可以是第一类型（例如，P 型）的硅材料，并且漏极 320 可以是第二类型（例如，N 型）的硅材料。第二方向的主体 114 和漏极 320 可以形成 PN 结。因此，施加到第二方向的主体 114 的擦除电压 Vers 可以通过漏极 320 传送给位线 (BL2)332。

[0103] 图 12 是示出根据图 9 的电压条件的未被选择的串 NS21-NS23 和 NS31-NS33 的电压变化的时序图。图 13 是示出根据图 12 的电压变化的未被选择的串 NS22 的状态的截面图。参照图 12 和图 13，可以在第二时间 t2 向地选择线 (GSL2)212 施加第一擦除禁止电压 Vm1。例如，可以设定第一擦除禁止电压 Vm1 以产生地选择晶体管 GST 的沟道 INV。地选择晶体管 GST 的沟道 INV 可以将第二方向的主体 114 与衬底 111 电隔离。尽管在第一时间 t1 向衬底 111 施加了擦除电压 Vers，该擦除电压 Vers 也可以不被传送到第二方向的主体 114。尽管向字线 WL1-WL7 施加了地电压 Vss，存储单元 MC1-MC7 也可以不被擦除。

[0104] 如参照图 10 和图 11 所述，擦除电压 Vers 可以被传送到位线 (BL2)332。高电压可以被传送到位线 (BL2)332。位线 (BL2)332 的高电压可以被传送到漏极 320。当串选择线 (SSL2)292 的电压电平为低时，在串选择线 (SSL2)292 和漏极 320 之间可以产生栅致漏极泄漏 (GIDL)。当产生 GIDL 时，可以产生热空穴。产生的热空穴可以被注入到第二方向的主体 114。由于在漏极 320 和第二方向的主体 114 之间产生电流，所以高电压可以被传送到第二方向的主体 114。当第二方向的主体 114 的电压上升时，存储单元 MC1 到 MC7 可以被擦除。

[0105] 为了避免上述局限性，可以向串选择线 (SSL2)292 施加第二擦除禁止电压 Vm2。第二擦除禁止电压 Vm2 可以是正电压。可以设定第二擦除禁止电压 Vm2 以防止漏极 320 和串选择线 (SSL2)292 之间的 GIDL。例如，第二擦除禁止电压 Vm2 可以具有低于串选择晶体管

SST 的阈值电压的电平。第二擦除禁止电压 Vm2 可以具有高于串选择晶体管 SST 的阈值电压的电平。可以在第二时间 t2 向串选择线 (SSL1)292 施加第二擦除禁止电压 Vm2。可以在第一时间 t1 之前向串选择线 (SSL1)292 施加第二擦除禁止电压 Vm2。

[0106] 图 14 是示出根据本发明构思的示例实施例的图 6 的存储块 BLKi 的电路图。与图 6 的存储块 BLKi 相比，在存储块 BLKi-1 的每个 NAND 串 NS 中的字线 WL1-WL6 与共源线 CSL 之间有两条地选择线。例如，第一行的 NAND 串 NS11-NS13 可以连接到地选择线 GSL11 和 GSL21。第二行的 NAND 串 NS21-NS23 可以连接到地选择线 GSL12 和 GSL22。第三行的 NAND 串 NS31-NS33 可以连接到地选择线 GSL13 和 GSL23。在擦除操作期间，除了地选择线 GSL11 和 GSL21 被浮置之外，被选择的串 NS11-NS13 的电压条件可以类似于参照图 9-13 描述的电压条件。

[0107] 图 15 是示出在擦除操作期间图 14 的未被选择的串 NS21-NS23 和 NS31-NS33 的电压变化的时序图。参照图 14 和图 15，除了地选择线 GSL12、GSL22、GSL13 和 GSL23 的电压变化之外，未被选择的串 NS21-NS23 和 NS31-NS33 的电压变化可以类似于参照图 9-13 描述的电压变化。在擦除操作时，可以向邻近共源线的地选择线 GSL12 和 GSL13 施加第三擦除禁止电压 Vm3，并且可以向邻近字线 WL1-WL6 的地选择线 GSL22 和 GSL23 施加第四擦除禁止电压 Vm4。

[0108] 例如，第三擦除禁止电压 Vm3 可以具有高于第四擦除禁止电压 Vm4 的电平。第三擦除禁止电压 Vm3 的电平可以高于参照图 9-13 描述的第一擦除电压 Vm1 的电平。邻近共源线 CSL 的地选择线 GSL12 和 GSL13 与衬底 111 之间的电压差可以小于参照图 9-13 的衬底 111 与地选择线 GSL 之间的电压差。由于邻近共源线 CSL 的地选择线 GSL12 和 GSL13 与衬底 111 之间的电压差所致的 GIDL 可以被减少。

[0109] 尽管在图 14 和图 15 中描述了在每个 NAND 串 NS 中有两条地选择线 GSL，但是也可以在每个 NAND 串 NS 中有一条邻近共源线 CSL 的地选择线 GSL 和一条邻近地选择线 GSL 的伪字线。

[0110] 图 16 是示出根据示例实施例的图 6 的存储块 BLKi 的电路图。与存储块 BLKi-1 相比，在图 16 的存储块 BLKi-2 的每个 NAND 串 NS 中的字线 WL1-WL5 与位线 BL 之间可以有两条串选择线。类似于参照图 14 和图 15 的未被选择的串 NS21-NS23 和 NS31-NS33 的地选择线 GSL12、GSL22、GSL13 和 GSL23 所描述的，可以向未被选择的串 NS21-NS23 和 NS31-NS33 的串选择线 SSL12、SSL22、SSL13 和 SSL23 提供不同的电压。

[0111] 例如，在每个未被选择的 NAND 串 NS 中，可以向邻近位线 BL 的串选择线施加第一串电压，并且可以向邻近字线 WL 的串选择线施加电平比第一串电压低的电压。例如，可以设定第一和第二串电压的电平以避免位线 BL 和 / 或漏极 320 与第二方向的主体 114 之间的 GIDL。类似于参照图 14 和图 15 所描述的，在每个 NAND 串 NS 中可以有一条串选择线 SSL 和邻近该串选择线 SSL 的伪字线。

[0112] 图 17 是示出根据本发明构思的示例实施例的图 6 的存储块 BLKi 的电路图。与存储块 BLKi-2 相比，在存储块 BLKi-3 的每个 NAND 串 NS 中串选择线 SSL 可以电连接。已经参照图 9-17 描述了存储块 BLKi 和存储块 BLKi-1 到 BLKi-3，在存储块 BLKi-1 到 BLKi-3 中，在每个 NAND 串中有一条或两条串选择线 SSL 和 / 或一条或两条地选择线 GSL。将理解到，在每个 NAND 串中也可以有三条或更多条串选择线或地选择线。由于根据相对于图 17

描述的示例实施例，在每个 NAND 串 NS 中至少两条串选择线 SSL 可以相互电连接，因此在每个 NAND 串 NS 中至少两个可以相互电连接。

[0113] 例如，在每个 NAND 串 NS 中可以有至少两条地选择线 GSL。可以为每个 NAND 串 NS 提供一条地选择线 GSL 和至少一条邻近该地选择线 GSL 的伪字线。可以为每个 NAND 串 NS 提供至少一条地选择线 GSL 和至少一条伪字线。至少两条串选择线 SSL 和 / 或至少两条伪字线可以电连接。可以为每个 NAND 串 NS 提供至少两条串选择线 SSL。可以为每个 NAND 串 NS 提供至少一条串选择线 SSL 和至少一条伪字线。可以为每个 NAND 串 NS 提供至少一条串选择线 SSL 和至少一条伪字线。至少两条地选择线 GSL 和至少两条伪字线可以电连接。

[0114] 图 18 是示出根据本发明构思的示例实施例的图 3 的存储块 BLKi' 的透视图。与图 3 的存储块 BLKi 相比，柱 113' 可以具有方柱形状。在沿第一方向设置的柱 113' 之间可以是绝缘材料 101。例如，绝缘材料 101 可以在第二方向上延伸以连接到衬底 111。绝缘材料 101 可以在除了其中提供有柱 113' 的区域之外的区域、在第一方向上延伸。参照图 3 描述的在第一方向上延伸的导电材料 211-291、212-292 和 213-293 可以被绝缘材料 101 分隔成两个部分 211a-291a 和 211b-291b、212a-292a 和 212b-292b、以及 213a-293a 和 213b-293b。导电材料的被分隔的部分 211a-291a 和 211b-291b、212a-292a 和 212b-292b、以及 213a-293a 和 213b-293b 可以电绝缘。

[0115] 在第一掺杂区 311 和第二掺杂区 312 中，每个柱 113' 连同在第一方向上延伸的导电材料的部分 211a-291a 以及绝缘层 116 一起可以是一个 NAND 串 NS，并且每个柱 113' 连同在第一方向上延伸的导电材料的部分 211b-291b 以及绝缘层 116 一起可以是另一个 NAND 串 NS。在第二掺杂区 312 和第三掺杂区 313 中，每个柱 113' 连同在第一方向上延伸的导电材料的部分 212a-292a 以及绝缘层 116 一起可以是一个 NAND 串 NS，并且每个柱 113' 连同在第一方向上延伸的导电材料的部分 212b-292b 以及绝缘层 116 一起可以是另一个 NAND 串 NS。

[0116] 在第三掺杂区 313 和第四掺杂区 314 中，每个柱 113' 连同在第一方向上延伸的导电材料的部分 213a-293a 以及绝缘层 116 一起可以是一个 NAND 串 NS，并且每个柱 113' 连同在第一方向上延伸的导电材料的另一部分 213b-293b 以及绝缘层 116 一起可以是另一个 NAND 串 NS。通过将在第一方向上延伸的导电材料 211a-291a 与导电材料 211b-291b 电绝缘，每个柱 113' 可以形成两个 NAND 串 NS，从而利用绝缘层 101，在每个柱 113' 的两侧各有一个 NAND 串。

[0117] 类似于参照图 5-17 描述的示例实施例，在擦除操作期间，通过控制提供给未被选择的 NAND 串 NS 的地选择线 GSL 的电压，在存储块 BLKi' 中，可以以一行 NAND 串 NS 为单位执行擦除操作。类似于参照图 5-17 描述的示例实施例，在擦除操作期间，通过控制未被选择的 NAND 串 NS 的串选择线 SSL 的电压，可以避免在位线 BL 和 / 或漏极 320 与串选择晶体管 SST 之间的 GIDL。类似于参照图 5-17 描述的示例实施例，可以为每个 NAND 串 NS 提供至少一条串选择线 SSL 和至少一条地选择线 GSL。类似于参照图 5-17 描述的示例实施例，当为每个 NAND 串提供两条或更多选择线时，提供给所述选择线的电压的电平可以是不同的。

[0118] 图 19 是示出根据第二实施的图 2 的存储块 BLK1-BLKz 中的一个存储块 BLKj 的透视图。图 20 是沿图 19 的线 XX-XX′ 截取的截面图。参照图 19 和图 20，除了衬底 111 的第二类型阱 315 为在柱 113 下面的板式 (plate type) 导体之外，存储块 BLKj 可以被配置为

类似于参照图 4-17 描述的存储块。图 21 是示出图 19 和图 20 的存储块 BLKj 的擦除操作电压的表。参照图 8 和图 19-21，第一行的 NAND 串 NS11-NS13 将被描述为被选择，第二行的 NAND 串 NS21-NS23 和第三行的 NS31-NS33 将被描述为未被选择。

[0119] 被选择的串 NS11-NS13 的串选择线 SSL1 可以被浮置。可以控制未被选择的串 NS21-NS23 和 NS31-NS33 的串选择线 SSL2 和 SSL3 的电压，使其从地电压 Vss 到第六擦除禁止电压 Vm6。可以控制所述被选择的和未被选择的串 NS11-NS13、NS21-NS23 和 NS31-NS33 的字线 WL1-WL7，使其从浮置状态到地电压 Vss。可以控制被选择的串 NS11-NS13 的地选择线 GSL1，使其从地电压 Vss 到浮置状态。可以控制未被选择的串 NS21-NS23 和 NS31-NS33 的地选择线 GSL2 和 GSL3，使其从地电压 Vss 到第五擦除禁止电压 Vm5。共源线 CSL 可以被浮置。可以控制衬底 111 的电压，使其从预电压 Vpre 到擦除电压 Vers。

[0120] 图 22 是示出根据图 21 的电压条件的被选择的串 NS11-NS13 的电压变化的时序图。图 23 是示出根据图 22 的电压变化的被选择的串 NS11-NS13 中的一个被选择的串 NS12 的状态的截面图。参照图 21 和图 22，可以在第三时间 t3 向衬底 111 施加预电压 Vpre。衬底 111 可以被以第一类型（例如，P 型）掺杂，并且共源线 (CSL)315 可以被以第二类型（例如，N 型）掺杂。衬底 111 和共源线 (CSL)315 可以形成 PN 结。施加到衬底 111 的预电压 (Vpre) 可以被传送到共源线 (CSL)315。

[0121] 预电压 Vpre 可以被传送到共源线 (CSL)315，并且地电压 Vss 可以被施加到地选择线 (GSL1)211。共源线 (CSL)315 与地选择线 (GSL1)211 之间的电压差可以产生热空穴。产生的热空穴可以被传送到沟道区 114。可以产生从共源线 CSL 到沟道区 114 的电流。沟道区 114 的电压可以上升。随着沟道区 114 的电压上升，可以产生耦合。通过耦合的影响，字线 (WL1-WL7)221-281 以及串选择线 (SSL1)291 的电压可以升高。

[0122] 在第四时间 t4 可以浮置地选择线 (GSL1)211，并且可以向衬底 111 施加擦除电压 Vers。施加到衬底 111 的擦除电压 Vers 可以被传送到共源线 (CSL)315。由于共源线 (CSL)315 的电压上升，共源线 (CSL)315 与地选择线 (GSL1)211 之间的电压差可以增大。在共源线 (CSL)315 与地选择线 (GSL1)211 之间可以不断地产生热空穴。产生的热空穴可以进入沟道区 114。沟道区 114 的电压可以上升。

[0123] 由于地选择线 (GSL1)211 被浮置，所以地选择线 (GSL1)211 也可以受耦合的影响。例如，地选择线 (GSL1)211 可以受到来自共源线 (CSL)315 和沟道区 114 的耦合的影响。地选择线 (GSL1)211 的电压可以上升。可以在第五时间 t5 向字线 (WL1-WL7)221-281 施加地电压 Vss。沟道区 114 的电压可以上升到第四电压 V4。字线 (WL1-WL7)221-281 与沟道区 114 之间的电压差可以产生 Fowler-Nordheim 隧穿。存储单元 MC1-MC7 可以被擦除。

[0124] 由于耦合地选择线 (GSL1)211 的电压可以上升到第三耦合电压 Vc3。例如，第三耦合电压 Vc3 与第四电压 V4 之间的电压差可以不导致 Fowler-Nordheim 隧穿。地选择晶体管 GST 可以避免被擦除。由于耦合串选择线 (SSL1)291 的电压可以上升到第四耦合电压 Vc4。例如，第四耦合电压 Vc4 与第四电压 V4 之间的电压差可以不导致 Fowler-Nordheim 隧穿。串选择晶体管 SST 可以避免被擦除。

[0125] 图 24 是示出根据图 22 的电压条件的未被选择的串 NS21-NS23 和 NS31-NS33 的电压变化的时序图。图 25 是示出根据图 24 的电压变化的未被选择的串 NS21-NS23 和 NS31-NS33 中的一个未被选择的串 NS22 的状态的截面图。参照图 8、图 24 和图 25，可以在

第四时间 t4 向地选择线 (GSL2)212 施加第一擦除禁止电压 Vm5。例如，可以设定第五擦除禁止电压 Vm5 以避免由于共源线 (CSL) 与地选择线 (GSL2)212 之间的电压差产生热空穴。当热空穴的产生被避免和 / 或减少时，沟道区 114 的电压可以不发生变化。例如，沟道区 114 的电压可以保持在地电压 Vss。

[0126] 类似于参照图 4-17 所描述的，可以向串选择线 (SSL)292 施加第六擦除禁止电压 Vm6 以避免由漏极 320 与串选择线 (SSL2)292 之间的电压差所引起的 GIDL。例如，可以在第四时间 t4，在第五时间 t5 之前，和 / 或在第六时间 t6 之前施加第六擦除禁止电压 Vm6。尽管在图 19-24 中描述了向未被选择的串 NS21-NS23 和 NS31-NS33 的地选择线 GSL2 和 GSL3 施加第五擦除禁止电压 Vm5，但是施加到地选择线 GSL2 和 GSL3 的第五擦除禁止电压 Vm5 的电平可以改变。

[0127] 例如，第五擦除禁止电压 Vm5 可以具有与共源线 CSL 的预电压 Vpre 相对应的第一电平。可以设定第五擦除禁止电压 Vm5 的第一电平以避免由于预电压 Vpre 与第五擦除禁止电压 Vm5 的第一电平之间的差所致产生热空穴。例如，第五擦除禁止电压 Vm5 可以具有与共源线 CSL 的擦除电压 Vers 相对应的第二电平。可以设定第五擦除禁止电压 Vm5 的第二电平以避免由于擦除电压 Vers 与第五擦除禁止电压 Vm5 的第二电平之间的差所致产生热空穴。

[0128] 类似于参照图 4-17 描述的，在每个 NAND 串中可以包括至少两条地选择线 GSL。在每个 NAND 串 NS 中可以包括一条地选择线 GSL 和至少一条邻近该地选择线 GSL 的伪字线。在每个 NAND 串 NS 中可以包括至少一条地选择线 GSL 和至少一条伪字线。至少两条串选择线 SSL 和 / 或至少两条伪字线可以电连接。在每个 NAND 串 NS 中可以包括至少两条串选择线 SSL。在每个 NAND 串 NS 中可以包括至少一条串选择线 SSL 和至少一条伪字线。在每个 NAND 串 NS 中可以包括至少一条串选择线 SSL 和至少一条伪字线。至少两条地选择线 GSL 和至少两条伪字线可以电连接。

[0129] 当为每个 NAND 串 NS 提供两条或更多串选择线 SSL 时，施加到串选择线 SSL 的电压的电平可以有所不同。当为每个 NAND 串 NS 提供两条或更多地选择线 GSL 时，施加到地选择线 GSL 的电压的电平可以有所不同。

[0130] 图 26 是示出根据本发明构思的示例实施例的图 2 的存储块 BLK1-BLKi 中的一个存储块 BLKp 的透视图。图 27 是沿图 26 的线 XXVII-XXVII’ 截取的截面图。参照图 26 和图 27，字线 221’-281’ 可以是板式导体。绝缘层 116’ 可以是柱 113’ 上的表层 116’。柱 113’ 的中间层 114’ 可以包括例如 P 型硅。柱 113’ 的中间层 114’ 可以用作第二方向的主体 114’。柱 113’ 的内层 115’ 可以包括绝缘材料。存储块 BLKp 的擦除操作可以与参照图 19-24 描述的存储块 BLKj 的擦除操作类似地执行。因此，此处将省略对其的详细说明。

[0131] 如上所述，通过偏置连接到一条位线 BL 的多个 NAND 串 NS 的地选择线，可以独立地擦除连接到所述位线 BL 的多个 NAND 串 NS。非易失性存储器件 100 的擦除操作的单元可以减小。当非易失性存储器件 100 的擦除操作的单元减小时，可以减少执行诸如合并 (merge) 和碎片收集 (garbagecollection) 之类的后台操作所需的时间。可以提高非易失性存储器件 100 的操作速度。当擦除操作的单元减小时，可以降低在特定擦除单元被作为损坏处理时被无效的存储容量。因此，可以提高非易失性存储器件 100 的存储容量的利用率。

[0132] 图 28 是示出包括图 1 的非易失性存储器件 100 的存储系统 1000 的框图。参照图 28，存储系统 1000 可以包括非易失性存储器件 1100 和控制器 1200。非易失性存储器件 1100 可以如参照图 1-27 所描述的那样配置和操作。控制器 1200 可以连接到主机和非易失性存储器件 1100。响应于来自主机的请求，控制器 1200 可以被被配置为存取非易失性存储器件 1100。例如，控制器 1200 可以被配置为控制非易失性存储器件 1100 的读操作、写操作、擦除操作和 / 或后台操作。控制器 1200 可以被配置为提供在非易失性存储器件 1100 和主机之间的接口。控制器 1200 可以被配置为驱动用于控制非易失性存储器件 1100 的固件。

[0133] 例如，如参照图 1 所述，控制器 1200 可以被配置为向非易失性存储器件 1100 提供控制信号 CTRL 和地址 ADDR。控制器 1200 可以被配置为与非易失性存储器件 1100 交换数据。例如，控制器 1200 还可以包括公知的组件，诸如随机存取存储器 (RAM)、处理单元、主机接口和 / 或存储接口。RAM 可以被用作处理单元的操作存储器、非易失性存储器件 1100 与主机之间的高速缓冲存储器、以及非易失性存储器件 1100 与主机之间的缓冲存储器。处理单元可以控制控制器 1200 的总体操作。

[0134] 主机接口可以包括用于在主机与控制器 1200 之间执行数据交换的协议。例如，控制器 1200 可以被配置为通过多种接口协议中的至少一个与外部设备 (主机) 通信，所述多种接口协议诸如通用串行总线 (USB) 协议、多媒体卡 (MMC) 协议、外围组件互连 (PCI) 协议、高速 PCI(PCI-E) 协议、高级技术附件 (ATA) 协议、串行 ATA 协议、并行 ATA 协议、小型计算机小接口 (SCSI) 协议、增强型小盘接口 (ESDI) 协议和集成驱动电子 (IDE) 协议。存储接口可以与非易失性存储器件 1100 接口。例如，存储接口可以包括 NAND(与非) 和 / 或 NOR(或非) 接口。

[0135] 存储系统 1000 可以被配置为包括纠错块。纠错块可以被配置为使用纠错码 ECC 检测和纠正从非易失性存储器件 1100 读出的数据的错误。例如，纠错块可以是控制器 1200 的组件。纠错块可以是非易失性存储器件 1100 的组件。

[0136] 控制器 1200 和非易失性存储器件 1100 可以集成到一个半导体器件中。例如，控制器 1200 和非易失性存储器件 1100 可以集成到一个半导体器件中，成为存储卡。例如，控制器 1200 和非易失性存储器件 1100 可以集成到一个半导体器件中，成为诸如 PC 卡 (个人计算机存储卡国际协会 (PersonalComputer Memory Card International Association, PCMCIA))、紧凑闪速 (Compact Flash, CF) 卡，智能媒体 (Smart Media, SM 和 SMC) 卡、记忆棒、多媒体卡 (MMC、RS-MMC 和 MMCmicro)、SD 卡 (SD、miniSD、microSD 和 SDHC) 和 / 或通用闪速存储器 (Universal Flash Storage, UFS) 的存储卡。

[0137] 控制器 1200 和非易失性存储器件 1100 可以集成到一个半导体器件中，以形成半导体驱动器 (固态驱动器 (Solid State Drive, SSD))。半导体驱动器 (SSD) 可以包括被配置为在半导体存储器中存储数据的存储设备。当存储系统 1000 被用作半导体驱动器 (SSD) 时，可以提高连接到存储系统 1000 的主机的操作速度。

[0138] 再例如，存储系统 1000 可以是多种电子设备的组件之一，所述电子设备诸如超移动 PC(Ultra Mobile PC, UMPC)、工作站、上网本、个人数字助理 (PDA)、便携式计算机、上网桌、无线电话、移动电话、智能电话、电子书、便携式多媒体播放器 (PMP)、便携式游戏控制台、导航设备、黑匣子、数码相机、数字音频记录器、数字音频播放器、数字图片记录器、数

字图片播放器、数字视频记录器、数字视频播放器、能够在无线环境下发送 / 接收信息的设备、构成家庭网络的各种电子设备之一、构成计算机网络的各种电子设备之一、构成车联网 (telematics network) 的各种电子设备之一、RFID 器件和 / 或构成计算系统的各种组件之一。

[0139] 例如，非易失性存储器件 1100 和 / 或存储系统 1000 可以以各种类型的封装来安装。非易失性存储器件 1100 和 / 或存储系统 1000 可以使用多种方法封装，诸如层叠封装 (Package on Package，PoP)、球栅阵列 (Ball grid array，BGA)、芯片尺寸封装 (Chip scale package，CSP)、塑料带引线芯片载体 (Plastic LeadedChip Carrier，PLCC)、塑料双列直插封装 (Plastic Dual In-Line Package，PDIP)、叠片内裸片封装 (Die in Waffle Pack)、晶圆内裸片形式 (Die in Wafer Form)、板上芯片 (Chip On Board，COB)、陶瓷双列直插封装 (Ceramic Dual In-LinePackage，CERDIP)、塑料标准四边扁平封装 (Metric Quad Flat Pack，MQFP)、薄型四边扁平封装 (Thin Quad Flat Pack，TQFP)、小外型集成电路 (SmallOutline Integrated Circuit，SOIC)、缩小外型封装 (Shrink Small OutlinePackage，SSOP)、薄型小外形封装 (Thin Small Outline Package，TSOP)、系统级封装 (System In Package，SIP)、多芯片封装 (Multi Chip Package，MCP)、晶圆级结构封装 (Wafer-level Fabricated Package，WFP) 和 / 或晶圆级处理堆叠封装 (Wafer-Level Processed Stack Package，WSP).

[0140] 图 29 是示出图 28 的存储系统 1000 的示例应用的示图。参照图 29，存储系统 2000 可以包括非易失性存储器件 2100 和控制器 2200。非易失性存储器件 2100 可以包括多个非易失性存储器芯片。多个非易失性存储器芯片可以被分成多个组。多个非易失性存储器芯片的每组可以被配置为通过一个公共通道与控制器 2200 通信。在图 29 中，多个非易失性存储器芯片被显示为通过第一通道 CH1 到第 k 通道 CHk 与控制器 2200 通信。每个非易失性存储器芯片可以与参照图 1-27 所描述的非易失性存储器件 100 类似地配置。在图 29 中，多个非易失性存储器芯片被显示为连接到一个通道。然而，也可以修改存储系统 2000 以使得一个非易失性存储器芯片可以连接到一个通道。

[0141] 图 30 是示出包括参照图 29 描述的存储系统 2000 的计算系统 3000 的示图。参照图 30，计算系统 3000 可以包括中央处理单元 (CPU)3100、RAM 3200、用户接口 3300、电源 3400 和 / 或存储系统 2000。存储系统 2000 可以电连接到 CPU 3100、RAM 3200、用户接口 3300 和 / 或电源 3400。由 CPU 3100 通过用户接口 3300 提供的或处理的数据可以存储在存储系统 2000 中。

[0142] 在图 30 中，非易失性存储器件 2100 被显示为通过控制器 2200 连接到系统总线 3500。然而，非易失性存储器件 2100 可以被配置为直接连接到系统总线 3500。在图 30 中，示出了参照图 29 描述的存储系统 2000。然而，也可以将存储系统 2000 替换为参照图 28 描述的存储系统 1000。例如，计算系统 3000 可以被配置为包括参照图 28 和 29 描述的存储系统 1000 和 2000 的全部。

[0143] 虽然已经详细地示出和描述了示例实施例，但本领域普通技术人员将理解，可以在其中做出形式和细节上的各种变化而不会偏离权利要求的精神和范围。

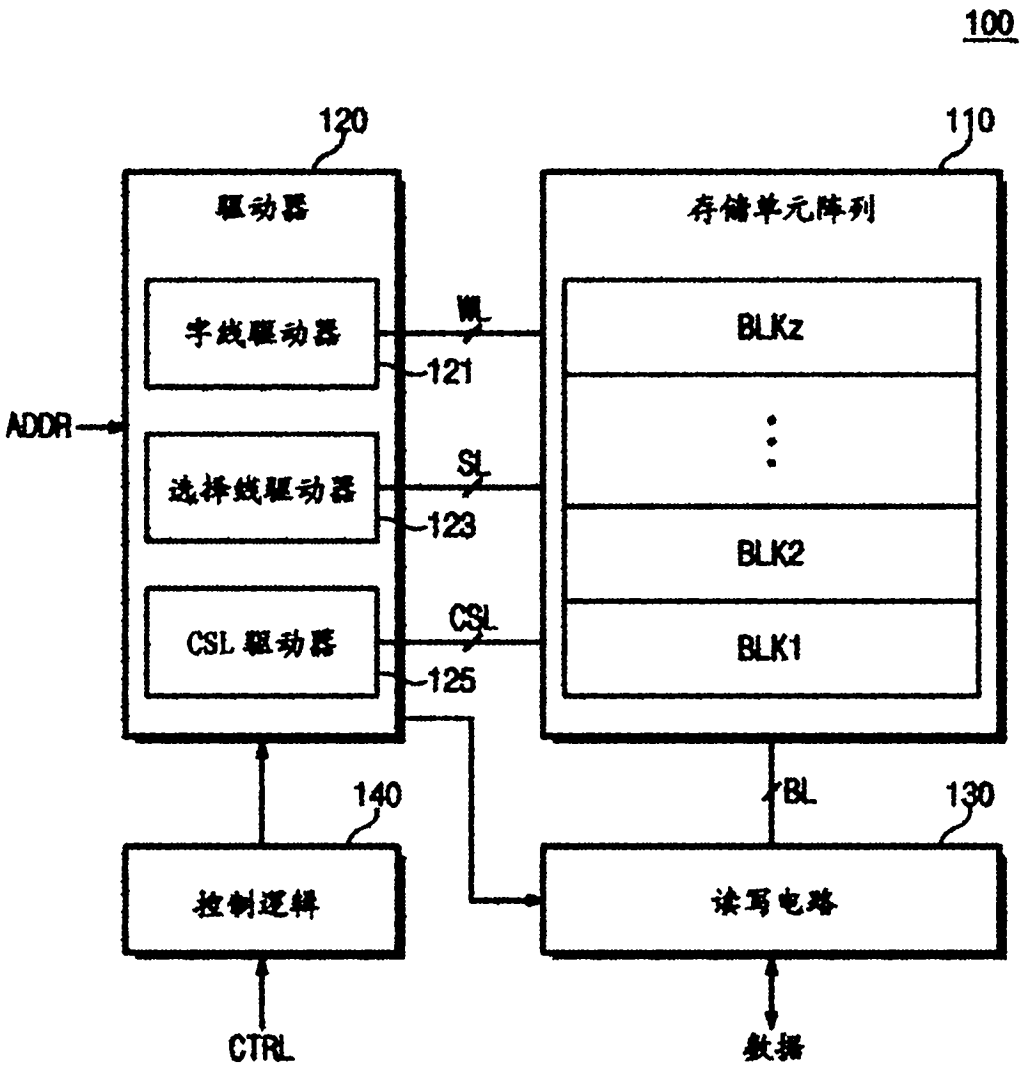

100
120
110
驱动器
存储单元阵列
字线驱动器
选择线驱动器
CSL 驱动器
121
123
125
WL
SL
CSL
ADDR
BLKz
BLK2
BLK1
BL
140
130
控制逻辑
读写电路
CTRL
数据

图 1

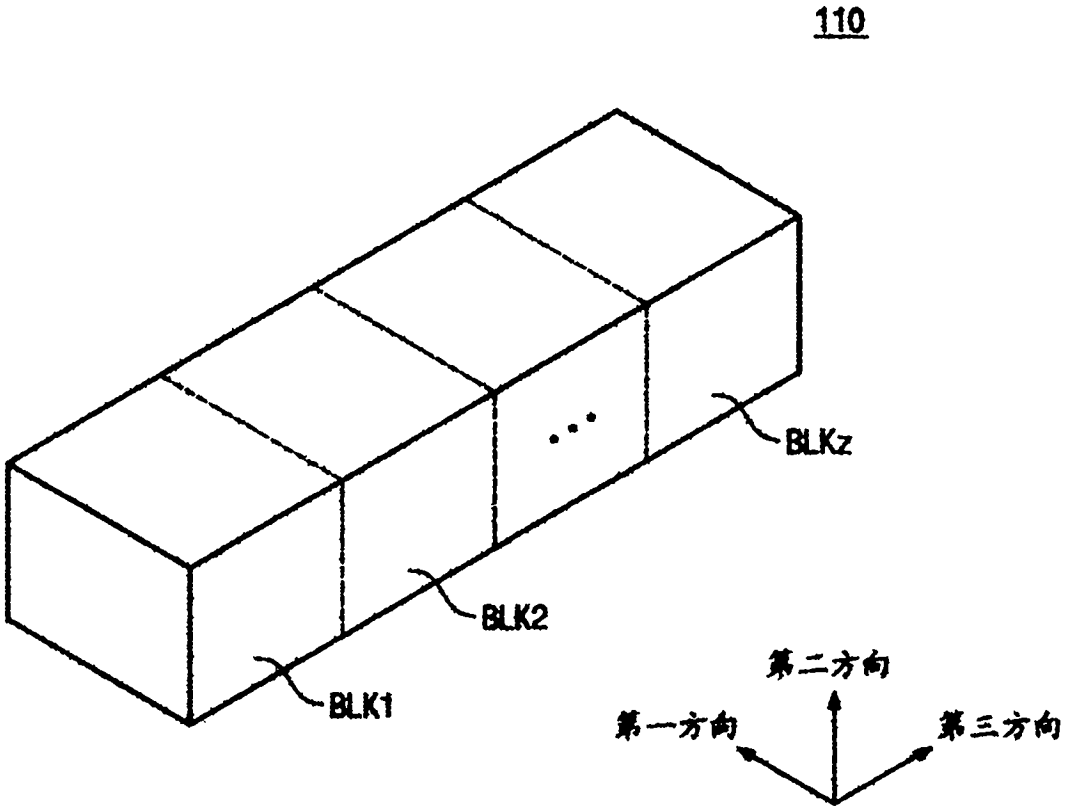


图 2

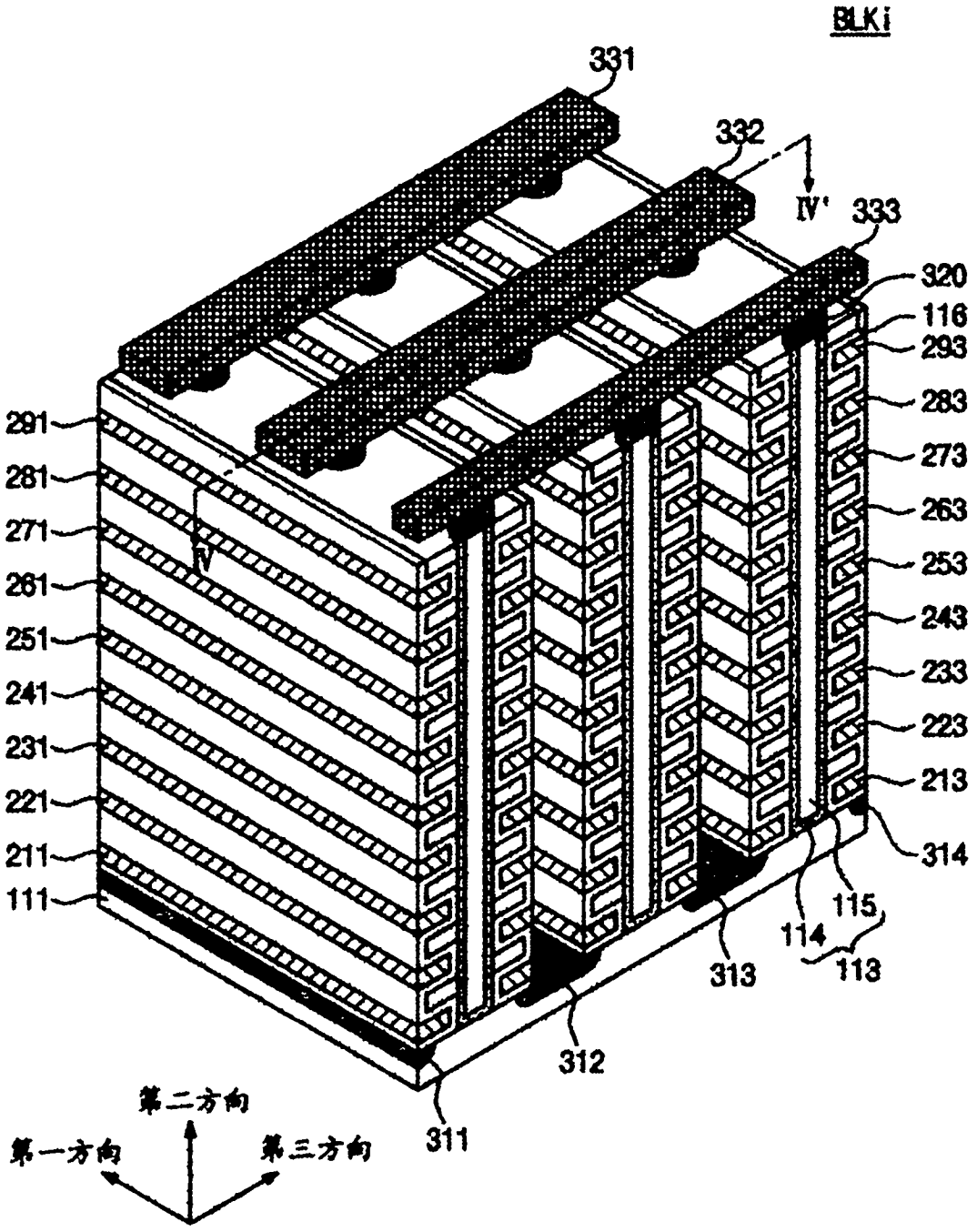

BLKi
331
332
IV'
333
320
116
293
283
273
263
253
243
233
223
213
314
115
114
113
313
312
311
291
281
271
261
251
241
231
221
211
111
IV
第二方向
第一方向
第三方向

图 3

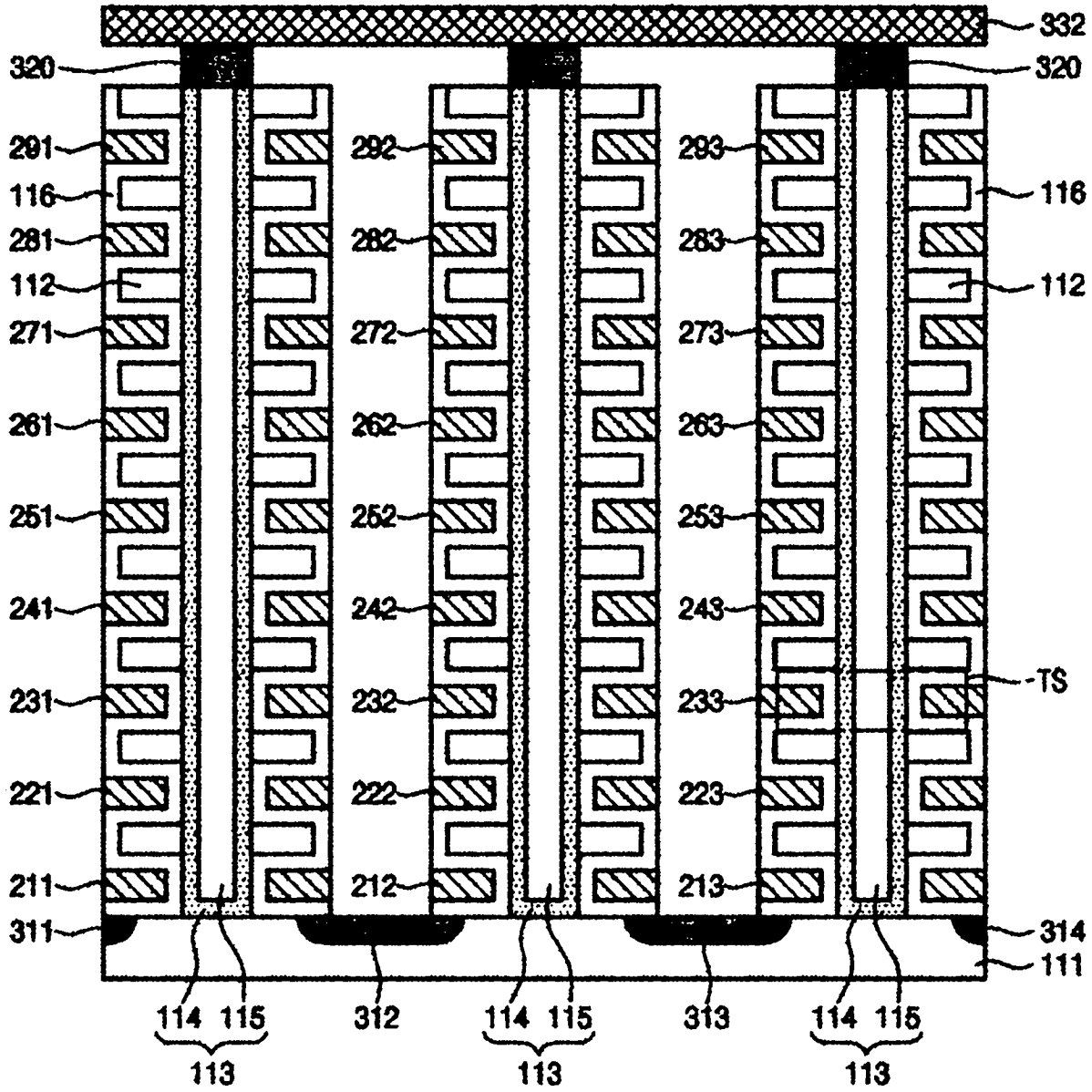

332
320
320
291
292
293
116
116
281
282
283
112
112
271
272
273
261
262
263
251
252
253
241
242
243
TS
231
232
233
221
222
223
211
212
213
311
314
111
114 115
312
114 115
313
114 115
113
113
113

图 4

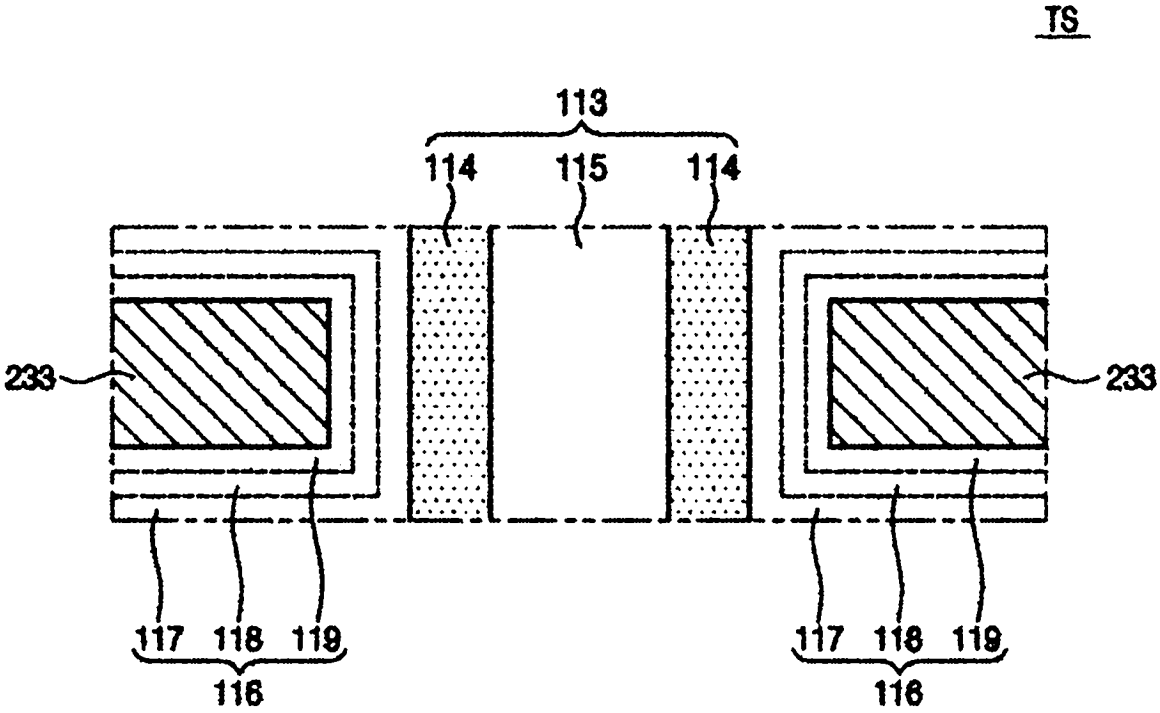


图 5

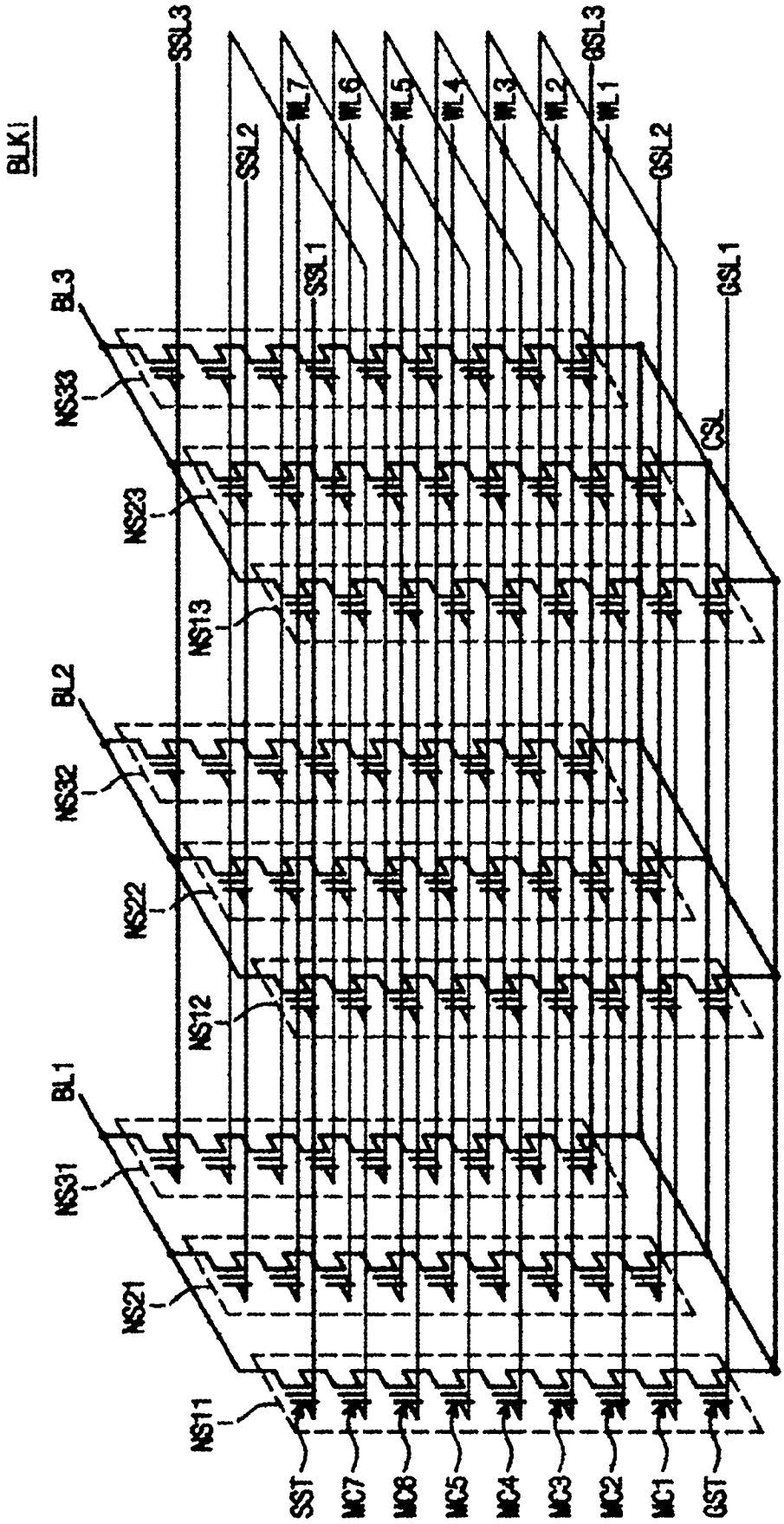

BLK1
SSL3
SSL2
SSL1
WL7
WL6
WL5
WL4
WL3
WL2
WL1
GSL3
GSL2
GSL1
CSL
BL3
BL2
BL1
NS33
NS23
NS13
NS32
NS22
NS12
NS31
NS21
NS11
SST
MC7
MC6
MC5
MC4
MC3
MC2
MC1
GST

图 6

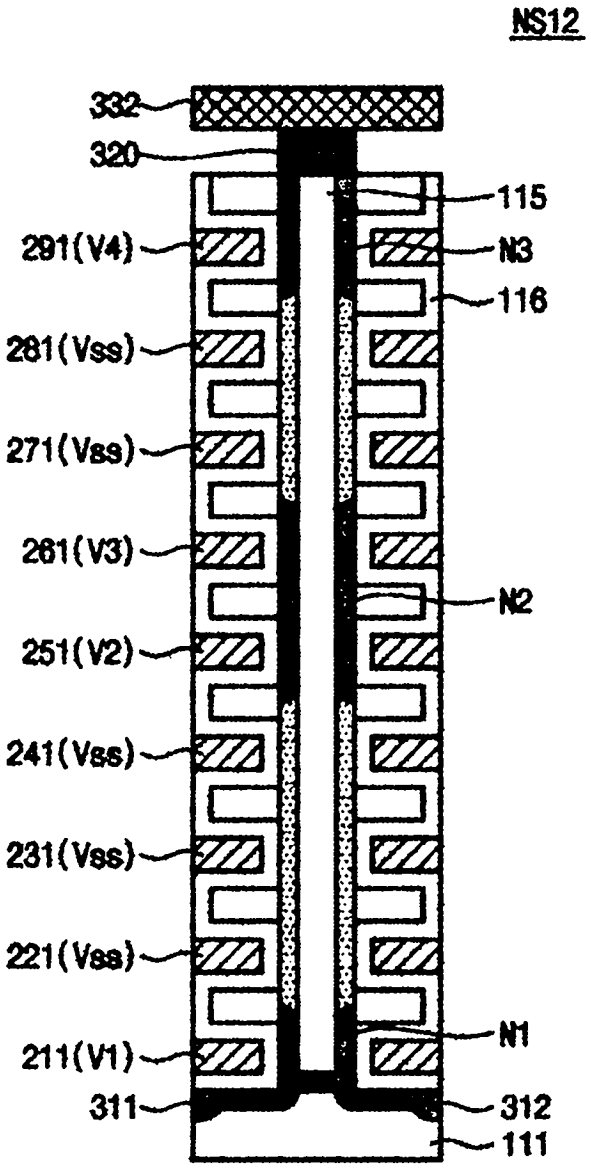

NS12
332
320
115
291(V4)
N3
116
281(Vss)
271(Vss)
261(V3)
N2
251(V2)
241(Vss)
231(Vss)
221(Vss)
N1
211(V1)
311
312
111

图 7

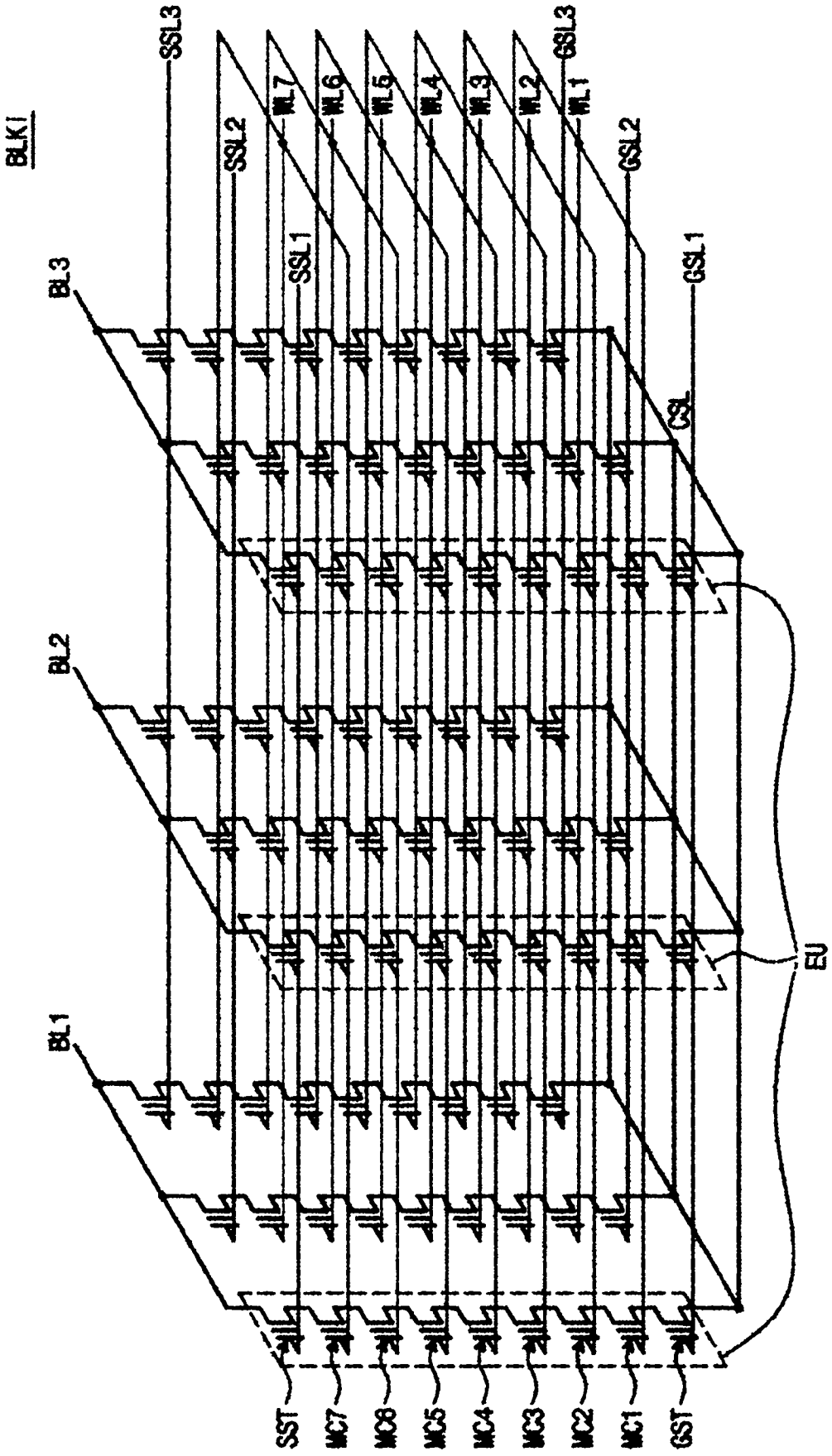

BLK1
SSL3
SSL2
SSL1
WL7
WL6
WL5
WL4
WL3
WL2
WL1
GSL3
GSL2
GSL1
CSL
BL3
BL2
BL1
EU
SST
MC7
MC6
MC5
MC4
MC3
MC2
MC1
GST

图 8

	被选择的串	未被选择的串
SSL	浮置	Vss → Vm2
WL	Vss	
GSL	浮置	Vss → Vm1
CSL	浮置	
衬底	Vers	

图 9

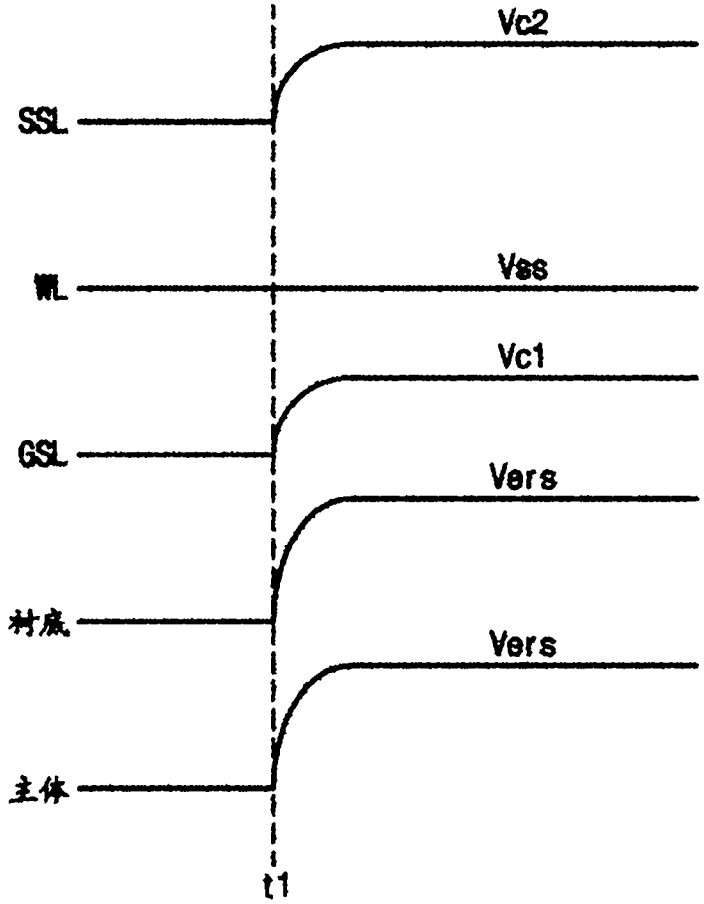


图 10

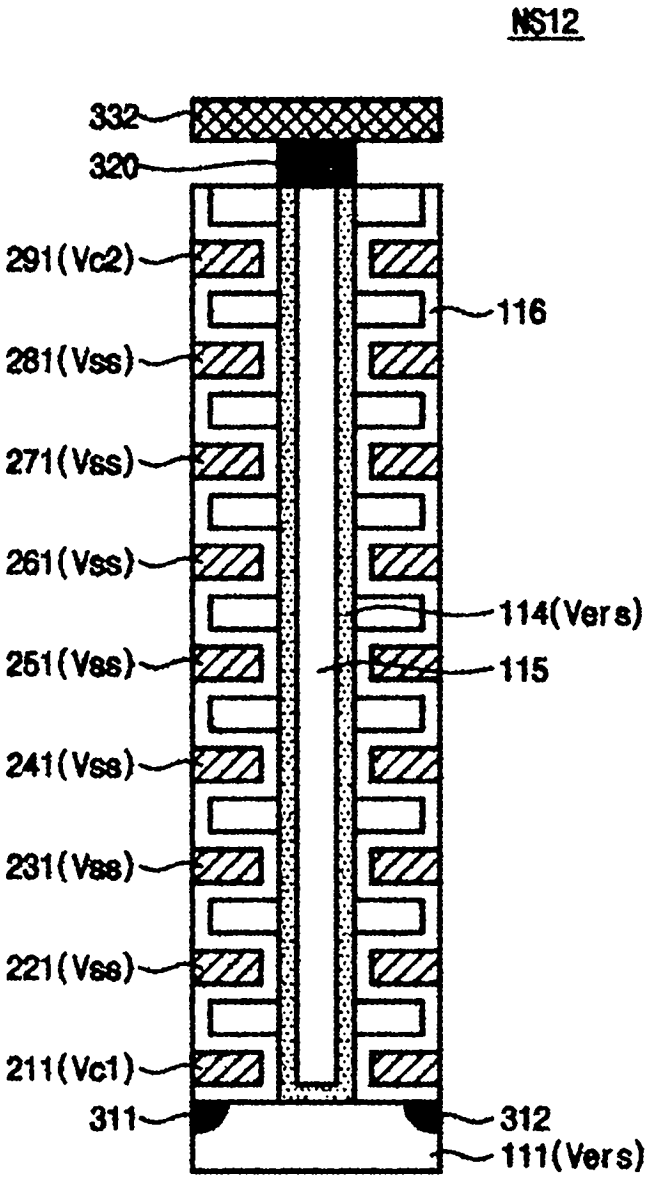

NS12
332
320
291(Vc2)
116
281(Vss)
271(Vss)
261(Vss)
114(Vers)
251(Vss)
115
241(Vss)
231(Vss)
221(Vss)
211(Vc1)
311
312
111(Vers)

图 11

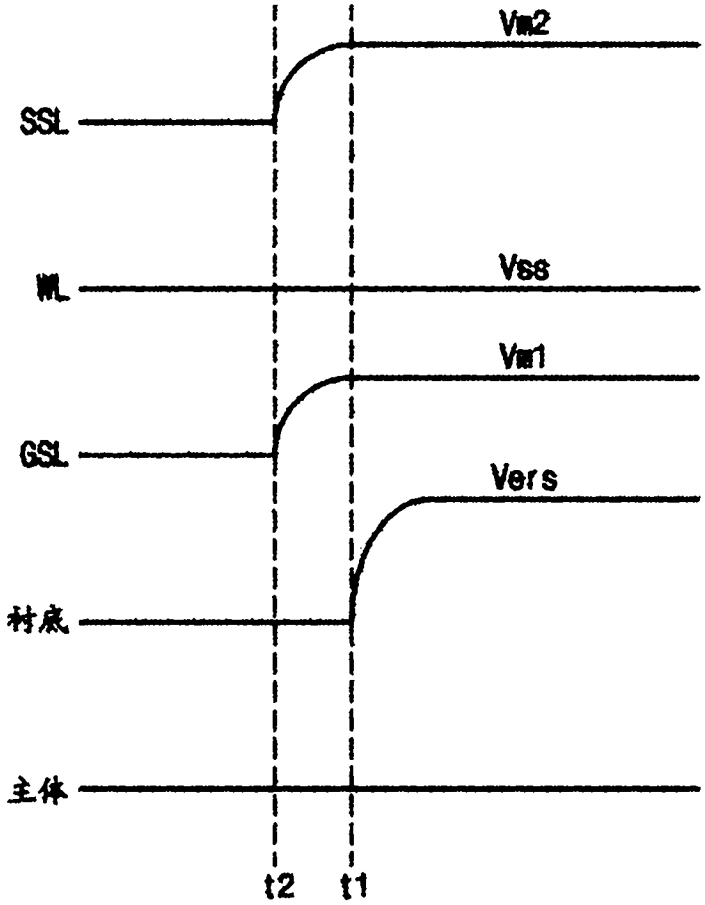


图 12

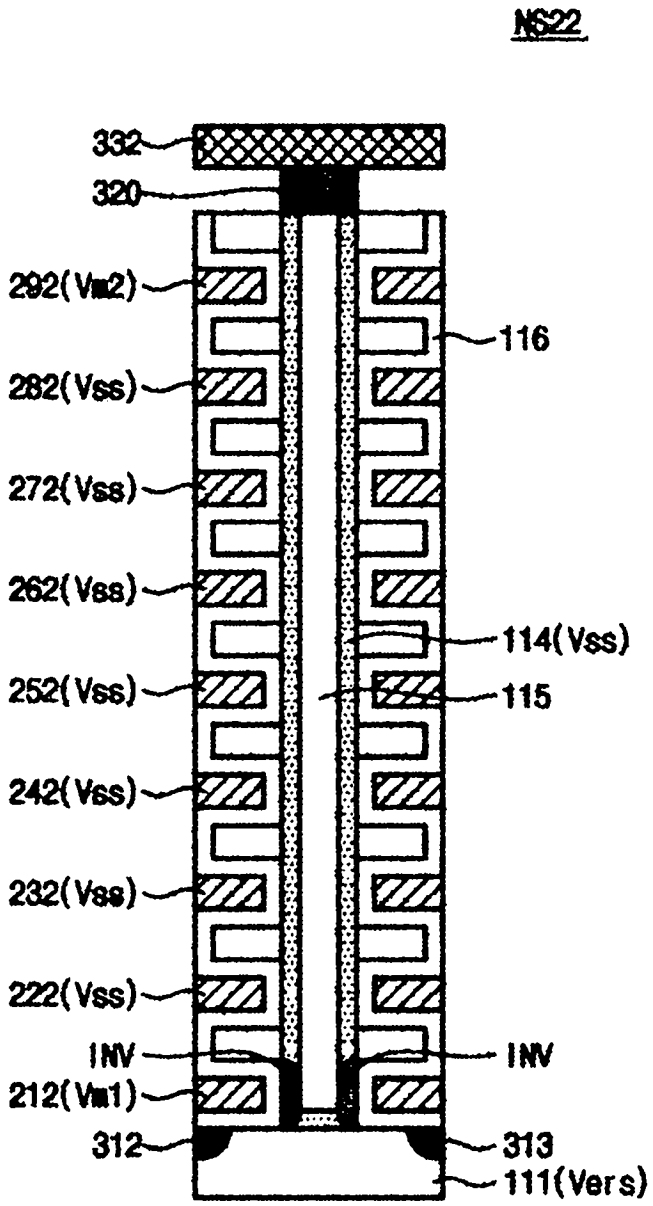

NS22
332
320
292(Vm2)
282(Vss)
272(Vss)
262(Vss)
252(Vss)
242(Vss)
232(Vss)
222(Vss)
INV
212(Vm1)
312
116
114(Vss)
115
INV
313
111(Vers)

图 13

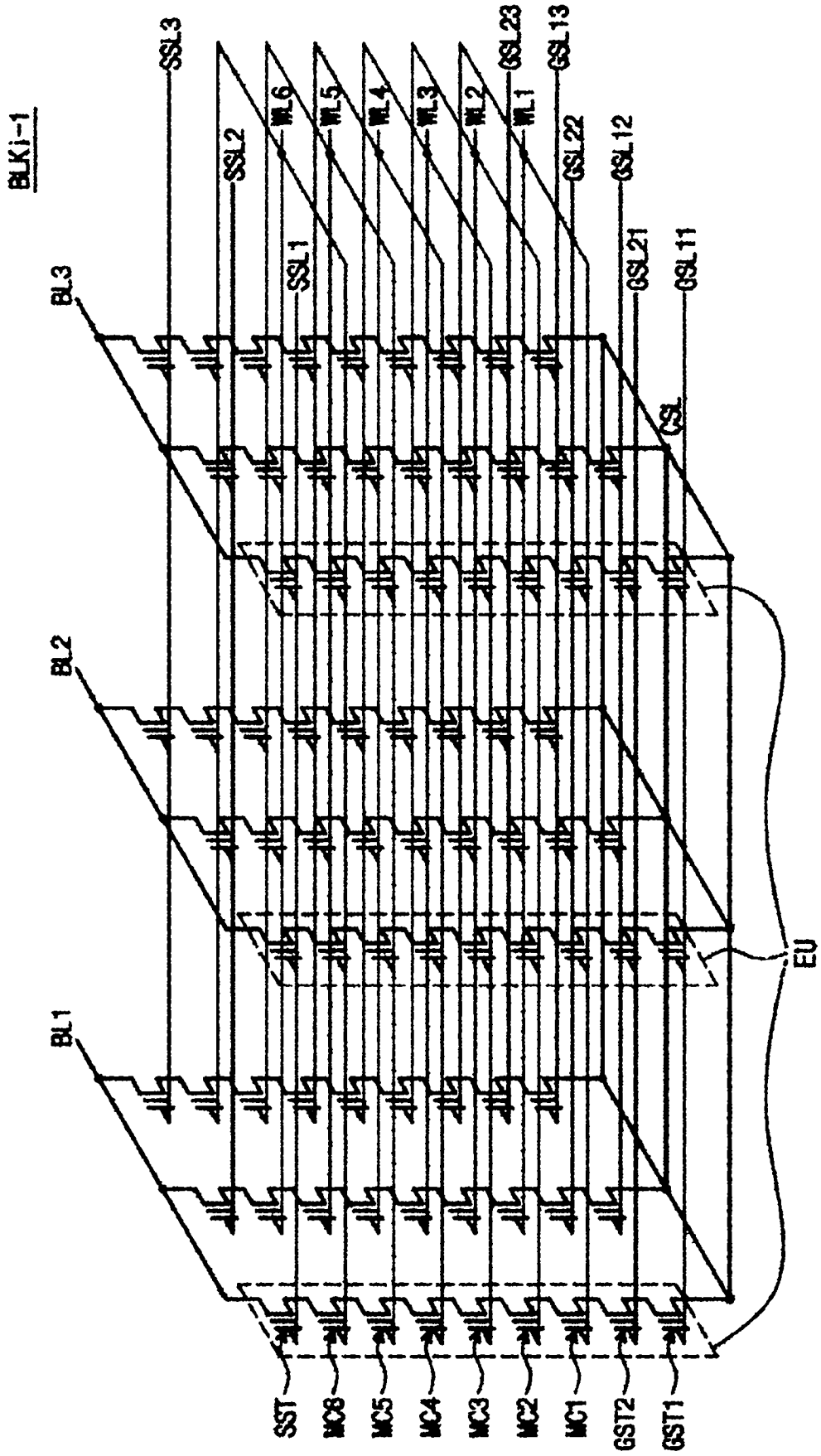

BLKi-1
SSL3
SSL2
SSL1
WL6
WL5
WL4
WL3
WL2
WL1
GSL23
GSL13
GSL22
GSL12
GSL21
GSL11
GSL
BL3
BL2
BL1
EU
SST
MC8
MC5
MC4
MC3
MC2
MC1
GST2
GST1

图 14

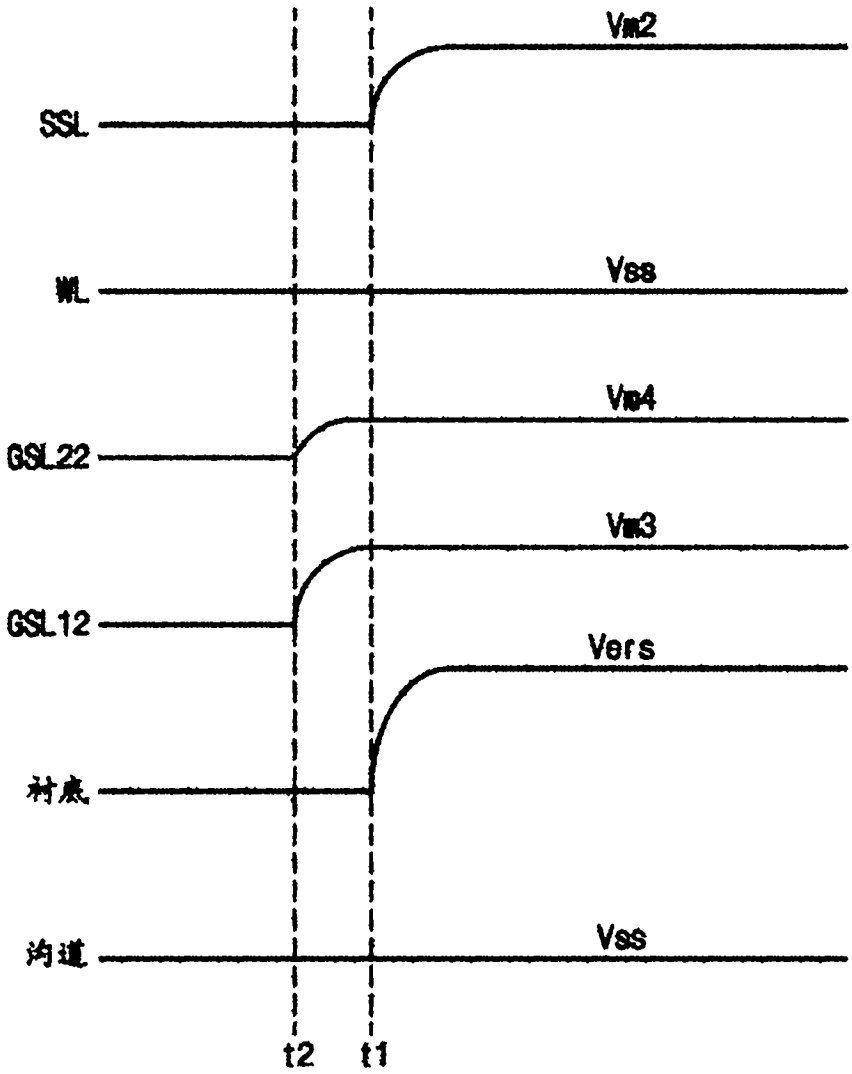


图 15

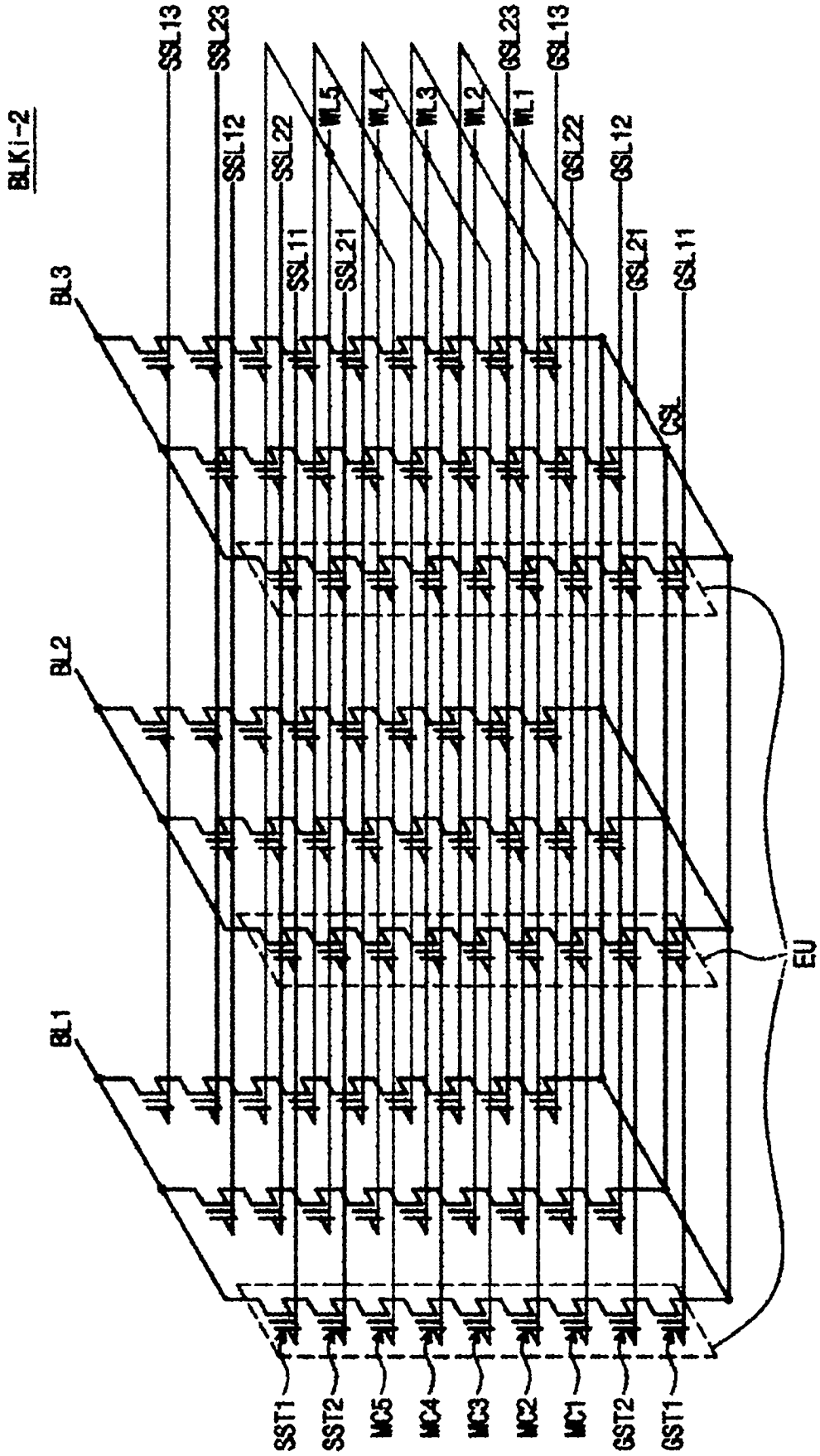

BLKi-2
SSL13
SSL23
SSL12
SSL22
SSL11
SSL21
WL5
WL4
WL3
WL2
WL1
GSL23
GSL13
GSL22
GSL12
GSL21
GSL11
CSL
BL3
BL2
BL1
EU
SST1
SST2
MC5
MC4
MC3
MC2
MC1
GST2
GST1

图 16

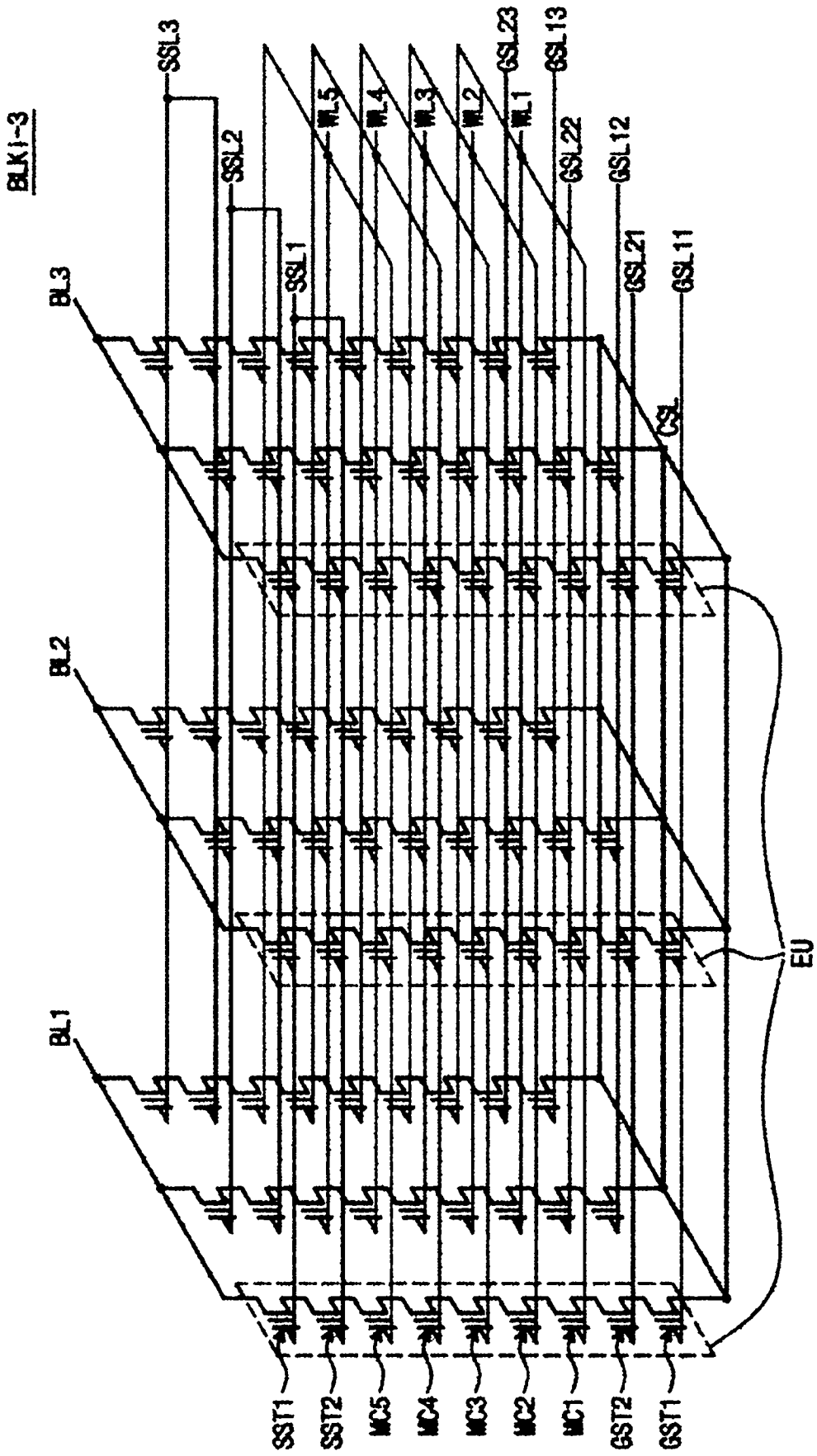

BLK1-3
SSL3
SSL2
SSL1
WL5
WL4
WL3
WL2
WL1
GSL23
GSL13
GSL22
GSL12
GSL21
GSL11
CSL
BL3
BL2
BL1
EU
SST1
SST2
MC5
MC4
MC3
MC2
MC1
GST2
GST1

图 17

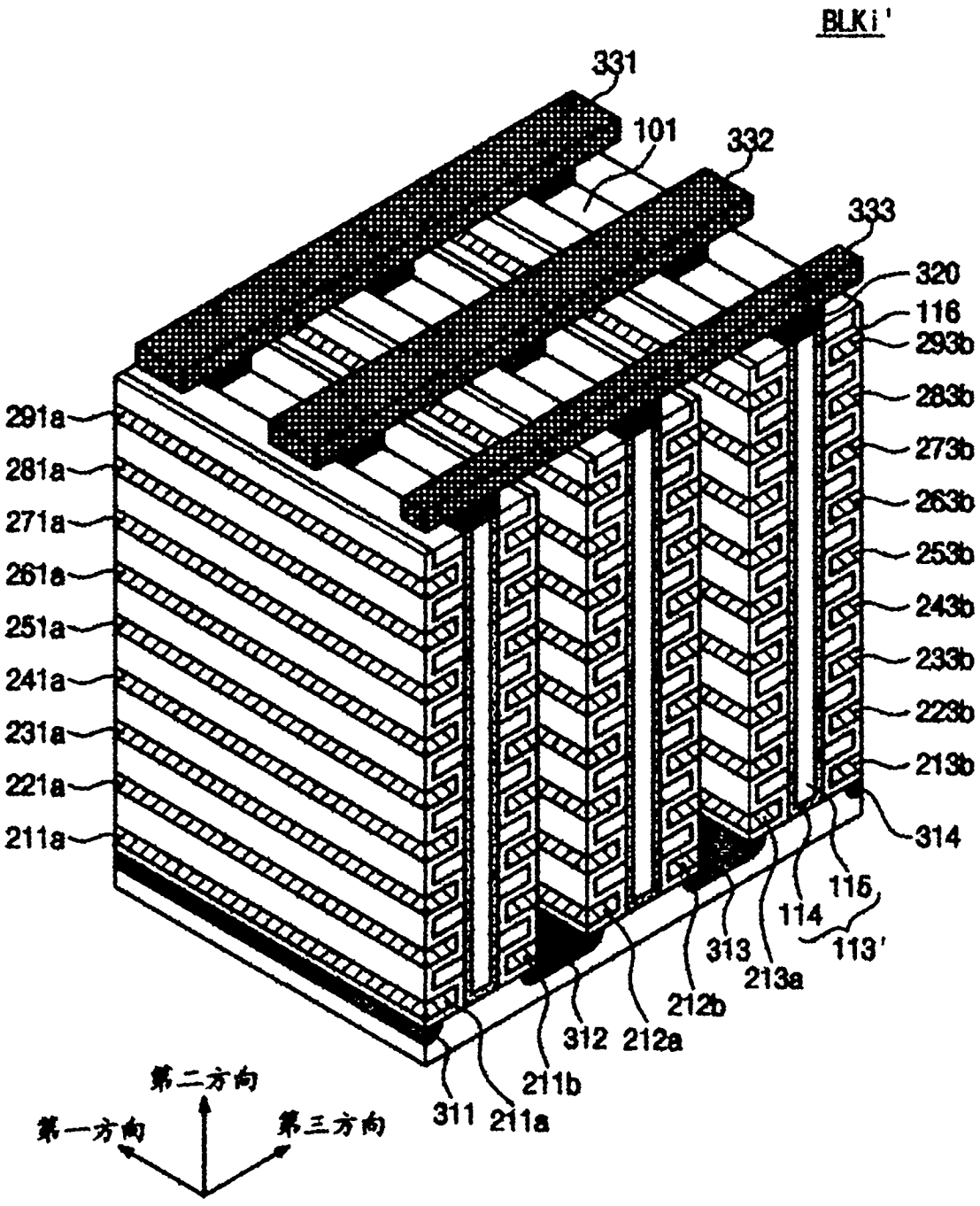

BLKi'
331
101
332
333
320
116
293b
283b
273b
263b
253b
243b
233b
223b
213b
314
115
114
113'
313
213a
212b
312
212a
211b
311
211a
291a
281a
271a
261a
251a
241a
231a
221a
211a
第二方向
第一方向
第三方向

图 18

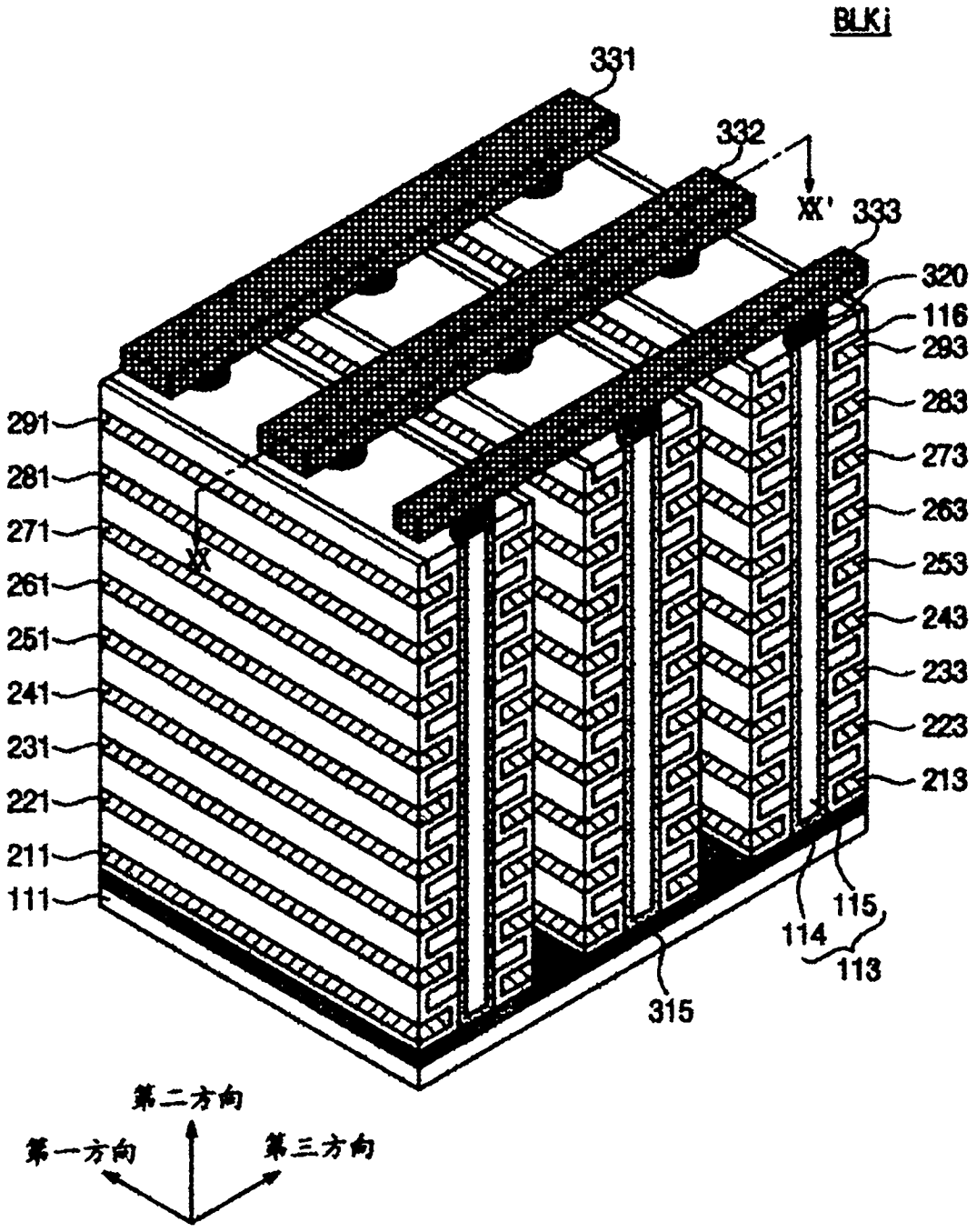

BLKj
331
332
XX'
333
320
116
293
283
273
263
253
243
233
223
213
291
281
271
261
251
241
231
221
211
111
X
X'
115
114
113
315
第二方向
第一方向
第三方向

图 19

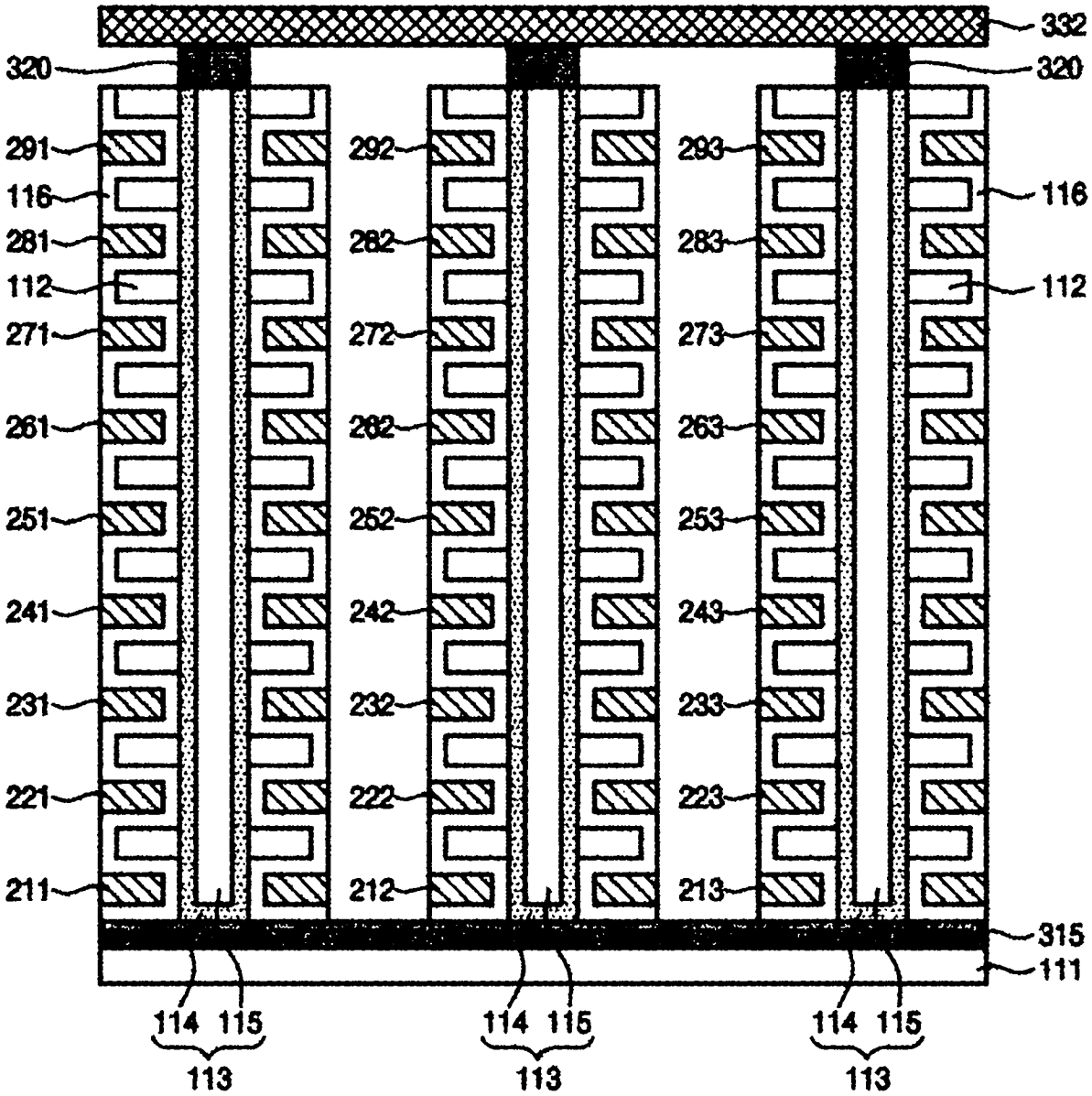

332
320
320
291
292
293
116
116
281
282
283
112
112
271
272
273
261
262
263
251
252
253
241
242
243
231
232
233
221
222
223
211
212
213
315
111
114 115
114 115
114 115
113
113
113

图 20

	被选择的串	未被选择的串
SSL	浮置	Vm6
WL	浮置 → Vss	
GSL	Vss → 浮置	Vss → Vm5
CSL	浮置	
衬底	Vpre → Vers	

图 21

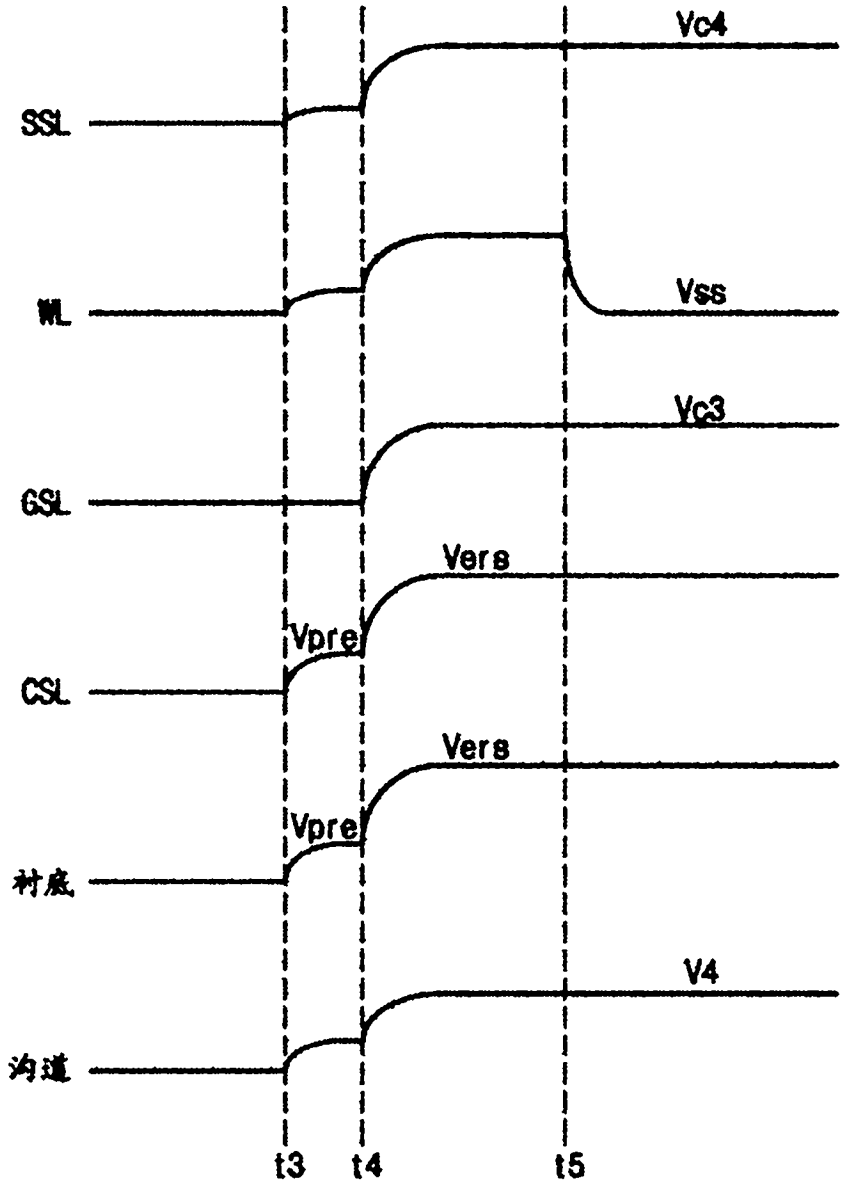


图 22

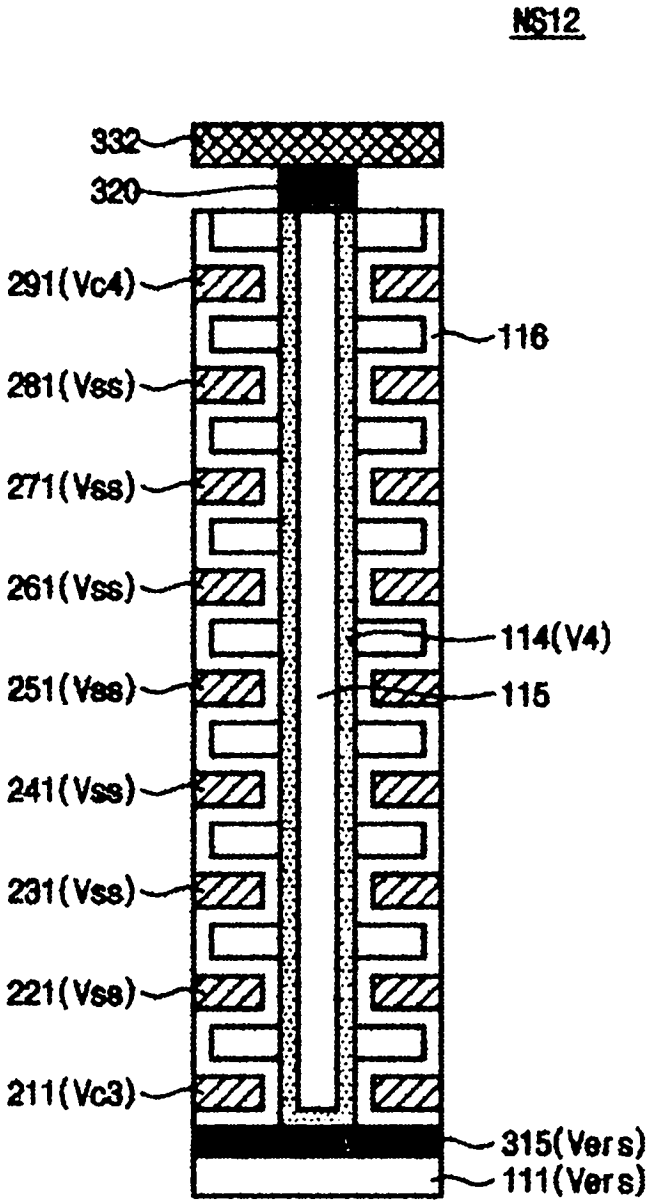

NS12
332
320
291(Vc4)
281(Vss)
271(Vss)
261(Vss)
251(Vss)
241(Vss)
231(Vss)
221(Vss)
211(Vc3)
116
114(V4)
115
315(Vers)
111(Vers)

图 23

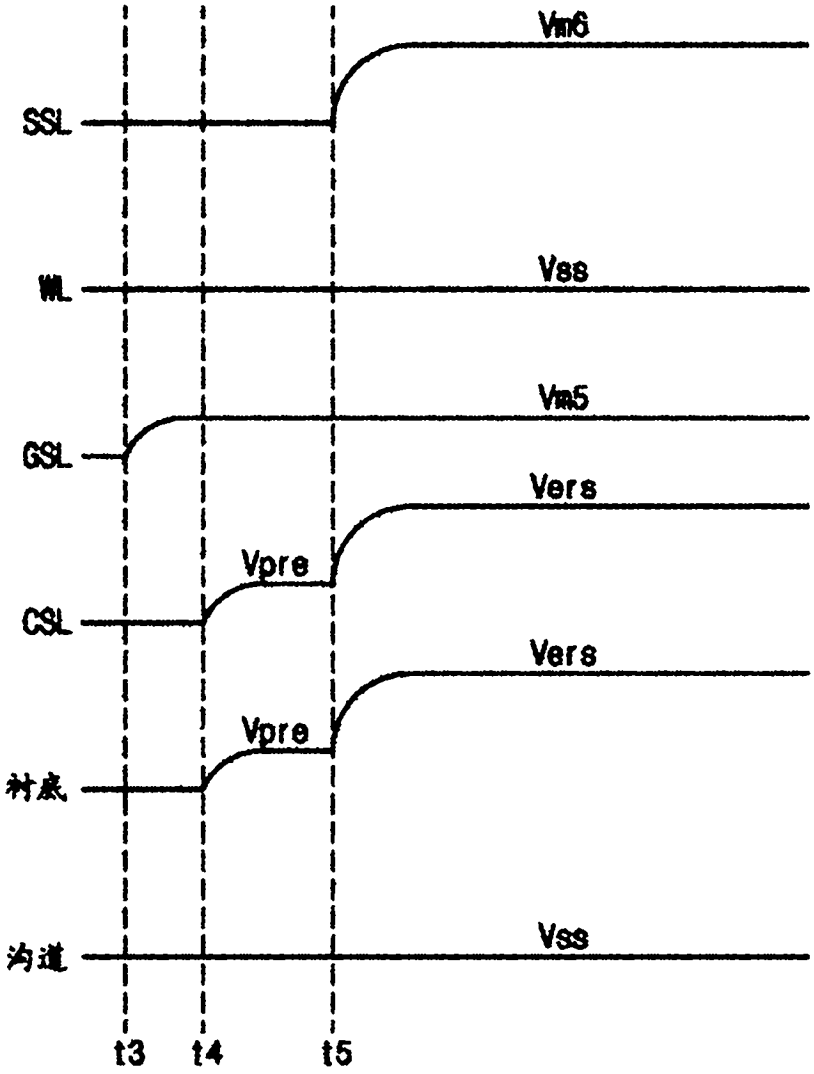


图 24

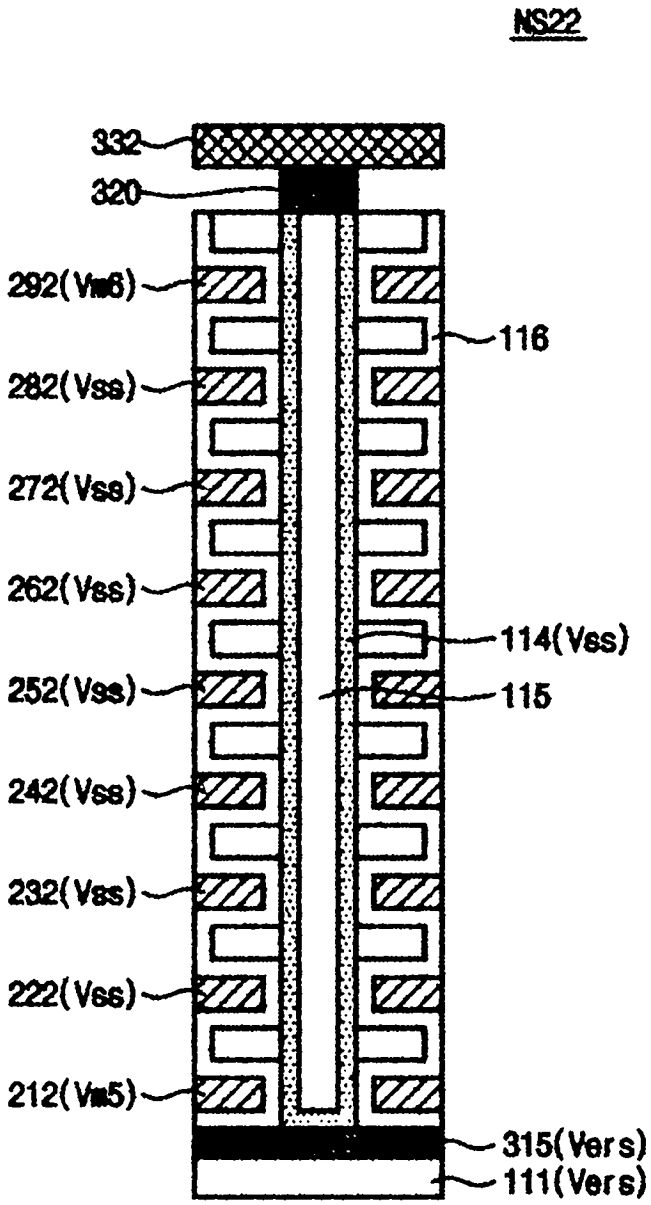

NS22
332
320
292(Vss)
282(Vss)
272(Vss)
262(Vss)
252(Vss)
242(Vss)
232(Vss)
222(Vss)
212(Vss)
116
114(Vss)
115
315(Vers)
111(Vers)

图 25

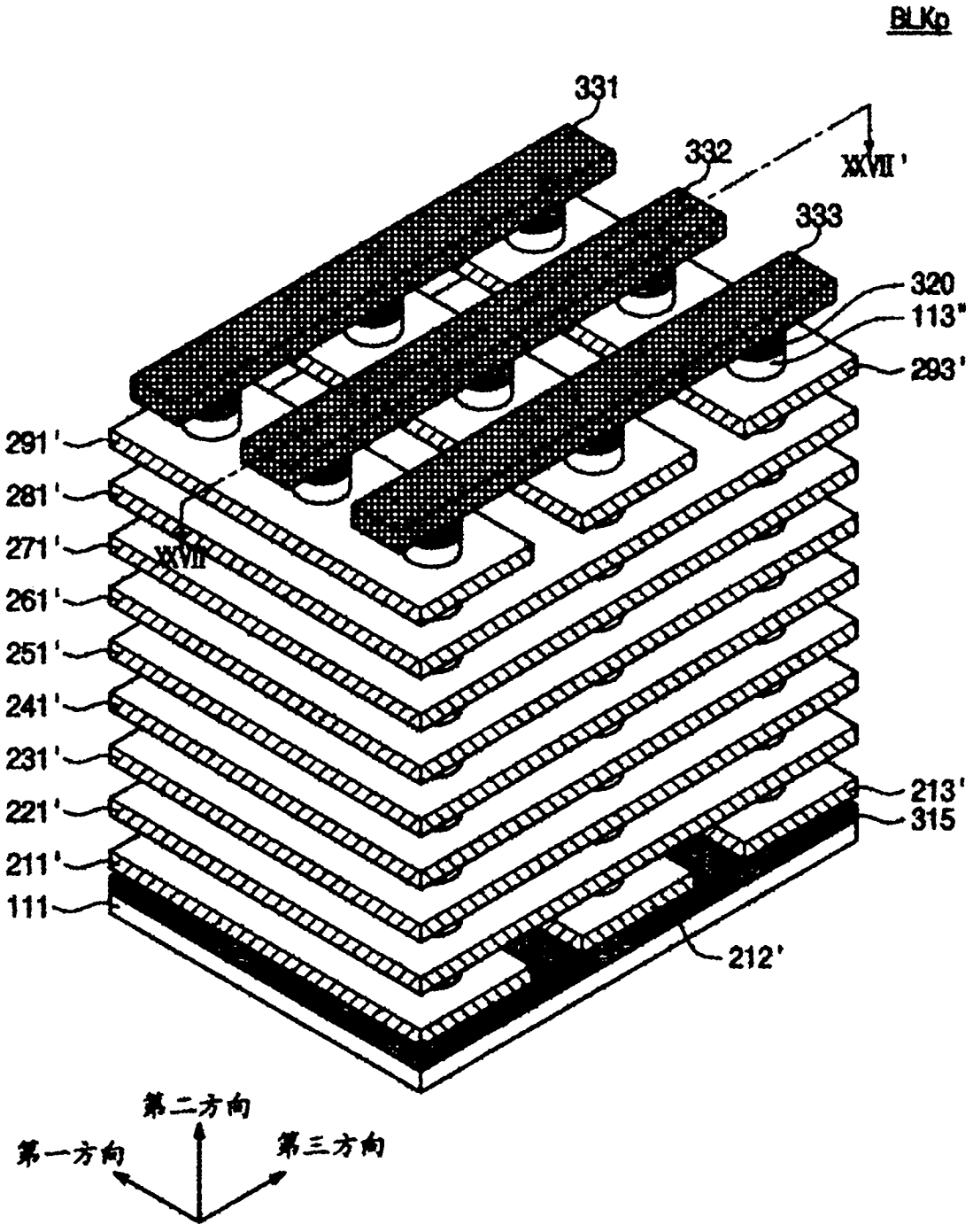

BLKp
331
332
XXVII'
333
320
113"
293'
291'
281'
271'
XXVII
261'
251'
241'
231'
221'
211'
111
213'
315
212'
第二方向
第一方向
第三方向

图 26

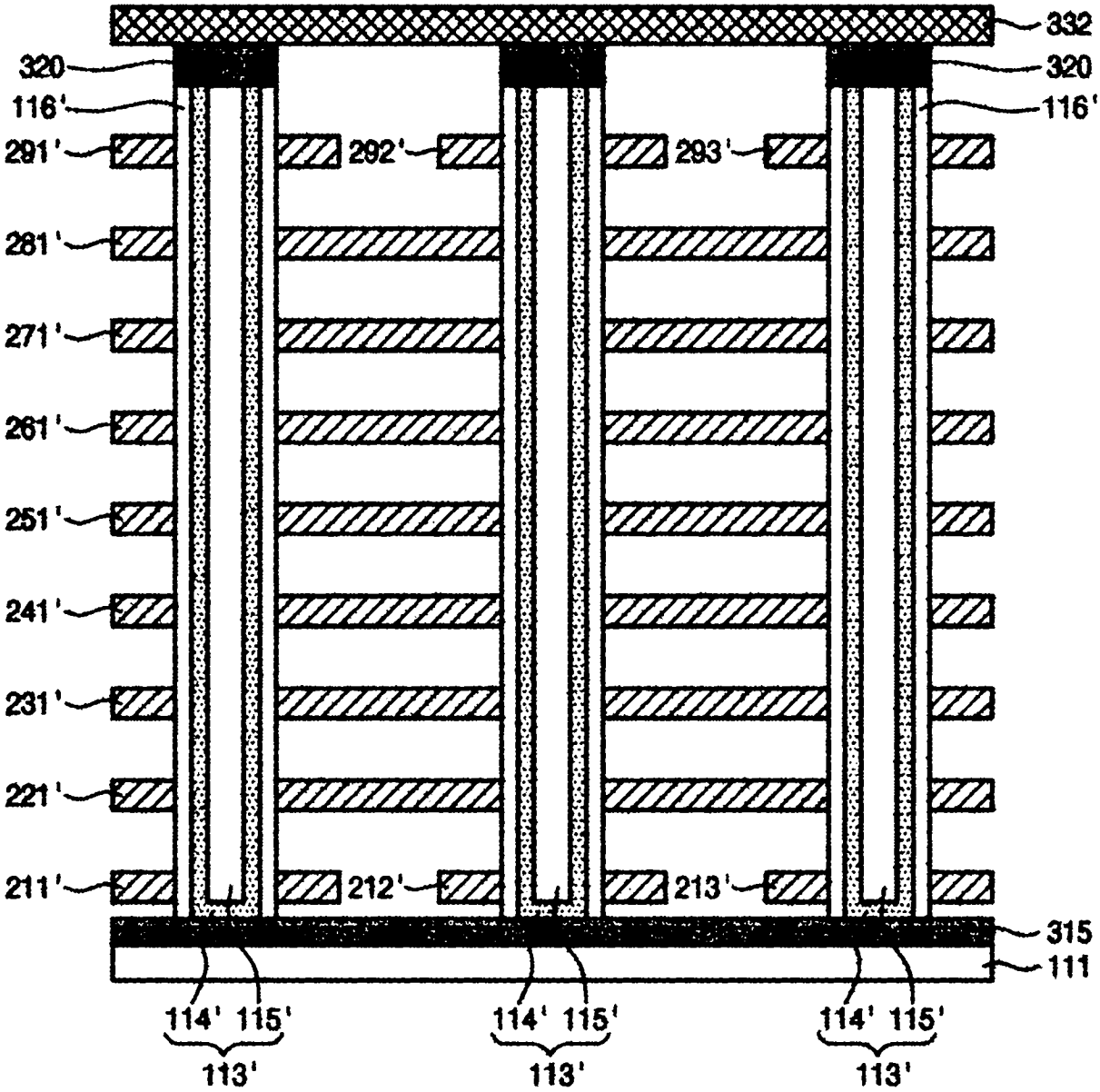

332
320
320
116'
116'
291'
292'
293'
281'
271'
261'
251'
241'
231'
221'
211'
212'
213'
315
111
114' 115'
114' 115'
114' 115'
113'
113'
113'

图 27

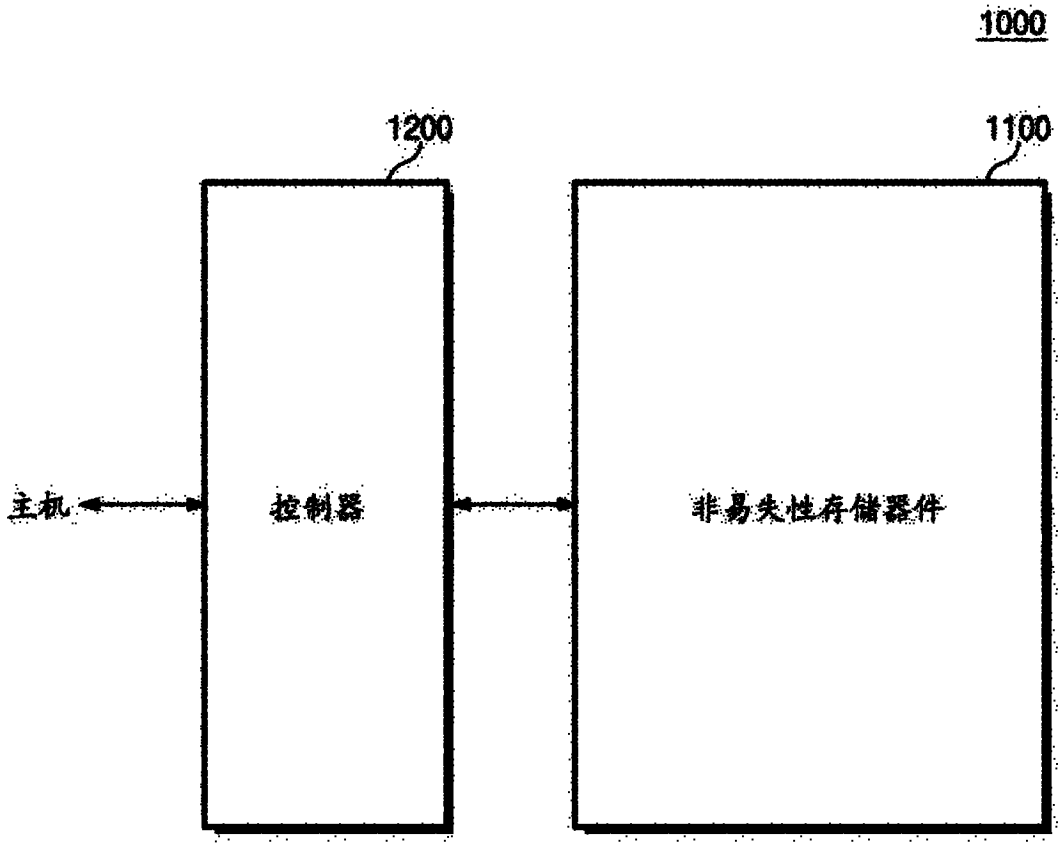


图 28

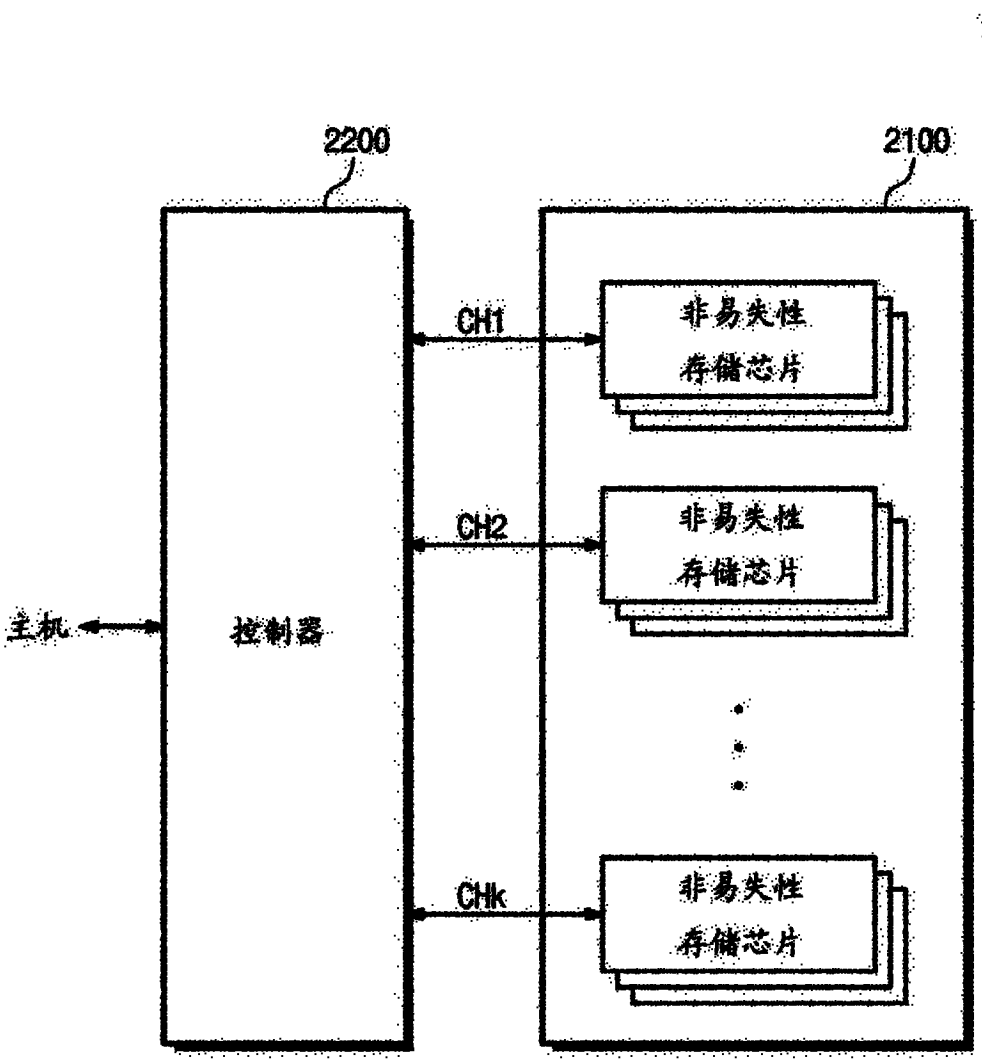

2000
2200
2100
CH1
CH2
CHk
主机
控制器
非易失性
存储芯片
非易失性
存储芯片
非易失性
存储芯片

图 29

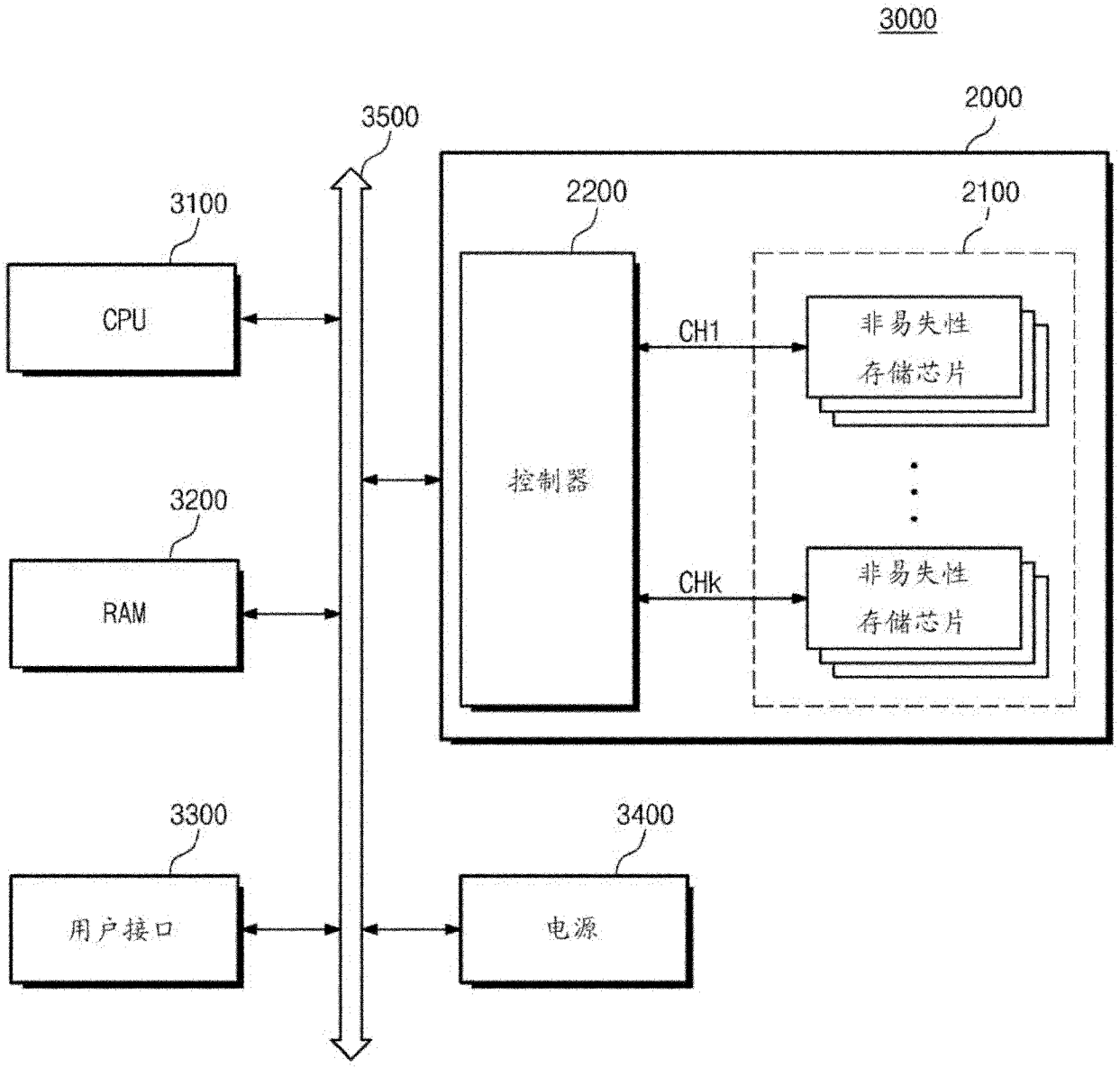

3000
2000
3500
3100
CPU
2200
2100
控制器
CH1
非易失性
存储芯片
3200
RAM
CHk
非易失性
存储芯片
3300
用户接口
3400
电源

图 30