

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年6月29日(29.06.2017)



(10) 国際公開番号

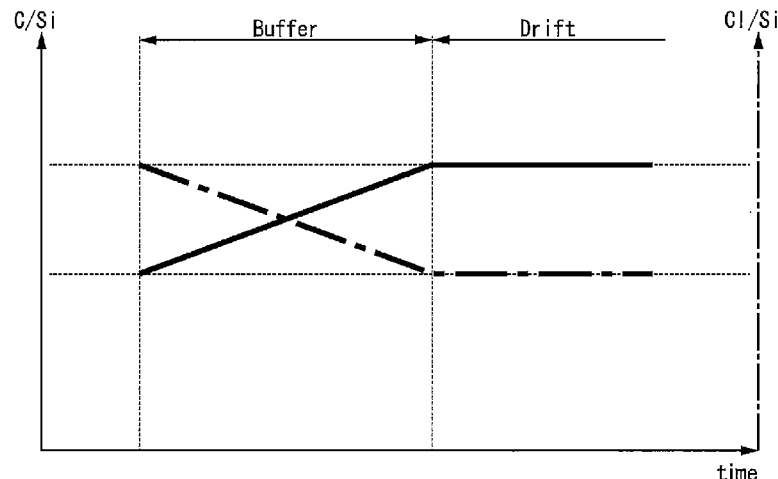
WO 2017/110550 A1

- (51) 国際特許分類:
H01L 21/205 (2006.01) *C30B 29/36* (2006.01)
C23C 16/42 (2006.01) *H01L 21/20* (2006.01)
- (21) 国際出願番号: PCT/JP2016/086895
- (22) 国際出願日: 2016年12月12日(12.12.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-250942 2015年12月24日(24.12.2015) JP
- (71) 出願人: 昭和電工株式会社(SHOWA DENKO K.K.)
[JP/JP]; 〒1058518 東京都港区芝大門一丁目13番9号 Tokyo (JP).
- (72) 発明者: 武藤 大祐(MUTO Daisuke); 〒3691893 埼玉県秩父市下影森1505番地 昭和電工株式会社内 Saitama (JP). 宮坂 晶(MIYASAKA Akira); 〒3691893 埼玉県秩父市下影森1505番地 昭和電工株式会社内 Saitama (JP).
- (74) 代理人: 志賀 正武, 外(SHIGA Masatake et al.); 〒1006620 東京都千代田区丸の内一丁目9番2号 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),

[続葉有]

(54) Title: METHOD FOR PRODUCING SiC EPITAXIAL WAFER

(54) 発明の名称: SiCエピタキシャルウェハの製造方法



(57) Abstract: This method for producing an SiC epitaxial wafer is a method for producing an SiC epitaxial wafer that has an epitaxial layer on an SiC single crystal substrate. According to this method, crystal growth of the epitaxial layer is carried out by a step for forming a part of the epitaxial layer under first conditions during the initial stage where the crystal growth is started and a step for forming a part of an SiC epitaxial layer under second conditions where the Cl/Si ratio is decreased and the C/Si ratio is increased in comparison to the first conditions. Under the first conditions, the C/Si ratio is set to 0.6 or less and the Cl/Si ratio is set to 5.0 or more.

(57) 要約: このSiCエピタキシャルウェハの製造方法は、SiC単結晶基板上にエピタキシャル層を有するSiCエピタキシャルウェハの製造方法であって、前記エピタキシャル層を結晶成長させる際に、結晶成長を開始する初期に第1の条件でエピタキシャル層の一部を形成する工程と、前記第1の条件よりもCl/Si比を減少させ、かつ、C/Si比を増加させた第2の条件でSiCエピタキシャル層の一部を形成する工程と、を有し、前記第1の条件におけるC/Si比は0.6以下であり、Cl/Si比は5.0以上である。



WO 2017/110550 A1

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG). 添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：S i Cエピタキシャルウェハの製造方法

技術分野

[0001] 本発明は、S i Cエピタキシャルウェハの製造方法に関する。本願は、2015年12月24日に、日本に出願された特願2015-250942に基づき優先権を主張し、その内容をここに援用する。

背景技術

[0002] 炭化珪素（S i C）は、多くの優れた特性を有する。例えば、シリコン（S i）に比べて絶縁破壊電界は1桁大きく、バンドギャップは3倍大きく、さらに、熱伝導率が3倍程度高い。炭化珪素（S i C）は、パワーデバイス、高周波デバイス、高温動作デバイス等への応用が期待されている。

[0003] S i Cデバイスの実用化の促進には、高品質のS i Cエピタキシャルウェハ及び高品質のエピタキシャル成長技術の確立が不可欠である。

[0004] S i Cデバイスは、S i Cエピタキシャルウェハを用いて作製される。S i Cエピタキシャルウェハは、昇華再結晶法等で成長させたS i Cのバルク単結晶から加工して得られたS i C単結晶基板上に、化学的気相成長法（Chemical Vapor Deposition: CVD）等によってデバイスの活性領域となるエピタキシャル層（膜）を成長させて得られる。

[0005] 例えば、（0001）面から<11-20>方向にオフ角を有する面を成長面とするS i C単結晶基板上に、S i Cをステップフロー成長（原子ステップからの横方向成長）させて、4Hのエピタキシャル層を成長させる。

[0006] S i Cエピタキシャルウェハに含まれる欠陥には、エピタキシャル層表面に表出した特徴的な形状をもつキャロット欠陥（キャロット型欠陥、ニンジン状欠陥）と呼ばれる欠陥がある。キャロット欠陥は、エピタキシャル層表面に現れる欠陥として、三角欠陥、コメット欠陥等と並んで代表的なものである。キャロット欠陥は、数が多くまた形状的にも数十 μ mと大きいので、結晶の完全性を求める半導体デバイス用エピウェハ製造において、低減する

ことが望まれている（特許文献1～3）。

[0007] キャロット欠陥の構造は、基底面積層欠陥とプリズム型積層欠陥によって構成されることが解明されており、SiCエピタキシャル成長の分野では識別可能な欠陥として定義されている。キャロット欠陥は、基板内の貫通転位等がエピ成長時に転換することで生成すると考えられている。

[0008] キャロット欠陥密度を低減させる方法として、いくつかの方法が提案されている。特許文献1には、第1のエピタキシャル層を成長した後、成長を停止して表面のエッチングを行った後、第2のエピタキシャル層を成長させる方法が記載されている。特許文献2には、低いC/Si比をもつ原料ガス組成の抑止層を設ける方法が記載されている。特許文献3には、CMP加工で特定のらせん転位によるピットを一定形状にした基板を用いる方法が記載されている。

先行技術文献

特許文献

[0009] 特許文献1：特表2007-525402号公報

特許文献2：特開2008-74664号公報

特許文献3：国際公開第2014/196394号

発明の概要

発明が解決しようとする課題

[0010] しかし、C/Si比を低くしすぎると、エピタキシャル成長中にSiドロップレットが発生しやすくなるという問題がある。Siドロップレットは、過剰なSi原子が基板表面に凝縮したもので、それに起因する結晶欠陥を発生させる。

例えば、特許文献2のC/Si比が低い条件でSiCエピタキシャル層を実際に成長させると、キャロット欠陥の抑制とドロップレットの発生の抑制とを両立させることができなかった。つまり、安定的にキャロット欠陥の少ないエピタキシャルウェハを得る方法は知られていない。

[0011] 上述の通り、キャロット欠陥を減少させようとしてC/Si比を低下させると、Siドロップレットが発生しやすくなってしまふ。そのため、キャロット欠陥及びSiドロップレットの発生を共に抑制できるSiCエピタキシャルウェハの製造方法が求められている。

[0012] 本発明は上記問題に鑑みてなされたものであり、キャロット欠陥及びSiドロップレットの発生を同時に抑制できるSiCエピタキシャルウェハの製造方法を得ることを目的とする。

課題を解決するための手段

[0013] 本発明者らは、鋭意検討の結果、結晶成長初期におけるC/Si比を小さくかつCl/Siを高くし、それぞれの成長条件を成長過程で徐々に変化させることで、キャロット欠陥及びSiドロップレットの発生を同時に抑制できることを見出し、発明を完成させた。

すなわち、本発明は、上記課題を解決するため、以下の手段を提供する。

[0014] (1) 本発明の一態様に係るSiCエピタキシャルウェハの製造方法は、SiC単結晶基板上にエピタキシャル層を有するSiCエピタキシャルウェハの製造方法であって、前記エピタキシャル層を結晶成長する際に、結晶成長を開始する初期に第1の条件でエピタキシャル層の一部を形成する工程と、前記第1の条件よりもCl/Si比を減少させ、かつ、C/Si比を増加させた第2の条件でSiCエピタキシャル層の一部を形成する工程と、を有し、前記第1の条件におけるC/Si比は0.6以下であり、Cl/Si比は5.0以上である。

[0015] (2) 上記(1)に記載のSiCエピタキシャルウェハの製造方法における前記第1の条件において、Cl元素の供給源として塩化シラン($\text{SiH}_{4-n}\text{Cl}_n$: $n=0\sim4$)と塩化水素(HCl)とを共に用いてもよい。

[0016] (3) 上記(1)又は(2)のいずれかに記載のSiCエピタキシャルウェハの製造方法において、前記第2の条件におけるC/Si比は0.8~1.5であり、Cl/Si比は0~4であってもよい。

[0017] (4) 上記(1)~(3)のいずれか一つに記載のSiCエピタキシャルウ

エハの製造方法において、前記エピタキシャル層を結晶成長する際に、前記第1の条件から前記第2の条件に向かって、 C/Si 比を徐々に減少させると共に $C/I/Si$ 比を徐々に増加させるランピング工程を行ってもよい。

[0018] (5) 上記(4)に記載の SiC エピタキシャルウェハの製造方法において、前記エピタキシャル層が、前記 SiC 単結晶基板側から順にバッファ層とドリフト層とを有し、前記バッファ層を成長させる際に前記ランピング工程を行ってもよい。

[0019] (6) 上記(5)に記載の SiC エピタキシャルウェハの製造方法において、前記ランピング工程に要する時間が、前記バッファ層を成膜するのに要する時間の $1/5$ 以上であってもよい。

[0020] (7) 上記(5)又は(6)のいずれかに記載のエピタキシャルウェハの製造方法において、前記ランピング工程で結晶成長するエピタキシャル層の層厚が、 $0.1\mu m$ 以上であってもよい。

[0021] (8) 上記(5)～(7)のいずれか一つに記載のエピタキシャルウェハの製造方法において、前記ランピング工程が、前記エピタキシャル層の成長開始と同時に開始されてもよい。

発明の効果

[0022] 本発明の一態様に係る SiC エピタキシャルウェハの製造方法によれば、キャロット欠陥及び Si ドロップレットの発生を同時に抑制することができる。

図面の簡単な説明

[0023] [図1]共焦点微分干渉光学系を用いた表面検査装置である共焦点顕微鏡によって得られたキャロット欠陥の像である。

[図2]キャロット欠陥近傍の SiC エピタキシャルウェハの断面模式図である。

[図3] SiC 単結晶基板上にエピタキシャル層をエピタキシャル成長させる際の C/Si 比及び $C/I/Si$ 比の変化を模式的に示した図である。

[図4] SiC 単結晶基板上にエピタキシャル層をエピタキシャル成長させる際

のC／S i 比及びC l ／S i 比の変化を模式的に示した図である。

[図5]実施例1のS i Cエピタキシャルウェハのエピタキシャル層表面のキャロット欠陥のマップである。

[図6]比較例1のS i Cエピタキシャルウェハのエピタキシャル層表面のキャロット欠陥のマップである。

[図7]比較例2のS i Cエピタキシャルウェハのエピタキシャル層表面のキャロット欠陥のマップである。

[図8]比較例2のS i Cエピタキシャルウェハのエピタキシャル層表面のS i ドロップレット起因欠陥のマップである。

[図9]実施例2のS i Cエピタキシャルウェハのエピタキシャル層表面のキャロット欠陥のマップである。

[図10]実施例3のS i Cエピタキシャルウェハのエピタキシャル層表面のキャロット欠陥のマップである。

[図11]比較例3のS i Cエピタキシャルウェハのエピタキシャル層表面のキャロット欠陥のマップである。

発明を実施するための形態

[0024] 以下、本実施形態にかかるS i Cエピタキシャルウェハの製造方法について、図を適宜参照しながら詳細に説明する。以下の説明で用いる図面は、本発明の特徴をわかりやすくするために便宜上特徴となる部分を拡大して示している場合があり、各構成要素の寸法比率などは実際とは異なっていることがある。以下の説明において例示される材質、寸法等は一例であって、本発明はそれらに限定されるものではなく、その要旨を変更しない範囲で適宜変更して実施することが可能である。

[0025] (キャロット欠陥)

図1は、共焦点微分干渉光学系を用いた表面検査装置である共焦点顕微鏡(レーザーテック株式会社製、SICA6X)によって得られたキャロット欠陥の像である。また図2は、キャロット欠陥近傍のS i Cエピタキシャルウェハの断面模式図である。図1及び図2において、図示左側がステップ

ロー上流側であり、図示右側がステップフロー下流側である。

[0026] キャロット欠陥は、S i C単結晶基板に存在した貫通転位や基板上の傷を起点に発生する。基板上の傷は加工条件の最適化で無くすることができる。そのため、S i C基板に存在する貫通転位は、キャロット欠陥を低減するために解決すべき発生起因として重要である。図2におけるキャロット欠陥は、S i C単結晶基板内の貫通螺旋転位1 Aを起点としてプリズム面積層欠陥2 Aが形成されている。その結果、エピタキシャル層2の表面側から見て、キャロット状となっている。キャロット欠陥は、S i Cデバイス内に組み込まれると、リーク電流の増大等の原因となるデバイスクラック欠陥となる場合がある。

[0027] (S iドロップレット、S iドロップレット起因欠陥)

S iドロップレットとは、エピタキシャル成長中に過剰なS i原子が基板表面に凝縮した異物であり、これを起因としてS iドロップレット起因欠陥が形成される。S iドロップレットは異物の一態様であり、それを起点として結晶成長の乱れが生じ、エピタキシャル表面で小型のピットやバンプの形状を持つ欠陥が発生する。起点が異物である点が、起点が転位等であるキャロット欠陥とは異なる。実際にエピタキシャル成長させる場合は極端にS i過剰な条件はとらないため、S iドロップレットは小型であり、S iドロップレット起因欠陥も小型のものとなる。S iドロップレット欠陥は、大きさや形態上の特徴で、他欠陥と識別することができる。S iドロップレット起因欠陥も、結晶性や結晶成長表面の乱れであり、また発生する場合は一気に多数発生する傾向があるため、デバイス制作に悪影響を与える。

[0028] このように、キャロット欠陥及びS iドロップレットはS i Cデバイスの不良を生み出す原因であり、低減が求められる。

[0029] (S i Cエピタキシャル層の製造方法)

本実施形態に係るS i Cエピタキシャルウェハの製造方法は、S i C単結晶基板上にエピタキシャル層を有するS i Cエピタキシャルウェハの製造方法であって、エピタキシャル層を結晶成長する際に、結晶成長を開始する初

期に第1の条件でエピタキシャル層の一部を形成する工程と、第1の条件よりもC／Si比を減少させ、かつ、C／Si比を増加させた第2の条件でSiCエピタキシャル層の一部を形成する工程と、を有する。この際、第1の条件におけるC／Si比は0.6以下であり、C／Si比は5.0以上である。

[0030] 以下、具体的に本発明の一態様に係るSiCエピタキシャルウェハの製造方法について説明する。

SiCエピタキシャルウェハは、SiC単結晶基板上にエピタキシャル層を形成して得られる。そのため、まずSiC単結晶基板を準備する。

[0031] SiC単結晶基板の作製方法は特に問わない。例えば、昇華法等で得られたSiCインゴットをスライスして得られる。

[0032] 得られたSiC単結晶基板は、表面を化学的機械研磨(CMP)することにより加工により発生したダメージを除去し、平坦な鏡面に仕上げられる。

基板の面方位としては、(0001)面で、オフ角度が設けられたものを使用する。オフ角度は0.4°～8°の物が用いることができ、4°オフすなわちオフ角度が3.5°～4.5°のものが好適に用いられる。

[0033] 次いで、SiC単結晶基板上にエピタキシャル層をエピタキシャル成長させ、SiCエピタキシャルウェハを作製する。

エピタキシャル層は、例えば減圧の化学気相成長(CVD)法等によりSiC単結晶基板の成長面上に、SiCがステップフロー成長(原子ステップから横方向成長)して得られる。

SiCエピタキシャル成長の原料ガスとしては、シラン系ガスとしてシランや塩化シランが用いられ、炭素系ガスとしてエチレンやプロパンなどの炭化水素が用いられる。さらにドーパントとし窒素ガスなどが添加される。これらの原料ガスを運ぶキャリアガスとしては、水素やArなどの不活性ガスが用いられる。この他、成長速度の改善等の目的で塩素系ガスとしてHClを添加してもよい。

[0034] SiCの成長では、結晶成長時の表面のSiとCの比が不純物の取り込み

や成長モフォロジー等に大きな影響を与えるため、原料ガスのC/Si比が、制御すべき重要なパラメーターとなっている。また、結晶成長表面近傍のClの存在が、結晶成長に影響を与えるためCl/Si比というパラメーターも重要である。

C/Si比は、成長空間中におけるC元素とSi元素の比であり、シラン系ガスと炭素系ガスから求められる。Cl/Si比は、成長空間中におけるCl元素とSi元素の比であり、塩素系ガスまたはシラン系ガスと塩素系ガスの合計と、シラン系ガスと、から求められる。シラン系ガスとして塩化シラン($\text{SiH}_{4-n}\text{Cl}_n$: $n=0\sim4$)を用いる場合は、シラン系ガス中のCl元素もCl/Si比に寄与するため、Cl/Si比におけるCl比は、シラン系ガス中のCl元素とCl原料ガス中のCl元素の合計から求める。

[0035] 図3は、SiC単結晶基板上にエピタキシャル層をエピタキシャル成長させる際のC/Si比及びCl/Si比の変化を模式的に示した図である。図3において、実線で示したグラフがC/Si比の変化を表しており、一点鎖線で示したグラフがCl/Si比の変化を表している。

[0036] また図3において、Bufferはバッファ層を成長する際の成長条件に対応し、Driftはドリフト層を成長する際の成長条件に対応する。ここでバッファ層は、ドリフト層とSiC単結晶基板のキャリア濃度の違いを緩和する層である。ドリフト層はデバイスを形成する際に能動層が形成される部分で、作製されるデバイスによってそれぞれ厚さやキャリア濃度が選択される。SiCは高耐圧デバイスに用いられるため、ドリフト層のキャリア濃度は、たとえば $1\times10^{16}\text{cm}^{-3}$ 程度と低い。一方、SiC単結晶基板はキャリア濃度が高く $1\times10^{18}\text{cm}^{-3}$ 程度以上である。そのため、その中間的なキャリア濃度のバッファ層を設けることが一般的である。バッファ層の厚さは特に限定されるものではないが、経済性も考慮して $0.3\mu\text{m}\sim1\mu\text{m}$ 程度が用いられることが多い。

ドリフト層はデバイスの能動層が形成されるため、結晶性や表面モフォロジーが重要であり、ドリフト層の成長条件、たとえばC/Si比は、ドリフ

ト層の特性を優先して決定される。一方、バッファ層の成長条件は、ドリフト層に影響を与えずに一定のキャリア濃度になればよく、成長条件の選定の自由度は大きい。

[0037] 図3に示すように、本実施形態に係るSiCエピタキシャルウェハの製造方法は、エピタキシャル層を結晶成長する際に、結晶成長を開始する初期に第1の条件でエピタキシャル層の一部を形成する工程と、第1の条件よりもC/Si比を減少させ、かつ、C/Si比を増加させた第2の条件でSiCエピタキシャル層の一部を形成する工程と、を有する。また第1の条件から第2の条件に向かって、C/Si比を徐々に減少すると共にC/Si比を徐々に増加するランピングを行っている。ここでランピングは、成長条件を徐々に変化させることを意味し、成長条件を階段状に変化させるものも、スロープ状に変化させるものも含む。ランピング工程は、ドリフト層に影響を与えない様に、バッファ層の成長中に行われることが好ましい。

[0038] C/Si比及びC/Si比の制御は、シラン系ガス、炭素系ガス、塩素系ガスの供給量を制御することで行うことができる。シラン系ガスとしては、 SiH_4 、 SiHCl_3 、 SiH_2Cl_2 、 SiH_3Cl 、 SiCl_4 等を用いることができる。 SiHCl_3 、 SiH_2Cl_2 、 SiH_3Cl 、 SiCl_4 は、Cl元素を含むため、塩素系ガスとしても機能する。塩素系ガスとしては、この他にHClも用いることができる。また炭素系ガスとしては、プロパン等のアルカンを用いることができる。

例えば、 SiH_2Cl_2 ガスと C_3H_8 ガスでC/Si比を制御し、HClガスの供給量を変化することで、C/Si比を制御することができる。

[0039] ランピング工程において、結晶成長を開始する際の第1の条件は、C/Si比が0.6以下であり、C/Si比が5.0以上である。また第1の条件のC/Si比は0.4～0.6であることが好ましく、C/Si比は5.0～8.0であることが好ましい。

[0040] C/Si比及びC/Si比のいずれか一方の条件を制御したのみでは、キャロット欠陥及びSiドロップレットのいずれも同時に抑制することがで

きない。

例えば、 C/Si 比を0.6以下とし Cl/Si 比を制御しない場合、キャロット欠陥の発生は抑制することができる。しかしながら、成長雰囲気中の Si の比率が高くなり、 Si ドロップレットが発生してしまう。

一方で、 Cl/Si 比を5.0以上とし C/Si 比を制御しない場合、キャロット欠陥が発生してしまう。

[0041] これに対し、第1の条件の C/Si 比及び Cl/Si 比をこの範囲内にすることで、キャロット欠陥と Si ドロップレットの発生を同時に抑制することができる。結晶成長を開始する際の C/Si 比を0.6以下とすることで、キャロット欠陥の発生が抑制される。

さらに、成長雰囲気中の Cl 比率を高めることで、成長面において $SiCl_x$ が形成され、 Si 同士が凝集、核成長することを抑制できる。すなわち、 Si ドロップレットの発生を抑制することができる。

[0042] エピタキシャル層は、成長条件を第1の条件から第2の条件に徐々に変化させながら結晶成長を行うことが好ましい。

[0043] C/Si 比を第1の条件のまま結晶成長を進めると、得られるエピタキシャル層のバックグラウンドキャリア濃度が高くなる。バックグラウンドキャリア濃度とは、ドーピングガス（例えば、窒素やトリメチルアルミニウム）を供給しないときのエピタキシャル層のキャリア濃度を意味する。安定的にキャリア濃度を制御する場合、バックグラウンドキャリア濃度が低い必要がある。特に低いキャリア濃度の制御を行う場合には、バックグラウンドキャリア濃度を低くすることが重要である。すなわち、バックグラウンドキャリア濃度が高い SiC エピタキシャルウェハは、 SiC デバイスに好適に利用することができない。そのためランピング工程において、第1の条件から C/Si 比を徐々に増加させることで、エピタキシャル層の SiC デバイスに用いられる領域（ドリフト層）におけるバックグラウンドキャリア濃度の増加を抑えることができる。

[0044] 一方で Cl/Si 比を第1の条件のまま結晶成長を進めると、エピタキシ

シャル成長の成長速度を高めることができない。CⅠ元素を含むガスは、SⅰCをエッチングし、成長面の清浄化に寄与する。しかしながら、成長雰囲気中のCⅠ比が高すぎると、エピタキシャル成長が進むと共に、成長表面がエッチングされる。その結果、エピタキシャル層の成長速度が遅くなる。成長速度の低下は、SⅰCエピタキシャルウェハの製造コストの増加に繋がる。

[0045] C／Sⅰ比は第1の条件から徐々に増加させる。そのため、成長雰囲気は、Sⅰドロップレットが発生し難い条件に近づいていく。すなわち、ランピング工程が進むにつれて、成長雰囲気におけるCⅠ比を高める必要が無くなる。そこで、ランピング工程でC／Sⅰ比の増加に連動させて、CⅠ／Sⅰ比を徐々に減少させていくことで、Sⅰドロップレットの発生を抑制しつつ、成長速度を高めることができる。

[0046] またランピング工程では、徐々に成長条件を変化させる。実際の装置において成長条件を第1の条件から第2の条件に急激に変化させると、成長雰囲気が急激に変化するため、局所的にCⅠ濃度が低いにも関わらずSⅰ濃度が高い部分等が生じやすくなる。ランピング工程を行うことで、局所的にSⅰ濃度及びCⅠ濃度が濃くなる又は薄くなる部分の発生を避けることができ、Sⅰドロップレットの発生をより抑制することができる。

[0047] また現実の装置の制御において、成長条件を第1の条件から第2の条件に徐々に切り替えることで、オーバーシュートの発生を防ぎ、C／Sⅰ比が過剰に高くなったり、CⅠ／Sⅰ比が過剰に低くなることをより抑制することができる。C／Sⅰ比が過剰に高まることを抑制することで、炭素析出の可能性を低減することができ、CⅠ／Sⅰ比が過剰に低くなることを抑制することで、成長面の清浄性が低下し、異物等が発生することをより抑制することができる。オーバーシュートが生じないようにした場合、ランピング工程を階段状に変化させてもよい。

[0048] 成長条件を変化させた後の第2の条件におけるC／Sⅰ比は、0.8～1.5であることが好ましく、0.9～1.2であることがより好ましく、0.95～1.1であることがさらに好ましい。また、CⅠ／Sⅰ比は、0～

4であることが好ましく、1～3であることがより好ましく、2～3であることがさらに好ましい。すなわち、十分に時間をかけて変化させれば、最終的にSi原料としてシランを用い、HClを使用しないC/Si=0とすることもできる。また、HClを用いずにSiHCl₃を用いればC/Si=3であり、SiH₂Cl₂を用いればC/Si=2となり、単一の原料でSiとCを供給できる。すなわち、C元素とSi元素を安定的に供給できる。

[0049] 第2の条件がこの範囲内であれば、ドリフト層におけるバックグラウンドキャリア濃度をSiCデバイスに用いる程度に低減することができる。またエピタキシャル層の成長速度が著しく低下することもない。

[0050] また第1の条件を含むエピタキシャル層を成長する際には、Si原料として、塩化シランを用いることが望ましい。単一の原料にSiとCを含むため、基板表面でのC/Siを安定的に維持することができ、また腐食性が強く取り扱いにくいHClの使用を減らすことができる。

また第1の条件において、C/Si比は5以上である。Si原料として塩化シランの中で最もC/Si比が高いSiHCl₃を用いた場合でも、C/Si=3であり、さらにHClを加える必要がある。SiCのCVD原料としてSiCl₄を用いることもできるが、この場合でもC/Si=4である。すなわち、第1の条件において塩素を含むSi原料を用いた場合、HClを合わせて使用することで、所定のC/Si比が実現される。

[0051] またバッファ層を成長するのに要する時間と、ランピング工程を行う時間は必ずしも一致させる必要はない。

[0052] 図4は、SiC単結晶基板上にエピタキシャル層をエピタキシャル成長させる際のC/Si比及びC/Si比の変化を模式的に示した図である。図4において、実線で示したグラフがC/Si比の変化を表しており、一点鎖線で示したグラフがC/Si比の変化を表している。Bufferはバッファ層を成長する際の成長条件に対応し、Driftはドリフト層を成長する際の成長条件に対応する。

[0053] 図4に示すように、ランピング工程に要する時間は、バッファ層を成膜するのに要する時間の $1/5$ 以上であればよい。これは、エピタキシャル層の層厚に換算すると、 $0.1\text{ }\mu\text{m}$ 以上であればよい。この範囲でランピング工程を行えば、キャロット欠陥とSiドロプレットの発生を同時に抑制することができる。

[0054] またランピング工程は、エピタキシャル層の成長開始と同時に開始されることが好ましい。キャロット欠陥は、貫通転位や表面のダメージによる微小な格子乱れが原因となり、基板とエピタキシャル層の界面を起点として発生する。すなわち、キャロット欠陥の発生を抑制するためには、成長開始直後が重要であり、その後の成長条件の影響はより小さい。本実施形態に係るSiCエピタキシャルウェハの製造方法では、成長条件をランピングさせることでそのことを確認した。例えば、 $0.1\text{ }\mu\text{m}$ の厚さ分のエピタキシャル層を成長させる期間をランピングにより変化させた場合でも、有効にキャロット欠陥の低減効果が得られた。これは、成長のごく初期の成長条件が、キャロット欠陥の発生において重要であることを示している。そのため、SiCエピタキシャル層の成長開始直後においてC/Si比を低くし、その後はC/Siを高くすることができ、成長後半においてC_I/Si比を低くすることができる。C/Si比が低い間はSiドロプレットが発生する可能性が高く、この傾向はエピタキシャル成長中でも同様である。そのため、C/Si比が低いままの場合、Siドロプレットが発生し続ける。したがって、必要な成長期間を除いてはC/Si比は速やかにあげることが望ましい。C/Si比が高くなれば、C_I/Si比もそれに応じて下げることができる。すなわち、エピタキシャル層の成長開始と同時にランピング工程を行うことで、結晶成長直後のC/Si比を低くしつつ、C_I/Siを早い段階で低くし始めることができ、エピタキシャル層の成長速度を高めることができる。

また、ランピング期間を短くし、バッファ層の成長範囲内でランピング成長を収めることができれば、デバイス層の条件を変更しなくてもよく、デバイス層の成長条件を任意に選ぶことができる。

[0055] 上述のように、本発明の一態様に係るS i Cエピタキシャルウェハの製造方法によれば、キャロット欠陥及びS i ドロップレットの発生を共に抑制することができる。

実施例

[0056] 以下、本発明の実施例について説明する。なお、本発明は以下の実施例のみに限定されるものではない。

[0057] <3インチ基板>

(実施例1)

S i C単結晶基板は昇華法で作製されたS i Cインゴットをスライスしたものを使用した。S i C単結晶基板のサイズは3インチとした。スライス後のS i C単結晶の表面は、粗研磨とダイヤモンド砥粒による精密研磨を行い、エピタキシャル成長を行うための成長面を平坦化した。S i C単結晶基板のポリタイプは4Hであり、c軸に対して<11-20>方向に対して4°のオフセット角を有する。

キャロット欠陥は、基板の貫通転位密度と関係する。その為、効果の比較の精度を高めるために、実施例と比較例は、3インチ基板の検討と4インチ基板の検討のそれぞれにおいて、同じインゴットから得られた欠陥密度が同じレベルの物を用いた。

[0058] 次いで、S i C単結晶基板を成長炉内に導入し、4H-S i C単結晶基板の表面に対して、原料ガスとしてジクロロシラン、プロパン、エッチングガスとしてHClを供給しながら、エピタキシャル層を10.5μm成長させた。ジクロロシランとプロパンの流量を変えることによりC/S i比を変化させ、それに対応してHClの流量を調整することでCl/S i比を変化させた。エピタキシャル層は、キャリア濃度の高いバッファ層0.5μm（ランピング工程を含む厚さ）とキャリア濃度の低いドリフト層10μmとし、これらを連続して成長した。ドーパントは窒素を用いた。

[0059] エピタキシャル層の成長条件は以下とした。

成長圧力：15kPa

成長温度：1600℃

結晶成長条件（C／Si比、Cl／Si比）

第1条件：C／Si比 0.6、Cl／Si比 5.0

第2条件：C／Si比 1.0、Cl／Si比 3.0

ランピング工程で成膜したエピタキシャル層の層厚：0.5 μm

バッファ層の層厚：0.5 μm

[0060] 得られたSiCエピタキシャルウェハのエピタキシャル層表面の異物を測定した。異物は、KLAテンコール社製のCandela CS20を用いて測定し、散乱光の散乱断面積から異物のサイズを特定した。散乱断面積を用いたカンデラ評価で測定したサイズと異物種に相関があることは事前に確認した。

[0061] その結果、キャロット欠陥は10個であり、Siドロップレットはほとんど見当たらなかった。Siドロップレットが発生した場合は、多数発生するため、数は数えなかった。またSiドロップレットは、エピタキシャル層表面では、Siドロップレット起因欠陥として観察される。以下、Siドロップレットそのもの及びSiドロップレット起因欠陥を含めて、Siドロップレットと表す。図5に、実施例1のSiCエピタキシャルウェハのエピタキシャル層表面のキャロット欠陥のマップを示す。

[0062] （比較例1）

比較例1では、実施例1とエピタキシャル成長条件を変更した点以外、同様の条件でSiCエピタキシャルウェハを作製した。

比較例1では、結晶成長条件（C／Si比、Cl／Si比）を途中で変更することなく以下の条件とした。

結晶成長条件：C／Si比 1.0、Cl／Si比 3.0

[0063] 得られたSiCエピタキシャルウェハの表面を実施例1と同様の手段で測定した。その結果、キャロット欠陥は31個であり、Siドロップレットはほとんど見当たらなかった。図6に、比較例1のSiCエピタキシャルウェハのエピタキシャル層表面のキャロット欠陥のマップを示す。

[0064] (比較例 2)

比較例 2 では、実施例 1 とエピタキシャル成長開始初期の C / Si 比と Cl / Si 比条件を変更した点以外、同様の条件で SiC エピタキシャルウェハを作製した。

比較例 2 では、結晶成長条件の第 1 条件を以下の条件とした。

結晶成長条件 (C / Si 比、Cl / Si 比)

第 1 条件 : C / Si 比 0.60、Cl / Si 比 3.0

[0065] 得られた SiC エピタキシャルウェハの表面を実施例 1 と同様の手段で測定した。その結果、キャロット欠陥は 11 個であり、Si ドロップレットは大量に確認された。図 7 に、比較例 2 の SiC エピタキシャルウェハのエピタキシャル層表面のキャロット欠陥のマップを示す。図 8 に、SiC エピタキシャルウェハのエピタキシャル層表面の Si ドロップレット起因欠陥のマップを示す。

[0066] <4 インチ基板>

(実施例 2)

実施例 2 では、SiC 単結晶基板を変更し、4 インチのものとした。その他の条件は実施例 1 と同一とした。

[0067] 得られた SiC エピタキシャルウェハの表面を実施例 1 と同様の手段で測定した。その結果、キャロット欠陥は 194 個であり、Si ドロップレットはほとんど確認されなかった。図 9 に、実施例 2 の SiC エピタキシャルウェハのエピタキシャル層表面のキャロット欠陥のマップを示す。

[0068] (実施例 3)

実施例 3 では、ランピング工程にかかる時間を 1 / 5 にした点が実施例 2 と異なる。その他の条件は実施例 2 と同一とした。

結晶成長条件 (C / Si 比、Cl / Si 比)

第 1 条件 : C / Si 比 0.6、Cl / Si 比 5.0

第 2 条件 : C / Si 比 1.0、Cl / Si 比 3.0

ランピング工程で成膜したエピタキシャル層の層厚 : 0.1 μ m

バッファ層の層厚：0.5 μm

[0069] 得られたSiCエピタキシャルウェハの表面を実施例1と同様の手段で測定した。その結果、キャロット欠陥は164個であり、Siドロップレットはほとんど確認されなかった。図10に、実施例3のSiCエピタキシャルウェハのエピタキシャル層表面のキャロット欠陥のマップを示す。

[0070] (比較例3)

比較例3では、実施例2と結晶成長条件を変更した点以外、同様の条件でSiCエピタキシャルウェハを作製した。

比較例3では、結晶成長条件(C/Si比、Cl/Si比)を途中で変更することなく以下の条件とした。

結晶成長条件：C/Si比 1.0、Cl/Si比 3.0

すなわち、比較例3は比較例1とSiC単結晶基板のサイズを変更した点異なる。

[0071] 得られたSiCエピタキシャルウェハの表面を実施例1と同様の手段で測定した。その結果、キャロット欠陥は277個と実施例2に比較して多く、Siドロップレットはほとんど見当たらなかった。図11に、比較例3のSiCエピタキシャルウェハのエピタキシャル層表面のキャロット欠陥のマップを示す。

[0072] 実施例1～3及び比較例1～3の結果を以下の表1に示す。

[0073]

[表1]

	基板 サイズ	結晶成長条件				バッファ層 厚み (μm)	バッファ 層の内、 ランピング 工程で 得た層厚 (μm)	キャロット 欠陥数 (個)	Si ドロップ レットの 多少
		第1条件		第2条件					
		C/Si	Cl/Si	C/Si	Cl/Si				
実施例 1	3 インチ	0.6	5.0	1.0	3.0	0.5	0.5	10	少
比較例 1		1.0	3.0	1.0	3.0		0	31	少
比較例 2		0.6	3.0	1.0	3.0		0.5	11	多
実施例 2	4 インチ	0.6	5.0	1.0	3.0		0.5	194	少
実施例 3		0.6	5.0	1.0	3.0		0.1	164	少
比較例 3		1.0	3.0	1.0	3.0		0	277	少

[0074] 初期のC/Si比を低減することで、キャロット欠陥の数が30～40%低減した。また成長途中でC/Si比及びCl/Si比を変更することで、キャロット欠陥の発生を抑制しつつ、Siドロップレットの発生も抑制できる。

符号の説明

[0075] 1…SiC単結晶基板、2…エピタキシャル層、1A…基底面転位、2A…プリズム面積層欠陥

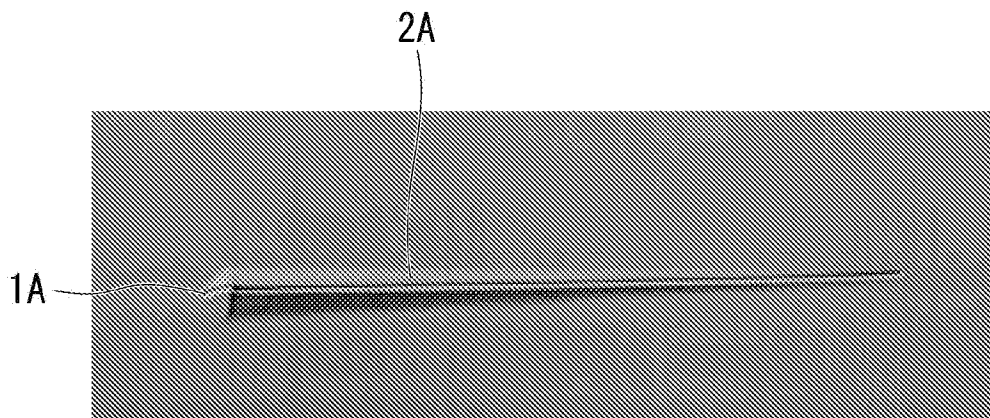
請求の範囲

- [請求項1] SiC 単結晶基板上にエピタキシャル層を有する SiC エピタキシャルウェハの製造方法であって、
- 前記エピタキシャル層を結晶成長する際に、結晶成長を開始する初期に第1の条件でエピタキシャル層の一部を形成する工程と、前記第1の条件よりも Cl/Si 比を減少させ、かつ、 C/Si 比を増加させた第2の条件で SiC エピタキシャル層の一部を形成する工程と、を有し、
- 前記第1の条件における C/Si 比は0.6以下であり、 Cl/Si 比は5.0以上である SiC エピタキシャルウェハの製造方法。
- [請求項2] 前記第1の条件において、 Cl 元素の供給源として塩化シラン($\text{SiH}_{4-n}\text{Cl}_n$: $n=0\sim 4$)と塩化水素(HCl)とを共に用いる請求項1に記載の SiC エピタキシャルウェハの製造方法。
- [請求項3] 前記第2の条件において、 C/Si 比は0.8～1.5であり、 Cl/Si 比は0～4である請求項1または2のいずれかに記載の SiC エピタキシャルウェハの製造方法。
- [請求項4] 前記エピタキシャル層を結晶成長する際に、前記第1の条件から前記第2の条件に向かって、 C/Si 比を徐々に減少させると共に Cl/Si 比を徐々に増加させるランピング工程を行う請求項1～3のいずれか一項に記載の SiC エピタキシャルウェハの製造方法。
- [請求項5] 前記エピタキシャル層が、前記 SiC 単結晶基板側から順にバッファ層とドリフト層とを有し、
- 前記バッファ層を成長させる際に前記ランピング工程を行う請求項4に記載の SiC エピタキシャルウェハの製造方法。
- [請求項6] 前記ランピング工程に要する時間が、前記バッファ層を成膜するのに要する時間の $1/5$ 以上である請求項5に記載の SiC エピタキシャルウェハの製造方法。
- [請求項7] 前記ランピング工程で結晶成長するエピタキシャル層の層厚が、0

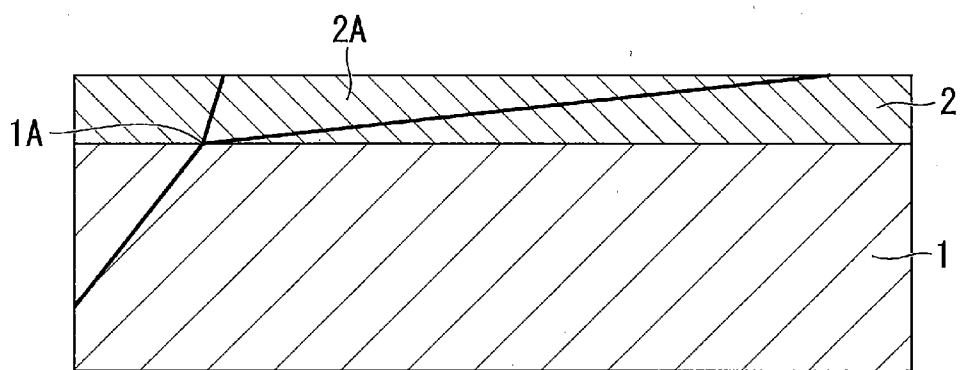
． 1 μ m以上である請求項4～6のいずれか一項に記載のS i Cエピタキシャルウェハの製造方法。

[請求項8] 前記ランピング工程が、前記エピタキシャル層の成長開始と同時に開始される請求項4～7のいずれかに記載のS i Cエピタキシャルウェハの製造方法。

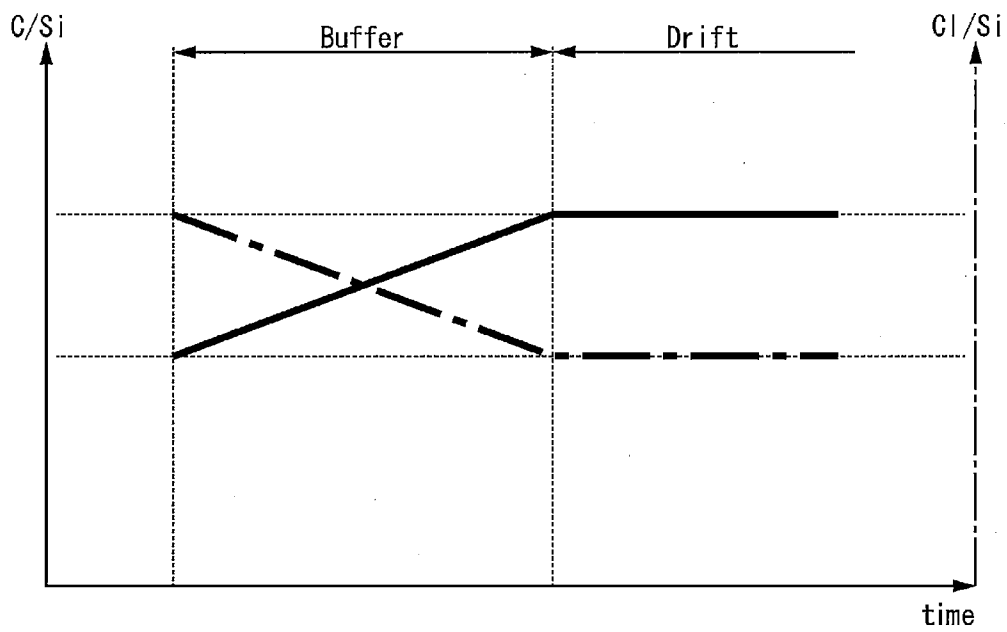
[図1]



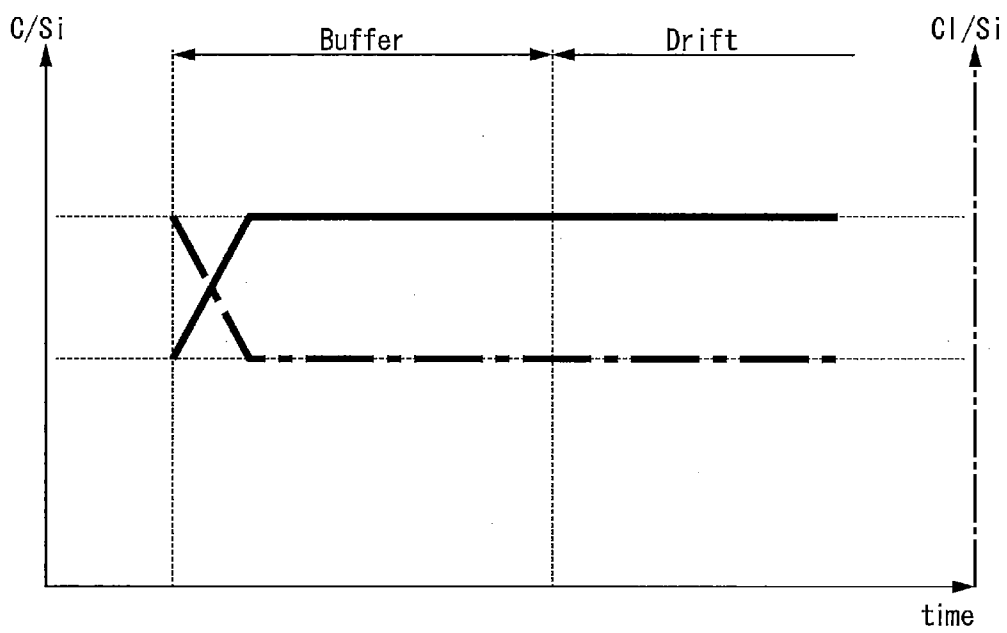
[図2]



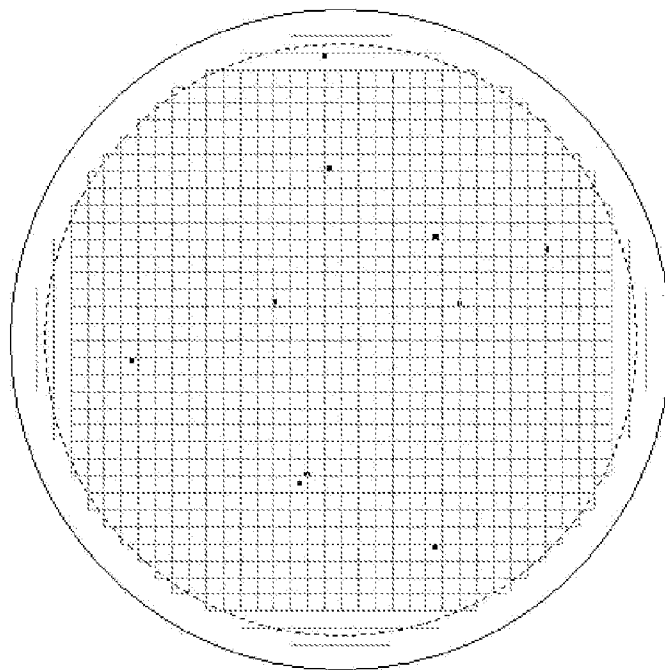
[図3]



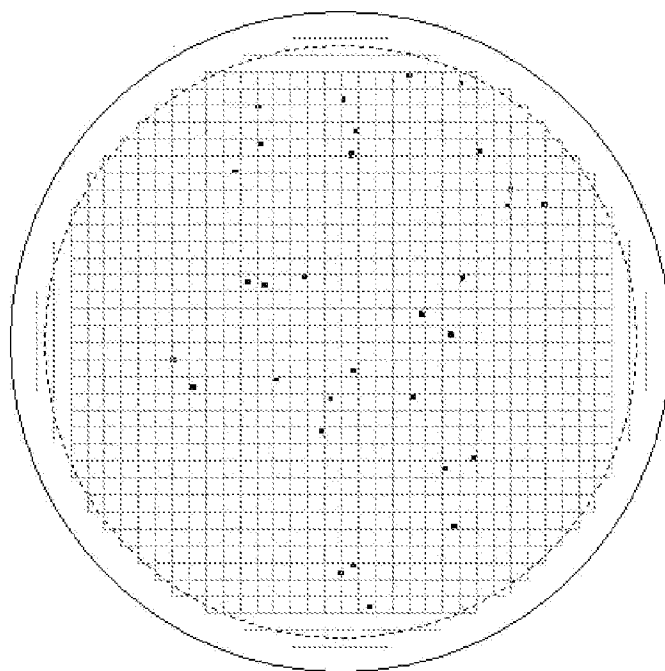
[図4]



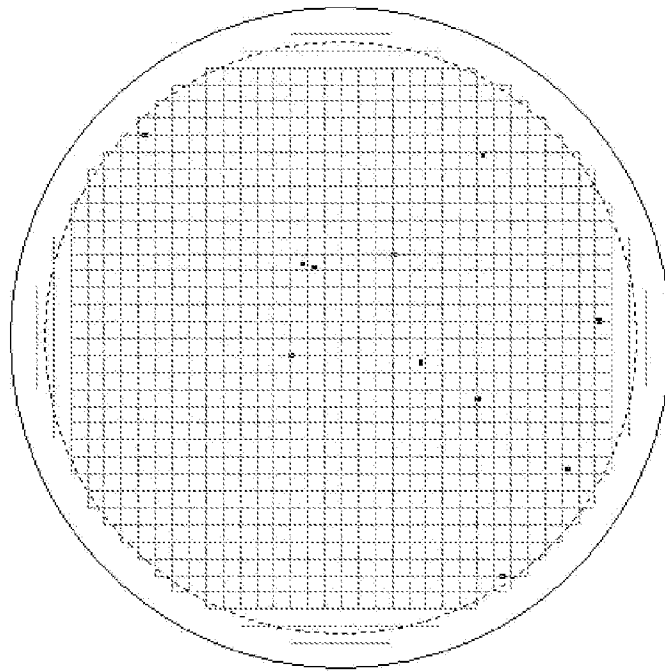
[図5]



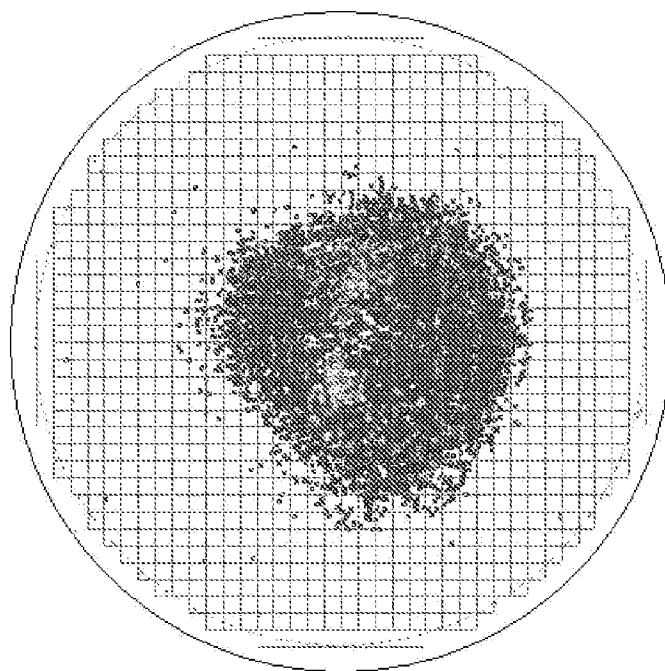
[図6]



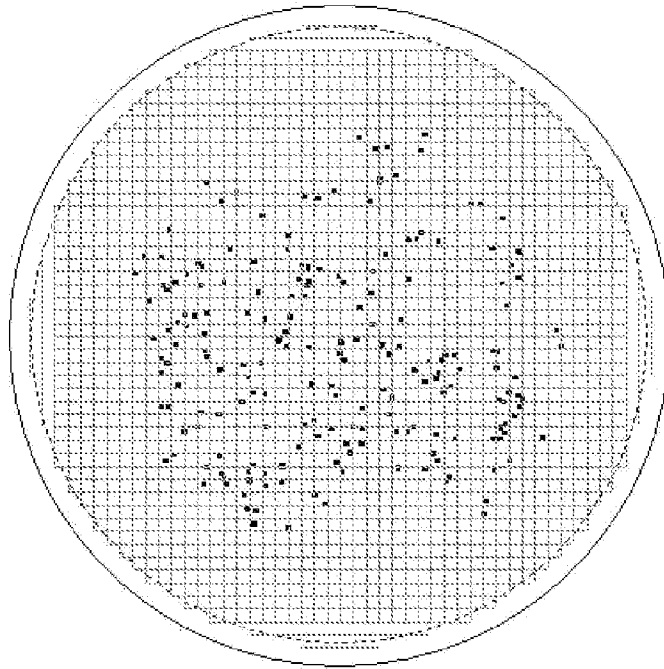
[図7]



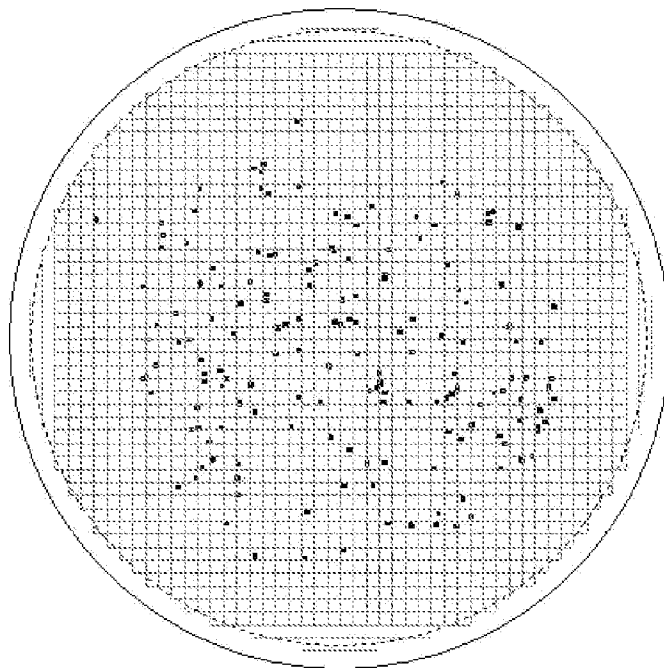
[図8]



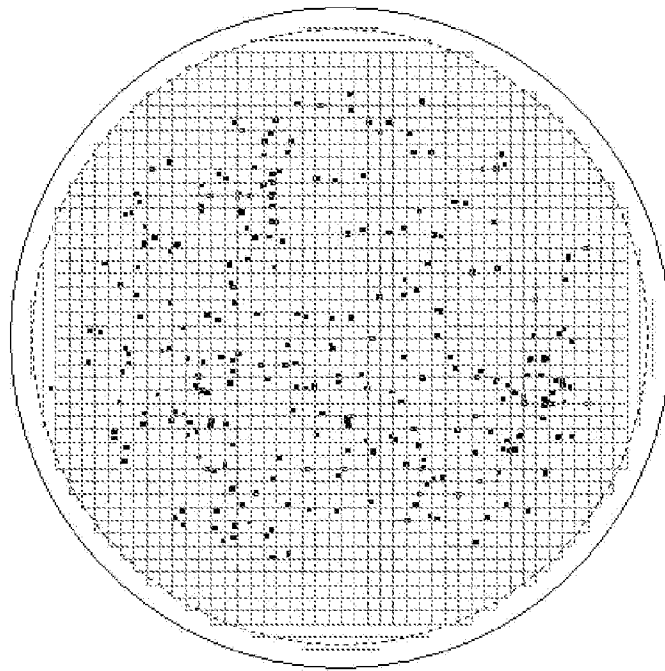
[図9]



[図10]



[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/086895

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/205(2006.01)i, C23C16/42(2006.01)i, C30B29/36(2006.01)i, H01L21/20(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/205, C23C16/42, C30B29/36, H01L21/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2014-047090 A (Fuji Electric Co., Ltd.), 17 March 2014 (17.03.2014), & US 8802546 B2 & EP 2704183 A2 & CN 103681259 A & KR 10-2014-0029164 A	1-8
A	JP 2014-099483 A (Fuji Electric Co., Ltd.), 29 May 2014 (29.05.2014), & US 2015/0214049 A1 & WO 2014/077039 A1 & DE 112013005403 T5 & CN 104704609 A & KR 10-2015-0082202 A	1-8
A	WO 2010/087518 A1 (Nippon Steel Corp.), 05 August 2010 (05.08.2010), & JP 4719314 B2 & US 2011/0278596 A1 & EP 2395133 A1 & KR 10-2011-0093892 A & CN 102301043 A	1-8

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
06 February 2017 (06.02.17)

Date of mailing of the international search report
14 February 2017 (14.02.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/086895

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 7901508 B2 (MAKAROV Yuri), 08 March 2011 (08.03.2011), (Family: none)	1-8
A	JP 2015-510691 A (Classic WBG Semiconductors AB), 09 April 2015 (09.04.2015), & US 2015/0013595 A1 & WO 2013/115711 A2 & SE 1230011 A1	1-8
A	JP 2000-001398 A (Fuji Electric Co., Ltd.), 07 January 2000 (07.01.2000), (Family: none)	1-8
A	JP 2014-058411 A (Nippon Steel & Sumitomo Metal Corp.), 03 April 2014 (03.04.2014), (Family: none)	1-8
A	JP 2013-239606 A (Mitsubishi Electric Corp.), 28 November 2013 (28.11.2013), (Family: none)	1-8
A	JP 2012-178492 A (Hitachi Kokusai Electric Inc.), 13 September 2012 (13.09.2012), (Family: none)	1-8

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L21/205(2006.01)i, C23C16/42(2006.01)i, C30B29/36(2006.01)i, H01L21/20(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L21/205, C23C16/42, C30B29/36, H01L21/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2014-047090 A (富士電機株式会社) 2014.03.17, & US 8802546 B2 & EP 2704183 A2 & CN 103681259 A & KR 10-2014-0029164 A	1-8
A	JP 2014-099483 A (富士電機株式会社) 2014.05.29, & US 2015/0214049 A1 & WO 2014/077039 A1 & DE 112013005403 T5 & CN 104704609 A & KR 10-2015-0082202 A	1-8

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日

06.02.2017

国際調査報告の発送日

14.02.2017

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

桑原 清

50

9375

電話番号 03-3581-1101 内線 3559

C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2010/087518 A1 (新日本製鐵株式会社) 2010. 08. 05, & JP 4719314 B2 & US 2011/0278596 A1 & EP 2395133 A1 & KR 10-2011-0093892 A & CN 102301043 A	1 - 8
A	US 7901508 B2 (MAKAROV Yuri) 2011. 03. 08, (ファミリーなし)	1 - 8
A	JP 2015-510691 A (クラシック ダブルユビージー セミコンダクターズ エービー) 2015. 04. 09, & US 2015/0013595 A1 & WO 2013/115711 A2 & SE 1230011 A1	1 - 8
A	JP 2000-001398 A (富士電機株式会社) 2000. 01. 07, (ファミリーなし)	1 - 8
A	JP 2014-058411 A (新日鐵住金株式会社) 2014. 04. 03, (ファミリーなし)	1 - 8
A	JP 2013-239606 A (三菱電機株式会社) 2013. 11. 28, (ファミリーなし)	1 - 8
A	JP 2012-178492 A (株式会社日立国際電気) 2012. 09. 13, (ファミリーなし)	1 - 8