

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl.⁶
H01L 21/76

(11) 공개번호 특1998-063291
(43) 공개일자 1998년 10월 07일

(21) 출원번호	특1997-017191
(22) 출원일자	1997년 05월 03일
(30) 우선권주장	66948 1996년 12월 17일 대한민국(KR)
(71) 출원인	삼성전자 주식회사 윤종용
(72) 발명자	경기도 수원시 팔달구 매탄동 416번지 박태서
	경기도 과천시 부림동 41번지 강호규
	경기도 성남시 분당구 수내동 양지마을아파트 212동 803호 이영필, 권석흠, 노민식
(74) 대리인	이영필, 권석흠, 노민식

심사청구 : 있음

(54) 트랜치 소자분리방법

요약

전체 제조공정수가 감소된 트랜치 소자분리방법을 개시하고 있다. 포토레지스트 패턴을 식각마스크로 사용하여 소자분리를 위한 트랜치를 형성하기 때문에, 패드산화막 형성, 실리콘 질화막 형성, 패터닝 및 제거 공정 단계를 줄일 수 있다. 또한 소자분리막을 형성한 후, 실리콘 기판 또는 소자분리막 표면을 선택적으로 식각하여 단차를 형성하기 때문에 게이트 전극 형성과 같은 후속공정을 위한 얼라인 키 형성 단계를 줄일 수 있다.

대표도

도4

명세서

도면의 간단한 설명

도 1 및 도 2는 종래 및 본 발명의 소자분리 기술에 따른 공정 순서를 단계별로 도시한 블록도들이다.
도 3 내지 도 6은 본 발명의 제1 실시예에 따른 트랜치 소자분리방법을 설명하기 위해 도시한 단면도들이다.
도 7 및 도 9는 본 발명의 제2 실시예에 따른 트랜치 소자분리방법을 설명하기 위해 도시한 단면도들이다.
도 10 및 도 11은 본 발명의 제3 실시예에 따른 트랜치 소자분리방법을 설명하기 위해 도시한 단면도들이다.
도 12 내지 도 14는 본 발명의 상기 제1 실시예에 따른 트랜치 소자분리 후 형성된 소자의 전기적 특성들을 측정한 결과를 도시한 그래프들이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체장치의 소자분리방법에 관한 것으로, 특히 트랜치 소자분리방법에 관한 것이다.

반도체 장치가 고집적화되고 미세화되어감에 따라 소자간을 분리하는 소자분리 영역의 축소는 중요한 항목으로 대두되고 있다. 소자분리 영역의 형성은 모든 제조공정단계에 있어서 초기단계의 공정으로서 활성영역의 크기 및 후공정 단계의 공정마진(margin)을 좌우하게 되므로 칩 패턴 전체를 비례축소해 가는 데 있어서 소자분리 영역의 비례축소가 불가피하다.

일반적으로 반도체장치의 제조에 널리 이용되는 선택적 산화에 의한 소자분리 방법(L0Cal Oxidation of Silicon; 이하 LOCOS)은, 공정이 간단하다는 잇점이 있으나, 256M DRAM급 이상의 고집적화되는 반도체장

치에 있어서는 소자분리의 폭(Width)이 감소함에 따라 산화시 수반되는 버즈비크(Bird's Beak)에 의한 펀치스루와, 필드산화막의 두께감소와 같은 문제점으로 인하여 그 한계에 이르고 있다.

상기 LOCOS 방법의 문제점을 개선하기 위하여 제안된 트렌치를 이용한 소자분리방법은, 필드산화막의 형성에 있어서 상기 LOCOS 방법과 같이 열산화공정에 의하지 않으므로 열산화공정으로 인해 유발되는 상기 LOCOS 방법의 단점들을 어느 정도 줄일 수 있고, 반도체 기판에 트렌치를 형성하고 내부를 산화막 등 절연물질로 채움으로써 같은 소자분리 폭에서도 효과적인 소자분리 깊이를 가질 수 있어 LOCOS 방법보다 작은 소자분리 영역을 만들 수 있다.

이와 같은 트렌치 소자분리 방법이 예를 들어 논문 A Highly Manufacturable Trench Isolation Process for Deep Submicron DRAMs(57~60 페이지, IEDM Tech. Digest, 1993, 저자: P. Fazan et al.)에 개시된 바 있다.

상기 논문에 따르면, 패드산화막과 실리콘질화막을 형성하고, 실리콘질화막과 패드산화막을 패터닝한 다음, 이들 패터닝된 실리콘질화막과 패드산화막을 마스크로 사용하고 반도체 기판을 식각함으로써, 트렌치를 형성한다. 이후, 트렌치 측벽을 열산화시키고, 화학기상증착법(Chemical Vapor Deposition)에 의한 산화막을 형성한 다음, 화학-기계적 폴리싱(Chemical Mechanical Polishing, 이하 CMP)공정을 통해 평탄화시킨다. 계속해서, 실리콘질화막을 제거하고, 단차진 산화막 측벽에 산화물 스페이서를 형성한 다음, 패드산화막을 습식식각하여 소자분리막을 완성하고, 게이트 산화막과 게이트를 형성한다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는, 전체 제조공정수가 감소된 트렌치 소자분리방법을 제공하는 것이다.

본 발명이 이루고자 하는 다른 기술적 과제는, 후속되는 얼라인 키 형성 공정이 생략될 수 있는 트렌치 소자분리방법을 제공하는 것이다.

발명의 구성 및 작용

상기 과제를 달성하기 위한 트렌치 소자분리 방법에 따르면, 반도체 기판 상에 물질층을 형성한 다음 패터닝하여 마스크 패턴을 형성한다. 상기 마스크 패턴을 식각마스크로 사용하고 상기 기판을 소정깊이 식각하여 트렌치를 형성하고, 상기 마스크 패턴을 제거한 후, 상기 트렌치를 매립하고 상기 기판 상에 소정두께를 갖는 절연층을 형성한다. 다음, 절연층이 형성된 상기 결과물에 대해 상기 기판이 노출될 때까지 화학-기계적 연마 공정을 수행하여 소자분리막을 형성한다.

상기 마스크 패턴은 포토레지스트로 형성될 수 있으며, 패드산화막 형성, 실리콘 질화막 형성, 패터닝 및 제거 공정 단계를 줄일 수 있다.

상기 과제 및 다른 과제를 달성하기 위한 트렌치 소자분리 방법에 따르면, 상기 화학-기계적 연마 공정 후 상기 소자분리막 표면을 선택적으로 식각할 수 있으며, 이에 의해 형성된 상기 소자분리막 표면과 기판 표면과의 단차가 후속공정의 얼라인 키로 사용될 수 있다.

상기 과제 및 다른 과제를 달성하기 위한 트렌치 소자분리 방법에 따르면 또한, 상기 화학-기계적 연마 공정 후, 상기 기판 표면을 선택적으로 식각할 수 있으며, 이에 의해 형성된 상기 소자분리막 표면과 기판 표면과의 단차가 후속공정의 얼라인 키로 사용될 수 있으며, 뿐만 아니라 상기 화학-기계적 연마 공정에 의한 반도체 기판의 손상이나 오염을 최소화할 수 있다.

본 발명에 따르면 또한, 형성되는 소자의 특성을 향상시키기 위해 공정이 더 추가될 수도 있는데, 그 예로서, 마스크 패턴이 제거된 결과물 전면에 얇은 열산화막을 형성하여 트렌치 형성시 발생된 결함을 제거할 수 있으며, 절연층을 형성한 후, 열처리 공정을 수행하여 절연층의 결함을 강화할 수 있다. 또한, 물질층 형성 전 반도체 기판 상에 산화막을 형성하여, 물질층과 반도체 기판의 접착성을 강화할 수도 있다.

이하, 첨부한 도면을 참조하여 본 발명을 보다 상세히 설명하고자 한다.

먼저, 도 1 및 도 2는 종래 및 본 발명의 소자분리 기술에 따른 공정 순서를 단계별로 도시한 블록도들로서, 소자분리막 형성을 위한 기본적인 단계들만을 도시하였다. 이 단계들 이외에도 소자분리 특성을 향상시키기 위한 여러 가지 단계들이 더 추가될 수 있음은 물론이다.

도 2에 도시된 바와 같이 본 발명에 따른 트렌치 소자분리방법은 크게, 포토레지스트 패턴을 형성하는 제1 단계(30), 트렌치를 형성하는 제2 단계(32), 포토레지스트 패턴을 제거하는 제3 단계(34), 트렌치를 절연물질로 매립하는 제4 단계(36), 및 평탄화시키는 제5 단계(38)로 구성된다. 이와 같이 본 발명에서는 포토레지스트 패턴을 이용하여 반도체 기판 내에 트렌치를 형성하기 때문에, 도 1에 도시된 패드산화막 형성 단계(10), 실리콘 질화막 형성 단계(12), 실리콘 질화막 패터닝 단계(16), 및 실리콘 질화막 제거 단계(26) 등 4 개의 단계가 필요하지 않게 된다. 이에 의해 반도체 소자 제조공정을 단순화시킬 수 있으므로 제조경비 절감이 가능하다.

계속해서, 상기 도 2에 도시된 공정 순서에 기초한 본 발명의 제1 내지 제3 실시예들을 도 3 내지 도 11을 참조하여 설명한다.

도 3 내지 도 6은 본 발명의 제1 실시예에 따른 트렌치 소자분리방법을 설명하기 위해 도시한 단면도들이다.

도 3은 반도체 기판(51) 상에 마스크 패턴(53)을 형성하는 단계를 도시한 것이다.

먼저, 반도체 기판(51)상에 식각마스크로 사용될 물질, 예를 들면 포토레지스트를 도포하여 포토레지스트층을 형성한 다음, 상기 기판의 일부를 노출시키도록 패터닝하여 마스크 패턴(53)을 형성한다.

바람직한 실시예에 따르면, 상기 마스크 패턴(53)을 형성하기 전, 얇은 열산화막이나 화학기상증착법을 이용한 실리콘산화막을 형성하여, 상기 마스크 패턴(53)과 기판(51)과의 접착성을 향상시킬 수 있다. 또한, 상기 마스크 패턴(53)은 포토레지스트 대신 실리콘 산화물로도 형성 가능한데, 이때에는 보다 미세한 트랜치가 형성될 수 있다.

도 4는 트랜치(T)를 형성하는 단계를 도시한 것이다.

상기 마스크 패턴(53)을 식각마스크로 사용하고 상기 기판(51)을 소정깊이 식각함으로써 트랜치(T)를 형성한다.

도 5는 절연층(57)을 형성하는 단계를 도시한 것이다.

예를 들어, 상기 마스크 패턴(53)이 포토레지스트로 형성된 경우, 상기 마스크 패턴(53)을 포토레지스트 애싱(Ashing)과 같은 통상의 방법으로 제거한다. 다음, 상기 트랜치(T)를 채우고 상기 기판(51) 상에 소정의 두께를 갖는 절연층(57)을 형성한다.

상기 절연층(57)은, 불순물이 도우프되지 않은 실리콘산화물(USG)로 형성될 수 있으며 화학기상증착법, 예컨대 고밀도 플라즈마(high density plasma)를 이용한 화학기상증착법으로 형성될 수 있다.

또한 언급된 바와 같이 상기 마스크 패턴(53)을 실리콘 산화물로 형성하는 경우, 상기 마스크 패턴(53)은 상기 절연층(57) 형성 전에 제거하거나, 이후의 상기 절연층(57) 평탄화시 제거할 수 있다.

한편, 본 발명의 바람직한 실시예에 따르면, 트랜치를 형성하기 위한 플라즈마 식각시 발생될 수 있는 기판(51)의 결함 및 스트레스를 제거하기 위해, 상기 절연층(57) 형성 전, 마스크 패턴(53)이 제거된 결과물 전면에 약 50~250 Å 두께의 얇은 열산화막(55)을 형성할 수 있다.

본 발명의 바람직한 실시예에 따르면 또한, 상기 절연층 형성 후, 상기 절연층(57)의 결함을 강화시키기 위한 열처리 공정을 700°C ~ 1200°C, 바람직하게는 약 1000°C, 질소(N₂)분위기에서 30분 ~ 16시간, 바람직하게는 약 1시간 정도 실시할 수 있다.

도 6은 소자분리막(59)을 형성하는 단계를 도시한 것이다.

상기 반도체 기판(51)이 노출될때까지 CMP 하여, 상기 절연층(57)을 평탄화함으로써 트랜치를 매립하는 소자분리막(59)을 형성한다. 다음에, 도시되지는 않았지만, 희생산화공정을 통해 희생산화막을 50~200 Å 두께로 성장시키고, 그 결과물 전면에 불순물 이온주입, 예컨대 웰, 채널저지, 또는 문턱전압 조절용 이온주입을 한 다음, BOE(Buffered Oxide Etchant)나 불산(HF)과 같은 실리콘산화막 에천트를 사용하여 상기 희생산화막을 제거하는 공정을 더 구비할 수 있다.

이와 같은 희생산화공정은, CMP 공정에 의해 발생될 수 있는 기판 표면의 결함이나 손상 등을 회복시키는 역할을 하며, 따라서 양질의 게이트 산화막 성장이 가능하게 된다. 본 발명에 따른 트랜치 소자분리 후 형성된 게이트 산화막의 전기적 특성을 측정한 결과가 도 14에 도시되어 있다.

이상 언급된 바와 같이 본 발명의 제1 실시예에 따르면, 포토레지스트를 마스크로 사용하여 기판에 트랜치를 형성하고, 트랜치 형성후 이 마스크를 제거하기 때문에, 종래의 패드산화막 성장공정, 질화막 증착공정, 이들 패턴을 형성하기 위한 식각공정, 및 제거공정등이 요구되지 않으므로, 종래에 비해 보다 단순화된 공정을 통해 소자분리막 형성이 가능하다.

도 7 및 도 9는 본 발명의 제2 실시예에 따른 트랜치 소자분리방법을 설명하기 위해 도시한 단면도들이다. 본 발명의 제2 실시예는 제1 실시예에서의 상기 CMP 공정후, 소자분리막이 기판에 비해 리세스되도록 하는 것을 제외하고는 상기 제1 실시예와 동일하게 진행된다.

도 7은 그 표면이 리세스된 소자분리막(59')을 형성하는 단계를 도시한 것이다.

제1 실시예에서와 마찬가지로, 절연층(57)을 형성하고, 상기 절연층(57)을 상기 반도체 기판(51)이 노출될때까지 CMP 하여 평탄화하는 단계까지 진행한다. 다음, 상기 소자분리막(59)을 일정 깊이 식각하여, 상기 기판(51)에 비해 리세스된 소자분리막(59')을 형성한다. 이때, 상기 식각은, 소자분리막(59)만을 선택적으로 식각할 수 있는 에천트, 예컨대 질산(HNO₃), 수산화암모늄(NH₄OH) 및 과산화수소수(H₂O₂) 혼합된 용액, 또는 불산(HF)과 같은 산화물 에천트를 이용한 습식식각을 이용하거나, 플라즈마에 의한 건식식각을 이용할 수 있다.

이때, 식각되는 깊이, 즉 식각에 의해 형성되는 소자분리막(59') 표면과 기판(51) 표면과의 단차가 100 ~ 1000 Å 정도 되도록 하는 것이 바람직하다. 이 단차는 이후의 공정, 예를 들어 게이트 전극 형성을 위한 사진공정에서 얼라인 키(align key)로 사용될 수 있다. 종래의 일반적인 트랜치 소자분리방법에 따르면, CMP 후의 평탄도가 양호하므로 최종구조에서 단차가 거의 없게 되어, 후속 공정을 위한 얼라인 키 패턴을 따로이 형성하여야 한다. 그러나, 상기 제2 실시예에서와 같이, 얼라인 장비에 의해 인식되어질 정도의 단차를 형성함으로써, 얼라인 키 형성공정을 삭제할 수 있다.

이후, 도 8 및 도 9에 도시된 바와 같이, 리세스된 소자분리막(59')이 형성된 결과물 전면에, 희생산화 공정 추가하여 희생산화막(58)을 50~200 Å 두께로 성장시키고, 그 결과물 전면에 불순물 이온주입, 예컨대 웰, 채널저지, 또는 문턱전압 조절용 이온주입을 실시한 다음 BOE나 불산과 같은 산화막 에천트를 사용하여 상기 희생산화막(58)을 제거함으로써, 소자분리막(59')을 완성할 수 있다.

이상 설명된 제2 실시예에 따르면, CMP 후 소자분리막을 선택적으로 식각하여 소자분리막과 기판사이의 단차를 형성한 후, 이를 후속 공정에서 얼라인 키로 활용한다. 따라서, 제조공정을 보다 단순화시킬 수

있다.

도 10 및 도 11은 본 발명의 제3 실시예에 따른 트렌치 소자분리방법을 설명하기 위해 도시한 단면도들이다. 본 발명의 제2 실시예는 제1 실시예에서의 상기 CMP 공정후, 상기 제2 실시예와는 반대로, 기판(51)이 소자분리막(59)에 비해 리세스되도록 하는 것을 제외하고는 상기 제1 실시예와 동일하게 진행된다.

도 10은 반도체 기판(51) 표면 일부를 식각하여 리세스된 형태로 만드는 단계를 도시한 것이다.

먼저, 절연층(57)을 형성하고, 상기 절연층(57)을 상기 반도체 기판(51)이 노출될때까지 CMP 하여 평탄화하는 단계까지는 상기 제1 실시예와 동일한 방법으로 진행한다. 다음, 상기 기판만을 식각할 수 있는 에천트 예컨대, 불화암모늄(NH_4F)과 불산(HF)이 혼합된 용액을 사용한 습식식각을 통해 상기 기판(51)을 선택적으로 일정깊이 식각한다.

이에 따라, 상기 기판(51) 표면은 소자분리막(59)에 비해 리세스된 형태를 가지게 된다. 이와 같이 기판 표면을 일정깊이 식각하는 것은, CMP 공정 중 발생할 수 있는 스트레스나 그로인한 결함, 또는 CMP 공정에서 사용되는 슬러리 안에 포함되어 있는 파티클(Particle)들을 기판 표면에서 제거하기 위한 것이다.

도 11은 희생 산화공정 후 평탄화된 소자분리막을 형성하는 단계를 도시한 것이다.

리세스가 형성된 상기 결과물 전면에, 희생산화공정을 통해 희생산화막(도시되지 않음)을 50~200 Å 두께로 성장시키고, 그 결과물 전면에 불순물 이온주입, 에컨대 웰, 채널저지, 또는 문턱전압 조절용 이온주입을 실시한 다음 BOE나 불산과 같은 산화막 에천트를 사용하여 상기 희생산화막을 제거함으로써, 소자분리막(59)을 완성한다.

이때, 도시된 바와 같이 상기 희생산화막 제거시 오버-에치(Over-Etch)를 실시하여, 상기 기판(51) 표면과 소자분리막(59) 표면이 평탄하게 되도록 할 수 있다.

또한, 상기 제2 실시예에서와 마찬가지로 소자분리막 표면과 기판 표면과의 단차가 100~1000 Å 정도 되도록 상기 기판(51)을 식각하고, 이 단차를 후속공정의 얼라인 키로 사용할 수도 있는데, 이 경우에는 상기 희생산화막 제거시 오버-에치 하지 않는다..

이상 설명된 제3 실시예에 따르면, 제1 실시예에서와 같은 공정 단순화의 효과를 거둘 수 있으며 이와 더불어, CMP 후 반도체 기판을 선택적으로 식각하는 것에 의해 CMP 에 의한 반도체 기판 손상이나 오염 등을 최소화할 수 있다. 또한, 상기 제2 실시예에서와 같이 소자분리막 표면과 기판 표면과의 단차를 후속 공정에서 얼라인 키로 활용함으로써, 제조공정을 보다 단순화시킬 수 있다.

도 12 내지 도 14는 본 발명의 상기 제1 실시예에 따른 트렌치 소자분리 후, 소자의 전기적 특성들을 측정한 결과를 도시한 그래프들이다.

도 12 및 도 13은 p-n 접합 사이의 누설전류밀도를 측정한 결과로서, 도 12는 직사각형의 액티브 패턴을 형성한 경우, 도 13은 라인형의 액티브 패턴을 다수개 형성한 경우 p-n 접합의 여러 지점에서 누설전류밀도를 측정한 결과이다. 종래의 실리콘 질화막 패턴을 마스크로 사용하여 트렌치를 형성한 경우(a)와 본 발명에 따른 포토레지스트 패턴을 식각마스크로 사용한 경우(b)가 각각 도시되어 있으며, 본 발명의 경우, p-n 접합 영역에서 발생하는 누설전류밀도는 종래에 비해 적거나(도 12) 거의 유사(도 13)함을 알 수 있다.

도 14는 게이트 산화막 특성을 측정한 그래프로써, 게이트 산화막과 게이트 전극을 형성한 후, MOS 커패시터의 전류-전압 특성을 측정한 결과이다.

도시된 바와 같이, 전류-전압 특성 곡선이 매우 양호함을 알 수 있으며, 본 발명에서와 같이 CMP 공정을 기판 표면이 노출될때까지 진행하더라도 소자의 전기적 특성은 영향을 받지 않음을 알 수 있다.

발명의 효과

상술한 바와 같이 본 발명에 따르면, 트렌치 형성을 위한 마스크로서 포토레지스트를 사용하기 때문에 종래의 패드산화막 및 질화막 형성공정과, 패터닝공정, CMP 후 제거공정을 줄일 수 있다. 따라서, 종래에 비해 공정을 단순화할 수 있으므로 제조비용을 절감할 수 있다.

(57) 청구의 범위

청구항 1

반도체 기판 상에 물질층을 형성한 다음 패터닝하여 마스크 패턴을 형성하는 단계;

상기 마스크 패턴을 식각마스크로 사용하고 상기 기판을 소정깊이 식각하여 트렌치를 형성하는 단계;

상기 마스크 패턴을 제거하는 단계;

상기 트렌치를 매립하고 상기 기판 상에 소정두께를 갖는 절연층을 형성하는 단계; 및

절연층이 형성된 상기 결과물에 대해 상기 기판이 노출될때까지 화학-기계적 연마 공정을 수행하여 소자분리막을 형성하는 단계를 구비하는 것을 특징으로 하는 트렌치 소자분리방법.

청구항 2

제1항에 있어서, 마스크 패턴을 형성하는 상기 단계는,

반도체 기판 상에 포토레지스트 패턴을 형성하는 단계를 구비하는 것을 특징으로 하는 트랜치 소자분리 방법.

청구항 3

제1항에 있어서, 마스크 패턴을 형성하는 상기 단계는,

반도체 기판 상에 산화물을 증착하여 산화막을 형성하는 단계; 및

상기 산화막을 패터닝하여 산화막 패턴을 형성하는 단계를 구비하는 것을 특징으로 하는 트랜치 소자분리 방법.

청구항 4

제1항에 있어서, 소자분리막을 형성하는 상기 단계 후,

소자분리막이 형성된 상기 결과물 전면에 희생산화막을 형성하는 단계;

희생산화막이 형성된 결과물 전면에 불순물을 주입하는 단계; 및

상기 희생산화막을 제거하는 단계를 더 구비하는 것을 특징으로 하는 트랜치 소자분리 방법.

청구항 5

제4항에 있어서,

불순물을 주입하는 상기 단계는, 웰 형성, 채널저지영역형성 및 문턱전압조절용 이온주입 단계인 것을 특징으로 하는 트랜치 소자분리 방법.

청구항 6

제4항에 있어서, 희생산화막을 형성하는 상기 단계 전,

상기 소자분리막 표면이 상기 기판에 대해 리세스되도록 상기 소자분리막 표면을 선택적으로 식각하는 단계를 더 구비하는 것을 특징으로 하는 트랜치 소자분리 방법.

청구항 7

제6항에 있어서,

상기 소자분리막 표면을 100~1000Å 정도로 식각하여, 소자분리막과 기판 표면의 단차가 후속공정의 얼라인 키로 사용될 수 있도록 하는 것을 특징으로 하는 트랜치 소자분리 방법.

청구항 8

제6항에 있어서,

상기 식각은, 질산(HNO_3), 수산화암모늄(NH_4OH) 및 과산화수소수(H_2O_2)가 혼합된 용액 및 희석된 불산(HF) 중 어느 하나를 사용하는 습식식각으로 하거나, 플라즈마에 의한 건식식각으로 하는 것을 특징으로 하는 트랜치 소자분리 방법.

청구항 9

제4항에 있어서, 희생산화막을 형성하는 상기 단계 전,

상기 기판 표면이 상기 소자분리막에 대해 리세스(Recess)되도록 상기 기판 표면을 선택적으로 식각하는 단계를 더 구비하는 것을 특징으로 하는 트랜치 소자분리 방법.

청구항 10

제9항에 있어서,

상기 기판 표면을 100~1000Å 정도로 식각하여, 소자분리막과 기판 표면의 단차가 후속공정의 얼라인 키로 사용될 수 있도록 하는 것을 특징으로 하는 트랜치 소자분리 방법.

청구항 11

제9항에 있어서,

상기 식각은, 불화암모늄(NH_4F)과 불산(HF)이 혼합된 용액을 사용한 습식식각으로 하는 것을 특징으로 하는 트랜치 소자분리 방법.

청구항 12

제9항에 있어서,

희생산화막을 제거하는 상기 단계는,

상기 기판 표면과 소자분리막 표면이 평탄화되도록 상기 희생산화막을 오버-에치하는 것을 특징으로 하는 트랜치 소자분리 방법.

청구항 13

제9항에 있어서,

불순물을 주입하는 상기 단계는, 웰 형성, 채널저지영역형성 및 문턱전압조절용 이온주입 단계인 것을 특징으로 하는 트랜치 소자분리방법.

청구항 14

제1항에 있어서, 마스크 패턴을 제거하는 상기 단계 후,

트랜치 형성시 발생된 결함을 제거하기 위해, 마스크 패턴이 제거된 결과물 전면에 얇은 열산화막을 형성하는 단계를 더 구비하는 것을 특징으로 하는 트랜치 소자분리방법.

청구항 15

제1항에 있어서, 절연층을 형성하는 상기 단계 후,

상기 절연층의 결함을 강화하기 위한 열처리공정을 더 구비하는 것을 특징으로 하는 트랜치 소자분리방법.

청구항 16

제15항에 있어서,

상기 열처리 공정은 700~1200℃, 질소(N₂)분위기에서 30분~16시간 실시하는 것을 특징으로 하는 트랜치 소자분리방법.

청구항 17

제1항에 있어서, 마스크 패턴 형성을 위한 물질층을 형성하는 상기 단계 전,

상기 물질층과 반도체 기판의 접착성을 강화하기 위해 상기 반도체 기판상에 산화막을 형성하는 단계를 더 구비하는 것을 특징으로 하는 트랜치 소자분리방법.

청구항 18

반도체 기판 상에 물질층을 형성한 다음 패터닝하여 마스크 패턴을 형성하는 단계;

상기 마스크 패턴을 식각마스크로 사용하고 상기 기판을 소정깊이 식각하여 트랜치를 형성하는 단계;

상기 마스크 패턴을 제거하는 단계;

상기 트랜치를 매립하고 상기 기판 상에 소정두께를 갖는 절연층을 형성하는 단계;

절연층이 형성된 상기 결과물에 대해 상기 기판이 노출될때까지 화학-기계적 연마 공정을 수행하여 소자 분리막을 형성하는 단계; 및

상기 기판 표면을 선택적으로 식각하여, 상기 화학-기계적 연마 공정에 의한 반도체 기판의 손상이나 오염을 최소화하고, 상기 소자분리막 표면과 기판 표면과의 단차가 후속공정의 얼라인 키로 사용될 수 있도록 하는 단계를 구비하는 것을 특징으로 하는 트랜치 소자분리방법.

청구항 19

반도체 기판 상에 물질층을 형성한 다음 패터닝하여 마스크 패턴을 형성하는 단계;

상기 마스크 패턴을 식각마스크로 사용하고 상기 기판을 소정깊이 식각하여 트랜치를 형성하는 단계;

상기 마스크 패턴을 제거하는 단계;

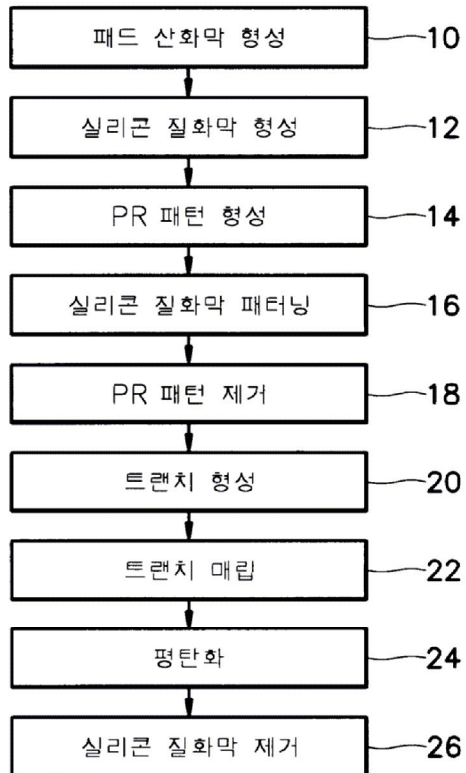
상기 트랜치를 매립하고 상기 기판 상에 소정두께를 갖는 절연층을 형성하는 단계;

절연층이 형성된 상기 결과물에 대해 상기 기판이 노출될때까지 화학-기계적 연마 공정을 수행하여 소자 분리막을 형성하는 단계; 및

상기 소자분리막 표면을 선택적으로 식각하여, 상기 소자분리막 표면과 기판 표면과의 단차가 후속공정의 얼라인 키로 사용될 수 있도록 하는 단계를 더 구비하는 것을 특징으로 하는 트랜치 소자분리방법.

도면

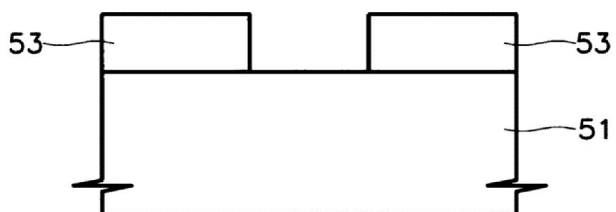
도면1



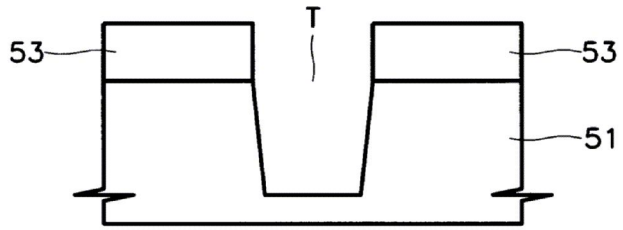
도면2



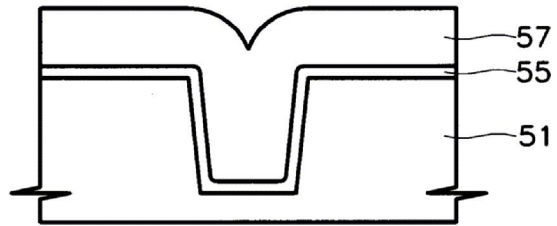
도면3



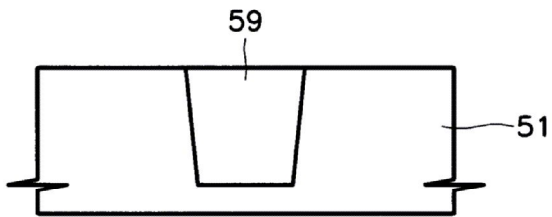
도면4



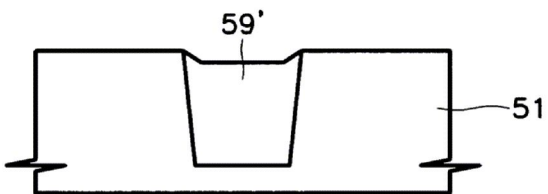
도면5



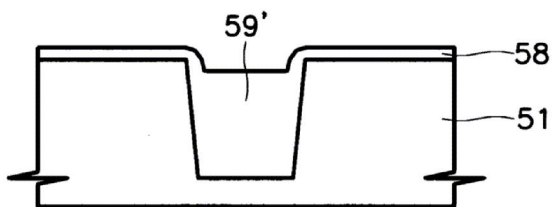
도면6



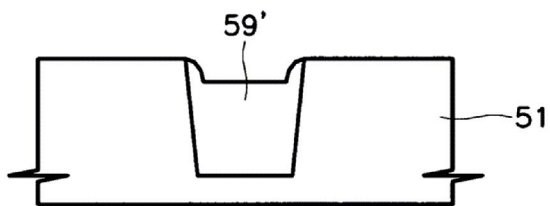
도면7



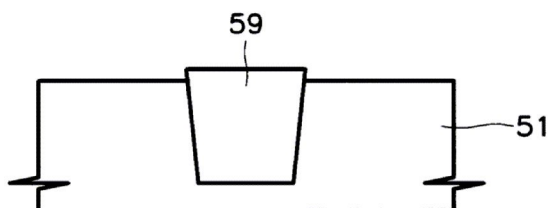
도면8



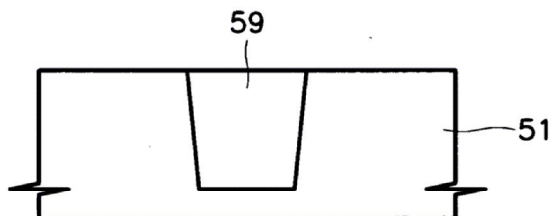
도면9



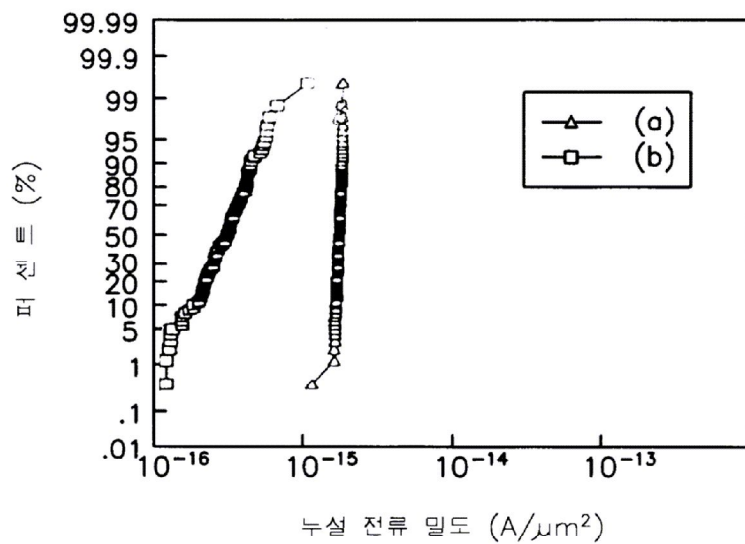
도면10



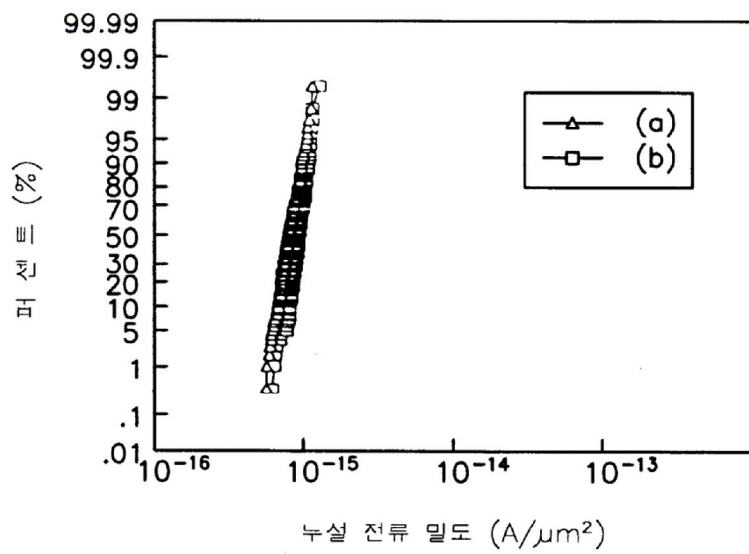
도면11



도면12



도면13



도면14

