

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 29/778 (2006.01)

H01L 21/335 (2006.01)

H01L 21/318 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200580047083.9

[43] 公开日 2008 年 1 月 16 日

[11] 公开号 CN 101107713A

[22] 申请日 2005.8.31

[21] 申请号 200580047083.9

[30] 优先权

[32] 2004.11.23 [33] US [31] 10/996,249

[86] 国际申请 PCT/US2005/031272 2005.8.31

[87] 国际公布 WO2006/057686 英 2006.6.1

[85] 进入国家阶段日期 2007.7.23

[71] 申请人 克里公司

地址 美国北卡罗来纳州

[72] 发明人 A·W·萨克斯勒 S·谢泼德

R·P·史密斯

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 曾祥凌 王忠忠

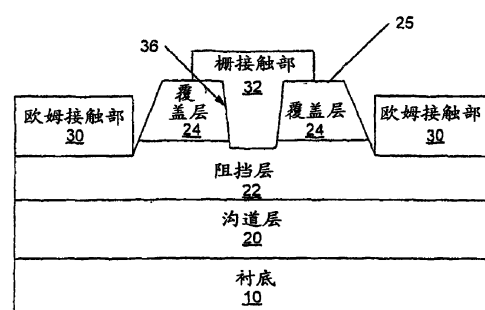
权利要求书 10 页 说明书 25 页 附图 6 页

[54] 发明名称

基于氮化物的晶体管的覆盖层和/或钝化层、
晶体管结构及制作方法

[57] 摘要

本发明提供了提供包含基于不均匀铝浓度 Al-GaN 的覆盖层的高电子迁移率晶体管, 所述覆盖层在与远离其上设有该覆盖层的阻挡层的覆盖层表面临近处具有较高的铝浓度。还提供了包含覆盖层的高电子迁移率晶体管, 所述覆盖层具有与远离其上设该覆盖层的阻挡层的覆盖层表面临近的掺杂区。还提供了用于宽禁带半导体器件的石墨 BN 钝化结构。设有用于 III 族氮化物半导体器件的 SiC 钝化结构。还对钝化结构进行氧退火。还设有无凹入部的欧姆接触部。



1. 一种 III 族氮化物高电子迁移率晶体管，包括：
基于 III 族氮化物的沟道层；
所述沟道层上的基于 III 族氮化物的阻挡层；以及
所述阻挡层上的基于不均匀成分 AlGa_N 的覆盖层，且所述覆盖层在与远离阻挡层的覆盖层表面临近处具有比基于 AlGa_N 的覆盖层内的区域中高的 Al 浓度。
2. 如权利要求 1 所述的晶体管，还包括：凹入所述基于 AlGa_N 的覆盖层的栅接触部，其中，较高的 Al 浓度延续而进入所述覆盖层约 30Å 至约 1000Å 处。
3. 如权利要求 1 所述的晶体管，还包括：在所述基于 AlGa_N 的覆盖层上且不凹入所述基于 AlGa_N 的覆盖层的栅接触部，其中，较高 Al 浓度延续而进入所述覆盖层约 2.5Å 至约 100Å 处。
4. 如权利要求 1 所述的晶体管，其中：所述基于 AlGa_N 的覆盖层包含与远离所述阻挡层的覆盖层表面临近的 Al_xGa_{1-x}N 第一区域，其中 $x \leq 1$ ，以及在所述基于 AlGa_N 的覆盖层内的 Al_yGa_{1-y}N 第二区域，其中 $y < 1$ 、 $y < x$ 。
5. 如权利要求 4 所述的晶体管，其中：x 从约 0.3 至约 1，而 y 从约 0.2 至约 0.9。
6. 如权利要求 4 所述的晶体管，其中：所述基于 AlGa_N 的覆盖层还包含在所述阻挡层和所述基于 AlGa_N 的覆盖层之间的界面处的 Al_zGa_{1-z}N 第三区域，其中 $z < 1$ 且 $z \neq y$ 。
7. 如权利要求 6 所述的晶体管，其中： $z > y$ 。
8. 如权利要求 7 所述的晶体管，其中： $z > x$ 。
9. 如权利要求 6 所述的晶体管，其中： $z \leq x$ 。
10. 如权利要求 1 所述的晶体管，其中：所述沟道层包含 GaN 层，所述阻挡层包含 AlGa_N 层，而所述覆盖层包含 AlGa_N 层。

11. 一种 III 族氮化物高电子迁移率晶体管, 包括:
基于 III 族氮化物的沟道层;
所述沟道层上的基于 III 族氮化物的阻挡层; 以及
所述阻挡层上的基于 III 族氮化物的覆盖层, 且所述覆盖层具有与
远离所述阻挡层的覆盖层表面临近的掺杂区。
12. 如权利要求 11 所述的晶体管, 其中: 所述掺杂区包含用 n 型
掺杂物掺杂的区域。
13. 如权利要求 12 所述的晶体管, 其中: 所述 n 型掺杂物包含 Si、
Ge 和/或 O。
14. 如权利要求 12 所述的晶体管, 还包括: 在所述覆盖层上且不
凹入所述覆盖层的栅接触部, 其中, 所述掺杂区延续而进入所述覆盖
层约 $2.5\text{\AA}$ 至约 $50\text{\AA}$ 处。
15. 如权利要求 12 所述的晶体管, 还包括: 凹入所述覆盖层的栅
接触部, 其中, 所述掺杂区延续而进入所述覆盖层约 $20\text{\AA}$ 至约 $5000\text{\AA}$
处。
16. 如权利要求 12 所述的晶体管, 其中: 所述掺杂区提供从约
 10^{18} 至约 10^{21}cm^{-3} 的掺杂物浓度。
17. 如权利要求 12 所述的晶体管, 其中: 所述掺杂区包含一个或
多个在或接近所述覆盖层表面的 Δ 掺杂区。
18. 如权利要求 17 所述的晶体管, 其中: 所述一个或多个 Δ 掺杂
区具有从约 10^{11} 至约 10^{15}cm^{-2} 的掺杂物浓度。
19. 如权利要求 12 所述的晶体管, 其中: 所述 n 型掺杂物包含 O
且所述掺杂区延续而进入所述覆盖层约 $20\text{\AA}$ 处。
20. 如权利要求 11 所述的晶体管, 其中: 所述掺杂区包含用 p 型
掺杂物掺杂的区域。
21. 如权利要求 20 所述的晶体管, 还包括: 在所述覆盖层上且不
凹入所述覆盖层的栅接触部, 其中, 所述掺杂区延续而进入所述覆盖
层约 $2.5\text{\AA}$ 至约 $50\text{\AA}$ 处。

22. 如权利要求 20 所述的晶体管, 还包括凹入所述覆盖层的栅接触部, 其中, 所述掺杂区延续而进入所述覆盖层约 30Å 至约 5000Å 处。

23. 如权利要求 20 所述的晶体管, 其中: 所述 p 型掺杂物提供从约 10^{16} 至约 10^{22}cm^{-3} 的掺杂物浓度。

24. 如权利要求 20 所述的晶体管, 其中: 所述 p 型掺杂物包含 Mg、Be、Zn、Ca 和/或 C。

25. 如权利要求 20 所述的晶体管, 其中: 所述掺杂区包含一个或多个在或接近所述覆盖层表面的 Δ 掺杂区。

26. 如权利要求 25 所述的晶体管, 其中: 所述 Δ 掺杂区具有从约 10^{11} 至约 10^{15}cm^{-2} 的掺杂物浓度。

27. 如权利要求 20 所述的晶体管, 还包括:

在所述覆盖层中的凹入部;

在所述凹入部中且不直接接触所述覆盖层的栅接触部; 并且

其中, p 型掺杂物浓度在所述覆盖层中形成导电区域。

28. 如权利要求 20 所述的晶体管, 还包括: 在所述凹入部的侧壁上的绝缘层, 其中, 所述栅接触部在所述凹入部中的绝缘层上。

29. 如权利要求 20 所述的晶体管, 其中: 所述掺杂区与所述覆盖层形成 p-n 结, 且所述栅接触部直接在所述掺杂区上。

30. 如权利要求 11 所述的晶体管, 其中: 所述掺杂区包含用深层掺杂物进行掺杂的区域。

31. 如权利要求 30 所述的晶体管, 还包括: 在所述覆盖层上且不凹入所述覆盖层的栅接触部, 其中, 所述掺杂区延续而进入所述覆盖层约 2.5Å 至约 100Å 处。

32. 如权利要求 30 所述的晶体管, 还包括: 凹入所述覆盖层的栅接触部, 其中, 所述掺杂区延续而进入所述覆盖层约 30Å 至约 5000Å 处。

33. 如权利要求 30 所述的晶体管, 其中: 所述深层掺杂物提供从约 10^{16} 至约 10^{22}cm^{-3} 的掺杂物浓度。

34. 如权利要求 30 所述的晶体管, 其中: 所述深层掺杂物包含 Fe、C、V、Cr、Mn、Ni、Co 和/或其他稀土元素。

35. 如权利要求 11 所述的晶体管, 其中: 所述掺杂区包含第一掺杂区, 且所述覆盖层还包含在所述阻挡层和第一掺杂区之间的第二掺杂区, 第二掺杂区的掺杂物浓度低于第一掺杂区的掺杂物浓度。

36. 如权利要求 35 所述的晶体管, 其中: 第二掺杂区包含不在第一掺杂区中的覆盖层的剩余部分。

37. 如权利要求 11 所述的晶体管, 其中: 所述覆盖层用 n 型掺杂物、p 型掺杂物和深层掺杂物中的至少两种进行掺杂。

38. 如权利要求 11 所述的晶体管, 其中: 所述沟道层包含 GaN 层, 所述阻挡层包含 AlGa_xN 层, 而所述覆盖层包含 GaN 或 AlGa_xN 层。

39. 一种制作 III 族氮化物高电子迁移率晶体管的方法, 包括:

形成基于 III 族氮化物的沟道层;

在所述沟道层上形成基于 III 族氮化物的阻挡层; 以及

在所述阻挡层上形成基于不均匀成分 AlGa_xN 的覆盖层, 且所述覆盖层在远离阻挡层的覆盖层表面处具有比基于 AlGa_xN 的覆盖层内的区域中高的 Al 浓度。

40. 如权利要求 39 所述的方法, 其中, 形成基于不均匀成分 AlGa_xN 的覆盖层的步骤包含:

形成临近所述覆盖层表面的 Al_xGa_{1-x}N 第一区域, 其中 $x \leq 1$, 以及

形成在所述基于 AlGa_xN 的覆盖层内的 Al_yGa_{1-y}N 第二区域, 其中 $y < 1$ 且 $y < x$ 。

41. 一种制作 III 族氮化物高电子迁移率晶体管的方法, 包括:

形成基于 III 族氮化物的沟道层;

在所述沟道层上形成基于 III 族氮化物的阻挡层; 以及

在所述阻挡层上形成基于 III 族氮化物的覆盖层, 且所述覆盖层具有与远离所述阻挡层的覆盖层表面临近的掺杂区。

42. 如权利要求 41 所述的方法, 其中: 所述掺杂区用 n 型掺杂物、p 型掺杂物和/或深层掺杂物进行掺杂。

43. 一种将宽带隙半导体器件表面钝化的方法, 包括: 在所述宽带隙半导体器件的宽带隙半导体材料的区域的至少一部分表面上形成石墨和/或非晶 BN 层。

44. 如权利要求 43 所述的方法, 其中: 所述宽带隙半导体器件包括 III 族氮化物半导体器件。

45. 如权利要求 43 所述的方法, 其中: 所述宽带隙半导体器件包括基于 GaN 的半导体器件。

46. 如权利要求 43 所述的方法, 其中: 所述宽带隙半导体器件包括 III 族氮化物高电子迁移率晶体管。

47. 如权利要求 43 所述的方法, 其中: 石墨和/或非晶 BN 层的形成在低于所述宽带隙半导体器件中的宽带隙半导体材料的分解温度的温度下进行。

48. 如权利要求 43 所述的方法, 其中: 石墨和/或非晶 BN 层的形成在低于约 1100°C 的温度下进行。

49. 如权利要求 43 所述的方法, 其中: 石墨和/或非晶 BN 层的形成在低于约 1000°C 的温度下进行。

50. 如权利要求 43 所述的方法, 其中: 石墨和/或非晶 BN 层的形成在低于约 900°C 的温度下进行。

51. 如权利要求 43 所述的方法, 其中: 所述 BN 层被形成为非单晶。

52. 如权利要求 43 所述的方法, 其中: 所述石墨和/或非晶 BN 层形成为约 3Å 至约 1μm 的厚度。

53. 如权利要求 43 所述的方法, 其中: 形成石墨和/或非晶 BN 层的步骤包含用载气使 TEB 和 NH₃ 流动。

54. 一种用于宽带隙半导体器件的钝化结构, 包括: 在所述宽带隙半导体器件的宽带隙半导体材料的区域的至少一部分表面上的石墨和/或非晶 BN 层。

55. 如权利要求 54 所述的钝化结构, 其中: 所述宽带隙半导体器件包括 III 族氮化物半导体器件。

56. 一种钝化 III 族氮化物半导体器件表面的方法, 包括: 在所述 III 族氮化物半导体器件的 III 族氮化物半导体材料的区域的至少一部分表面上形成 SiC 层。

57. 如权利要求 56 所述的方法, 其中: 所述 III 族氮化物半导体器件包括基于 GaN 的半导体器件。

58. 如权利要求 56 所述的方法, 其中: 所述 III 族氮化物半导体器件包括 III 族氮化物高电子迁移率晶体管。

59. 如权利要求 56 所述的方法, 其中: SiC 层的形成在低于所述 III 族氮化物半导体器件中的 III 族氮化物半导体材料的分解温度的温度下进行。

60. 如权利要求 56 所述的方法, 其中: SiC 层的形成在低于约 1100 °C 的温度下进行。

61. 如权利要求 56 所述的方法, 其中: SiC 层的形成在低于约 1000 °C 的温度下进行。

62. 如权利要求 56 所述的方法, 其中: SiC 层的形成在低于约 900 °C 的温度下进行。

63. 如权利要求 56 所述的方法, 其中: 所述 SiC 层形成为非单晶。

64. 如权利要求 56 所述的方法, 其中: 形成 SiC 层的步骤包含形成 3C SiC 层。

65. 如权利要求 56 所述的方法, 其中: 所述 SiC 层形成为约 3 Å 至约 1 μm 的厚度。

66. 如权利要求 56 所述的方法, 其中: 所述 SiC 层是 p 型 SiC。

67. 如权利要求 56 所述的方法, 其中: 所述 SiC 层是绝缘 SiC。

68. 一种用于 III 族氮化物半导体器件的钝化结构, 包括: 在所述 III 族氮化物半导体器件的 III 族氮化物半导体材料的区域的至少一部分表面上的 SiC 层。

69. 如权利要求 68 所述的钝化结构, 其中: 所述 III 族氮化物半导体器件包括基于 GaN 的半导体器件。

70. 如权利要求 68 所述的钝化结构, 其中: 所述 SiC 层是 p 型 SiC。

71. 如权利要求 68 所述的钝化结构, 其中: 所述 SiC 层是绝缘 SiC。

72. 一种制作用于 III 族氮化物半导体器件的钝化结构的方法, 包括:

直接在所述 III 族氮化物半导体器件的 III 族氮化物半导体材料的区域的至少一部分表面上形成钝化层; 以及

将所述钝化层在含氧环境中退火。

73. 如权利要求 72 所述的方法, 其中: 所述钝化层包含 SiN 和/或 MgN。

74. 如权利要求 72 所述的方法, 其中: 所述钝化层包含 BN 和/或 SiC。

75. 如权利要求 72 所述的方法, 其中: 所述钝化层包含 SiO₂、MgO、Al₂O₃、Sc₂O₃ 和/或 AlN。

76. 如权利要求 72 所述的方法, 其中: 所述退火在从约 100℃ 至约 1100℃ 的温度下进行, 且进行约 10 秒至约 1 小时。

77. 如权利要求 72 所述的方法, 其中: 所述含氧环境包含 O₂、O₃、CO₂、CO、N₂O、D₂O 和/或 NO。

78. 如权利要求 72 所述的方法, 其中: 所述退火在一温度下进行并且进行一段时间, 以具有不足以将所述钝化层下面的结构氧化但足以从所述钝化层去除至少一些氢的效果。

79. 如权利要求 72 所述的方法, 其中: 所述 III 族氮化物半导体材料包括基于 GaN 的材料。

80. 一种制作 III 族氮化物半导体器件的钝化结构的方法:

直接在所述 III 族氮化物半导体器件的 III 族氮化物半导体材料的区域的至少一部分表面上形成钝化层; 以及

将所述钝化层在 D_2 和/或 D_2O 中退火。

81. 如权利要求 80 所述的方法, 其中: 所述钝化层包含 SiN 和/或 MgN。

82. 如权利要求 80 所述的方法, 其中: 所述钝化层包含 BN 和/或 SiC。

83. 如权利要求 80 所述的方法, 其中: 所述钝化层包含 SiO_2 、MgO、 Al_2O_3 、 Sc_2O_3 和/或 AlN。

84. 如权利要求 80 所述的方法, 其中: 所述退火在一温度下进行并且进行一段时间, 以具有不足以将所述钝化层下面的结构氧化但足以从所述钝化层去除至少一些氢或在所述钝化层中用氘代替至少一些氢的效果。

85. 如权利要求 80 所述的方法, 其中: 所述 III 族氮化物半导体材料包括基于 GaN 的材料。

86. 一种 III 族氮化物高电子迁移率晶体管, 包括:

基于 III 族氮化物的沟道层;

在所述沟道层上的基于 III 族氮化物的阻挡层; 以及

在所述阻挡层上的 AlN 覆盖层。

87. 如权利要求 86 所述的晶体管, 还包括: 凹入所述 AlN 覆盖层的栅接触部, 其中, 所述 AlN 覆盖层具有从约 $10\text{\AA}$ 至约 $5000\text{\AA}$ 的厚度。

88. 如权利要求 86 所述的晶体管, 还包括: 在所述 AlN 覆盖层上且不凹入所述 AlN 覆盖层的栅接触部, 其中, 所述 AlN 覆盖层具有从约 $2\text{\AA}$ 至约 $50\text{\AA}$ 的厚度。

89. 如权利要求 86 所述的晶体管, 其中: 所述沟道层包含 GaN 层而所述阻挡层包含 AlGaN 层。

90. 如权利要求 86 所述的晶体管, 还包括: 至少一个设在所述 AlN 覆盖层和所述阻挡层之间的 III 族氮化物层。

91. 如权利要求 86 所述的晶体管, 其中: 所述 AlN 覆盖层为非单晶。

92. 如权利要求 86 所述的晶体管, 其中: AlN 覆盖层的晶体结构与其上形成所述 AlN 覆盖层的那层晶体结构不密合。

93. 一种制作 III 族氮化物高电子迁移率晶体管的方法, 包括:

形成基于 III 族氮化物的沟道层;

在所述沟道层上形成基于 III 族氮化物的阻挡层; 以及

在所述阻挡层上形成 AlN 覆盖层。

94. 一种 III 族氮化物高电子迁移率晶体管, 包括:

基于 III 族氮化物的沟道层;

在所述沟道层上的基于 III 族氮化物的阻挡层;

在所述阻挡层上的保护层;

在所述阻挡层上的栅接触部; 以及

在所述保护层上的欧姆接触部。

95. 如权利要求 94 所述的晶体管, 其中: 所述保护层包含 SiN。

96. 如权利要求 94 所述的晶体管, 其中: 所述保护层包含 BN。

97. 如权利要求 94 所述的晶体管, 其中: 所述保护层包含 MgN。

98. 如权利要求 94 所述的晶体管, 其中: 所述保护层包含 SiO₂、MgO、Al₂O₃、Sc₂O₃ 和/或 AlN。

99. 如权利要求 94 所述的晶体管, 其中: 所述保护层具有约一个单层的厚度。

100. 如权利要求 94 所述的晶体管, 其中: 所述保护层包含多个层。

101. 如权利要求 100 所述的晶体管, 其中: 所述多个层包含 SiN 层和 AlN 层。

102. 如权利要求 94 所述的晶体管, 其中: 所述保护层具有从约 1Å 至约 10Å 的厚度。

103. 如权利要求 94 所述的晶体管, 其中: 所述栅接触部在所述保护层上。

104. 如权利要求 94 所述的晶体管, 其中: 所述欧姆接触部直接在所述保护层上。

105. 一种制作 III 族氮化物高电子迁移率晶体管的方法, 包括:

形成基于 III 族氮化物的沟道层;

在所述沟道层上形成基于 III 族氮化物的阻挡层;

在所述阻挡层上形成保护层;

在所述阻挡层上形成栅接触部; 以及

在所述保护层上形成欧姆接触部。

106. 如权利要求 105 所述的方法, 其中: 所述保护层的形成与所述阻挡层的形成临场地进行。

107. 如权利要求 105 所述的方法, 其中: 形成所述保护层包括形成包含 SiN、BN 和/或 MgN 的层。

108. 如权利要求 105 所述的方法, 其中: 所述保护层形成为约一个单层的厚度。

109. 如权利要求 105 所述的方法, 其中: 形成所述保护层包括形成多个层。

110. 如权利要求 109 所述的方法, 其中: 形成多个层包括形成 SiN 层和形成 AlN 层。

111. 如权利要求 105 所述的方法, 其中: 所述保护层形成为从约 1Å 至约 10Å 的厚度。

基于氮化物的晶体管的覆盖层和/或钝化层、 晶体管结构及制作方法

技术领域

本发明涉及半导体设备，尤其涉及含有基于氮化物的活性层的晶体管。

背景技术

适于低功率和（以硅为例）低频率的应用的诸如硅（Si）和砷化镓（GaAs）等材料在半导体器件中获得了广泛的应用。但是，这些材料（更熟悉的是硅材料）可能不适于高功率和/或高频的应用，这是由于其相对窄的带隙（例如在室温下，Si 是 1.12eV，GaAs 是 1.42eV）和/或相对小的击穿电压。

鉴于 Si 和 GaAs 所存在的问题，对于高功率、高温和/或高频应用和器件的关注点已转向诸如金刚砂（室温下 α SiC 是 2.996eV）和 III 族氮化物（例如室温下 GaN 是 3.36eV）等宽带隙半导体材料。与砷化镓和硅相比，这些材料通常具有更高的电场击穿强度和电子饱和速度。

特别关注高功率和/或高频应用的器件是高电子迁移率晶体管（HEMT），在某些场合也称为调制掺杂场效应晶体管（MODFET）。这些器件可在许多环境下提供工作优点，因为在具有不同带隙的能量的两个半导体材料的异质结上产生二维电子气（2DEG），并且其中带隙较窄的材料具有较高的电子亲和势。所述 2DEG 是不掺杂的、带隙较窄的材料中的累积层，并且能具有很高的面电子浓度（例如，每平方厘米超过 10^{13} 个载流子）。此外，源于较宽带隙的半导体的电子转变成所述 2DEG，由于减少的电离杂质扩散而能够具有高电子迁

移率。

高载流子浓度和高载流子迁移率的结合能使 HEMT 具有非常大的跨导，并可通过金属半导体场效应晶体管（MESFET）为高频应用提供很强的性能优点。

因为包括前述的高击穿场、其宽带隙、大的导带偏移和/或高饱和电子漂移速度等材料特征的结合，在氮化镓/氮化镓铝（GaN/AlGaN）材料系统中制作的高电子迁移率晶体管具有产生大量 RF 功率的电势。2DEG 中的绝大部分电子被认为起因于 AlGaN 中的极化。GaN/AlGaN 系统中的 HEMT 已被说明。美国专利 5192987 和 5296395 描述了 GaN/AlGaN 的结构和制作方法。被共同转让并通过引用将其结合到本文中的 Sheppard 等人的 6316793 号美国专利描述了一种 HEMT 器件，所述 HEMT 器件具有半绝缘碳化硅衬底，在所述衬底上具有氮化铝缓冲层，在所述缓冲层上具有绝缘的氮化镓层，在所述氮化镓层具有氮化镓铝阻挡层，并且在氮化镓铝反应性结构上具有钝化层。

发明内容

本发明的一些实施例提供了 III 族氮化物高电子迁移率晶体管和制作 III 族氮化物高电子迁移率晶体管的方法，所述晶体管包含基于 III 族氮化物的沟道层，沟道层上的基于 III 族氮化物的阻挡层和阻挡层上基于不均匀成分 AlGaN 的覆盖层。基于不均匀成分 AlGaN 的覆盖层在临近远离阻挡层的覆盖层表面处的 Al 浓度大于出现在基于 AlGaN 的覆盖层内部区域中的 Al 浓度。在本发明的具有凹入覆盖层的栅极凹入部的特定实施例中，较高的 Al 浓度延续而进入覆盖层的约 30Å 至约 1000Å 处。在本发明的具有覆盖层上栅极的特定实施例中，较高 Al 浓度延续而进入覆盖层约 2.5Å 至约 100Å 处。

在本发明的另一些实施例中，基于 AlGaN 的覆盖层包含在覆盖层表面处的 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 第一区域（其中 $x \leq 1$ ）和在基于 AlGaN 的覆盖

层内部的 $\text{Al}_y\text{Ga}_{1-y}\text{N}$ 第二区域（其中 $y < 1$ 且 $y < x$ ）。 x 的值可从约 0.2 至约 1 而 y 从约 0.15 至约 0.3。在本发明的特定实施例中，可选择 x 和 y 的差和/或覆盖层的厚度，以防止在覆盖层中形成第二 2DEG。在本发明的另一些实施例中，其中栅极凹入覆盖层但不接触覆盖层，可选择 x 和 y 的差和/或覆盖层的厚度，以在覆盖层中产生第二 2DEG。

在本发明的另一些实施例中，基于 AlGaIn 的覆盖层还包含在阻挡层和基于 AlGaIn 的覆盖层之间的界面上的 $\text{Al}_z\text{Ga}_{1-z}\text{In}$ 第三区域，其中 $z < 1$ 且 $z \neq y$ 。在一些实施例中， $z > y$ 。在另一些实施例中， $z > x$ 。在再一些实施例中， $z \leq x$ 。

在本发明的特定实施例中，沟道层包含 GaIn 层，阻挡层包含 AlGaIn 层而覆盖层包含 AlGaIn 层。

本发明的一些实施例提供了 III 族氮化物高电子迁移率晶体管和制作 III 族氮化物高电子迁移率晶体管的方法，所述晶体管包含基于 III 族氮化物的沟道层，沟道层上基于 III 族氮化物的阻挡层和阻挡层上基于 GaIn 的覆盖层。基于 GaIn 的覆盖层具有临近覆盖层表面并远离阻挡层的掺杂区。

在某些实施例中，掺杂区是用 n 型掺杂进行掺杂的区域。在本发明的特定实施例中，其中没有栅极凹入部，掺杂区延续而进入覆盖层约 2.5Å 至约 50Å 处。在本发明的具有栅极凹入部的特定实施例中，掺杂区延续而进入覆盖层约 20Å 至约 5000Å 处。掺杂区可提供从约 10^{18} 至约 10^{21}cm^{-3} 的掺杂物浓度。n 型掺杂可以是 Si、Ge 或 O。在本发明的特定实施例中，掺杂区可以是在覆盖层表面上或接近覆盖层表面的一个或多个 Δ 掺杂区，并可例如具有从约 10^{11} 至约 10^{15}cm^{-2} 的掺杂物浓度。在本发明的特定实施例中，掺杂物是 O，O 延续而进入覆盖层约 20Å 处。

在另一些实施例中，掺杂区是用 p 型掺杂物进行掺杂的区域。在本发明的没有栅极凹入部的特定实施例中凹入部，掺杂区延续而进入覆盖层约 2.5Å 至约 50Å 处。在本发明的有栅极凹入部的特定实

施例中，掺杂区延续而进入覆盖层约 30Å 至约 5000Å 处。掺杂区可提供从约 10^{16} 至约 10^{22}cm^{-3} 的掺杂物浓度。p 型掺杂可以是 Mg、Be、Zn、Ca 或 C。在本发明的特定实施例中，掺杂区可以是在覆盖层表面上或接近覆盖层表面的一个或多个 Δ 掺杂区，并可具有例如从约 10^{11} 至约 10^{15}cm^{-2} 的掺杂物浓度。

在再一些实施例中，掺杂区是用深层掺杂物进行掺杂的区域。在本发明的没有栅极凹入部的特定实施例中，掺杂区延续而进入覆盖层约 2.5Å 至约 100Å 处。在本发明的有栅极凹入部的特定实施例中，掺杂区延续而进入覆盖层约 30Å 至约 5000Å 处。掺杂区可提供从约 10^{16} 至约 10^{22}cm^{-3} 的掺杂物浓度。深层掺杂物可以是 Fe、C、V、Cr、Mn、Ni、Co 或其他稀土元素。

在本发明的另一些实施例中，掺杂区是第一掺杂区而覆盖层还包含第二掺杂区。第二掺杂区的掺杂物浓度低于第一掺杂区的掺杂物浓度。第二掺杂区可为不在第一掺杂区中的覆盖层的其余部分。

在特定实施例中，沟道层包含 GaN 层，阻挡层包含 AlGaN 层，而覆盖层包含 GaN 或 AlGaN 层。

本发明的一些实施例提供了用于钝化宽带隙半导体器件表面的方法，该方法包括：在宽带隙半导体器件的宽带隙半导体材料的区域的至少一部分表面上形成石墨和/或非晶 BN 层。还提供了对应的结构。

在本发明的另一些实施例中，宽带隙半导体器件是 III 族氮化物半导体器件。例如，宽带隙半导体器件可以是基于 GaN 的半导体器件。

此外，宽带隙半导体器件可以是 III 族氮化物高电子迁移率晶体管。

在本发明的另一些实施例中，形成石墨和/或非晶 BN 层在低于宽带隙半导体器件中的宽带隙半导体材料的分解温度的温度下进行。形成石墨和/或非晶 BN 层可在低于约 1100°C 的温度下进行，在

一些实施例中在低于约 1000℃ 的温度下而在特定实施例中在低于约 900℃ 的温度下。并且, BN 层还可形成为非单晶。石墨和/或非晶 BN 层可被形成从约 3Å 至约 1μm 的厚度。

本发明的一些实施例提供了若干钝化 III 族氮化物半导体器件表面的方法, 这些方法通过在 III 族氮化物半导体器件的 III 族氮化物半导体材料的区域的至少一部分表面上形成 SiC 层来进行钝化。还提供了对应的结构。

在某些实施例中, III 族氮化物半导体器件可以是基于 GaN 的半导体器件。在另一些实施例中, III 族氮化物半导体器件可以是 III 族氮化物高电子迁移率晶体管。

在本发明的另一些实施例中, 形成 SiC 层在低于 III 族氮化物半导体器件中的 III 族氮化物半导体材料的分解温度的温度下进行。例如, 形成 SiC 层在低于约 1100℃ 的温度下进行, 在一些实施例中在低于约 1000℃ 的温度下进行, 而在特定实施例中在低于约 900℃ 的温度下进行。并且, SiC 层可形成为非单晶。在特定实施例中, 形成 SiC 层包括形成 3C SiC 层。SiC 层可被形成从约 3Å 至约 1μm 的厚度。

本发明的另一些实施例包括产生用于宽带隙半导体器件(如 III 族氮化物半导体器件)的钝化结构的方法, 包括在含氧环境中直接在 III 族氮化物层上退火钝化层。钝化层可以是例如 SiN、BN、MgN 和/或 SiC。在再一些实施例中, 钝化层包含 SiO₂、MgO、Al₂O₃、Sc₂O₃ 和/或 AlN。

退火可在从约 100℃ 至约 1000℃ 的温度下进行约 10 秒至约 1 小时。含氧环境可以是纯氧、在 N₂ 中的氧, 在另一惰性气体(如氩)中的氧、在干燥空气中的氧, CO、CO₂、NO、NO₂ 和/或臭氧。退火可在在一温度下进行一段时间, 以产生不足以氧化钝化层下面的结构但足以从钝化层去除至少一些氢的效果。也可从钝化层中去除一些碳。

本发明的另一些实施例提供了制作用于 III 族氮化物半导体器件钝化结构的方法，该方法通过直接在 III 族氮化物半导体器件的 III 族氮化物半导体材料的区域的至少一部分表面上形成钝化层并在 D_2 和/或 D_2O 中将钝化层退火来实现。在一些实施例中，钝化层包含 SiN 和/或 MgN 。在另一些实施例中，钝化层包含 BN 和/或 SiC 。在再一些实施例中，钝化层包含 SiO_2 、 MgO 、 Al_2O_3 、 Sc_2O_3 和/或 AlN 。

退火可在在一温度下进行一段时间，以产生不足以氧化钝化层下面的结构但足以从钝化层去除至少一些氢或用氩交换一些氢的效果。此外，III 族氮化物半导体材料可以是基于 GaN 的材料。

本发明的另一些实施例提供了 III 族氮化物高电子迁移率晶体管和制作 III 族氮化物高电子迁移率晶体管的方法，所述晶体管包含基于 III 族氮化物的沟道层，沟道层上基于 III 族氮化物的阻挡层和阻挡层上的 AlN 覆盖层。该晶体管还可包含凹入 AlN 覆盖层的栅接触部。在这些实施例中， AlN 覆盖层具有从约 $5\text{\AA}$ 至约 $5000\text{\AA}$ 的厚度。在本发明的一些实施例中， AlN 层可不与底层密合，可以是非单晶，可离场 (*ex-situ*) 地形成和/或可通过较低质量形成工艺 (*lower quality formation process*) 来形成,如通过 PVD 而不是 CVD 来形成。该晶体管还可在 AlN 覆盖层上包含栅接触部且不凹入 AlN 覆盖层。在这些实施例中， AlN 覆盖层具有从约 $2\text{\AA}$ 至约 $20\text{\AA}$ 的厚度。此外，沟道层可以是 GaN 层而阻挡层可以是 $AlGaN$ 层。

本发明的再一些实施例提供了 III 族氮化物高电子迁移率晶体管和制作 III 族氮化物高电子迁移率晶体管的方法，所述晶体管包含基于 III 族氮化物的沟道层、沟道层上的基于 III 族氮化物的阻挡层、阻挡层上的保护层、阻挡层上的栅接触部和保护层上的欧姆接触部。在本发明的一些实施例中，保护层包含 SiN 。在另一些实施例中，保护层包含 BN 或 MgN 。在另一些实施例中，保护层包含多个层，如 SiN 层和 AlN 层。在本发明的特定实施例中，保护层具有从约 $1\text{\AA}$ 至约 $10\text{\AA}$ 的厚度。在某些实施例中，保护层具有约一个单层的厚度。

在本发明的再一些实施例中，栅接触部位于保护层上。还有，欧姆接触部可直接在保护层上。该保护层的形成可与形成该阻挡层临场（in-situ）地进行。

根据本发明的一些实施例，还可以各种组合和/或子组合的方式提供覆盖层、钝化层、保护层和/或钝化层的退火处理。

附图说明

图 1A 和 1B 是说明本发明的一些实施例的具有覆盖层的晶体管的剖面示意图。

图 2A 和 2B 是说明本发明的一些实施例的具有覆盖层的晶体管的剖面示意图。

图 3A 和 3B 是说明本发明的一些实施例的石墨和/或非晶的 BN 钝化层的剖面示意图。

图 4A 和 4B 是说明本发明的一些实施例的 SiC 钝化层的剖面示意图。

图 5A 和 5B 是说明本发明的一些实施例的具有覆盖层的晶体管的剖面示意图。

图 6 是说明本发明的一些实施例的在保护层上具有欧姆接触部的晶体管的剖面示意图。

具体实施方式

现在将在下文中参照附图更充分地描述本发明，其中将对本发明的实施例进行说明。然而，本发明不应被解释为限于本文所阐述的实施例。更确切地说，这些实施例的提供是为了使本发明的公开更彻底和完全，并充分地将本发明的范围传达给本领域技术人员。为清晰起见，在附图将层和区的厚度作了夸大显示。相同的数字始终代表相同的元件。文中使用的词“和/或（and/or）”包括一个或多个所关联的列出项中的任一个或所有组合。

文中使用的术语只是为了描述特定实施例的目的，而不是要对本发明进行限制。文中使用的单数形式的词“a（一）”“an（一）”“the（该）”也意含复数形式，除非上下文中以其它方式清楚地指出。还会理解，当用在本说明书中时，词“包含（comprises）”和/或“包含，（comprising，）”规定所述的特征、整体、步骤、操作、元件和/或部件的存在，但不排除一个或多个其它特征、整体、步骤、操作、元件、部件和/或它们的组的存在或附加。

会理解到，当诸如层、区或衬底等要素被称作“在一要素上”或“延展到另一要素上”时，它可能直接在另一要素上或直接延展到另一要素上，或是还存在介于其间的要素。相反，当一要素被称为“直接在”另一要素上或“直接延续到”另一要素上”时，就没有介于其间的要素存在。还会理解，当一要素被称为“连接到另一要素”时，它可能直接连接到另一要素或存在介于其间的要素。相反，当一要素被称为“直接连接到另一要素”时，就不存在介于其间的要素。在整个说明书中，相同数字代表相同要素。

会理解到，虽然词第一、第二等在本文中可用于描述各种要素、部件、区、层和/或部分，但是这些要素、部件、区、层和/或部分不应被这些词限制。这些词只用于区别一个要素、部件、区、层或部分与另一个区、层或部分。因此，在不背离本发明教导的前提下，下面讨论的第一要素、部件、区、层或部分也可被称为第二要素、部件、区、层或部分。

此外，诸如“较低的”或“底部的”以及“较高的”或“顶部的”等相对的词在本文中可用于描述一个要素对另一个要素的关系，如附图中说明的。会理解到，所述相对的词除了附图中说明的方位外，还包括所述器件的不同方位。例如，若附图中的器件被反转，则被描述成在其它要素“较低”部分的要素将成为在其它要素的“较高”部分。因此，取决于附图中的特定方位，示范性的词“较低的”能包含“较低的”和“较高的”这两个方位。同样地，若附图之一

中的器件被反转，则被描述为在其它要素之下的要素将成为在所述其它要素之上。因此，示范性的词“在...之下”能包括在...之上和在...之下这两个方位。此外，词“外面的”可用于代表离衬底最远的表面和/或层。

文中参照示意说明本发明理想化的实施例的剖面图，对本发明的实施例进行说明。同样，可预料作为例如制造方法的结果的图中的形状的变化和/或偏差。因此，本发明的实施例不应解释为对本文中说明的特定区形状的限制，而应包括例如由制造产生的形状改变。例如，显示为矩形的被蚀刻区域通常具有锥形的、圆形的或曲线的特征。因此，附图中显示的区本质上是示意性的，它们的形状不是要说明器件的区的精确形状，并且不是要限制本发明的范围。

除非以其它方式定义，本文中使用的所有的词（包括技术术语和科学术语）采用与本发明所属领域的普通技术人员所一般理解的含义相同的含义。还会理解，所述词（如通用字典中定义的那些词）应被解释为具有与它们在相关技术的环境下的含义相同的含义，除非文中特别规定，不应以理想的或过于形式化的意义进行解释。

本领域技术人员当理解：被配置成“邻近”另一特征的结构或特征可能具有重叠于所述相邻特征之上或衬垫于所述相邻特征之下的部分。

本发明的实施例特别适合用在基于氮化物的器件（如基于 III 族氮化物的 HEMT）中。文中所使用的词“III 族氮化物”指那些在氮和周期表中 III 族中的元素（通常是铝（Al）、镓（Ga）和/或铟（In））之间产生的半导体化合物。该词还表示三元和四元化合物（如 AlGa_N 和 AlInGa_N）。本领域技术人员所熟知，III 族元素能与氮结合来产生二元化合物（例如 Ga_N）、三元化合物（例如 AlGa_N）和四元化合物（例如 AlInGa_N）。这些化合物都具有其中一摩尔氮与总共一摩尔的 III 族元素相结合的实验式。因此，经常用分子式（如 Al_xGa_{1-x}N（0 ≤ x ≤ 1））来描述它们。

可利用本发明实施例的适于制作基于 GaN 的 HEMT 的结构和技术被描述在以下文献中：例如在共同转让的美国专利 6316793 和 2001 年 7 月 12 日提交并在 2002 年 6 月 6 日出版的题目为“在基于氮化镓的覆盖部分上具有栅接触部的氮化镓铝/氮化镓高电子迁移率晶体管及其制作方法（ALUMINUM GALLIUM NITRIDE/GALLIUM NITRIDE HIGH ELECTRON MOBILITY TRANSISTORS HAVING A GATE CONTACT ON A GALLIUM NITRIDE BASED CAP SEGMENT AND METHODS OF FABRICATING SAME）”的 2002/0066908A1 号美国专利出版物；2002 年 11 月 14 日出版的 Smorchkova 等人的题目为“具有阻挡/间隔层的基于 III 族氮化物的高电子迁移率晶体管（HEMT）（GROUP-III NITRIDE BASED HIGH ELECTRON MOBILITY TRANSISTOR（HEMT）WITH BARRIER/SPACER LAYER）”的 2002/0167023A1 号美国专利出版物；2003 年 7 月 11 日提交的题目为“基于氮化物的晶体管以及用非蚀刻接触凹入部制作这种晶体管的方法（NITRIDE-BASED TRANSISTORS AND METHODS OF FABRICATION THEREOF USING NON-ETCHED CONTACT RECESSES）”的 10/617843 号美国专利申请；2004 年 2 月 5 日提交的题目为“具有电荷迁移导致的能量阻挡的氮化物异质结晶体管及其制作方法（NITRIDE HETEROJUNCTION TRANSISTORS HAVING CHARGE-TRANSFER INDUCED ENERGY BARRIERS AND METHODS OF FABRICATING THE SAME）”的 10/772882 号美国专利申请；2004 年 7 月 23 日提交的题目为“制作具有覆盖层和凹入栅极的基于氮化物的晶体管的方法（METHODS OF FABRICATING NITRIDE-BASED TRANSISTORS WITH A CAP LAYER AND A RECESSED GATE）”的 10/897726 号美国专利申请；2004 年 5 月 20 日提交的题目为“制作具有再生欧姆接触部区的基于氮化物的晶体管的方法（METHODS OF FABRICATING NITRIDE-BASED TRANSISTORS HAVING REGROWN OHMIC CONTACT REGIONS AND NITRIDE-BASED

TRANSISTORS HAVING REGROWN OHMIC CONTACT REGIONS)”的 10/849617 号美国专利申请；2004 年 5 月 20 日提交的题目为“具有混合沟道层、电流孔晶体管的半导体器件及其制作方法 (SEMICONDUCTOR DEVECE HAVING A HYBRID CHANNEL LAYER, CURRENT APERTURE TRANSISTORS AND METHODS OF FABRICATING SAME)”的 10/849589 号美国专利申请；以及 2002 年 7 月 23 日提交并于 2003 年 1 月 30 日公布的题目为“绝缘栅极 ALGAN/GAN HEMT (INSULATING GATE ALGAN/GAN HEMT)”的 2003/0020092 号美国专利出版物，这里通过引用将这些公开全部结合到本文中。

本发明的一些实施例提供了具有较高 AlGa_N 浓度（如在远离阻挡层的表面具有比 AlGa_N 覆盖层的其它区域高的浓度）的 AlGa_N 覆盖层的基于氮化物的 HEMT。因此，所述器件可用具有高浓度 Al 的层来作为其外表面。与其外表面具有均匀 Al 浓度或减少的 Al 浓度的传统器件相比，这种层可提高在进行处理和/或器件工作期间所述器件的健壮性。例如，在所述表面上增加的 Al 浓度可能不容易受到蚀刻或其它高温下的化学反应的影响，这是因为 Al-N 键比 Ga-N 键强。

在本发明的特定实施例中，提供了在阻挡层上具有 AlN 覆盖层的基于氮化物的 HEMT。从而，所述器件可用具有高浓度 Al 的层来作为其外表面，如前所述，与传统器件相比，这可提高在进行处理和/或器件操作期间所述器件的健壮性。

在本发明另一些实施例中，基于氮化物的 HEMT 的覆盖层的外表面用 p 型、n 型或深层掺杂物进行掺杂，使得在所述覆盖层的远离阻挡层的表面比所述覆盖层的其它区域有更高的掺杂物浓度。所述覆盖层可为基于 GaN 的覆盖层。所述器件外表面上的掺杂物会偏集到所述覆盖层中的位错部位，从而减少沿着所述位错部位的栅泄漏。在位错上所述掺杂物会具有跟其在体单晶中时不同的特征。例如，

体单晶中的浅掺杂物在位错部位可具有深层的特征。因此，引用 p 型、n 型或深层掺杂物时，所说的是所述掺杂物在体单晶中的特征而不是在位错部位的特征。在 p 型或深层掺杂物的场合更是如此。

本发明另一些实施例为宽带隙半导体器件提供了石墨和/或非晶的 BN 钝化层。如文中所使用的，宽带隙半导体器件是指包含具有大于约 2.5eV 的带隙的半导体材料的器件。石墨和/或非晶的 BN 特别适于用在基于 GaN 的器件，因为 B 与 Al、Ga 和 In 等价，而 N 在两种材料中都出现。因此，B 和 N 都不是基于 GaN 的结构中的掺杂物。相反，Si 是 GaN 中的掺杂物。因此，石墨和/或非晶的 BN 钝化层的形成可减少来自 Si 迁移的 GaN 层的非预期掺杂的可能性。此外，所述石墨和/或非晶的 BN 钝化层相对于传统钝化材料（如 SiN 或 SiO_x 等）来说可具有减少的自陷级、不同的陷阱能、不同的蚀刻选择性和/或改善的退火性能。

本发明另一些实施例为 III 族氮化物器件提供了 SiC 钝化层。所述 SiC 钝化层相对于传统的钝化材料（如 SiN 或 SiO_x 等）来说可具有减少的自陷级、不同的陷阱能、不同的蚀刻选择性和/或改善的退火性能。SiN、SiON、SiO_x、MgN 等表示化学计量材料和/或非化学计量材料。

本发明一些实施例的示范性器件在图 1A 到图 6 中作了示意说明。因此，虽然文中参照凹入栅结构或非凹入栅结构对本发明的实施例进行描述，但是本发明的另一些实施例可包括或不包括栅极凹入部。因此，本发明的实施例不应解释成限于本文描述的特定示范性实施例，而是可包括具有如本文中所描述的覆盖层和/或钝化层的任何合适的结构。

图 1A 和 1B 示出衬底 10，该衬底上可形成基于氮化物的器件。在本发明的特定实施例中，所述衬底 10 可为半绝缘的碳化硅（SiC）衬底，所述碳化硅衬底可为例如 4H 多型碳化硅。其它碳化硅候选多型包括 3C、6H 和 15R 多型。词“半绝缘”用于描述性而不是使用

其绝对意义。在本发明的特定实施例中，所述碳化硅体单晶在室温下具有等于或大于约 $1 \times 10^5 \Omega\text{-cm}$ 的电阻系数。

所述衬底 10 上可设置可选的缓冲层、晶核形成层和/或过渡层(图中未示出)。例如，可设置 AlN 缓冲层以在碳化硅衬底和所述器件的其余部分之间实现适当的晶体结构转变。此外，还可设置应变平衡过渡层，如在以下文献中所描述的：例如，共同转让的 2002 年 7 月 19 日提交并于 2003 年 6 月 5 日公布的题目为“应变平衡的氮化物异质结晶体管 and 制作应变平衡的氮化物异质结晶体管的方法 (STRAIN BALANCED NITRIDE HETEROJUNCTION TRANSISTORS AND METHODS OF FABRICATING STRAIN BALANCED NITRIDE HETEROJUNCTION TRANSISTORS) ” 的 2003/0102482A1 号美国专利出版物或 2002 年 7 月 19 日提交并于 2004 年 1 月 22 日公布的题目为“应变补偿的半导体结构和制作应变补偿的半导体结构的方法 (STRAIN COMPENSATED SEMICONDUCTOR STRUCTURES AND METHODS OF FABRICATING STRAIN COMPENSATED SEMICONDUCTOR STRUCTURES) ” 的 2004/0012015A1 号美国专利出版物，所述公开通过引用被结合到本文中，如同在本文中作了充分说明。

适当的 SiC 衬底由例如本发明的受让人 Durham,N.C 的 Cree 公司生产，而生产方法被描述在例如，Re.34861、4946547、5200022 和 6218680 号美国专利中，所述专利的内容通过引用被整体结合到本文中。同样，III 族氮化物的外延生长法已被描述在例如 5210051、5393993、5523589 和 5592501 号美国专利中，所述专利的内容也通过引用被整体结合到本文中。

虽然碳化硅可被用作衬底材料，但是本发明的实施例可利用任何合适的衬底，如蓝宝石、氮化铝、氮化镓铝、氮化镓、硅、GaAs、LGO、ZnO、LAO、InP 等。在一些实施例中，还可形成适当的缓冲层。

返回图 1A 和 1B，在衬底 10 上设置沟道层 20。沟道层 20 可用

如前所述的缓冲层、过渡层和/或晶核形成层淀积在所述衬底 10 上。所述沟道层 20 可处于压应变下。此外，所述沟道层和/或缓冲晶核形成层和/或过渡层可用 MOCVD 或本领域技术人员已知的其它技术(如 MBE 或 HVPE)来淀积。

在本发明的一些实施例中，所述沟道层 20 是 III 族氮化物，如 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ，其中 $0 \leq x < 1$ ，假设在所述沟道和阻挡层之间的界面上，所述沟道层 20 的导带边缘小于阻挡层 22 的导带边缘。在本发明的某些实施例中， $x=0$ 表示所述沟道层 20 是 GaN。所述沟道层 20 还可为诸如 InGaN、AlInGaN 等其它 III 族氮化物。所述沟道层 20 可为不掺杂的（非预期掺杂的）并可生长到大于约 20Å 的厚度。所述沟道层 20 也可多层结构，例如 GaN、AlGaN 等的超点阵结构或组合。

阻挡层 22 设在沟道层 20 上。所述沟道层 20 的带隙可小于所述阻挡层 22 的带隙并且还可具有比所述阻挡层 22 大的电子亲合势。所述阻挡层 22 可淀积在所述沟道层 20 上。在本发明的某些实施例中，所述阻挡层 22 是厚度在约 0.1nm 和 40nm 之间的 AlN、AlInN、AlGaN 或 AlInGaN。本发明的某些实施例的层的例如描述于 Smorchkova 等人的题目为“具有阻挡/间隔层的基于 III 族氮化物的高电子迁移率晶体管 (HEMT) (GROUP-III NITRIDE BASED HIGH ELECTRON MOBILITY TRANSISTOR (HEMT) WITH BARRIER/SPACER LAYER)”的 2002/0167023A1 号美国专利出版物中，该公开通过引用而结合到本文中，如同在文中作了充分阐述。在本发明的特定实施例中，所述阻挡层 22 足够厚且具有足够高的 Al 成分和掺杂，以通过极化效应在所述沟道层 20 和所述阻挡层 22 之间的界面上产生显著的载体浓度。同时，所述阻挡层 22 应足够厚以减少或最小化由于在阻挡层 22 和覆盖层 24 之间的界面上淀积的电离杂质或缺陷而在所述沟道中产生的电子散射。

所述阻挡层 22 可为 III 族氮化物，并具有比所述沟道层 20 的带隙大的带隙，以及比所述沟道层 20 小的电子亲合势。因此，在本

发明的某些实施例中，所述阻挡层 22 是 AlGa_xN、AlInGa_{1-x}N 和/或 AlN 或这些层的组合。例如，所述阻挡层 22 的厚度可从约 0.1nm 至约 40nm 厚，但不能厚到导致其中产生破裂或实质性缺陷的程度。在本发明的某些实施例中，阻挡层 22 不掺杂或用 n 型的掺杂物掺杂到小于约 10^{19}cm^{-3} 的浓度。在本发明的一些实施例中，阻挡层 22 是 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ，其中 $0 < x \leq 1$ 。在特定实施例中，铝浓度是约 25%。但是，在本发明另一些实施例中，阻挡层 22 包含铝浓度在约 5%和约 100%之间的 AlGa_xN。在本发明的特定实施例中，所述铝浓度大于约 10%。

图 1A 还说明了阻挡层 22 上的覆盖层 24，栅极 32 在穿过所述覆盖层 24 的凹入部 36 中。图 1B 还示出了阻挡层 22 上的覆盖层 24'，栅极 32 在所述覆盖层 24'上。在本发明的一些实施例中，所述覆盖层 24、24'是非均匀成分的 AlGa_xN 层。所述覆盖层 24、24'将器件的上（外）表面实际上移开所述沟道，这可减少该表面的影响。所述覆盖层 24、24'可为形成在所述阻挡层 22 上的壳层，并可外延生长和/或通过淀积来形成。通常，所述覆盖层 24、24'可具有从约 2nm 至约 500nm 的厚度。

在本发明的一些实施例中，所述覆盖层 24、24'可为缓变的 AlGa_xN 层。所述覆盖层 24、24'具有远离阻挡层 22 的外表面 25，其中，邻近所述表面的覆盖层 24、24'中的铝量大于所述覆盖层 24、24'内部区域中的铝量。例如，所述覆盖层 24、24'可在所述表面 25 处具有第一铝量，在所述覆盖层 24、24'的内部区域具有第二铝量，其中，第一铝量大于第二铝量。所述覆盖层 24、24'还可在所述覆盖层 24、24'和所述阻挡层 22 之间的表面处具有第三铝量。所述第三铝量可大于、小于或等于所述第一铝量。在本发明的特定实施例中，AlGa_xN 覆盖层 24、24'包括在表面 25 处的第一区域的 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ，其中 $x \leq 1$ ，在所述覆盖层 24、24'内部区域中的第二区域的 $\text{Al}_y\text{Ga}_{1-y}\text{N}$ ，其中 $y < x$ 。在一些实施例中，x 从约 0.3 至约 1。在另一些实施例中，y 从约 0 至约 0.9。在特定实施例中，AlGa_xN 覆盖层 24、24'包括在阻挡

层 22 和覆盖层 24、24'之间的界面处第三区域的 $\text{Al}_z\text{Ga}_{1-z}\text{N}$ ，其中 $z \leq 1$ 且 $z \neq y$ 。此外， z 可大于 y 。例如，在本发明的一些实施例中， AlN 层可作为阻挡层或邻近所述阻挡层的覆盖层的一部分来设置。在这种情况下，所述覆盖层 24、24'可包括从 z 到 y 和从 y 到 x 的缓变的 Al 浓度。在本发明的栅极凹入而贯穿覆盖层 24 的特定实施例中，较高的铝浓度延续而进入所述覆盖层 24 的约 $30\text{\AA}$ 至 $1000\text{\AA}$ 处。在本发明的栅极在所述覆盖层 24'上的特定实施例中，较高的铝浓度延续而进入所述覆盖层 24 的约 $2.5\text{\AA}$ 至约 $100\text{\AA}$ 处。

所述覆盖层 24、24'可用传统的外延生长法形成，其中较高的 Al 浓度在所述覆盖层 24、24'的生长终止期间形成。从而，例如，所述覆盖层 24、24'可通过 MOCVD 生长在生长终止前或终止期间增加 Al 源来形成。

如图 1A 和 1B 进一步示出，欧姆接触部 30 设在阻挡层 22 上。可用图案掩摸和蚀刻处理来暴露下面的阻挡层 22。在本发明的一些实施例中，所述蚀刻可为低破坏性蚀刻。在本发明的一些实施例中，所述蚀刻是用 UV 照射的强碱性（如 KOH ）的湿蚀刻。在另一些实施例中，所述蚀刻是干蚀刻。用于 III 族氮化物的低破坏性蚀刻技术例如包括反应性离子蚀刻以外的蚀刻技术（如使用 Cl_2 、 BCl_3 、 CCl_2F_2 和/或其它氯化物的感应耦合等离子体和/或电子回旋加速器谐振（ECR）和/或没有等离子体的 DC 成分的下游等离子蚀刻）。如图 1A 和 1B 所进一步示出，欧姆金属被图案化为在退火后形成欧姆接触部 30 的欧姆接触材料图案。虽然在图 1A 和 1B 中以凹入部形式作了说明，但在本发明的一些实施例中，所述欧姆接触部 30 不需要凹入部。

如图 1A 所示，栅极凹入部还可穿过所述覆盖层 24 以暴露阻挡层 22 的一部分。在本发明的一些实施例中，所述凹入部 36 形成为延续而进入阻挡层 22。所述凹入部 36 可延续而进入阻挡层 22，以（例如）调整所述期间的诸如极限电压、频率性能等性能特征。如前所述，所述凹入部可用掩摸或蚀刻处理来形成。在特定实施例中，

在所述欧姆接触部 30 提供源接触部和漏接触部处，所述凹入部可在所述源接触部和漏接触部之间被偏移成可使所述凹入部以及栅接触部 32 离所述源接触部比离所述漏接触部更近。

栅接触部 32 在凹入部中形成并接触所述阻挡层 22 的暴露部分。所述栅接触部可为“T”形栅极（如图 1A 所示）并可用传统的制作工艺来制作。所述栅接触部 32 还可在所述覆盖层 24' 上形成（如图 1B 所示）并可用传统的制作工艺来制作。合适的栅极材料取决于所述阻挡层的成分，但是在某些实施例中，可使用可对基于氮化物的半导体材料形成肖特基接触的传统材料，如 Ni、Pt、NiSi_x、Cu、Pd、Cr、W 和/或 WSiN。

如下所述的传统钝化层或 BN 钝化层也可在图 1A 和 1B 所示的结构上形成。例如，SiN 层以及在另一些实施例中极薄的 SiN 层可临场形成。还可利用 MgN 钝化层，所述钝化层在题目为“具有受控电导率的半导体材料和器件的制作（FABRICATION OF SEMICONDUCTOR MATERIALS AND DEVICES WITH CONTROLLED ELECTRICAL CONDUCTIVITY）”的 6498111 号美国专利中被描述，该专利通过引用而结合到本文中，如同将其整体阐明一样。作为可选方案，包含所述钝化层的结构的退火可在氧气环境下进行，以将氢从所述层中去除并改变表面状态和/或将氧加到所述表面。若氧气退火完成，则所述退火可按不显著氧化在钝化层和下面的 III 族氮化物层之间的层的方式进行。例如，在本发明的一些实施例中，所述退火可在约 100℃ 至约 1000℃ 的温度下进行，并且退火的时间持续约 10 秒至约 1 小时。含氧环境可为纯氧、氮氧混合、氧气与其它气体（如氩）的混合、氧气与干燥空气、CO、CO₂、NO、NO₂ 和/或臭氧的混合。用于提供含氧环境的气体可不含氢，以不将氢混入所述钝化层。作为可选的或附加的方案，退火也可在 D₂ 或 D₂O 中进行。

根据本发明实施例的晶体管可利用结合于本文的专利申请和专

利中所讨论的那些技术来制作, 包括: 例如, 如 2004 年 5 月 20 日提交的题目为“具有再生欧姆接触部区的基于氮化物的晶体管的制作方法 (METHOD OF FABRICATING NITRIDE-BASED TRANSISTORS HAVING REGROWN OHMIC CONTACT REGIONS AND NITRIDE-BASED TRANSISTORS HAVING REGROWN OHMIC CONTACT REGIONS)”的 10/849617 号美国专利和 2004 年 7 月 23 日提交的题目为“具有覆盖层和凹入栅极的基于氮化物的晶体管的制作方法 (METHODS OF FABRICATING NITRIDE-BASED TRANSISTORS WITH A CAP LAYER AND A RECESSED GATE)”的 10/897726 号美国专利申请中所讨论的, 它们通过引用而被结合到本文中, 如同在文中作了全面描述。

图 2A 和 2B 说明了本发明另一些实施例的具有覆盖层 34、34' 的高电子迁移率晶体管。如前面参照图 1A 和 1B 所讨论的, 可设有衬底 10、沟道层 20、阻挡层 22、欧姆接触部 30 和栅接触部 32。如图 2A 和 2B 所示, 覆盖层 34、34' 包括在其外表面上或接近其外表面的掺杂区 40。覆盖层 34、34' 可为基于 GaN 的覆盖层 (如 GaN 和/或 GaAlN 等), 例如通过引用结合于本文的专利和专利申请所讨论的。在本发明的一些实施例中, 所述掺杂区 40 用 p 型掺杂物 (如 Mg、Be、Zn、Ca 和/或 C 等) 来掺杂。在本发明另一些实施例中, 所述掺杂区 40 用 n 型掺杂物 (如 Si、Ge 和/或 O 等) 来掺杂。在本发明的另一些实施例中, 所述掺杂区 40 用深层掺杂物 (如 Fe、C、V、Cr、Mn、Ni 和/或 Co 等) 来掺杂。所述掺杂物可在覆盖层 34、34' 的淀积或生长期间进入覆盖层 34 中, 或可随后例如用离子注入来注入。在本发明的一些实施例中, 覆盖层 34 具有被加入到整个覆盖层 34、34' 的掺杂物。在这种情况下, 所述掺杂区 40 可实现为具有超过覆盖层 34、34' 的其余部分的掺杂物浓度的掺杂物浓度增加区域。共掺杂 III 族氮化物材料的技术在例如 2004 年 1 月 7 日提交的题目为“用于在半绝缘 III 族氮化物中的费米级控制的共同掺杂 (CO-DOPING FOR FERMI LEVEL CONTROL IN SEMI-INSULATING GROUP III NITRIDES)”

的 10/752970 号美国专利申请中作了描述，所述申请通过引用而结合到本文中，如同整体作了阐述一样。

在本发明的所述掺杂物是 n 型掺杂物的实施例中，所述 n 型掺杂物可为 Si、Ge 或 O。在本发明的没有栅极凹入部的特定实施例中，所述掺杂区 40 延续而进入覆盖层 34 中约 2.5Å 至约 50Å 处。在本发明具有栅极凹入部的特定实施例中，所述掺杂区 40 延续而进入覆盖层 34' 中约 20Å 至约 5000Å 处。用 n 型掺杂物，没有栅极凹入部的实施例中的掺杂区 40 可形成从约 10^{18} 至约 10^{21}cm^{-3} 的掺杂物浓度，并且若提供栅极凹入部，则可进行超过 10^{21}cm^{-3} 的更重的掺杂。在本发明的特定实施例中，所述掺杂区 40 可为在覆盖层 34、34' 的表面上或接近覆盖层 34、34' 的表面的一个或多个 Δ 掺杂区，并可例如具有从约 10^{11} 至约 10^{15}cm^{-2} 的掺杂物浓度。如本文中所用的，若 Δ 掺杂区在所述表面的约 5Å 内，则说它在所述表面上，而若 Δ 掺杂区在所述表面的约 50Å 内，则说它接近所述表面。在本发明的特定实施例中，所述掺杂物是延续而进入覆盖层 34、34' 中约 20Å 处的 O。N 型掺杂物可用于屏蔽所述沟道区域的表面状态并将表面能级固定在可预测的和想要的等级上以减少和/或最小化陷阱效应。掺杂等级应足够高以成为没有凹入栅极的实施例中的优势“面”状态，但不要高到产生过多的电流泄漏路径的程度。

在另一些实施例中，所述掺杂区 40 是用 p 型掺杂物掺杂的区域。在本发明没有栅极凹入部的特定实施例中，所述掺杂区 40 延续而进入所述掺杂区 40 延续而进入覆盖层 34 内约 2.5Å 至约 100Å 处。在本发明具有栅极凹入部的特定实施例中，所述掺杂区 40 延续而进入覆盖层 34' 内约 30Å 至约 5000Å 处。用 p 型掺杂物，所述掺杂区 40 可提供从约 10^{16} 至约 10^{22}cm^{-3} 的掺杂物浓度。所述 p 型掺杂物可为 Mg、Be、Zn、Ca 和/或 C。在本发明的特定实施例中，所述掺杂区可为在覆盖层 34、34' 的表面上或接近覆盖层 34、34' 表面的一个或多个 Δ 掺杂区，并可例如具有从约 10^{11} 至约 10^{15}cm^{-2} 的掺杂物浓度。

P 型掺杂物可用来将沟道区域与的表面状态隔开，并将表面能级钉扎 (pin) 在可预测的和想要的等级上，以减少和/或最小化陷阱效应并减少泄漏电流。掺杂等级应足够高以减少没有凹入栅极的实施例中的泄漏电流并成为优势“面”状态，但不要高到以致由于变成导电层而产生引入陷阱或泄漏路径的程度。然而，在本发明具有凹入栅极的特定实施例中，例如图 2B 所示的，若在覆盖层 34' 和栅接触部 32 之间设有绝缘区（如 SiN 层或间隙），则可提供高等级的 p 型掺杂物以使所述覆盖层 34' 可作为导电层设置。

此外，在本发明的某些实施例中，所述掺杂区 40 可用 p 型掺杂物掺杂，以在所述掺杂区和所述覆盖层 34 之间产生 p-n 结，并且所述栅接触部 32 直接在所述掺杂区 40 上产生，以产生结型 HEMT (JHEMT)。在这种情况下，所述掺杂区 40 不会延续而进入欧姆接触部 30，所述欧姆接触部 30 可由绝缘区域（如 SiN 层或间隙）与所述掺杂区隔离。

在另一些实施例中，所述掺杂区 40 是用深层掺杂物掺杂的区域。在本发明没有栅极凹入部的特定实施例中，所述掺杂区 40 延续而进入覆盖层 34 中约 $2.5\text{\AA}$ 至约 $100\text{\AA}$ 处。在本发明有栅极凹入部的特定实施例中，所述掺杂区 40 延续而进入覆盖层 34' 中约 $30\text{\AA}$ 至约 $5000\text{\AA}$ 处。用深层掺杂物，所述掺杂区 40 可提供从约 10^{16} 至约 10^{22}cm^{-3} 的掺杂物浓度。所述深层掺杂物可为 Fe、C、Cr、Mn、Ni、Co 或其它稀土元素。深层掺杂物可用来将所述沟道区域与表面状态隔开，并将表面能级钉扎在可预测的和想要的等级上，以减少和/或最小化陷阱效应并减少泄漏电流。掺杂等级应足够高以减少没有凹入栅极的实施例中的泄漏电流并成为优势“面”状态，但不要高到导致显著陷阱效应的程度。

图 3A 和 3B 说明了本发明一些实施例的含有石墨的或非晶的 BN 钝化层的电子器件。如前面参照图 1A、1B 和/或 2A、2B 所讨论的，可设置衬底 10、沟道层 20、阻挡层 22、欧姆接触部 30 和栅接触部

32。如图 3A 和 3B 所示，石墨的或非晶的 BN 钝化层 100、100'设在所述器件的暴露表面上。在本发明的特定实施例中，所述石墨的 BN 钝化层 100、100'是非单晶层。所述石墨的或非晶的 BN 钝化层可作为单层或多层设置，并可与其它材料（如 SiN 或 SiO_x）的层结合。在本发明所述栅极不凹陷的所述 BN 钝化层 100'的特定实施例中，所述 BN 钝化层 100'可具有约 2Å 至约 100Å 的厚度。因此，在图 3B 所示的实施例中，可提供 MISHEMT。此外，如前所述，所述栅极可凹入或穿过所述覆盖层 24，如例如图 1A 和 2B 所示，并且所述 BN 钝化层 100、100'可延续而进入所述覆盖层 24 中的凹入部，延续到所述阻挡层 22 上或可终止于所述栅接触部 32。因此，在本发明的一些实施例中，MISHEMT 可设有凹入栅极。

用于形成石墨和/或非晶的 BN 的技术（如通过 MOCVD）为本领域技术人员所公知，因此文中不需进一步描述。例如，BN 层可通过在载体气体中使 TEB 和 NH₃ 流动来产生。然而，所述石墨的/非晶的 BN 钝化层 100 的形成应在低于在其上形成所述钝化层 100 的底层结构的分解温度的温度下进行。因此，例如，对基于 GaN 的结构，所述石墨和/或非晶的 BN 钝化层 100 应在低于约 1100 摄氏度的温度下产生，且在一些实施例中低于约 950℃。如前所述，在一些实施例中，所述钝化层 100 可随后进行退火处理。

图 4A 和 4B 说明本发明一些实施例的含有 SiC 钝化层的电子器件。如前面参照图 1A、1B 和/或 2A、2B 所讨论的，可设有衬底 10、沟道层 20、阻挡层 22、欧姆接触部 30 和栅接触部 32。如图 4A 和 4B 所示，SiC 钝化层 110、110'设在所述器件的暴露的表面上。在本发明的特定实施例中，所述 SiC 钝化层 110、110'是非单晶层。在本发明的一些实施例中，所述 SiC 钝化层 110、110'是绝缘的或 p 型 SiC。若所述 SiC 钝化层 110'是 p 型 SiC，则可在所述 SiC 钝化层 110、110'和所述欧姆接触部 32 之间提供绝缘区域（如 SiN 层或间隙）。在本发明的一些实施例中，所述 SiC 钝化层 110、110'是 3C SiC，因为 3C

SiC 可用低温工艺在同轴 (0001) 六方晶格材料上形成。所述 SiC 钝化层 110、110' 可设置成单层或多层并可与其它材料 (如 SiN 或 SiO₂) 的层结合。在本发明的特定实施例中, 所述栅极凹入而贯穿所述 SiC 钝化层 110, 所述 SiC 钝化层 110 可具有约 3Å 至约 1μm 的厚度。在本发明的特定实施例中, 所述栅极不凹入而贯穿所述 SiC 钝化层 110', 所述 SiC 钝化层 110' 可具有约 2Å 至约 100Å 的厚度。因此, 在图 4B 所示的实施例中, 可提供 MISHEMT。此外, 如前所述, 所述栅极可凹入或穿过所述覆盖层 24, 例如图 1A 和 2B 所示, 并且所述 SiC 钝化层 110、110' 可延续而进入所述覆盖层 24 的凹入部, 延续而进入所述凹入部中并延续到所述阻挡层 22 上, 或可终止于所述栅接触部 32。因此, 在本发明的一些实施例中, MISHEMT 可用凹入栅极来实现。

用于形成 SiC 层的技术为本领域技术人员所公知, 因此文中不需进一步描述。然而, 所述 SiC 钝化层 110 的形成应在低于其上形成所述钝化层 110 底层结构的分解温度的温度下进行。因此, 例如, 对基于 GaN 的结构, 所述 SiC 钝化层 100 应在低于约 1100°C 的温度下产生, 并且在一些实施例中低于约 950°C。用于在这样的低温下形成 SiC 层的技术可包括用例如 SiH₄ 和 C₃H₈ 作为 Si 和 C 源的 CVD 或 PECVD, 或甚低温溅镀。此外, 所述 SiC 层可用杂质掺杂来控制所述 SiC 层钝化层 110 的性质。例如 n 型 SiC 可用 N 掺杂, p 型 SiC 可用 Al 和/或 B 来掺杂, 而绝缘 SiC 可用 V 或 Fe 来掺杂。如前所述, 在一些实施例中, 随后可对所述钝化层 100 进行退火处理。

尽管图 3A、3B 和 4A、4B 说明了覆盖层 24 上的钝化层 100、100' 和 110、110', 但是也可设置其它覆盖层 (如覆盖层 34、传统的单覆盖层或多覆盖层), 或不设置覆盖层。例如, 所述钝化层 100、100' 和 110、110' 可与其外表面包含 AlN 层的覆盖层结合使用, 使所述钝化层设在所述 AlN 层上。因此, 石墨的或非晶的 BN 钝化层 100、100' 或 SiC 钝化层 110、110' 的使用不应被视为限于图 3A、3B 和图 4A、

4B 所示的特定结构，而是可在任何 III 族氮化物半导体器件或其它宽带隙半导体器件上使用。

虽然已参照栅极直接在阻挡层或覆盖层之上的 HEMT 结构对本发明的实施例作了描述，但是在本发明的一些实施例中，也可在所述栅极和所述阻挡层或覆盖层之间提供绝缘层。因此，在本发明的一些实施例中，可提供绝缘栅极 HEMT，例如，如 Parikh 等人的题目为“绝缘栅极 ALGAN/GAN HEMT (INSULATING GATE ALGAN/GAN HEMT)”的 2003/0020092 号美国专利出版物中所描述的，该文通过引用结合到本文中，如同在本文中充分阐明一样。在一些实施例中，所述绝缘层可为石墨和/或非晶的 BN。

图 5A 和 5B 说明了本发明的含有 AlN 覆盖层 54、54' 的另一些实施例。图 5A 还说明了阻挡层 22 上的 AlN 覆盖层 54，凹入栅极 32 穿过所述 AlN 覆盖层 54。图 5B 还说明了阻挡层 22 上的 AlN 覆盖层 54'，栅极 32 在所述 AlN 覆盖层 54' 上。所述覆盖层 54、54' 将所述器件的上（外）表面实际上移离所述沟道，这可减少所述表面的影响。此外，所述 AlN 覆盖层 54、54' 可提供改善的化学稳定性并保护底层，由于 Al-N 键比 Ga-N 键强，所述 AlN 覆盖层 54、54' 可能不易受蚀刻和高温下其它化学反应的影响。

所述 AlN 覆盖层 54、54' 可为在阻挡层 22 上形成的壳层，可外延生长和/或通过淀积来形成。通常，所述 AlN 覆盖层 54、54' 可具有约 0.2nm 至约 500nm 的厚度。在本发明的栅极凹入而贯穿所述 AlN 覆盖层 54 的特定实施例中，所述 AlN 覆盖层 54 具有约 10Å 至约 5000Å 的厚度。在本发明的在所述 AlN 覆盖层 54 上设有栅极的特定实施例中，所述 AlN 覆盖层 54 具有约 2Å 至约 50Å 的厚度。

所述 AlN 覆盖层 54、54' 可用传统的外延生长法通过在所述覆盖层 22 的生长终止期间停止 Ga 源来设置。因此，例如，所述 AlN 覆盖层 54、54' 可用 MOCVD 生长通过在生长终止之前或终止期间停止 Ga 源来设置。

图 6 说明了本发明的另一些实施例，其中保护层 64 设在阻挡层 22 上。如图 6 所示，欧姆接触部设在所述保护层 64 上。栅接触部 32 也可设在所述保护层 64 上。在本发明的某些实施例中，所述欧姆接触部 30 直接设在所述保护层 64 上并且所述栅接触部 32 也可直接设在所述保护层 64 上。

所述保护层 64 可为在所述欧姆接触部 30 和所述栅接触部 32 形成前淀积的 SiN 层。作为可选方案，所述保护层 64 也可作为 BN 层或 MgN 层。MgN 可能尤其适于与 p 型器件一起使用，因为可在欧姆接触材料一经退火后就进行补充掺杂。所述保护层 64 可为单层结构，如单层的 SiN、MgN 或 BN 层，或在一些实施例中，保护层 64 可设为多层，如 SiN 层和 AlN 层。

所述保护层 64 可具有约 1Å 至约 10Å 的厚度，在一些实施例中，可具有约一个单层的厚度。因为所述保护层 64 很薄，所以不需要将所述欧姆接触部凹入而贯穿所述保护层 64。与没有这种保护层的器件相比，可通过更好的表面状态控制和更低的栅泄漏电流提高可靠性。

保护层 64 可与阻挡层的形成一样临场形成。因为所述保护层 64 非常薄，所以除了提供 Si 源、B 源或 Mg 源之外，基本上没有附加的制作成本，并且只需要很短的附加生长时间就可淀积该薄的保护层 64。此外，因为所述保护层 64 很薄，所以不需要附加的步骤来形成栅极和/或欧姆接触部的凹入部。

尽管本文已参照特定的 HEMT 结构对本发明实施例作了描述，但是本发明不应被解释成限于这些结构。例如，附加的层可包含在 HEMT 器件中而仍然从本发明的教导中获益。这些附加的层可包括 GaN 覆盖层，如例如 Yu 等人的题目为“在 III 族氮化物中通过压电效应进行的肖特基阻挡设计”（Schottky barrier engineering in III-V nitrides via the piezoelectric effect, Applied Physics Letters, Vol.73, No.13, 1998）或 2001 年 12 月提交并于 2002 年 6 月 6 日公开的题

目为“在基于氮化镓的覆盖部分上具有栅接触部的氮化镓铝/氮化镓高电子迁移率晶体管及其制作方法”(ALUMINUM GALLIUM NITRIDE/GALLIUM NITRIDE HIGH ELECTRON MOBILITY TRANSISTORS HAVING A GATE CONTACT ON A GALLIUM NITRIDE BASED CAP SEGMENT AND METHOD OF FABRICATING SAME)的2002/0066908A1号美国专利出版物中所描述的,该文通过引用而结合到本文中,如同在本文中充分阐述一样。在一些实施例中,为产生 MISHEMT 和/或钝化表面,可淀积绝缘层(如 SiN、ONO 结构或相对高质量的 AlN)。所述附加的层还可包括结构缓变的转换层。

此外,所述阻挡层 22 还可采用多层结构的形式,如前述的2002/0167023A1号美国专利出版物中所述。因此,本发明的实施例不应视为限于所述单层结构的阻挡层,而是可包括例如含有 GaN、AlGaIn 和/或 AlN 层的组合的阻挡层。例如, GaN、AlN 结构可用于减少或防止合金散射。因此,本发明的实施例可包括基于氮化物的阻挡层,所述基于氮化物的阻挡层可包括基于 AlGaIn 的阻挡层、基于 AlN 的阻挡层以及它们的组合。

以上参照凹入而贯穿各种覆盖层的欧姆接触部 30 对本发明的实施例进行了描述,但是在本发明的某些实施例中,所述欧姆接触部 30 设在所述覆盖层上或只部分凹入到所述覆盖层中。因此,本发明的实施例不应视为限于具有凹入而贯穿所述覆盖层的欧姆接触部的结构。

在附图和说明书中公开了本发明的典型实施例,并且,虽然有特定的用词,但它们只是以一般的描述意义使用,而不是为了限制目的。

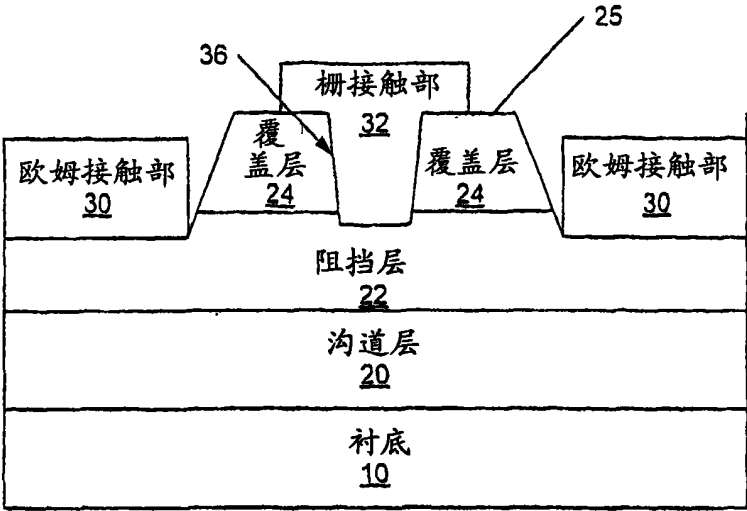


图 1A

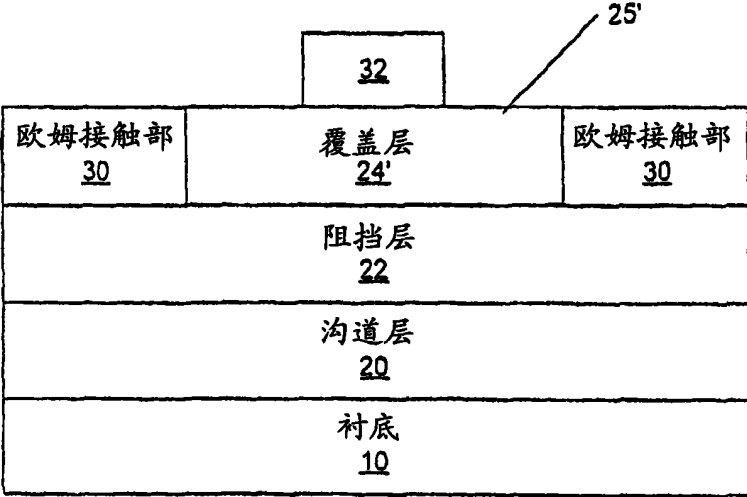


图 1B

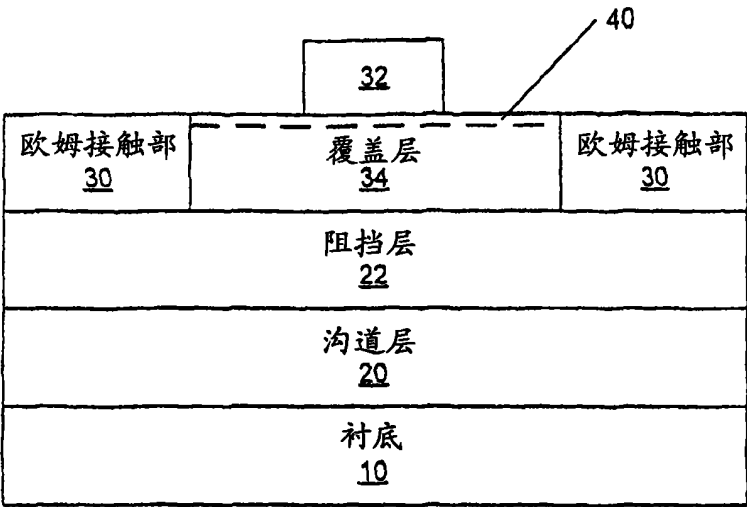


图 2A

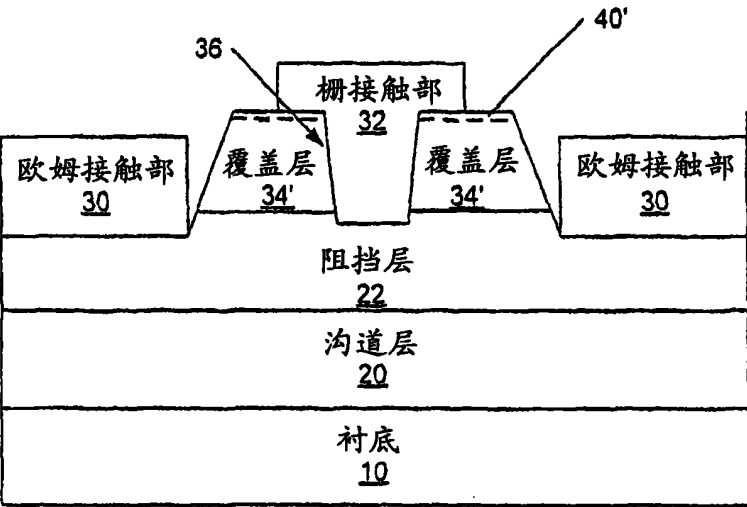


图 2B

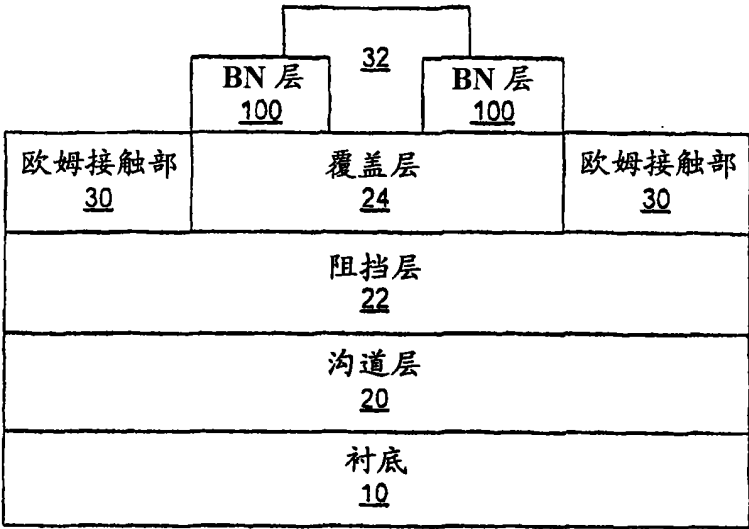


图 3A

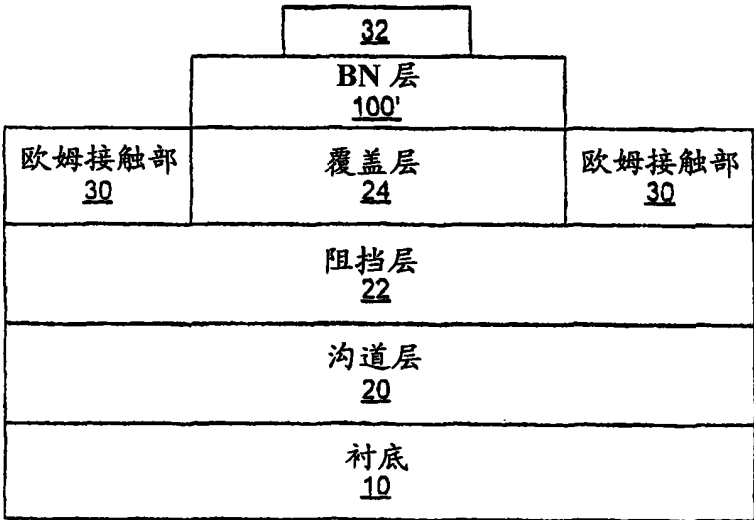


图 3B

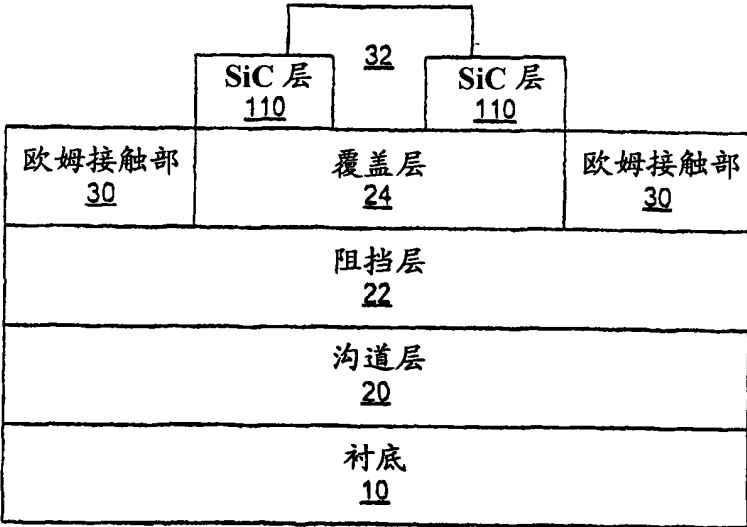


图 4A

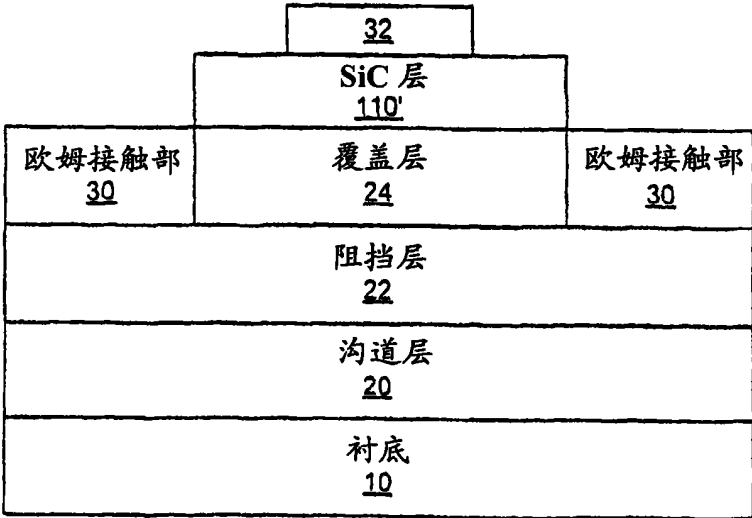


图 4B

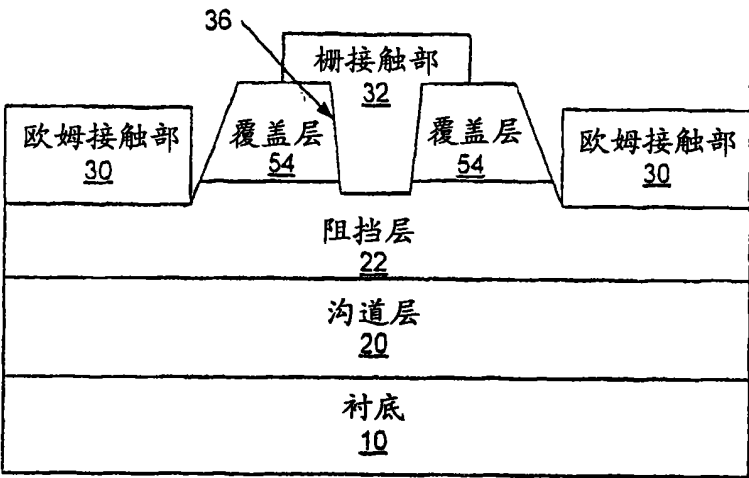


图 5A

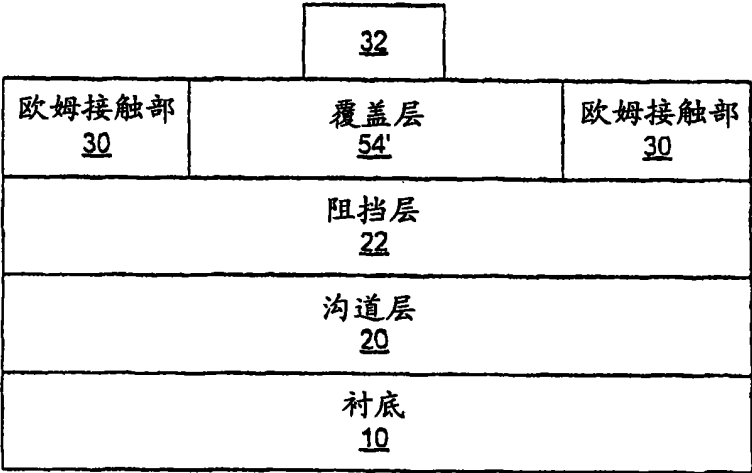


图 5B

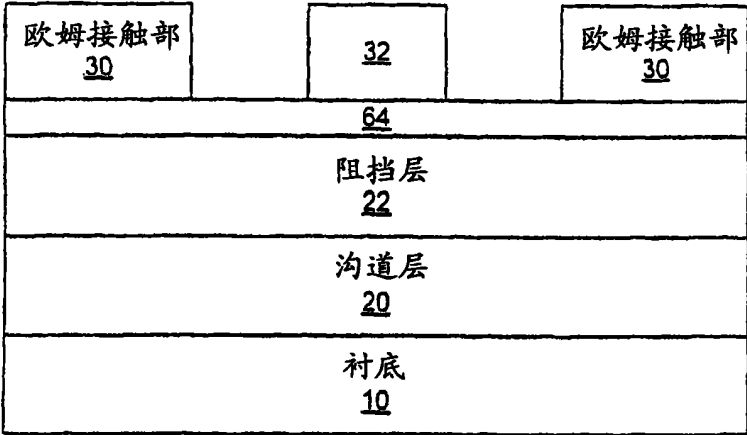


图 6