



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I359459B1

(45) 公告日：中華民國 101 (2012) 年 03 月 01 日

(21) 申請案號：097149781

(22) 申請日：中華民國 97 (2008) 年 12 月 19 日

(51) Int. Cl. : **H01L21/318 (2006.01)**

(30) 優先權：2007/12/21 美國 11/962,674

(71) 申請人：應用材料股份有限公司 (美國) APPLIED MATERIALS, INC. (US)
美國(72) 發明人：慕吉卡海梅特 P MUNGEKAR, HEMANT P. (IN) ; 吳津 WU, JING (CN) ; 李永 S
LEE, YOUNG S. (US) ; 王安川 WANG, ANCHUAN (CN)

(74) 代理人：蔡坤財；李世章

(56) 參考文獻：

TW 518693

US 2006/0045986A1

審查人員：張正憲

申請專利範圍項數：25 項 圖式數：7 共 37 頁

(54) 名稱

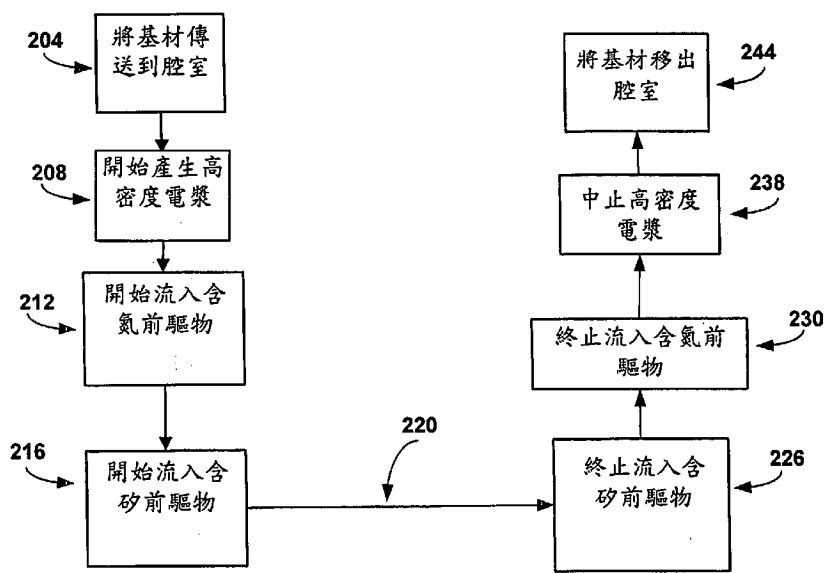
低溼蝕刻速率的氮化矽膜

LOW WET ETCH RATE SILICON NITRIDE FILM

(57) 摘要

本發明是關於利用高密度電漿化學氣相沉積技術，在基材溫度低於 600°C 下沉積低溼蝕刻速率氮化矽膜至基材上的方法。方法還包括維持電漿中的氮與矽呈高比例及維持低處理壓力。

The present invention pertains to methods of depositing low wet etch rate silicon nitride films on substrates using high-density plasma chemical vapor deposition techniques at substrate temperatures below 600°C. The method additionally involves the maintenance of a relatively high ratio of nitrogen to silicon in the plasma and a low process pressure.



204、208、212、
216、220、226、
230、238、
244...步驟

第2圖

六、發明說明：

【發明所屬之技術領域】

本發明是關於奈米製造技術解決方案，包括用於沉積、圖案化及處理薄膜與塗層的設備、製程和材料，代表性實例應用包括(但不以此為限)：半導體與介電材料和裝置、矽基晶圓、平面顯示器(如 TFT)、遮罩和濾光片、能量轉換與儲存器(如光伏特電池、燃料電池)、固態照明設備(如 LED 和 OLED)、磁光儲存器、微機電系統(MEMS)與奈米機電系統(NEMS)、微光學與光電裝置、建築與汽車玻璃、用於金屬與聚合物箔及封裝的金屬化系統、和微成型與奈米成型。較特別地，本發明是關於將薄膜鋪塗於表面。更特別地，本發明是關於利用化學氣相沉積(CVD)形成高密度薄膜的方法。

【先前技術】

傳統熱 CVD 製程供應反應氣體至基材表面，在此表面的熱引發化學反應而成膜。使用電漿源促進化學反應可改善沉積速率和膜性質。電漿輔助化學氣相沉積(PECVD)技術藉由施予基材表面附近的反應區射頻(RF)能量而產生電漿，藉以促使反應氣體激發、解離及離子化。電漿中的高反應性物種會減低活化化學反應所需的能量。相較於傳統熱 CVD 製程，此有效降低了 PECVD 製程所需的基材溫度。降低基材溫度是有益的，因其可減少發生

導致製造製程產率降低之擴散或其他質傳作用的機會。

利用高密度電漿(HDP)CVD 技術可進一步加以改善，其中密集電漿在低真空壓力下形成，故電漿物種更具反應性。HDP-CVD 能採用較低的反應氣體分壓，同時維持高離子濃度。HDP-CVD 亦能無關離子化能量而個別控制加速能量。除了與圖案化晶圓處理相關的特點外，利用高密度電漿沉積之膜還有一些材料變化。以 HDP-CVD 法沉積之薄膜的密度比其他 CVD 法高。較密集薄膜展現更佳的均勻性，並更適合做為蝕刻或研磨終止層。

積體電路製造常用的材料為氮化矽。氮化矽膜一般用於積體電路前端處理製程的兩種應用包括形成間隔物結構於精密積體裝置周圍及形成接觸蝕刻終止層(如阻障層)於前金屬介電層與半導體基材之間。當作為蝕刻終止層時，在氧化矽蝕刻製程期間，此膜具低溼蝕刻速率(WER)。

氮化矽膜內存有雜質常常造成高蝕刻速率而減低做為蝕刻終止的效用。易併入生成之氮化矽膜的雜質為氫。以傳統熱 CVD 法形成氮化矽已成功地減少其氫含量至 10% 以下，然此化學氣相沉積的基材溫度達 700°C-1000°C。高溫會降低、甚至破壞材料性質和先前處理步驟形成的裝置。

因此，此技藝仍需在低沉積溫度下沉積低 WER 氮化矽膜至基材上的方法。

【發明內容】

本發明是關於利用 HDP-CVD 製程，在低沉積溫度下沉積高品質氮化矽膜至基材上的方法。在一些實施例中，平均基材溫度低於或約為 600°C；在其他實施例中，平均基材溫度低於 500°C 或 450°C。

根據本發明之一實施例，利用 HDP-CVD 製程，沉積氮化矽膜至處理腔室內之基材上的方法包含將含氮與矽的處理氣體混物流入處理腔室中，同時維持氮原子流率與矽原子流率之平均比率為約 50:1 或以上、維持處理腔室內的平均壓力為約 40 毫托耳或以下、以及維持平均基材溫度為約 600°C 或以下。高密度電漿由處理氣體產生，用以沉積氮化矽膜至基材上。在其他實施例中，氮原子流率與矽原子流率之平均比率大於或等於 60:1 或 90:1，處理腔室內的平均壓力為 25 毫托耳或以下、15 毫托耳或以下、10 毫托耳或以下、或 5 毫托耳或以下。處理氣體混合物包括雙原子氮(N₂)和甲矽烷(SiH₄)，然也可使用二矽烷(Si₂H₆)和三矽胺(N(SiH₃)₃; TSA)、或其他適合之氣體混合物。本發明製造方法可以大於約 500 埃/分鐘(Å/min)之速率來沉積氮化矽膜，使用氫氟酸溶液(1%HF 水溶液)處理時，沉積膜的溼蝕刻速率小於 5Å/min。

相較於傳統 HDP 溝填沉積製程，本發明之一些實施例於沉積時施加微小或不施加 RF 偏壓功率，在不同實施例

中，成膜期間的沉積與濺射比率大於或等於 50:1、75:1 或 100:1。再者，在一些實施例中，沉積期間引進氫氣至處理腔室中，以促進高密度電漿形成。氮原子流率與氫原子流比率維持為 15:1 至 15:2，施加來產生高密度電漿的 RF 功率為 5-15 瓦/平方公分。

本發明之上述和其他實施例將進一步詳述於後附說明書和圖式。

【實施方式】

本發明是關於利用高密度電漿 CVD 技術沉積高品質氮化矽膜的方法。當二者接觸同樣的蝕刻劑時，高品質膜的 WER 比氧化矽低。藉由減少氫含量可獲得低 WER。在不同實施例中，氮化矽膜的氫含量少於 10% 或少於 7%。根據本發明技術可沉積氫含量少的氮化矽膜，同時於沉積時維持基材溫度呈相當低溫 (<600°C)。

許多應用受惠利用本發明實施例製得的氮化矽膜，其具高密度、低溼(或乾)氧化物蝕刻速率、高介電常數、高光學折射率和其他相關物性。

以先前 CVD 技術製得之氮化矽膜中的主要雜質為氫，其通常是處理氣體混合物中的氫氣留下所致。減少留在氮化矽膜的氫可增加膜密度及提高氧化物蝕刻的氧化物/氮化物選擇性。換言之，密度增加可提升氮化矽膜的抗蝕能力一段時間，期間無露出氮化矽的區域遭連續

侵蝕。

舉例來說，高密度動態隨機存取記憶體(DRAM)的製造採用電容器來儲存資訊。電容器需有一定量的電容，以於各更新循環間儲存電荷。裝置縮小對保持臨限量而言是一大挑戰。一電容器結構涉及製造更高的圓柱，以補償其在縮小裝置中必須製作得更薄。此種電容器形狀易產生側向偏移而降低產率。

金屬連接製作在電容圓柱底下時，此製程稱為電容器覆位元線(COB)結構。氮化矽層可從上面支撐做為稱作實際無限高之機械增強儲存節點(MESH)的結構。氮化矽 MESH 用來防止側向位移。第 1 圖顯示此製造方法。移除氧化矽區域 108 時，電容器 104 未遭溼氧化物蝕刻。氮化矽層 114 的蝕刻速率期遠比氧化矽區域 108 慢，使氮化物層得以防止溼氧化物蝕刻劑侵蝕構成電容器的介電層。故本發明之方法可用於製造採用第 1 圖結構的 DRAM 裝置。

本發明之方法和技術不限於製造 DRAM。其也可應用到其他蝕刻終止層(ESL)，包括置於閘極材料(如多晶矽)或前金屬介電質(PMD)上的蝕刻終止層。更廣泛地說，本發明實施例將有益於任何受惠低基材沉積溫度和高抗氧化物蝕刻性的應用。此外，光波導藉由使用高折射率之密集膜而增大侷限。因所述沉積技術能採取較低基材溫度，倘若與晶片上電子裝置整合，則特別適合光學應用。

在實施例中，電漿激發為高密度電漿，其可透過誘導耦合產生。其他類型的電漿源也可單獨使用或與誘導電漿結合。使用高密度電漿在選擇處理氣體方面有較大的彈性。其可使用非常惰性的氣體，例如氮氣做為 HDP 製程的氮(N)源，氨氣(NH₃)較常做為低密度 PECVD 製程的氮源。

在此，高密度電漿製程為電漿 CVD 製程，其採用電漿的離子密度達 10^{11} 離子數/立方公分或以上、離子化比例(離子/中性比)達 10^{-4} 或以上。HDP-CVD 製程一般包括同時沉積及濺射組成。本發明採行之 HDP-CVD 製程與傳統適合溝填的 HDP-CVD 製程略有不同。在一些實施例中，施加實質微小或不施加偏壓功率來形成高密度氮化矽膜，如此濺射程度比施加顯著偏壓功率以促進濺射的 HDP-CVD 製程少。儘管此背離傳統 HDP-CVD 製程參數，然濺射與沉積速率相關特徵仍是有幫助的，故此將定義於後。

高密度電漿沉積和濺射特性的相對結合量視氣體混合物的氣流流率、施加來維持電漿的源功率大小、施加基材的偏壓功率大小等而定。這些因素可適當量化成「沉積/濺射比率」，有時以 D/S 表示來描述製程特徵。

$$\frac{D}{S} = \frac{\text{淨沉積速率} + \text{毯覆濺射速率}}{\text{毯覆濺射速率}}$$

沉積/濺射比率隨沉積增加而提高，且隨濺射增加而降低。在 D/S 定義中，「淨沉積速率」是指同時發生沉積及

濺射時測量的沉積速率。「毯覆濺射速率」是在無沉積氣體的情況下進行製程配方時測量的濺射速率；處理腔室內的壓力調整成沉積時的壓力，並測量毯覆熱氧化物上的濺射速率。

如同熟諳此技藝者所熟知，其他類似測量也可用來定量 HDP 製程中沉積及濺射的相對貢獻度。另一常用比例為「蝕刻/沉積比率」。

$$\frac{E}{D} \equiv \frac{\text{僅有來源之沉積速率} - \text{淨沉積速率}}{\text{僅有來源之沉積速率}}$$

其隨濺射增加而提高，且隨沉積增加而降低。在 E/D 定義中，「淨沉積速率」是指同時發生沉積及濺射時測量的沉積速率。「僅有來源之沉積速率」是指無濺射的情況下進行製程配方時測量的沉積速率。本發明實施例在此是採用 D/S 比率。雖然 D/S 和 E/D 並非恰為倒數，但熟諳此技藝者當理解二者具反轉關係。

典型的 HDP-CVD 製程適合進行溝填。在此製程中，偏壓功率用來加速離子往生成表面前進而形成窄化接近軌跡。窄化和濺射作用造成部分間隙尚未填充前即封閉通孔頂部轉角而形成空隙。溝填應用的 D/S 比率通常為 3-10，一些奇特應用的 D/S 比率甚至超過 25。本發明之一實施例涉及利用 HDP-CVD 製程並施加微小或不施加偏壓功率來形成高密度氮化矽膜。這些條件下的毯覆濺射速率很低且難以測量，然 D/S 比率通常預期會大於約 100。

為助於理解本發明，請參照第 2 圖，其為根據本發明一實施例，形成高密度且高抗氧化物蝕刻性之氮化矽膜的步驟流程圖。這些步驟將詳述於後，在此先概略說明。如第 2 圖所示，將基材傳送到由真空幫浦排空的處理腔室(步驟 204)。在流入氣體前、後或期間(步驟 212、216)，施加功率至電漿源(步驟 208)，並且持續開啟直到停止流入氣體前、後或期間(步驟 226、230)。在步驟 212 中，輸送前驅氣體和流動氣體(第 2 圖未繪示)至反應區，以形成處理氣體混合物。處理氣體混合物提供氮與矽源，以形成氮化矽膜至基材上(步驟 220)。前驅氣體包括含矽氣體(如甲矽烷(SiH_4))和含氮(N)氣體(如氮分子(N_2))。其他氣體也可使用。可採用包含矽與氮之分子做為一或多個前驅氣體。

一般而言，矽源和氮源經由不同的輸送通道引入，使其在反應區或附近混合。流動氣體亦可引用來協助處理氣體混合物的其他組成產生離子物種。例如，氫氣比 N_2 更易被離子化，在一實施例中，其提供電漿電子而促進 N_2 解離及離子化。此作用提高了化學反應的可能性和沉積速率。流動氣體經由與矽源或氮源相同或不同的輸送通道引入。

本發明之實施例維持高氮(N)與矽(Si)原子流比率，藉以降低氮化矽膜的氮濃度。實質上，氮原子有助於清除避免氮生成於氮化矽網絡。在一實施例中，氣流比率為 25 : 1 至 40 : 1(N_2 : SiH_4)，或更廣泛地說，原子流比率

為 50 : 1 至 80 : 1 (N : Si) 時，從 HFS 的直接測量結果和 WER 的間接測量結果可發現氫含量減少。在不同實施例中，本發明採用之 N_2 : SiH_4 比率為 25 : 1、30 : 1、45 : 1 或以上 (或相當於 N : Si 比率為 50 : 1、60 : 1、90 : 1 或以上)，用以減少氫併入。

原子流比率 (N : Si) 是從各前驅氣體的流率和每一分子中各原子所佔總數計算而得。在前驅物為 N_2 和 SiH_4 的實施例中，每一氮分子包括二個氮原子，每一甲矽烷只包括一個矽原子。利用質量流量控制器維持氣流比率如大於 30 : 1 時，原子流比率將大於 60 : 1。在另一實施例中，前驅氣體包括至少一含氮與矽之氣體。計算原子流比率時，所有原子流率的貢獻皆已涵蓋。

除了 N : Si 原子流比率外，氫減少尚取決於反應前驅物的其他性質。氮氣 (N_2) 和三矽胺 ($N(SiH_3)_3$; TSA) 是適合的前驅物，因二分子中的氮 (N) 未直接與氫原子鍵結。前驅氣體具 N-H 鍵會妨礙氮原子將氫移出生成膜。故氮氣 (NH_3) 不是適當氮源。含氧之氮源 (如 N_2O) 會將氧併入網絡而惡化氮化矽膜性質，此亦將提高溼蝕刻速率。

保持反應區呈低壓還有助於維持低氫含量。增加壓力會縮短平均自由徑，進而改變離子化比例和氣相動力學及妨礙氫移出氮化矽網絡。在不同實施例中，反應區的壓力可為 40 毫托耳或以下、25 毫托耳或以下、15 毫托耳或以下、10 毫托耳或以下、或 5 毫托耳或以下。

在高流率比下維持低壓需使用設有節流閥的大型幫

浦，節流閥為完全或幾乎完全打開以達到最小 WER 時的適當生成速率。幫浦的抽吸能力視腔室體積與結構和氣流比等因素而定。若本發明用於應用材料公司製造的 Ultima HDP 室和 300 毫米(mm)晶圓，則抽吸速度大於或等於 2800 升/秒可造成 600 埃/分鐘的最佳成膜速率。本發明實施例採用美國專利證書號 7,183,227、名稱為「Use of Enhanced Turbomolecular Pump for Gapfill Deposition Using High Flows of Low-Mass Fluent Gas」之申請案所述的抽吸構造，此一併引述於此供作參考。採取較快的抽吸速度或使 WER 大於根據本發明實施例最佳化的值，可獲得較快的生成速率。

在不同實施例中，基材溫度維持為約 600°C 或以下、500°C 或以下、或 450°C 或以下。施加至處理腔室頂部和側邊的 RF 功率於反應區產生電漿，其將詳述於後。頂部 RF 功率一般小於側邊 RF 功率，就 300mm 晶圓來說，總體 RF 功率介於 4000 瓦與 10000 瓦之間(5-15 瓦/平方公分)。在不同實施例中，總體 RF 功率為約 5-15 瓦/平方公分或約 5.5-10 瓦/平方公分。在一實施例中，用來加速離子往晶圓前進的偏壓 RF 功率為 0 或近似 0。然在不同實施例中，若開啟偏壓功率且相較於其他 RF 功率總和維持低或最小功率使沉積與濺射比率大於約 50、75 或 100，則本發明實施例的許多優勢仍在。

在本發明之一實施例中，將基材傳送到沉積腔室(步驟 204)。步驟 208 開始產生電漿而步驟 212 流入含氮前驅

物。進行步驟 208、212 後，流入含矽前驅物(步驟 216)及開始成膜(步驟 220)。接著在流入含氮前驅物(步驟 230)及中止電漿(步驟 238)前，停止流入含矽前驅物(步驟 226)。在一些實施例中，樂見停止流入含氮前驅物前先停止流入含矽前驅物，使得 N:Si 原子流比率至少維持像成膜(步驟 220)時一樣高。如此維持高 N:Si 原子流比率可避免生成製程終了時形成高氮含量和低 WER 的氮化矽薄層。樂見在執行特徵描述步驟時僅探測外面數個單層。若最後數個單層具有不同物性，則塊體性質的推測可能有誤。又，樂見整個膜保持低溼蝕刻速率，以增進膜如做為蝕刻終止的利用性。在一實施例中，當存有含矽前驅物時，確保電漿含有充足的氮可獲得實質均勻的低溼蝕刻速率。

在另一實施例中，開始產生電漿前先流入氮。同樣地，在流入含氮前驅物前，中止電漿。流入含氮前驅物及中止電漿後，將晶圓移出沉積腔室(步驟 244)。也可進行第 2 圖未繪示的其他步驟，包括流入及終止流入流動氣體來提高電漿密度，但不以此為限。在又一實施例中，開始流入惰性物種及增加流量。步驟 226 與步驟 230 間可減少氮流量。

熟諳此技藝者所熟知的氫正向散射光譜儀(HFS)和傅立葉轉換紅外線光譜儀(FTIR)用來定量膜的氫含量。HFS 對低濃度氫的靈敏度相當高。實驗條件列於表 I 和第 3 圖。HFS 定量偵測測試沉積膜的散射氫(H)，並與得自白

雲母樣品的特徵結果相比。接著以百分比表示氫含量。多個 He^{++} 氦劑用來確保氫濃度於測試期間不會下降。也可採用傅立葉轉換紅外線光譜儀 (FTIR) 之傳統技術，但靈敏度較低。

表 I：氫正向散射光譜儀 (HFS) 的實驗條件

HFS 分析條件	
He ⁺⁺ 離子束能量	2.275 MeV
正射偵測器角度	160°
掠射偵測器角度	~30°
離子束與樣品法線的夾角	75°

為證實本發明一些實施例的優點，實驗比較根據所述技術沉積之 HDP-CVD 氮化矽膜和以 PECVD 與 LPCVD 法沉積之氮化矽膜的 WER 與氫含量。在裝配 300mm 基材的 Ultima HDP 室內處理基材，氮化矽膜生成時的抽吸速度為 2800 升/秒。HDP-CVD 沉積期間的基材溫度維持為約 450°C。施加至頂部和側邊的電漿 RF 功率為 2000 瓦和 3000 瓦。生成期間不施加偏壓功率。矽烷氣流流率為 40sccm，氮氣流率為 1500sccm，氫氣流率為 300sccm。

除了直接從 HFS 測定殘餘氫含量外，還可測定 WER 來測量膜的抗化性。分別於氫氟酸 (1% HF 水溶液) 蝕刻前後，測量氮化矽膜的厚度。在 25°C 下持續進行溼蝕刻

製程一段時間後，計算蝕刻速率。膜的分析結果列於表 II 的 HDP 欄。先前技術的結果列於其他欄以供比較。1% HF 水溶液蝕刻熱生成氧化矽的速率為 36 埃/分鐘 ($\text{\AA}/\text{min}$)。

表 II：膜特徵 vs. 沉積技術

	HDP	PECVD	LPCVD
基材處理溫度	450°C	550°C	750°C
1% HF 的 WER	2.1 $\text{\AA}/\text{分}$	20-40 $\text{\AA}/\text{分}$	12-14 $\text{\AA}/\text{分}$
FTIR 中的 Si-H	未偵測	偵測	未偵測
HFS 中的 H%	5%	13%	6-9%

第 4 圖顯示在 SiH_4 流率固定為 40sccm 的情況下，隨 N_2 氣流流率變化的溼蝕刻速率。 N_2 氣流流率較低時，溼蝕刻速率會先下降，此乃因製程的氮源受限。在此區域中，添加氮至電漿中能有效移除生成膜的氫。溼蝕刻速率接著達到最小值，然後因腔室壓力增加而開始上升。膜製備期間的抽吸速度保持不變。壓力升高時，電漿中的氣體動力學改變，導致降低氮移除氫的能力。製程顯示當 $\text{N}_2 : \text{SiH}_4$ 流率比率為約 25 : 1 時，WER 明顯改善，流率比率為 25 : 1 至 40 : 1 之間達到最小值，然後因抽吸限制開始上升。

不同抽吸速度會改變 WER 急遽上升 408 的位置及改變

WER 的最小值 418。假設有有效抽吸速度從 2800 升/秒提高成 4000 升/秒，則第 4 圖的 WER 急遽上升位置將從 50:1 移到 70:1 附近。此可改善膜生成速率及/或 WER。按一定氣流比率增加氣流流率可提高膜生成速率。同樣地，按一定矽烷氣流流率增加 N_2 : SiH_4 流率比率可降低 WER。

第 5 圖顯示在 N_2 (1500sccm)和 SiH_4 (40sccm)流率固定的情況下，隨腔室壓力變化的溼蝕刻速率。藉由改變節流閥位置，進而改變有效抽吸速度，可改變壓力。隨著腔室壓力上升，膜品質顯然會降低(溼蝕刻速率提高)，原因如同第 4 圖所述。提高抽吸速度可改善膜品質。

示例之基材處理系統

本發明利用位於美國加州聖克拉拉之應用材料公司 (Applied Materials, Inc.)製造的 ULTIMA™ 系統來實踐本發明實施例，其概述於共同讓渡之美國專利證書號 6,170,428、名稱「SYMMETRIC TUNABLE INDUCTIVELY COUPLED HDP-CVD REACTOR」、西元 1996 年 7 月 15 日申請、Fred C. Redeker、Farhad Moghadam、Hirogi Hanawa、Tetsuya Ishikawa、Dan Maydan、Shijian Li、Brian Lue、Robert Steger、Yaxin Wang、Manus Wong 和 Ashok Sinha 提出之申請案，其全文一併引述於此供作參考。系統將配合第 6A 及 6B 圖概述於下。第 6A 圖為 HDP-CVD 系統 610 之一實施例的結構示意圖。系統 610 包括腔室 613、真空系統 670、源電漿系統 680A、偏壓

電漿系統 680B、氣體輸送系統 633 和遠端電漿清潔系統 650。

腔室 613 的上部包括圓頂 614，其由陶瓷介電材料構成，例如氧化鋁或氮化鋁。圓頂 614 界定電漿處理區 616 的上邊界。電漿處理區 616 的底部以基材 617 之上表面和基材支撐構件 618 為界。

加熱板 623 和冷卻板 624 裝在圓頂 614 上且熱耦接圓頂 614。加熱板 623 和冷卻板 624 能控制圓頂溫度介於約 $100^{\circ}\text{C}-200^{\circ}\text{C}\pm 10^{\circ}\text{C}$ 之間。如此可最佳化圓頂溫度以進行不同製程。例如，樂見清潔或蝕刻製程的圓頂溫度大於沉積製程。準確控制圓頂溫度還能減少腔室內的剝落薄片或微粒數及改善沉積層與基材間的附著性。

腔室 613 的下部包括主體構件 622，其連結腔室和真空系統。基材支撐構件 618 的基部 621 裝在主體構件 622 上，並且一起構成連續的內表面。機械葉片(未繪示)經由腔室 613 側邊的插入/移出開口(未繪示)傳送基材進出腔室 613。舉升銷(未繪示)在馬達(未繪示)的控制下升起及下降，藉以將機械葉片上的基材從裝載位置 657 移到較低處理位置 656，在此基材放置到基材支撐構件 618 的基材接收部 619。基材接收部 619 包括靜電吸座 620，以於基材處理期間讓基材固定於基材支撐構件 618。在一較佳實施例中，基材支撐構件 618 由氧化鋁或鋁陶瓷材料構成。

真空系統 670 包括用來容納雙葉片節流閥 626 的節流

主體 625，並且連接閘閥 627 和渦輪分子幫浦 628。應注意節流主體 625 不會阻礙氣流且容許對稱抽吸。閘閥 627 隔開幫浦 628 和節流主體 625，也可藉由限制節流閥 626 完全打開時的排氣流量來控制腔室壓力。配設節流閥、閘閥和渦輪分子幫浦可精確及穩定控制腔室壓力高達約 1 毫托耳至約 2 托耳。

源電漿系統 680A 包括設於圓頂 614 的頂部線圈 629 和側邊線圈 630。對稱接地屏蔽(未繪示)可減少線圈間的電性耦合。頂部線圈 629 由頂部源射頻(SRF)產生器 631A 供電，側邊線圈 630 由側邊 SRF 產生器 631B 供電，如此各線圈有個別獨立的功率大小和操作頻率。雙線圈系統可控制腔室 613 內的徑向離子密度，進而改善電漿均勻度。側邊線圈 630 和頂部線圈 629 一般為感應驅動，其不需使用互補電極。在一特定實施例中，頂部源 RF 產生器 631A 以額定之 2MHz 供應高達 2500 瓦的 RF 功率，側邊源 RF 產生器 631B 以額定之 2MHz 供應高達 5000 瓦的 RF 功率。頂部和側邊 RF 產生器的操作頻率可偏離額定操作頻率(如分別為 1.7-1.9MHz 和 1.9-2.1MHz)，藉以改善電漿產生效率。

偏壓電漿系統 680B 包括偏壓 RF(BRF)產生器 631C 和偏壓匹配網路 632C。偏壓電漿系統 680B 電容耦合基材 617 和主體構件 622，其當作互補電極。偏壓電漿系統 680B 用來加強輸送源電漿系統 680A 產生的電漿物種(如離子)至基材表面。在一特定實施例中，偏壓 RF 產生器

以小於 5MHz 之頻率供應高達 10000 瓦的 RF 功率，此將進一步說明於後。

RF 產生器 631A、631B 包括數位控制合成器且操作頻率介於約 1.8-2.1 MHz 之間。如同熟諳此技藝者所理解，每一產生器包括 RF 控制電路(未繪示)，用以測量從腔室和線圈反射回產生器的功率，及調整操作頻率而得最小反射功率。RF 產生器一般設計操作成特徵阻抗為 50 歐姆的負載。RF 功率可從具不同特徵阻抗的負載反射回產生器。如此可減少傳送到負載的功率。此外，從負載反射回產生器的功率可能超載而破壞產生器。由於電漿的阻抗可小於 5 歐姆至大於 900 歐姆，此視電漿離子密度等因素而定，又反射功率為頻率函數，因此依據反射功率調整產生器頻率可增加從 RF 產生器傳送到電漿的功率及保護產生器。另一減少反射功率及提高效率的方式為利用匹配網路。

匹配網路 632A、632B 匹配產生器 631A、631B 之輸出阻抗和其對應線圈 629、630。RF 控制電路藉由改變匹配網路內的電容值來調整二匹配網路，使產生器隨負載變化而與負載匹配。當從負載反射回產生器的功率超過特定極限時，RF 控制電路可調整匹配網路。提供固定匹配及有效使 RF 控制電路失去調整匹配網路之能力的方式為設定反射功率極限大於任一反射功率預定值。保持匹配網路固定處於其最新條件有助於在一些條件下穩定電漿。

其他測量亦有助於穩定電漿。例如，RF 控制電路可用來測定傳送到負載(電漿)的功率，及提高或降低產生器輸出功率，以於沉積層期間維持傳送功率實質不變。

氣體輸送系統 633 經由氣體輸送管線 638(僅繪示部分)提供來自數源 634A-634E 的氣體給腔室來處理基材。如同熟諳此技藝者所熟知，實際用於源 634A-634E 和實際連接輸送管線 638 與腔室 613 的元件視腔室 613 所施行的沉積和清潔製程而定。氣體經由氣環 637 及/或頂部噴嘴 645 引進腔室 613。第 6B 圖為腔室 613 的簡化局部截面圖，其繪示氣環 637 的細部。

在一實施例中，第一與第二氣源 634A、634B 和第一與第二氣流控制器 635A'、635B' 經由氣體輸送管線 638(僅繪示部分)供應氣體至氣環 637 的環形氣室 636。氣環 637 設有複數個來源氣體噴嘴 639(僅繪示部分以便於說明)，用以提供均勻氣流遍及基材。改變噴嘴長度和噴嘴角度，可調整個別腔室內的均勻度分佈輪廓和特定製程的氣體利用率。在一較佳實施例中，氣環 637 設有 12 個由氧化鋁陶瓷構成的來源氣體噴嘴。

氣環 637 還設有複數個氧化氣體噴嘴 640(僅繪示其一)，在一較佳實施例中，其與來源氣體噴嘴 639 呈共平面且比來源氣體噴嘴 639 短，在一實施例中，其接收來自主體氣室 641 的氣體。在一些實施例中，氣體注入腔室 613 前，不先混合來源氣體和氧化氣體。在其他實施例中，氣體注入腔室 613 前，先利用主體氣室 641 與氣

環氣室 636 間的孔洞(未繪示)混合氧化氣體和來源氣體。在一實施例中，第三、第四與第五氣源 634C、634D、634D'和第三與第四氣流控制器 635C、635D'經由氣體輸送管線 638 供應氣體至主體氣室。附加閥(如閥 643B，其他閥未繪示)可關閉氣體從控制器流向腔室。在本發明之一些實施例中，源 634A 包含甲矽烷(SiH_4)源，源 634B 包含氮分子(N_2)源，源 634C 包含 TSA 源，源 634D 包含氬(Ar)源，源 634D'包含二矽烷(Si_2H_6)源。

在使用易燃、有毒或腐蝕性氣體之實施例中，樂見在沉積後清除殘留在氣體輸送管線的氣體。達成方式例如為利用三向閥(如閥 643B)來隔開腔室 613 和輸送管線 638A，及排放輸送管線 638A 至真空前段管線 644。如第 6A 圖所示，其他類似閥(如閥 643A、643C)可設於其他氣體輸送管線。三向閥宜盡量設置靠近腔室 613，以減少未排放的氣體輸送管線體積(位於三向閥與腔室之間)。此外，雙向(開-關)閥(未繪示)可設在流量控制器(MFC)與腔室之間、或氣源與 MFC 之間。

再次參照第 6A 圖，腔室 613 還設有頂部噴嘴 645 和頂部排氣孔 646。頂部噴嘴 645 和頂部排氣孔 646 能個別控制頂部和側邊的氣流以改善膜的均勻度，及微調膜的沉積和摻雜參數。頂部排氣孔 646 為圍繞頂部噴嘴 645 的環狀開口。在一實施例中，第一氣源 634A 供給來源氣體噴嘴 639 和頂部噴嘴 645。來源噴嘴 MFC 635'控制輸送到來源氣體噴嘴 639 的氣體量，頂部噴嘴 MFC 635A

控制輸送到頂部噴嘴 645 的氣體量。同樣地，二 MFC 635B、635B' 用來控制自單一氧氣源(如源 634B)流向頂部排氣孔 646 和氧化氣體噴嘴 640 的氧氣量。在一些實施例中，不從任一側邊噴嘴供給腔室氧氣。供應頂部噴嘴 645 和頂部排氣孔 646 的氣體在流入腔室 613 前可保持分開，或者氣體流入腔室 613 前可先於頂部氣室 648 混合。獨立的相同氣源也可用來供給腔室的不同區域。

遠端微波產生電漿清潔系統 650 用來定期清潔腔室組件的沉積殘餘物。清潔系統包括遠端微波產生器 651，其自清潔氣源 634E(如氟分子、三氟化氮、其他碳氟化合物或均等物)於反應器腔體 653 內產生電漿。電漿產生的反應物種透過器具管 655 經由清潔氣體入口 654 輸送到腔室 613。用來容納清潔電漿的材料(如腔體 653 和器具管 655)必須能抵抗電漿侵蝕。反應器腔體 653 與入口 654 間的距離宜盡量短，因電漿物種濃度會隨著遠離反應器腔體 653 而降低。在遠端腔體中產生清潔電漿允許使用高效率微波產生器，且腔室組件不會受溫度、輻射或電漿中原位形成之輝光放電撞擊的影響。因此，不像原位電漿清潔製程，如靜電吸座 620 等較敏感的組件不需蓋上仿製(dummy)晶圓或以其他方式保護。在第 6A 圖中，電漿清潔系統 650 位於腔室 613 上方，然也可設在其他位置。

隔板 661 設置鄰接頂部噴嘴，用以引導頂部噴嘴供應的來源氣體流向腔室及引導遠端產生電漿流動。頂部噴

嘴 645 供應的來源氣體經由中央通道 662 導向腔室，清潔氣體入口 654 供應的遠端產生電漿物種由隔板 661 引至腔室 613 旁。

熟諳此技藝者將能理解，處理參數會因處理腔室和處理條件不同而不同，不同前驅物也可使用，此並不悖離本發明之精神。熟諳此技藝者亦可明白其他變化例。這些均等例和替代例涵蓋在本發明之保護範圍內。故本發明之保護範圍不應以實施例為限，而是視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

第 1 圖為部分完成之積體電路的局部截面圖，裝置製造受益於使用根據本發明一實施例生成的低溼蝕刻速率 (WER) 氮化矽膜；

第 2 圖為根據本發明一實施例，形成高密度且高抗氧化物蝕刻性之氮化矽膜的步驟流程圖；

第 3 圖為 RBS-HFS 材料分析系統的示意圖，用於測定氫含量；

第 4 圖為根據實施例改變 $N_2:SiH_4$ 氣流比率所形成之氮化矽膜的溼蝕刻速率曲線圖；

第 5 圖為根據實施例改變處理腔室壓力所形成之氮化矽膜的溼蝕刻速率曲線圖；

第 6A 圖為可施行本發明方法之高密度電漿化學氣相

沉積系統實施例的簡化示意圖；

第 6B 圖為可用於第 6A 圖處理系統之氣環的簡化截面圖。

【主要元件符號說明】

104	電容器	108	氧化物區域
114	氮化矽層		
204、208、212、216、220、226、230、238、244			步驟
408	急遽上升	418	最小值
610	HDP-CVD 系統	613	腔室
614	圓頂	616	處理區
617	基材	618	支撐構件
619	接收部	620	靜電吸座
621	基部	622	主體構件
623、624	板	625	主體
626、627、643A-C	閥	628	幫浦
629、630	線圈	631A-C、651	產生器
632A-C	匹配網路	633	氣體輸送系統
634A-E、634D'	源		
635A-C、635A'-B'、635D'	控制器		
636、641、648	氣室	637	氣環
638、638A、644	管線	639、640、645	噴嘴

646 排氣孔

653 腔體

655 管

661 隔板

680A-B 電漿系統

650 清潔系統

654 入口

656、657 位置

662 通道

公告本

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫；惟已有申請案號者請填寫)

※ 申請案號：97149781

※ 申請日期：2008 年 12 月 19 日

※IPC 分類：

H01L 2/318 (2006.01)

一、發明名稱：(中文/英文)

低溼蝕刻速率的氮化矽膜

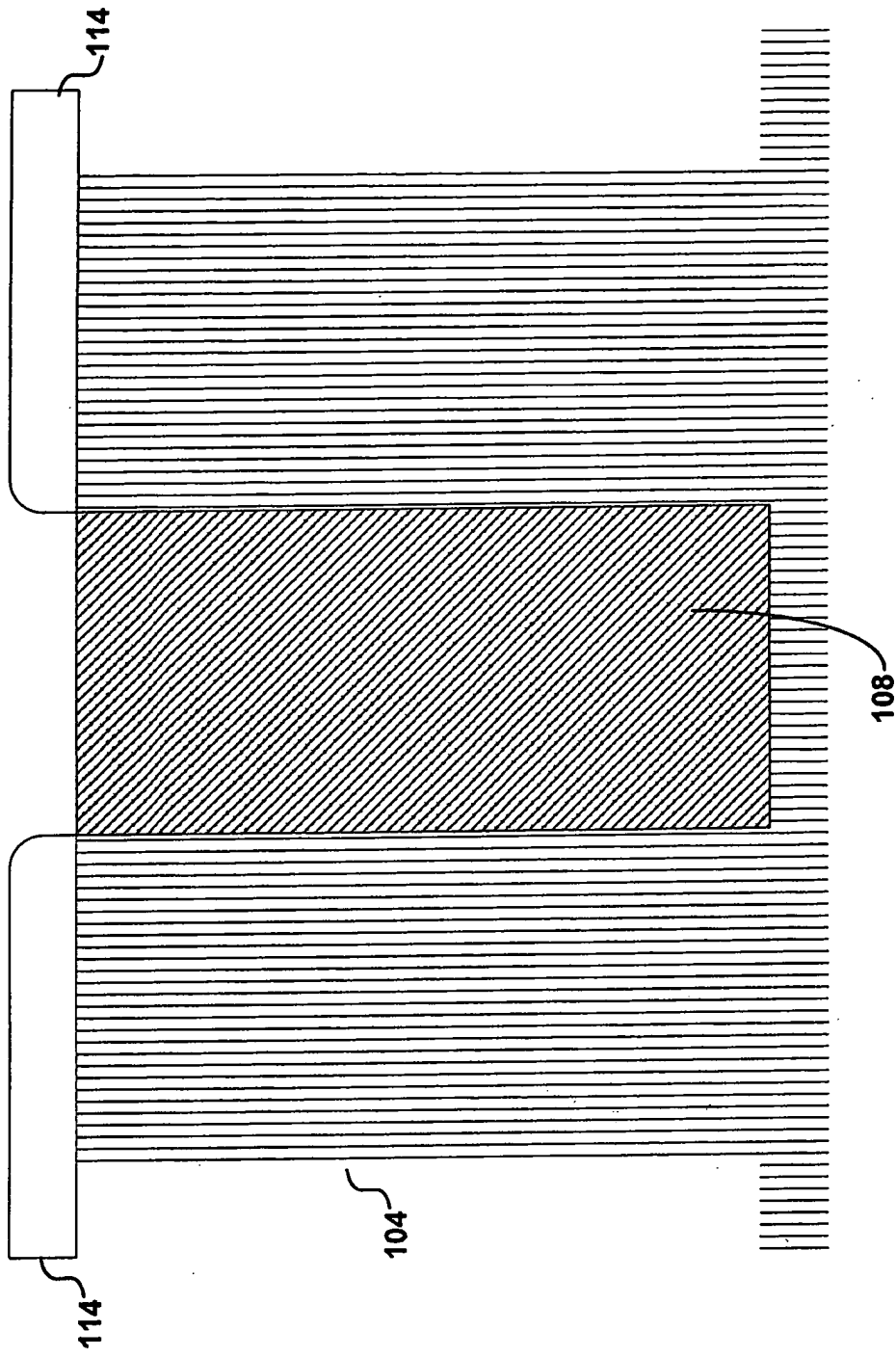
LOW WET ETCH RATE SILICON NITRIDE FILM

二、中文發明摘要：

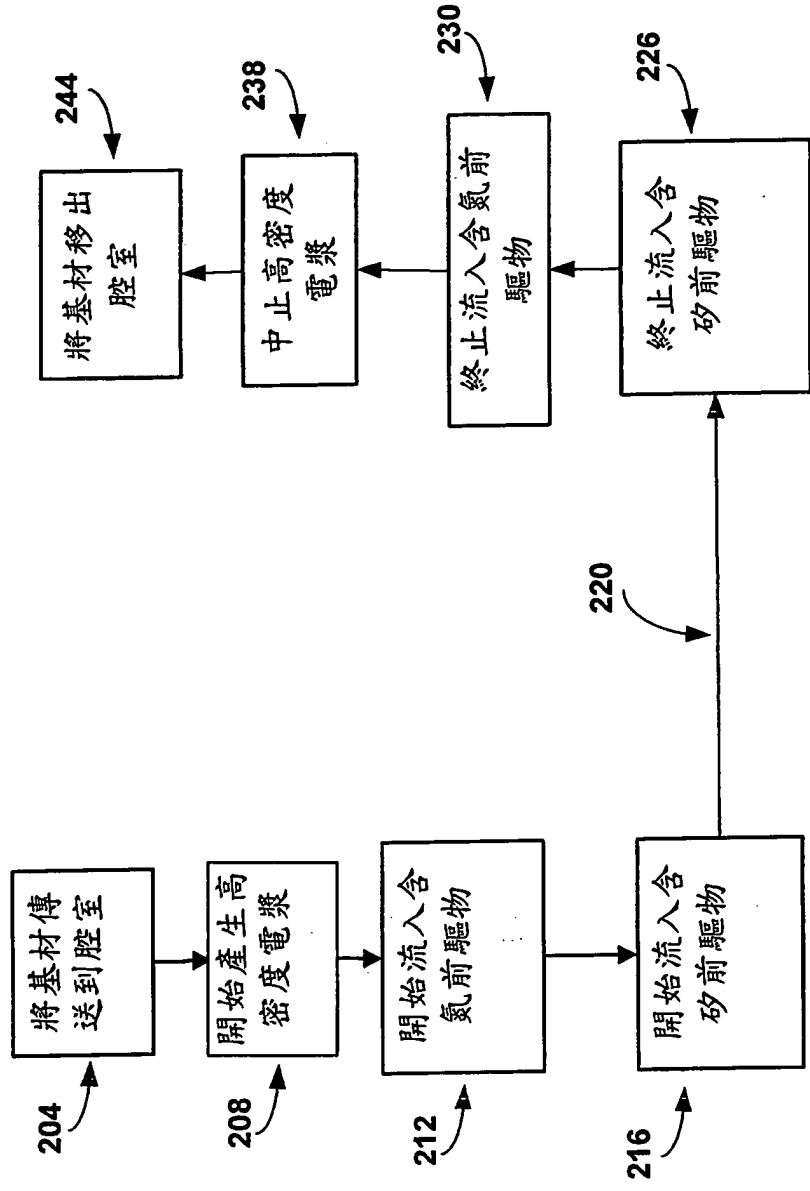
本發明是關於利用高密度電漿化學氣相沉積技術，在基材溫度低於 600°C 下沉積低溼蝕刻速率氮化矽膜至基材上的方法。方法還包括維持電漿中的氮與矽呈高比例及維持低處理壓力。

三、英文發明摘要：

The present invention pertains to methods of depositing low wet etch rate silicon nitride films on substrates using high-density plasma chemical vapor deposition techniques at substrate temperatures below 600°C. The method additionally involves the maintenance of a relatively high ratio of nitrogen to silicon in the plasma and a low process pressure.

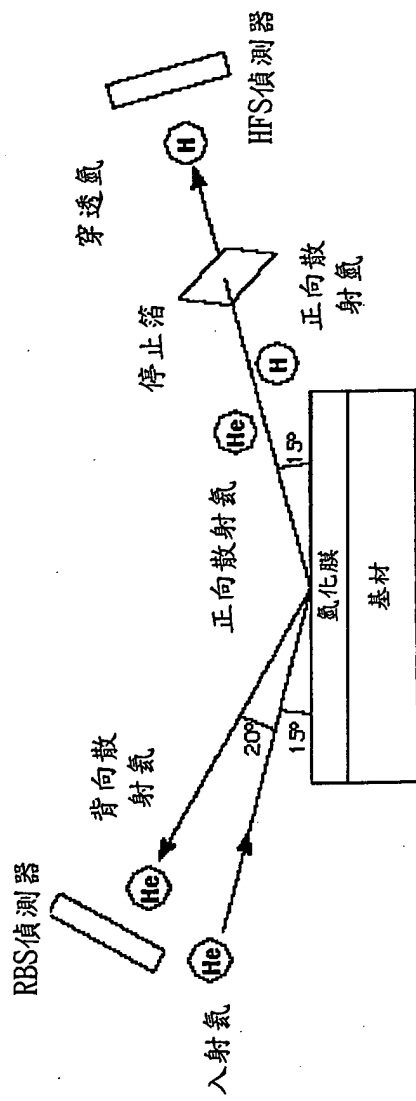


第1圖

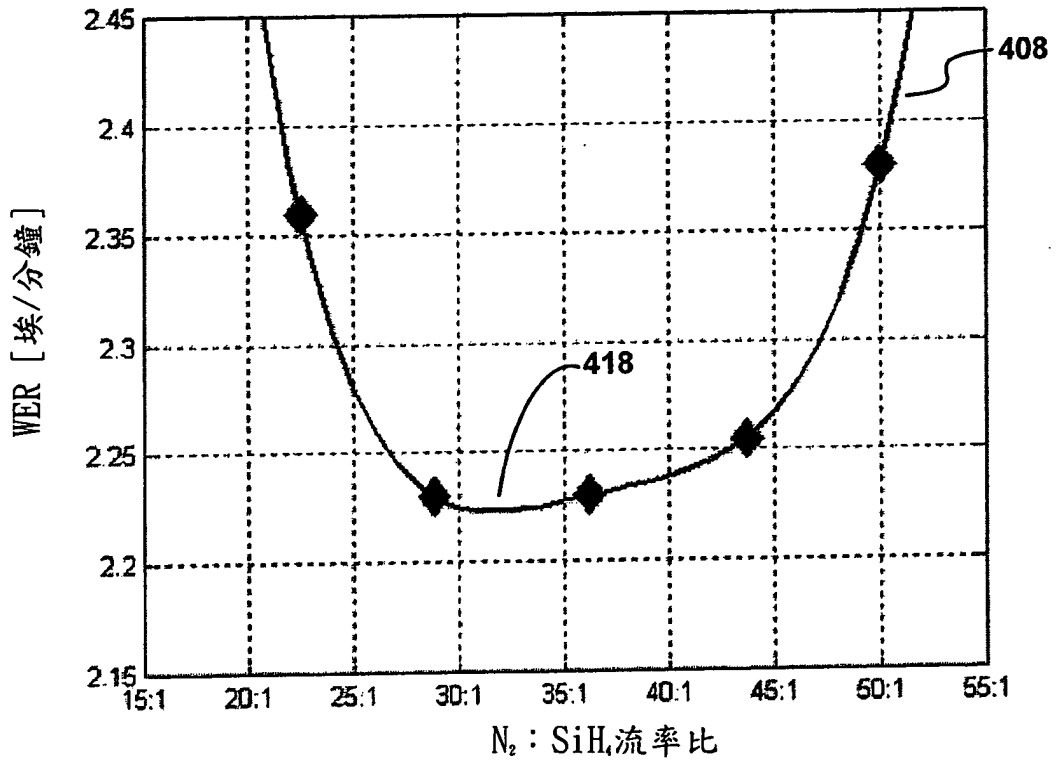


第2圖

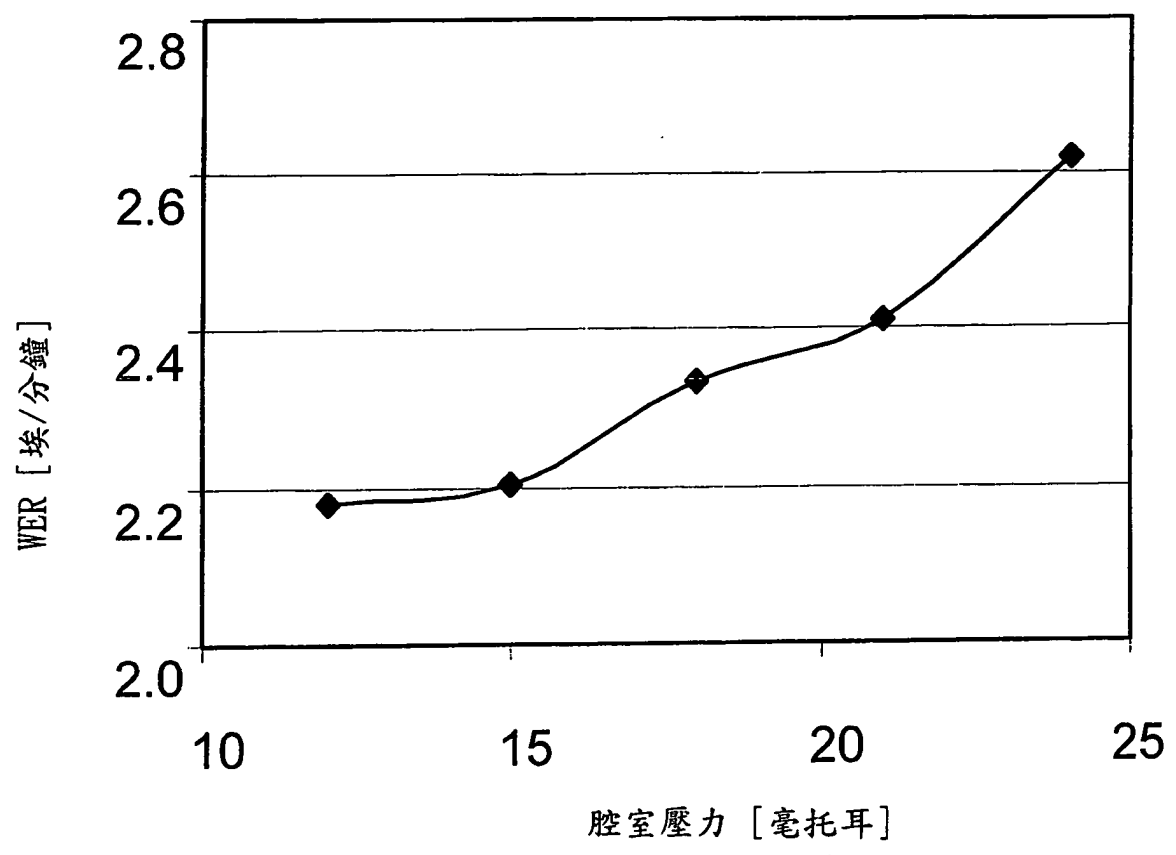
HFS技術示意圖



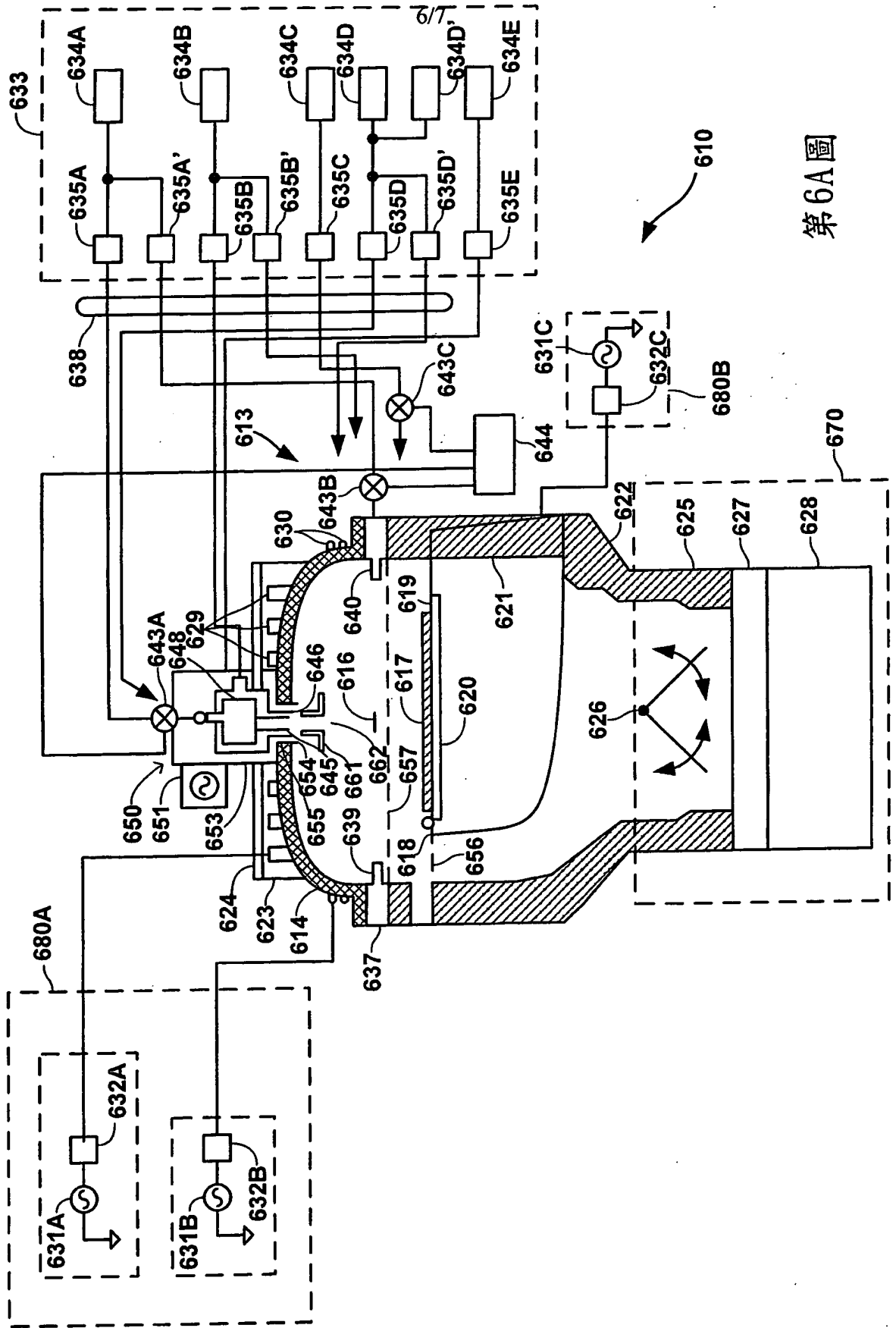
第3圖



第4圖



第5圖



第6A圖

四、指定代表圖：

(一)本案指定代表圖為：第(2)圖。

(二)本代表圖之元件符號簡單說明：

204、208、212、216、220、226、230、238、244 步驟

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

七、申請專利範圍：

1. 一種利用一高密度電漿化學氣相沉積(HDP-CVD)製程沉積一氮化矽膜至一處理腔室中之一基材上的方法，該方法包含：

將一包含氮與矽的處理氣體混合物流入該處理腔室中，同時維持該氮原子流率與該矽原子流率之一平均比率為約 50：1 或以上，維持該處理腔室中的一平均壓力為約 40 毫托耳或以下，以及維持一平均基材溫度為 600°C 或以下；以及

自該處理氣體混合物形成一高密度電漿以沉積該氮化矽膜至該基材上，其中該高密度電漿的離子密度達 10^{11} 離子數/立方公分或以上，且該高密度電漿的離子化比例達 10^{-4} 或以上。

2. 如申請專利範圍第 1 項所述之方法，其中該氮原子流率與該矽原子流率之平均比率為約 60：1 或以上。

3. 如申請專利範圍第 1 項所述之方法，其中該氮原子流率與該矽原子流率之平均比率為約 90：1 或以上。

4. 如申請專利範圍第 1 項所述之方法，其中該平均基材溫度維持在 500°C 或以下。

5. 如申請專利範圍第 1 項所述之方法，其中該處理腔室中的該平均壓力為約 15 毫托耳或以下。
6. 如申請專利範圍第 1 項所述之方法，其中使用一氫氟酸溶液(1% HF 水溶液)處理沉積之氮化矽膜之一溼蝕刻速率小於 5 埃/分鐘($\text{\AA}/\text{min}$)。
7. 如申請專利範圍第 1 項所述之方法，其中沉積之氮化矽膜之一生成速率大於約 500 埃/分鐘($\text{\AA}/\text{min}$)。
8. 如申請專利範圍第 1 項所述之方法，更包含將氫氣流入該處理腔室中，以及維持該氮原子流率與該氫原子流率之一比率為 15 : 1 至 15 : 2 之間。
9. 如申請專利範圍第 1 項所述之方法，其中該高密度電漿之一 RF 功率為 5 至 15 瓦/平方公分(基材面積)之間。
10. 如申請專利範圍第 1 項所述之方法，其中該高密度電漿之一 RF 功率為 5.5 至 10 瓦/平方公分(基材面積)之間。
11. 如申請專利範圍第 1 項所述之方法，其中形成該高密度電漿之步驟於沉積該氮化矽膜期間不偏壓該電漿至該基材。

12. 如申請專利範圍第 1 項所述之方法，其中該 HDP-CVD 製程的一沉積與濺射比率大於約 50:1。

13. 如申請專利範圍第 1 項所述之方法，其中該處理氣體混合物包含雙原子氮 (N_2) 和至少一選自甲矽烷 (SiH_4)、二矽烷 (Si_2H_6) 和三矽胺 ($N(SiH_3)_3$; TSA) 組成之群組的氣體。

14. 一種利用一高密度電漿化學氣相沉積 (HDP-CVD) 製程沉積一氮化矽膜至一處理腔室中之一基材上的方法，該方法包含：

將具一第一氣流流率之雙原子氮 (N_2) 和具一第二氣流流率之甲矽烷 (SiH_4) 流入該處理腔室中，同時維持該第一氣流流率與該第二氣流流率之一平均比率為約 25:1 或以上，維持該處理腔室中的一平均壓力為約 40 毫托耳或以下，以及維持一平均基材溫度為 $600^\circ C$ 或以下；以及

自該處理氣體混合物形成一高密度電漿以沉積該氮化矽膜至該基材上，其中該高密度電漿的離子密度達 10^{11} 離子數/立方公分或以上，且該高密度電漿的離子化比例達 10^{-4} 或以上。

15. 如申請專利範圍第 14 項所述之方法，其中該第一氣

流流率與該第二氣流流率之平均比率為約 30 或以上。

16. 如申請專利範圍第 14 項所述之方法，其中該第一氣流流率與該第二氣流流率之平均比率為約 40 或以上。

17. 如申請專利範圍第 14 項所述之方法，其中該平均基材溫度維持在 500°C 或以下。

18. 如申請專利範圍第 17 項所述之方法，其中該處理腔室中的該平均壓力為約 15 毫托耳或以下。

19. 如申請專利範圍第 18 項所述之方法，其中使用一氫氟酸溶液(1% HF 水溶液)處理沉積之氮化矽膜之一溼蝕刻速率小於 5 埃/分鐘($\text{\AA}/\text{min}$)。

20. 如申請專利範圍第 18 項所述之方法，其中沉積之氮化矽膜之一生成速率大於約 500 埃/分鐘($\text{\AA}/\text{min}$)。

21. 如申請專利範圍第 18 項所述之方法，更包含將具一第三氣流流率之氫氣流入該處理腔室中，同時維持該第一氣流流率與該第三氣流流率之一比率為 15:2 至 15:4 之間。

22. 如申請專利範圍第 18 項所述之方法，其中該高密度

電漿的一 RF 功率為 5 至 15 瓦/平方公分(基材面積)之間。

23. 如申請專利範圍第 18 項所述之方法，其中該高密度電漿的一 RF 功率為 5.5 至 10 瓦/平方公分(基材面積)之間。

24. 如申請專利範圍第 18 項所述之方法，其中形成該高密度電漿之步驟於沉積該氮化矽膜期間不偏壓該電漿至該基材。

25. 如申請專利範圍第 18 項所述之方法，其中該 HDP-CVD 製程的一沉積與濺射比率大於約 50。