

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-109718

(P2007-109718A)

(43) 公開日 平成19年4月26日(2007.4.26)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 21/3213 (2006.01)	HO 1 L 21/88 D	4M104
HO 1 L 21/28 (2006.01)	HO 1 L 21/28 E	5F004
HO 1 L 29/423 (2006.01)	HO 1 L 29/58 G	5F033
HO 1 L 29/49 (2006.01)	HO 1 L 27/04 C	5F038
HO 1 L 21/822 (2006.01)	HO 1 L 21/302 I O 1 B	

審査請求 未請求 請求項の数 5 O L (全 11 頁) 最終頁に続く

(21) 出願番号	特願2005-296567 (P2005-296567)	(71) 出願人	000003078 株式会社東芝
(22) 出願日	平成17年10月11日(2005.10.11)		東京都港区芝浦一丁目1番1号
		(74) 代理人	100058479 弁理士 鈴江 武彦
		(74) 代理人	100091351 弁理士 河野 哲
		(74) 代理人	100088683 弁理士 中村 誠
		(74) 代理人	100108855 弁理士 蔵田 昌俊
		(74) 代理人	100075672 弁理士 峰 隆司
		(74) 代理人	100109830 弁理士 福原 淑弘

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

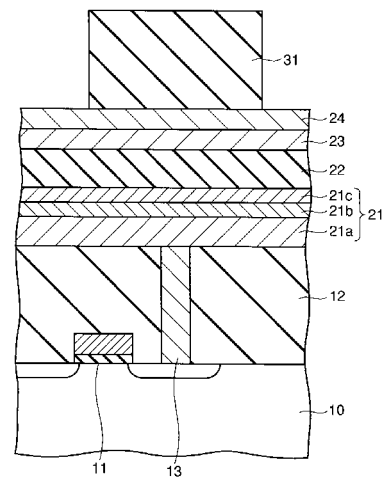
(57) 【要約】

【課題】 エッチングマスクを容易に除去することが可能な半導体装置の製造方法を提供する。

【解決手段】 エッチング対象膜21、22、23上に犠牲膜24を形成する工程と、犠牲膜上にエッチングマスク31を形成する工程と、エッチングマスクをマスクとして用いて、エッチング対象膜をエッチングする工程と、犠牲膜を除去して、エッチングマスクをエッチング対象膜に付着させる工程と、エッチングマスクを除去する工程と、を備える。

【選択図】 図1

図1



【特許請求の範囲】

【請求項 1】

エッチング対象膜上に犠牲膜を形成する工程と、
 前記犠牲膜上にエッチングマスクを形成する工程と、
 前記エッチングマスクをマスクとして用いて、前記エッチング対象膜をエッチングする工程と、
 前記犠牲膜を除去して、前記エッチングマスクを前記エッチング対象膜に付着させる工程と、
 前記エッチングマスクを除去する工程と、
 を備えたことを特徴とする半導体装置の製造方法。

10

【請求項 2】

前記エッチング対象膜をエッチングする工程で前記犠牲膜が除去されることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】

前記エッチングマスクを除去する工程は、非化学的方法によって行われることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 4】

下地膜上に犠牲膜を形成する工程と、
 前記犠牲膜上にエッチング対象膜を形成する工程と、
 前記エッチング対象膜上にエッチングマスクを形成する工程と、
 前記エッチングマスクをマスクとして用いて、前記エッチング対象膜をエッチングする工程と、
 前記犠牲膜を除去して、前記エッチングされたエッチング対象膜を前記下地膜に付着させる工程と、
 を備えたことを特徴とする半導体装置の製造方法。

20

【請求項 5】

前記エッチング対象膜をエッチングする工程で前記エッチング対象膜は異方性エッチングされることを特徴とする請求項 1 又は 4 に記載の半導体装置の製造方法。

【発明の詳細な説明】

30

【技術分野】

【0001】

本発明は、半導体装置の製造方法に関する。

【背景技術】

【0002】

近年、キャパシタの誘電体膜に強誘電体膜を用いた強誘電体メモリの開発が進められている。強誘電体メモリでは、強誘電体膜の結晶化アニール時の反応を抑制するために、キャパシタの電極にプラチナ等の貴金属が用いられている（例えば、特許文献 1 参照）。

【0003】

しかしながら、プラチナ等の貴金属は、エッチング生成物（貴金属の化合物）の飽和蒸気圧が低いため、良好な異方性エッチングを行うことが困難である。したがって、良好な異方性エッチングを行うためには、基板温度を 300～400 程度に高める必要がある。そのため、エッチングマスクとしてフォトレジストを用いることが困難であり、シリコン酸化膜等のハードマスクを用いて異方性エッチングを行うことが一般的である。

40

【0004】

ハードマスクは CVD やスパッタリング等の成膜法によって形成されるが、このような成膜法によって形成された膜は一般的に密着性が高い。そのため、上述したような方法を用いた場合には、ハードマスクを除去し難いという問題がある。

【0005】

一方、半導体装置の微細化に伴い、MIS トランジスタのゲート電極を異方性エッチン

50

グによって精度よく加工することが難しくなっている。異方性エッチングによってゲート電極を形成する場合、ゲート電極膜のゲート絶縁膜に対するエッチング選択比をできるだけ高くする必要がある。

【0006】

しかしながら、エッチング選択比を高くすると、ゲート電極の下部が広がった形状となり、良好なゲート電極形状が得られなくなる。良好なゲート電極形状を得るためにエッチング選択比を低くすると、ゲート絶縁膜がエッチングされて半導体基板が露出するという問題が生じる。

【0007】

以上述べたように、ハードマスク等の密着性の高い膜をエッチングマスクとして用いてエッチング対象膜をエッチングする場合、エッチングマスクを除去し難いという問題が生じる。

【0008】

また、ゲート電極膜等のエッチング対象膜をエッチングする場合、ゲート絶縁膜等の下地膜に悪影響を与えずに良好なエッチング加工形状を得ることが難しいという問題が生じる。

【特許文献1】特開平9-162311号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

本発明は、エッチングマスクを容易に除去することが可能な半導体装置の製造方法を提供することを目的とする。

【0010】

また、本発明は、下地膜に悪影響を与えずに良好なエッチング加工形状を得ることが可能な半導体装置の製造方法を提供することを目的とする。

【課題を解決するための手段】

【0011】

本発明の第1の視点に係る半導体装置の製造方法は、エッチング対象膜上に犠牲膜を形成する工程と、前記犠牲膜上にエッチングマスクを形成する工程と、前記エッチングマスクをマスクとして用いて、前記エッチング対象膜をエッチングする工程と、前記犠牲膜を除去して、前記エッチングマスクを前記エッチング対象膜に付着させる工程と、前記エッチングマスクを除去する工程と、を備える。

【0012】

本発明の第2の視点に係る半導体装置の製造方法は、下地膜上に犠牲膜を形成する工程と、前記犠牲膜上にエッチング対象膜を形成する工程と、前記エッチング対象膜上にエッチングマスクを形成する工程と、前記エッチングマスクをマスクとして用いて、前記エッチング対象膜をエッチングする工程と、前記犠牲膜を除去して、前記エッチングされたエッチング対象膜を前記下地膜に付着させる工程と、を備える。

【発明の効果】

【0013】

本発明によれば、犠牲膜上にエッチングマスクを形成することにより、エッチングマスクを容易に除去することが可能となる。

【0014】

また、本発明によれば、下地膜とエッチング対象膜との間に犠牲膜を形成することにより、下地膜に悪影響を与えずに良好なエッチング加工形状を得ることが可能となる。

【発明を実施するための最良の形態】

【0015】

以下、本発明の実施形態を図面を参照して説明する。

【0016】

(実施形態1)

10

20

30

40

50

図 1 ~ 図 4 は、本発明の第 1 の実施形態に係る半導体装置（強誘電体メモリ）の製造工程を模式的に示した断面図である。

【0017】

まず、図 1 に示すように、半導体基板（例えばシリコン基板）10 の表面領域に、素子分離領域（図示せず）及び M I S トランジスタ 11 を形成する。続いて、半導体基板 10 上に、層間絶縁膜を含む絶縁領域 12 を形成する。さらに、絶縁領域 12 内に、M I S トランジスタ 11 と後述するキャパシタとを電氣的に接続するためのプラグ 13 を形成する。

【0018】

次に、絶縁領域 12 上に、スパッタリング法により、キャパシタの下部電極膜 21 として、厚さ 120 nm のイリジウム（I r）膜 21 a、厚さ 50 nm のイリジウム酸化物（I r O₂）膜 21 b 及び厚さ 50 nm のプラチナ（P t）膜 21 c を形成する。続いて、プラチナ膜 21 c 上に、スパッタリング法により、キャパシタの誘電体膜（強誘電体膜）として、厚さ 140 nm の P b (Z r_xT i_{1-x}) O₃ 膜（P Z T 膜）22 を形成する。さらに、P Z T 膜 22 上に、スパッタリング法により、キャパシタの上部電極膜として、厚さ 70 nm のプラチナ（P t）膜 23 を形成する。これらのイリジウム膜 21 a、イリジウム酸化物膜 21 b、プラチナ膜 21 c、P Z T 膜 22 及びプラチナ膜 23 は、後述する工程でエッチングされるエッチング対象膜となる。

10

【0019】

次に、プラチナ膜 23 上に、スパッタリング法により、犠牲膜として、厚さ 50 nm のチタン（T i）膜 24 を形成する。続いて、プラズマ C V D（chemical vapor deposition）法により、エッチングマスク膜として、厚さ 1 μ m のシリコン酸化膜（S i O₂ 膜）31 を形成する。このシリコン酸化膜 31 は、キャパシタのパターンを形成する際のハードマスクとして用いられる。続いて、シリコン酸化膜 31 上に、フォトリソグラフィによってフォトレジストパターン（図示せず）を形成する。さらに、このフォトレジストパターンをマスクとして使い、マグネトロン R I E（reactive ion etching）装置により、シリコン酸化膜 31 をパターンニングする。エッチングガスには、C₄F₈ 及び A r の混合ガスを用いる。シリコン酸化膜 31 をパターンニングした後、酸素ガスプラズマを用いたアッシングにより、フォトレジストパターンを除去する。このようにして、シリコン酸化膜 31 で形成されたエッチングマスクが得られる。

20

30

【0020】

次に、図 2 に示すように、シリコン酸化膜 31 をマスクとして使い、誘導結合プラズマ R I E 装置により、チタン膜 24 及びプラチナ膜 23 をドライエッチングする。エッチングガスには C l₂ 及び A r の混合ガスを用い、C l₂ 及び A r の流量をそれぞれ 160 s c c m 及び 40 s c c m とする。R I E チャンバ内の圧力は 2 P a とし、誘導結合コイルに供給する R F 電力を 1 k W に、ウエハサセプタに供給する R F 電力を 200 W に設定する。また、ウエハサセプタの温度を 350 °C に設定し、半導体基板 10 を加熱した状態でドライエッチングを行う。

【0021】

上記ドライエッチング工程で生成されるプラチナ塩化物等のプラチナ化合物は、飽和蒸気圧が低いため蒸発し難い。そのため、例えば室温で上記ドライエッチング工程を行った場合には、プラチナ化合物の付着によって、プラチナ膜 23 の良好な異方性エッチングが妨げられるおそれがある。本実施形態では、300 ~ 400 °C 程度の温度で加熱した状態でドライエッチングを行うため、プラチナ膜 23 を良好に異方性エッチングすることができる。

40

【0022】

一方、上記ドライエッチング工程で生成されるチタン塩化物等のチタン化合物は、飽和蒸気圧が高いため蒸発し易い。そのため、プラズマ中の中性な活性種によって、チタン膜 24 は等方的にエッチングが進行する。その結果、上記ドライエッチング工程において、チタン膜 24 は全てエッチング除去される。

50

【0023】

このように、上記ドライエッチング工程において、シリコン酸化膜31とプラチナ膜23との間に介在していたチタン膜24が消失するため、シリコン酸化膜31はプラチナ膜23の表面に付着する。具体的には、重力によってシリコン酸化膜31がプラチナ膜23上に落下してシリコン酸化膜31がプラチナ膜23に付着する場合、シリコン酸化膜31とプラチナ膜23との間に働く静電気力によってシリコン酸化膜31がプラチナ膜23に付着する場合、或いはそれらの組み合わせによってシリコン酸化膜31がプラチナ膜23に付着する場合が考えられる。シリコン酸化膜31がプラチナ膜23に付着した後、シリコン酸化膜31は、主として静電気力によってプラチナ膜23に付着し続ける。

【0024】

このように、上述したドライエッチング工程において、プラチナ膜23の異方性エッチングとチタン膜24の除去が並行して行われることとなり、図2に示したような構造が得られる。

【0025】

次に、図3に示すように、プラチナ膜23の表面に付着したシリコン酸化膜31をエッチングマスクとして用いて、上述した誘導結合プラズマRIE装置により、PZT膜22及びプラチナ膜21cを異方性エッチングする。エッチングガスには Cl_2 、Ar及び N_2 の混合ガスを用い、 Cl_2 、Ar及び N_2 の流量をそれぞれ160sccm、40sccm及び10sccmとする。その他の基本的なエッチング条件は、上述したプラチナ膜23及びチタン膜24のエッチング条件と同一である。

【0026】

次に、シリコン酸化膜31をエッチングマスクとして用いて、上述した誘導結合プラズマRIE装置により、イリジウム酸化物膜21b及びイリジウム膜21aを異方性エッチングする。エッチングガスには Cl_2 、Ar、 N_2 及び O_2 の混合ガスを用い、 Cl_2 、Ar、 N_2 及び O_2 の流量をそれぞれ160sccm、20sccm、30sccm及び20sccmとする。このときのチャンバ内の圧力は4Paである。その他の基本的なエッチング条件は、上述したプラチナ膜23及びチタン膜24のエッチング条件と同一である。

【0027】

次に、図4に示すように、エッチングマスクとして用いたシリコン酸化膜31を除去する。シリコン酸化膜31は、主として静電気力によってプラチナ膜23に付着しているだけであるため、付着力が弱い。したがって、エッチング等の化学的方法を用いず、非化学的方法によって容易にシリコン酸化膜31を除去することができる。具体的には、以下のような力学的的方法によってシリコン酸化膜31を除去することができる。

【0028】

第1の方法としては、粘着テープをシリコン酸化膜31の表面に貼り付け、粘着テープとともにシリコン酸化膜31をプラチナ膜23から剥がす方法があげられる。第2の方法としては、水等の液体によってシリコン酸化膜31を流し去る方法があげられる。この場合、水等の液体に界面活性剤を添加するようにしてもよい。界面活性剤の作用によって、シリコン酸化膜31をプラチナ膜23から剥がしやすくなる。第3の方法としては、静電気力によってシリコン酸化膜31をプラチナ膜23から剥がす方法があげられる。いずれの方法を用いても、シリコン酸化膜31のプラチナ膜23に対する付着力が弱いので、容易にプラチナ膜23からシリコン酸化膜31を剥がすことができる。

【0029】

以上のようにして、イリジウム膜21a、イリジウム酸化物膜21b及びプラチナ膜21cで形成された下部電極21と、PZT膜22で形成された誘電体膜（強誘電体膜）と、プラチナ膜23で形成された上部電極とを含むキャパシタ構造が得られる。

【0030】

以上のように、本実施形態によれば、シリコン酸化膜（エッチングマスク）31とプラチナ膜（エッチング対象膜）23との間にチタン膜（犠牲膜）24が介在しており、チタ

10

20

30

40

50

ン膜 2 4 を除去することにより、シリコン酸化膜 3 1 がプラチナ膜 2 3 に付着する。そのため、シリコン酸化膜 3 1 のプラチナ膜 2 3 に対する付着力は弱い。したがって、エッチング等の化学的方法を用いなくても、容易にシリコン酸化膜 3 1 を除去することができ、製造工程の容易化及び簡単化をはかることが可能となる。

【 0 0 3 1 】

また、本実施形態では、プラチナ膜 2 3 の異方性エッチングとチタン膜 2 4 の除去が、共通の工程で行われる。したがって、チタン膜 2 4 を除去するための専用工程を省くことができ、このような観点からも製造工程の簡単化をはかることができる。

【 0 0 3 2 】

なお、上述した実施形態では、プラチナ膜 2 3 を異方性エッチングする工程でチタン膜 2 4 を全て除去するようにしたが、図 5 に示すように、プラチナ膜 2 3 のエッチングが終了した時点でチタン膜 2 4 の一部が残っていてもよい。この場合には、P Z T 膜 2 2、プラチナ膜 2 1 c、イリジウム酸化物膜 2 1 b 及びイリジウム膜 2 1 a のいずれかのエッチングが終了した時点で、チタン膜 2 4 の全てが除去されていればよい。この場合にも、エッチング対象膜（イリジウム膜 2 1 a、イリジウム酸化物膜 2 1 b、プラチナ膜 2 1 c、P Z T 膜 2 2 及びプラチナ膜 2 3）をエッチングする工程においてチタン膜（犠牲膜）2 4 を全て除去できるため、チタン膜 2 4 を除去するための専用工程を省くことができ、製造工程の簡単化をはかることが可能である。

10

【 0 0 3 3 】

また、エッチング対象膜をエッチングする工程と犠牲膜を除去する工程とを、別々の工程で行うようにしてもよい。例えば、シリコン酸化膜 3 1 のエッチングマスクを形成した後、プラチナ膜 2 3 のエッチングを行う前に、チタン膜 2 4 を除去するようにしてもよい。また、イリジウム膜 2 1 a のエッチングを行った後に、チタン膜 2 4 を除去するようにしてもよい。また、プラチナ膜 2 3 のエッチングからイリジウム膜 2 1 a のエッチングまでのいずれかの段階で、エッチング対象膜のエッチング工程とは別の工程でチタン膜 2 4 を除去するようにしてもよい。

20

【 0 0 3 4 】

また、上述した実施形態では、強誘電体キャパシタについて説明したが、例えばハードマスクをエッチングマスクとして用いて配線パターンを形成するような場合にも、上述した方法と同様の方法を用いることが可能である。

30

【 0 0 3 5 】

また、上述した実施形態では、犠牲膜としてチタン膜を用いたが、犠牲膜の材料には、チタン（T i）、タングステン（W）、タンタル（T a）、或いはそれらの酸化物又は窒化物を用いることが可能である。

【 0 0 3 6 】

また、エッチングマスクの材料には、上述したシリコン酸化物の他、シリコン（例えばポリシリコン）或いはシリコン窒化物を用いることが可能である。

【 0 0 3 7 】

また、エッチング対象膜の材料には、上述した実施形態の材料の他、銅（C u）、パラジウム（P d）、銀（A g）或いは金（A u）を用いることが可能である。さらに、エッチング対象膜の材料には、ベリリウム（B e）、アルミニウム（A l）、カルシウム（C a）、ストロンチウム（S r）、イットリウム（Y）、ジルコニウム（Z r）、ハフニウム（H f）、或いはそれらの酸化物又は窒化物を用いることが可能である。

40

【 0 0 3 8 】

（実施形態 2）

図 6 ~ 図 8 は、本発明の第 2 の実施形態に係る半導体装置（M I S トランジスタ）の製造工程を模式的に示した断面図である。

【 0 0 3 9 】

まず、図 6 に示すように、半導体基板（例えばシリコン基板）5 0 の表面領域に、素子分離領域（図示せず）を形成する。続いて、半導体基板 5 0 上に、下地膜としてゲート絶

50

縁膜 5 1 を形成する。ゲート絶縁膜 5 1 には、シリコン酸化膜 (SiO_2 膜) やシリコン窒化膜 (SiON 膜) を用いることができる。また、アルミナ膜 (Al_2O_3 膜)、 HfSiO 膜や HfAlO 膜等の、いわゆる High - k 膜をゲート絶縁膜 5 1 として用いてもよい。続いて、ゲート絶縁膜 5 1 上に、犠牲膜 5 2 として、例えばポリシリコン膜或いはアモルファスシリコン膜を形成する。犠牲膜 5 2 の厚さは、例えば後述するゲート電極膜 5 3 の厚さの半分程度とする。続いて、犠牲膜 5 2 上に、エッチング対象膜としてゲート電極膜 5 3 を形成する。ゲート電極膜 5 3 には、例えばタングステン (W) 等の金属膜を用いる。

【 0 0 4 0 】

次に、ゲート電極膜 5 3 上に、エッチングマスク膜としてハードマスク膜 5 4 を形成する。ハードマスク膜 5 4 には、例えばシリコン酸化膜或いはシリコン窒化膜を用いることができる。続いて、ハードマスク膜 5 4 上に、フォトリソグラフィによってフォトレジストパターン (図示せず) を形成する。続いて、このフォトレジストパターンをマスクとして用いて、ドライエッチングによってハードマスク膜 5 4 をパターンニングする。エッチングガスには、フルオロカーボン系 (CF 系) のガスを用いる。さらに、フォトレジストパターンを除去する。このようにして、図 6 に示すように、ハードマスク膜 5 4 で形成されたエッチングマスクが得られる。

10

【 0 0 4 1 】

次に、図 7 に示すように、ハードマスク膜 5 4 をマスクとして用い、 RIE によってゲート電極膜 5 3 を異方性エッチングして、ゲート電極を形成する。エッチングガスには、 NF_3 、 Cl_2 又は BCl_3 等のガスと、 CH_4 、 CO 、 O_2 又は N_2 等のガスとを含んだ混合ガスを用いる。この異方性エッチングでは、ゲート絶縁膜 5 1 の表面が露出しなければ、犠牲膜 5 2 はある程度エッチングされてもよい。そのため、エッチング選択比よりも加工形状に重点を置いたエッチング条件で、ゲート電極膜 5 3 を異方性エッチングすることができる。したがって、従来のようにゲート電極の下部が広がった形状とはならず、垂直性の高い良好なゲート電極形状を得ることができる。また、ゲート絶縁膜 5 1 は犠牲膜 5 2 によって保護されるため、異方性エッチングによるゲート絶縁膜 5 1 のダメージを防止することができる。

20

【 0 0 4 2 】

次に、図 8 に示すように、化学的ドライエッチング (CDE) によって犠牲膜 5 2 を選択的にエッチング除去する。エッチングガスには、 SF_6 や NF_3 を用いる。このドライエッチングにより、ゲート絶縁膜 5 1 とゲート電極膜 5 3 との間に介在していた犠牲膜 5 2 が消失するため、ゲート電極膜 5 3 はゲート絶縁膜 5 1 の表面に付着する。具体的には、重力によってゲート電極膜 5 3 がゲート絶縁膜 5 1 上に落下してゲート電極膜 5 3 がゲート絶縁膜 5 1 に付着する場合、ゲート電極膜 5 3 とゲート絶縁膜 5 1 との間に働く静電気力によってゲート電極膜 5 3 がゲート絶縁膜 5 1 に付着する場合、或いはそれらの組み合わせによってゲート電極膜 5 3 がゲート絶縁膜 5 1 に付着する場合が考えられる。

30

【 0 0 4 3 】

このようにして、ゲート電極膜 5 3 をゲート絶縁膜 5 1 に付着させた後、熱処理を行う。この熱処理により、ゲート絶縁膜 5 1 に対するゲート電極膜 5 3 の付着力が高まる。したがって、ゲート絶縁膜 5 1 からゲート電極膜 5 3 が剥がれることなく、ゲート電極膜 5 3 をゲート絶縁膜 5 1 に強固に固定し続けることができる。

40

【 0 0 4 4 】

以上のように、本実施形態によれば、ゲート絶縁膜 5 1 とゲート電極膜 5 3 との間に犠牲膜 5 2 を介在させた状態で、ゲート電極膜 5 3 を異方性エッチングする。そのため、ゲート絶縁膜 5 1 にダメージを与えずに、良好なゲート電極形状を得ることができる。また、犠牲膜 5 2 を除去することでゲート電極膜 5 3 をゲート絶縁膜 5 1 に付着させることができるため、 MIS 構造を確実に形成することができる。

【 0 0 4 5 】

なお、上述した実施形態では、ゲート電極膜 5 3 として金属膜を用いたが、ゲート電極

50

膜 5 3 としてポリシリコン膜を用いることも可能である。この場合、ゲート絶縁膜 5 1 にシリコン酸化膜を用いたときには、犠牲膜 5 2 には例えばシリコン窒化膜を用いることが可能である。また、ゲート絶縁膜 5 1 にアルミナ等の High - k 膜を用いたときには、犠牲膜 5 2 にはシリコン酸化膜或いはシリコン窒化膜を用いることが可能である。

【 0 0 4 6 】

また、上述した実施形態では、犠牲膜 5 2 を除去する際にドライエッチングを用いたが、蒸気によるウェットエッチングを用いることも可能である。

【 0 0 4 7 】

また、上述した実施形態では、エッチングマスクとしてシリコン酸化膜やシリコン窒化膜を用いたが、フォトレジスト膜を用いることも可能である。

10

【 0 0 4 8 】

また、上述した実施形態では、下地膜としてゲート絶縁膜を、エッチング対象膜としてゲート電極膜を用いた M I S トランジスタについて説明したが、下地膜に悪影響を与えずに良好なエッチング加工形状を得る必要がある場合には、上述した方法と同様の方法を用いることが可能である。

【 0 0 4 9 】

以上、本発明の実施形態を説明したが、本発明は上記実施形態に限定されるものではなく、その趣旨を逸脱しない範囲内において種々変形して実施することが可能である。例えば、エッチング対象膜の上下に犠牲膜を介在させた構造において、ハードマスク膜やエッチング対象膜をエッチングした後に犠牲膜を除去することもできる。

20

【 0 0 5 0 】

さらに、上記実施形態には種々の段階の発明が含まれており、開示された構成要件を適宜組み合わせることによって種々の発明が抽出され得る。例えば、開示された構成要件からいくつかの構成要件が削除されても、所定の効果が得られるものであれば発明として抽出され得る。

【 図面の簡単な説明 】

【 0 0 5 1 】

【 図 1 】本発明の第 1 の実施形態に係る半導体装置の製造工程の一部を模式的に示した断面図である。

【 図 2 】本発明の第 1 の実施形態に係る半導体装置の製造工程の一部を模式的に示した断面図である。

30

【 図 3 】本発明の第 1 の実施形態に係る半導体装置の製造工程の一部を模式的に示した断面図である。

【 図 4 】本発明の第 1 の実施形態に係る半導体装置の製造工程の一部を模式的に示した断面図である。

【 図 5 】本発明の第 1 の実施形態の変更例に係る半導体装置の製造工程の一部を模式的に示した断面図である。

【 図 6 】本発明の第 2 の実施形態に係る半導体装置の製造工程の一部を模式的に示した断面図である。

【 図 7 】本発明の第 2 の実施形態に係る半導体装置の製造工程の一部を模式的に示した断面図である。

40

【 図 8 】本発明の第 2 の実施形態に係る半導体装置の製造工程の一部を模式的に示した断面図である。

【 符号の説明 】

【 0 0 5 2 】

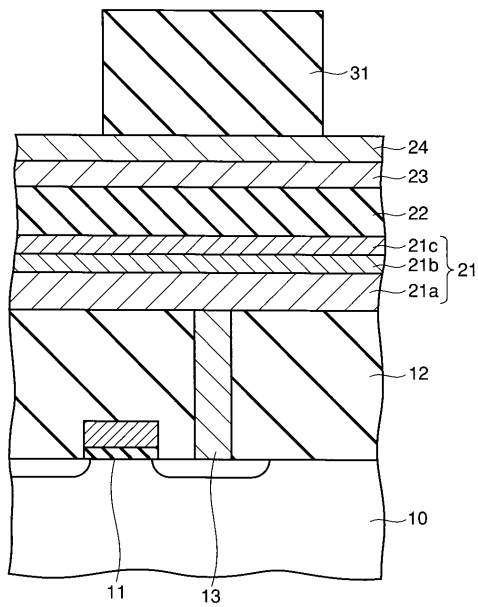
1 0 ... 半導体基板	1 1 ... M I S トランジスタ
1 2 ... 絶縁領域	1 3 ... プラグ
2 1 ... 下部電極膜	2 1 a ... イリジウム膜
2 1 b ... イリジウム酸化物膜	2 1 c ... プラチナ膜
2 2 ... P Z T 膜	2 3 ... プラチナ膜 (上部電極膜)

50

- 24 ... チタン膜 (犠牲膜)
- 31 ... シリコン酸化膜 (エッチングマスク)
- 50 ... 半導体基板 51 ... ゲート絶縁膜
- 52 ... 犠牲膜 53 ... ゲート電極膜
- 54 ... ハードマスク膜 (エッチングマスク)

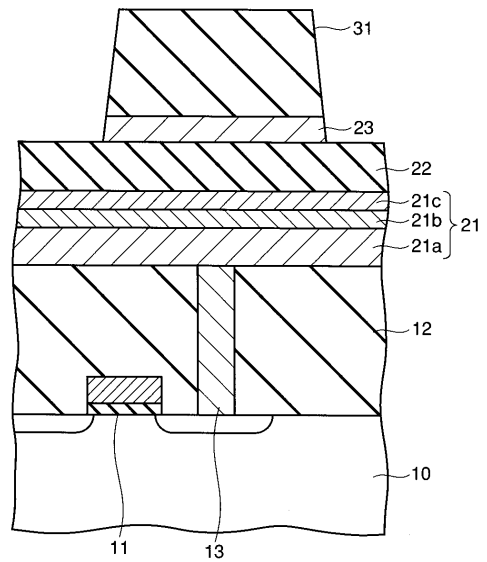
【図1】

図1



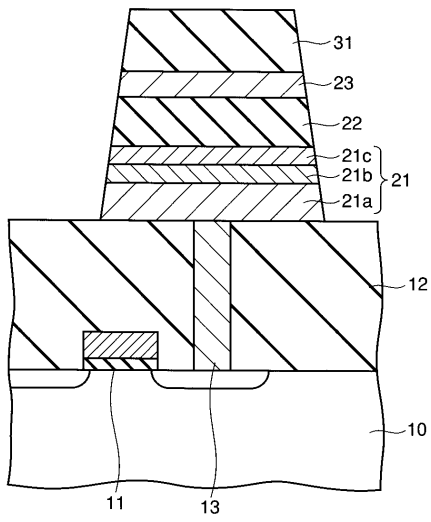
【図2】

図2



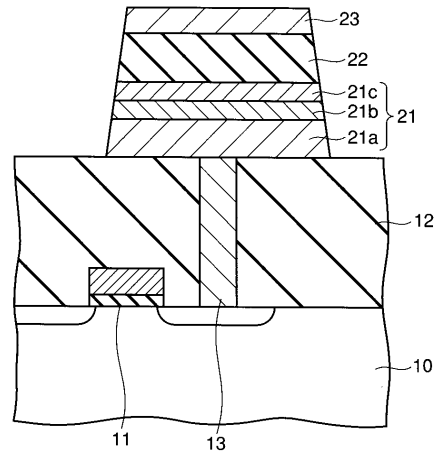
【 図 3 】

図 3



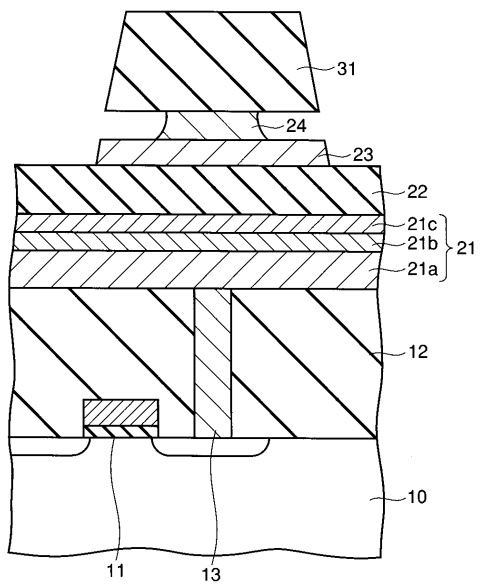
【 図 4 】

図 4



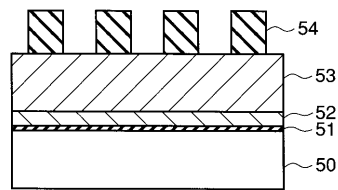
【 図 5 】

図 5



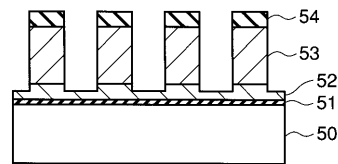
【 図 6 】

図 6



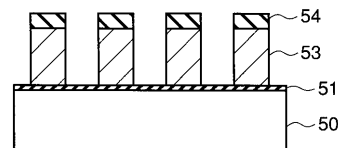
【 図 7 】

図 7



【 図 8 】

図 8



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H O 1 L 27/04 (2006.01)
H O 1 L 21/3065 (2006.01)

(74)代理人 100084618
 弁理士 村松 貞男

(74)代理人 100092196
 弁理士 橋本 良郎

(72)発明者 富岡 和広
 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

(72)発明者 大岩 徳久
 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

(72)発明者 西山 伸泰
 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

F ターム(参考) 4M104 BB01 BB18 CC05 DD71 EE03 EE16 GG09 GG10 GG14 HH20
 5F004 BA08 BB26 CA02 CA03 CA04 DA00 DA04 DA11 DA17 DA23
 DA25 DA26 DB03 DB08 EA06 EA07
 5F033 HH04 HH19 QQ08 QQ11 QQ13 QQ16 QQ28 VV06 XX00
 5F038 AC05 AC15 EZ15 EZ20