

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁶ H03M 1/12	(11) 공개번호 특2001-0021082
	(43) 공개일자 2001년03월 15일
(21) 출원번호 10-2000-0040464	
(22) 출원일자 2000년07월 14일	
(30) 우선권주장 99402115.2 1999년08월25일 EP(EP)	
(71) 출원인 알까텔 크리스티안 그레그와르	
(72) 발명자 프랑스 75008 파리 퀴 라 보에띠 54 쎌브헨스조안스매쉴다조세퍼스	
(74) 대리인 벨기에브래스차트비-2930프린스캐벨레이128 주성민, 장수길	

심사청구 : 없음

(54) 전류모드 비동기식 결정 A/D 변환기

요약

ASDL/VDSL UMTS/GPRS와 같은 원격통신 어플리케이션을 위한 아날로그-디지털 변환기(ADC)에서 변환은 전압모드 대신 전류모드에서 실현된다. 그 때문에 전력소모가 감소되고, 변환기는 저전압 배터리 동작 제품에 사용되기에 적합하다. 또한 전류의 합산이 전압의 합산보다 더 쉽기 때문에 변환기의 구조가 간소화된다. 변환기는 차동전류 버스라인들(L+, L-) 사이에 병렬로 연결된 N=64개의 제1 전류셀(CC)의 제1 세트를 적어도 포함한다. 각각의 제1 전류셀은 제1 비교기회로(COMP1+, COMP1-)의 제어 하에 전류버스에 제1 추가전류(64×Iref)를 공급하기 위해 전류소스(ICC)를 포함한다. 전류셀들의 제1 비교기회로는 캐스캐이드로 연결되고 서로서로 단계적으로 활성화된다.

보다 적절한 실시예에서, 변환기(ADC)는 차동전류 버스라인들(L+, L-) 사이에 병렬로 연결되고 제1 전류셀과 유사한 N개의 제2 전류셀(FC)의 제2 세트를 하나 혹은 그 이상 포함한다. 그러나 제2 셀들은 라인들과 제2 비교기회로들(COMP2+, COMP2-) 사이에 연결된 이득 N을 갖는 증폭기(AMP2+, AMP2-)를 포함하고, 제2 비교기수단의 제어 하에 전류버스에 제2 추가전류(Iref)를 공급하기 위한 제2 전류소스(IFC)를 갖는다. 게다가, 제2 전류셀들은 제1 세트의 제1 전류셀의 동작이 완료된 후에 활성화(F2)된다. 그 때문에 칩 상에서 더 작은 실리콘 면적으로 인해 비용뿐만 아니라 하드웨어의 양이, 예컨대 2⁵의 팩터만큼, 감소된다.

대표도

도 1

색인어

아날로그-디지털 변환기, 전류라인, 전류셀, 비교기, 전류소스, 증폭기, 전압라인

명세서

도면의 간단한 설명

도 1은 본 발명에 따른 아날로그-디지털 변환기(ADC)를 나타낸다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 아날로그-디지털 변환기에 관한 것이다. 특히, 고해상도, 고속, 저전력소모, 저전압공급, 전자칩 상에서 작은 실리콘면적 및 가급적 저비용을 필요로 하는 ASDL/VDSL UMTS/GPRS와 같은 원격통신 어플리케이션에 사용되기 위한 아날로그-디지털 변환기에 관한 것이다.

아날로그-디지털 변환기(ADC)는, 예컨대, K. Built 등에 의한 '1-mm² 당 내장된 240mW 10-b 50-MS/s CMOS ADC' 품목으로부터, 기술분야에 있어서 일반적으로 알려져 있다. 거기에는 표준 '플래시(Flash)' 아날로그-디지털 변환기가 나타나 있다. 플래시 구조는 전압모드에서, 즉, 전압의 합산에 의해, 수행되는 빠른 아날로그-디지털(A/D) 변환을 이룰 수 있게 한다. 이것은 상대적으로 높은 전압공급, 예컨대, 여

러 개의 배터리를 필요로 한다. 또한, 매우 정확하고 빠른 많은 수의 비교기가 필요하다. 상기 품목에 따르면, 결정적인 문제점은 변환기를 '표준화'하고, '폴딩' 기술을 사용하여 전체 칩면적을 줄임으로써 해결된다. 폴딩의 목적은 한 번 이상 각각의 비교기를 사용함으로써 비교기의 수를 줄이는 것이다. 분명히, 폴딩은 비교적 매우 정교한 디지털 제어에 필요하다.

발명이 이루고자하는 기술적 과제

본 발명의 목적은 상술한 공지의 형태이나 저전압공급에서 동작하는데 적합한 아날로그-디지털 변환기를 제공하는 것이다.

본 발명에 따른 이러한 목적은 다음과 같은 사실에 의해 실현된다: 본 발명의 변환기는 차동전류버스의 제1 전류라인과 제2 전류라인 사이에 병렬로 연결된 제1 전류셀의 제1 세트를 포함하는데, 여기서 상기 라인들은 상기 변환기의 차동 아날로그 입력전압에 상응하는 안정된 차동입력전류를 운반하고, 상기 세트의 제1전류셀 각각은 제1 비교기수단의 제어 하에 상기 제1 및 제2 전류라인에 제1 추가전류를 공급하기에 적합한 제1 전류소스수단을 포함하며, 상기 제1 세트의 제1 전류셀의 상기 제1 비교기수단은 캐스케이드로 연결되고 상기 제1 및 제2 전류라인에 연결된 제1 입력과 선행하는 제1 전류셀의 제1 비교기수단의 출력에 캐스케이드로 연결된 제2 입력 및 다음 제1 전류셀의 제1 비교기수단의 제2 입력에 캐스케이드로 연결된 출력을 갖는다.

이렇게, 상기 A/D 변환은 전압모드 대신 전류모드에서 실현된다. 그 때문에 전력소모는 감소되고 그 장치는 배터리 동작 제품에 사용되기에 적합하다. 또한 장치의 그런 구조는 전류의 합산이 전압의 합산보다 쉬우므로 간소화된다. 실제로, 전류모드에서 동작하는 것은 합산 노드에서 전류들을 병렬로 하여 신호의 합산을 쉽게 하는 것으로 알려져 있다. 뿐만 아니라, 본 발명의 변환기는 샘플들이 변환하는 동안 비동기식 결정 알고리즘을 사용한다. 비동기식 로직은 예컨대, 동기식으로 파이프라인된 구조에 비하여, 저전력 및 고속인 기술로 알려져 있다. 따라서 본 발명의 변환기는 전류모드 비동기식 결정 A/D 변환기(CMAD)로 볼 수 있다.

본 발명의 또 다른 특징은 상기 변환기가 상기 차동전류버스의 상기 제 1 및 제2 전류라인들 사이에 병렬로 연결된 제2 전류셀의 제2 세트를 포함하는데, 여기서 상기 제2 세트의 제2 전류셀 각각은 제2 비교기수단의 제어 하에 상기 제1 및 제2 전류라인에 제2 추가전류를 공급하기에 적합한 제2 전류소스수단을 포함하며, 상기 제2 세트의 제2 전류셀의 상기 제2 비교기수단은 캐스케이드로 연결되고, 각각의 증폭기수단을 경유하여 상기 제1 및 제2 전류라인에 연결된 제1 입력과 선행하는 제2 전류셀의 제2 비교기수단의 출력에 캐스케이드로 연결된 제2 입력 및 다음 제2 전류셀의 제2 비교기수단의 제2 입력에 캐스케이드로 연결된 출력을 가지며, 상기 제2 세트의 제2 전류셀은 상기 제1 세트의 제1 전류셀의 동작이 완료된 후에 활성화된다는 것이다.

이런 식으로, 전류셀의 두 개 세트로 '서브-레인지'하는 변환기의 원리가 적용된다. 이것은 하드웨어의 양을 감소시키는데, 이로 인해 칩 상에 실리콘 면적도 보다 작아지므로 비용 역시 줄어든다. 예를 들어, 'n'=12 비트 디지털 워드가 얻어져야 한다면, 하드웨어의 양은 $2^n=2^{12}$ 에서 $2 \times 2^{n/2}=2 \times 2^6$ 으로 감소한다. 이것은 하드웨어의 2^5 감소 팩터이다.

서브-레인지에서 알려진 문제는 A/D 변환기 총 동적 범위에서 2개의 서브-레인지의 이득곡선을 조화시키기 어렵다는 것이다. 이것에 관한 이미 알려진 종래의 기술은 서브-레인지와 디지털 보정 이후의 중첩이다. 본 발명에서, 2개의 서브-레인지는 동일한 전류노드에서, 즉, 차동전류버스의 제1 및 제2 라인들의 합산이므로 그 결과 거기에는 2개의 서브-레인지를 위한 단 하나의 이득곡선이 있고 중첩이나 디지털 보정을 위한 것은 필요하지 않다. 보다 낮은 서브-레인지 즉, 제2 전류셀의 제2 세트는 $2^{n/2}=2^{12/2}=2^6=64$ 의 추가적인 이득을 필요로 한다. 이러한 추가적인 이득은 증폭기수단에 의해 얻어지는데, 그러므로 디지털 결정경로에 놓고 아날로그 신호경로에는 놓이지 않는다. 그러므로, 2^6 의 이득은 이득한도가 비교기의 이력 내에 있는 한, A/D 변환기의 아날로그 선형성에 있어서 임계가 아니다. 그러므로 본 발명의 A/D 구조물은 기술 및 아날로그 회로 한도에 대하여 강하다.

또한 본 발명은 상기 제 1세트의 제1 전류셀의 동작이 제1의 1/2 클럭 사이클 이후에 완성된다는 점에서 특징적이며, 이점에서 제2의 1/2 클럭 사이클의 초기에, 클럭신호가 상기 제2 세트의 제2 전류셀의 동작을 활성화시키기 위해 캐스케이드인 최소한 제1의 제2 전류셀의 상기 제2 비교기수단에 인가된다.

또한 본 발명의 다른 특징은 상기 변환기가 제2 전류셀의 N-1개의 제2 세트들- 상기 제2 세트는 차례로 동작하며, 또 다른 제2 세트의 제2 전류셀의 동작이 완성된 후에만 활성화됨 -을 포함한다는 것이다.

보다 일반적으로, 2개의 서브-레인지에 대해 위에서 논의된 것은 N개의 서브-레인지로 확장될 수도 있다는 것이다. 그 때 하드웨어의 양은 2^n 에서 $N \times 2^{n/N}$ 으로 감소되며, 여기서 N은 서브-레인지의 수, 즉, 제1 전류셀의 제1 세트와 제2 전류셀의 N-1개의 제2 세트이고, n은 디지털 워드에서 비트들의 수이다. 이러한 경우에 분명히, N개의 서브-레인지는 클럭 사이클의 N개의 연속적인 위상에서 동작한다.

본 발명의 또 다른 특징은 상기 제2 세트의 제2 전류셀의 상기 제2 비교기수단의 제1 입력들이 전압버스를 함께 형성하는 제1 전압라인과 제2 전압라인에 연결된다는 것이다.

이것은 A/D 변환기의 안정성을 증가시키고 특히 그것으로부터 제2 전류셀의 제2 세트의 정확도를 높인다.

본 발명의 또 다른 특징은, 상기 차동 아날로그 입력신호는 주 경로가 상기 제1 및 제2 전류라인들과 함께 전류소스를 서로 연결시키는 액티브소자의 제어단자에 인가된 차동전압이라는 것과, 상기 제1 및 제2 전류라인들이 전류라인들을 통해 차동전압으로 흘러가는 상기 안정된 차동입력전류를 변환하기에 적합한

임피던스 수단을 구비한다는 것이다.

이런 식으로, 상기 소자는 입력전압 뿐만 아니라 입력전류에서 동작시키기에도 적합하다.

본 발명의 또 다른 장점은 정확한 A/D 변환이 동일한 기술 예컨대, CMOS 혹은 BiCMOS에서 얻어진다는 것이다.

본 발명의 아날로그-디지털 변환기(ADC)의 또 다른 특징은 첨부된 청구항에서 언급된다.

본 발명의 상술한 그리고 그 이외의 목적 및 특징들은 보다 명백해 질 것이며 본 발명 그 자체는 동반하는 도면과 함께 후술될 실시예를 참조하여 잘 이해될 수 있는데 여기서 도면은 본 발명에 따른 아날로그-디지털 변환기(ADC)를 나타낸다.

발명의 구성 및 작용

도시된 아날로그-디지털 변환기(ADC)는 차동 아날로그 전류(I_{in+} , I_{in-}) 혹은 차동 아날로그 전압(V_{in+} , V_{in-})을 n-비트 디지털워드로 변환하기에 적합한데, 다음 실시예에서 n은 12를 말한다. ADC는 단지 하나의 제1 전류셀(CC)이 도시된 $2^{n/2} = 2^{12/2} = 64$ 개의 제1 전류셀의 제1 세트 혹은 서브-레인지, 및 단지 하나의 제2 전류셀(FC)이 도시된 $2^{n/2} = 2^{12/2} = 64$ 개의 제2 전류셀의 제2 세트 혹은 서브-레인지를 포함한다. 제1 전류셀의 제1 세트는 '거친(coarse)' 비교기라고 칭하고, 반면에 제2 전류셀의 제2 세트는 '정교한(fine)' 비교기라 칭한다.

비록 다음 설명이 전류셀 CC와 FC의 2개의 서브-레인지를 포함하는 아날로그-디지털 변환기에 관한 것이지만, 전체 명세서에서는 2개 이상, 즉 N개의 서브-레인지를 포함하는 변환기에서도 유효하다. 그 때 각각의 서브-레인지의 부분을 형성하는 전류셀들의 수는 $2^{n/N}$ 이고, 각 서브-레인지에는 클럭 사이클의 N개의 연속적인 위상들 중 1에서 동작한다. 보다 상세히는, 그 때 변환기가 CC로써 제1 전류셀의 1개의 제1 세트와 FC와 유사한 제2 전류셀의 N-1개의 제2 세트를 포함할 것이다.

상기 세트들은 제1 세트, 및 이전 세트의 전류셀의 동작이 차례로 완료된 이후에만 활성화되는 제2 세트와 함께 시작하여 차례로 동작한다.

본 아날로그-디지털 변환기 ADC는 ADSL/VDSL UMTS/GPRS 시스템과 같은 원격통신 어플리케이션에 사용되도록 의도된 전류모드 비동기식 결정 A/D 변환기 (Current Mode Asynchronous Decision A/D converter; CMAD)인데; 여기서 ADSL은 비대칭 디지털 가입자 라인(Asymmetric Digital Subscriber Line), VDSL은 상당히 높은 데이터 디지털 가입자 라인(Very High Data Digital Subscriber Line), UMTS는 범용 모바일 전화 시스템(Universal Mobile Telephone System), GPRS는 일반적인 패킷 라디오 시스템(General Packet Radio System)이다.

어플리케이션에 따르면, 입력은 차동전류(I_{in+} , I_{in-}) 혹은 차동전압(V_{in+} , V_{in-})일 수 있다. 전압일 경우, 전압-전류 변환이 차동 아날로그 입력전압(V_{in+} , V_{in-})이 사용되는 게이트에 트랜지스터(T_{0+} , T_{0-})에 의해 수행된다. 그 때 차동 아날로그 입력전류(I_{in+} , I_{in-})는 차동전류버스의 두 개의 전류라인($L+$, $L-$)에 의해 구성된 차동, 안정회로에서 얻어진다. 이러한 전류라인($L+$, $L-$)은 저항($R_A \times 64$, $R_B \times 64$) 각각을 통해 트랜지스터(T_{0+} , T_{0-})의 콜렉터를 공급 전압에 연결하고, 트랜지스터의 에미터는 풀딩된 전류소스($I+$, $I-$)에 연결된다. 전류(I_{in+} , I_{in-})는 각각의 저항($R_A \times 64$, $R_B \times 64$)에 차동전압 강하(V_{diff+} , V_{diff-})를 발생시킨다. 또한 저항($R \times 2$)은 트랜지스터(T_{0+} , T_{0-})의 에미터와 서로 연결된다.

$2^{n/2} = 64$ 의 전압이득은 그렇게 얻어진다. 입력 전압신호범위가 1볼트인 경우, 차동전압 $V_{diff+} - V_{diff-}$ 는 64볼트까지 올라갈 것이다. 2볼트의 공급전압의 경우, V_{diff+} 와 V_{diff-} 는 공급 레벨에서 클리핑할 것이라는 것은 분명하다. 본 발명에서, V_{diff+} 와 V_{diff-} 가 비교기의 이력(hysteresis) 내에 있을 때까지는, 거친(그리고 정교한) 비교기가 차례로, 즉 캐스캐이드에서 그것의 $2^{n/2}$ 전류셀을활성 시키므로 이것이 문제가 되지 않는다. 이러한 점에서, 변환기(ADC)는 안정된 상태에 도달한다. 거친 비교기를 위해, 이러한 상태는 예컨대 제1의 1/2 클럭 사이클에 상응하는 제1 동작 위상의 끝 이전에 도달되어야 한다. 실제로, 제2 동작 위상 즉, 제2의 1/2 클럭 사이클에서, 정교한 비교기는 $V_{diff+} - V_{diff-}$ 의 나머지를 디지털 출력코드의 n/2 LSB로 변환하기 시작해야 한다.

이미 언급한 바와 같이, 거친 비교기는 캐스캐이드로 연결된 64개의 제1 전류셀로 구성되어 있으며 도면에는 단지 하나의 제1 전류셀(CC)이 나타나 있다. 각각의 제1 전류셀(CC)은 제1 입력(I_{N1+} , I_{N1-}), 제2 입력($DIN1[i-1]+$, $DIN1[i-1]-$) 및 출력($DIN1[i+1]+$, $DIN1[i+1]-$)을 갖는 한 쌍의 비교기회로($COMP1+$, $COMP1-$)를 포함한다. 또한 CC는 전류소스(I_{CC})와 트랜지스터(T_{1+} , T_{1-})를 포함하는 전류소스회로를 포함한다. 차동전류버스의 전류라인($L+$, $L-$)은 각각 제1 입력(I_{N1+} , I_{N1-})에 연결되고, 반면에 앞선 제1 전류셀 $[i-1]$ 의 출력은 비교기회로의 제2 입력 ($DIN1[i-1]+$, $DIN1[i-1]-$)에 캐스캐이드로 연결된다. 이러한 비교기회로들의 출력 ($DIN1[i+1]+$, $DIN1[i+1]-$)은 캐스캐이드인 다음 제1 전류셀 $[i+1]$ 의 제2 입력과, 에미터가 전류소스(I_{CC})에 함께 연결된 트랜지스터(T_{1+} , T_{1-})의 게이트 모두에 연결된다. 이러한 트랜지스터들(T_{1+} , T_{1-})의 콜렉터는 각각 전류라인($L-$, $L+$)에 교차하여 연결된다.

전류소스(I_{CC})는 n/2로 곱해진 기준전류(I_{ref}) 즉, 본 발명의 예시에서 $64 \times I_{ref}$ 와 동일한 제1 추가전류를 공급한다. 이러한 전류($64 \times I_{ref}$)는 각각 트랜지스터(T_{1+} , T_{1-})의 에미터-콜렉터 경로를 경유하여 전류라인($L-$, $L+$)으로 흐른다. 이러한 트랜지스터는 차동전압(V_{diff+} , V_{diff-}) 및 거친 비교기의 캐스캐이드인 이전 셀의 출력신호가 인가되는 비교기회로($COMP1+$, $COMP1-$)에 의해 제어된다.

거친 비교기와 유사하게, 정교한 비교기는 캐스캐이드로 연결된 64개의 제2 전류셀에 의해 구성되며 도면에는 단지 하나의 제2 전류셀(FC)이 나타나 있다. 각각의 제2 전류셀(FC)은 제1 입력(I_{N2+} , I_{N2-})과

제2 입력(DIN[j-1]+, DIN[j+1]-), 및 출력(DIN2[j+1]+, DIN2[j+1]-)을 갖는 한 쌍의 비교기회로(COMP2+, COMP2-)를 포함한다. 또한 FC는 증폭기(AMP2+, AMP2-)와 전류소스(IFC) 및 트랜지스터(T2+, T2-)를 포함하는 전류소스 회로를 포함한다. 차동전류버스의 전류라인(L+, L-)은 각각의 증폭기(AMP2+, AMP2-)를 통해 제1 입력(IN2+, IN2-)에 연결되는 반면, 캐스케이드인 선행하는 제2 전류 셀 [j-1]의 출력은 비교기회로의 제2 입력(DIN2[j-1]+, DIN2[j-1]-)에 연결된다. 이러한 비교기회로의 출력(DIN2[j+1]+, DIN2[j+1]-)은 캐스케이드인 다음 제2 전류 셀 [j+1]의 제2 입력 그리고 에미터가 전류소스(IFC)에 함께 연결된 트랜지스터(T2+, T2-)의 게이트 둘 다에 연결된다. 이러한 트랜지스터(T2+, T2-)의 콜렉터들은 각각 전류라인(L-, L+)에 교차하여 연결된다.

정교한 비교기는 거친 비교기의 동작이 완료된 후, 즉, 제2의 1/2 클럭 사이클 동안에만 활성화될 수도 있기 때문에, 클럭신호(F2)는 캐스케이드에서 첫 번째인 제2 전류셀의 비교기회로(COMP2+, COMP2-)의 제2 입력에 사용된다. 반면에, 캐스케이드인 제1 셀 때문에 신호(F2)는 제2 입력(DIN2[j-1]+, DIN2[j-1]-)에서 신호를 대체한다.

전류소스(IFC)는 트랜지스터(T2+, T2-) 각각의 에미터-콜렉터 경로를 경유하여 전류라인(L-, L+)으로 흐르는 제2 추가전류(Iref)를 공급한다. 이러한 트랜지스터는 비교기회로(COMP2+, COMP2-)에 의해 제어되고, 제2의 1/2 클럭신호동안 활성화되는데, 정교한 비교기의 캐스케이드에서 이전 셀의 출력신호 뿐만 아니라, 증폭기(AMP2+, AMP2-)에 의해 증폭된 차동전압(Vdiff+, Vdiff-)에 사용된다.

A/D 변환기(ADC)의 안정성을 증가시키기 위해, 정교한 비교기의 제2 전류셀의 모든 비교기회로(COMP2+, COMP2-)의 제1 입력(IN2+, IN2-)은 전압버스를 함께 형성하는 제1 및 제2 전압라인(L++, L--)에 의해 서로 연결된다.

본 발명의 아날로그-디지털 변환기(ADC)는 '온도계' 코드를 사용하고 있다. 이러한 출력코드는 $2^{n/2}$ 개 셀의 2개 서브-레인지의 출력에 나타난다. 거친 비교기는 n/2 MSB를 제공하고 정교한 비교기는 디지털 출력위드의 n/2 LSB를 제공한다.

비교기의 셀들 간의 캐스케이드 연결은 온도계의 중간에 제로 혹은 '버블'이 피해짐에 따라 상향 조건부 링크이다.

예를 들어, 거친 비교기에서, 셀 [i-1](도시되지 않음)은 Vdiff+ - Vdiff- 상태에 관계없이 캐스케이드인 다음 셀 [i](CC)의 비교기회로(COMP1+, COMP1-)를 제로상태로 강제한다. 셀 [i]의 제2 입력(DIN1[i-1]+, DIN1[i-1]-)에 연결된 셀 [i-1]의 출력에서 신호에 의해 제어된 이러한 상태는 셀 [i-1]이 활성화될 때까지 계속된다. 그 때 다음 셀 [i]의 비교기회로(COMP1+, COMP1-)는 Vdiff+ - Vdiff- 상태를 계산하기 시작하고, 전류소스(ICC)의 제1 추가전류($64 \times Iref (=Iref \times n/2)$)를 미리 본 발명의 차동전류(Iint+, Iint-)를 보상하기 위해 차동전류 모드버스(L+, L-)로 구동한다. 이러한 알고리즘은 Vdiff+ - Vdiff-의 나머지가 비교기회로(COMP1+, COMP1-)의 이력 보다 작을 때까지 거친 범위에서 리플링을 계속한다. 거친 비교기 때문에, 이러한 점은 제1의 1/2 클럭 사이클의 끝 이전에 도달되어야 한다.

제2의 1/2 클럭 사이클에서, 정교한 비교기는 캐스케이드의 제1 셀에 인가된 클럭신호(F2)에 의해 활성화된다. 이러한 점에서, 정교한 비교기는 보다 작은 전류 단계들과 함께 Vdiff+ - Vdiff-의 나머지의 변환을 계속한다. 전류 단계들은 이제 거친 범위동안에서 처럼 제1 추가전류($64 \times Iref (=Iref \times n/2)$) 대신 제2 추가전류(Iref)와 같다. 그래서 제2 추가전류(Iref)는 제1 추가전류($64 \times Iref$) 보다 $n/2=64$ 배 작다.

이러한 높은 정확도를 실현하기 위해, 정교한 비교기의 비교기회로(COMP2+, COMP2-)는 Vdiff+ - Vdiff-의 보다 적은 단계 역시 구별해야 한다. 첫 번째 가능성은 $64 (=2^{n/2})$ 까지 비교기회로의 이력을 줄이는 것이다. 그러나, 이것은 실행하기 오히려 어렵다. 보다 적절한 실시예로, $2^{n/2}=64$ 의 전압이득을 가진 증폭기(AMP2+, AMP2-)는 비교기회로(COMP2+, COMP2-) 앞에 삽입된다. 이득값, 즉 여기서는 64, 에 의해 분할된 비교기회로의 이력이 $Iref \times R$, 즉 $64 \times Iref \times R$ 에 의해 곱해지는 이득의 이러한 값보다 높고 그 값의 두배 보다 높지 않는 한, 이 이득(64)은 임계가 아니라는 것이 주목된다. 이러한 설명에서 언급된 R의 모든 값, 즉, R, RA, RB는 동일하다는 것도 주목된다.

정교한 비교기를 활성화하기 위해, 클럭신호(F2)의 제2의 1/2 사이클의 시작은 캐스케이드의 제1 셀의 비교기회로(COMP2+, COMP2-)의 제2 입력에 인가된다. 캐스케이드의 제1 셀이 비활성화되는 한 다음 것을 활성화시키지 않으므로 이것은 충분하다.

제2의 1/2 클럭 사이클의 끝에서, 정교한 비교기는 $64 \times (Vdiff+ - Vdiff-)$ 가 비교기의 이력보다 작은 곳에서 안정상태에 도달해야 한다. 그 때 거친 그리고 정교한 범위의 전체 온도계 코드는 아날로그-디지털 변환기(ADC)의 출력에 래치될 2×64 비교기회로에서 이용 가능하다.

본 발명의 이론이 특정한 장치와 관련하여 기술되는 반면, 첨부된 청구항에서 정의된 것으로써, 이러한 설명은 단지 예를 통해 이루어진 것이며 발명의 범위에 제한을 둔 것이 아니라는 것은 명백히 이해되어야 한다.

발명의 효과

본 발명에 따른 아날로그-디지털 변환기는 ASDL/VDSL UMTS/GPRS와 같은 원격통신 어플리케이션을 위한 것으로써, 아날로그-디지털 변환기(ADC)에서 변환은 전압모드 대신 전류모드에서 실현된다. 그 때문에 전력소모가 감소되고, 변환기는 저전압 배터리 동작 제품에 사용되기에 적합하다. 또한 전류의 합산이 전압의 합산보다 더 쉽기 때문에 변환기의 구조가 간소화된다.

(57) 청구의 범위

청구항 1

아날로그-디지털 변환기에 있어서,

상기 변환기는 차동전류버스의 제1 전류라인(L+)과 제2 전류라인(L-) 사이에 병렬로 연결된 제1 전류셀의 제1 세트를 포함하며, 상기 라인은 상기 변환기의 차동 아날로그 입력전압(Vin+, Vin-)에 상응하는 안정된 차동입력전류(Iin+, Iin-)를 운반하며,

상기 세트의 제1 전류셀 각각은 제1 비교기수단(COMP1+, COMP1-)의 제어 하에 상기 제1 및 제2 전류라인들에 제1 추가전류($64 \times I_{ref}$)를 공급하기에 적합한 제1 전류소스수단(ICC; T1+, T1-)을 포함하며,

상기 제1 세트의 제1 전류셀의 제1 비교기수단은 캐스케이드로 연결되고, 상기 제1 비교기수단은 상기 제1 및 제2 전류라인들에 연결된 제1 입력(IN1+, IN1-), 선행하는 제1 전류셀의 제1 비교기수단의 출력에 캐스케이드로 연결된 제2 입력(DIN1[i-1]+, DIN1[i-1]-), 및 다음 제1 전류셀의 제1 비교기수단의 제2 입력에 캐스케이드로 연결된 출력(DIN1[i+1]+, DIN1[i+1]-)을 가지는 것을 특징으로 하는 아날로그-디지털 변환기.

청구항 2

제1항에 있어서, 상기 변환기는 상기 차동전류버스의 상기 제1 및 제2 전류라인들(L+, L-) 사이에 병렬로 연결된 제2 전류셀(FC)의 제2 세트를 포함하며,

상기 제2 세트의 제2 전류셀 각각은 제2 비교기수단(COMP2+, COMP2-)의 제어 하에 상기 제1 및 제2 전류라인들에 제2 추가전류(I_{ref})를 공급하기에 적합한 제2 전류소스수단(IFC; T2+, T2-)을 포함하며,

상기 제2 세트의 제2 전류셀의 제2 비교기수단은 캐스케이드로 연결되고, 각각의 증폭기수단(AMP2+, AMP2-)을 통해 상기 제1 및 제2 전류라인에 연결된 제1 입력(IN2+, IN2-), 선행하는 제2 전류셀의 제2 비교기수단의 출력에 캐스케이드로 연결된 제2 입력(DIN2[j-1]+, DIN2[j-1]-), 및 다음 제2 전류셀의 제2 비교기수단의 제2 입력에 캐스케이드로 연결된 출력(DIN2[j+1]+, DIN2[j+1]-)을 가지며,

상기 제2 세트의 제2 전류셀(FC)은 상기 제1 세트의 제1 전류셀(CC)의 동작이 완료된 후에 활성화(F2)되는 것을 특징으로 하는 아날로그-디지털 변환기.

청구항 3

제2항에 있어서, 상기 증폭기수단(AMP2+, AMP2-)은 $2^{n/2}$ 의 이득을 가지며, 여기서 n은 얻어질 디지털 워드의 비트수인 것을 특징으로 하는 아날로그-디지털 변환기.

청구항 4

제2항에 있어서, 상기 제1 세트의 제1 전류셀(CC)의 동작은 제1의 1/2 클럭 사이클 이후에 완료되며, 제2의 1/2 클럭 사이클의 초기에 클럭신호(F2)는 상기 제2 세트의 제2 전류셀(FC)의 동작을 활성화하기 위해 적어도 제1의 제2 전류셀의 상기 제2 비교기수단(COMP2+, COMP2-)에 캐스케이드로 인가되는 것을 특징으로 하는 아날로그-디지털 변환기.

청구항 5

제2항에 있어서, 상기 변환기는 제2 전류셀의 N-1개의 제2 세트를 포함하며, 상기 제2 세트는 차례로 동작하며, 다른 제2 세트의 제2 전류셀의 동작이 완료된 후에 단지 활성화되는 것을 특징으로 하는 아날로그-디지털 변환기.

청구항 6

제2항에 있어서, 상기 제2 세트의 제2 전류셀(FC)의 상기 제2 비교기수단의 제1 입력(IN2+, IN2-)은 전압버스를 함께 형성하는 제1 전압라인(L++)과 제2 전압라인(L--)에 연결된 것을 특징으로 하는 아날로그-디지털 변환기.

청구항 7

제1, 2 또는 4항 중 어느 한 항에 있어서, 상기 비교기수단은 이력(hysteresis)을 갖는 것을 특징으로 하는 아날로그-디지털 변환기.

청구항 8

제1항에 있어서, 상기 제1 전류소스수단(ICC; T1+, T1-)은 제어단자가 상기 제1 비교기수단(COMP1+, COMP1-)의 출력(DIN[i+1]+, DIN[i+1]-)에 연결된 제1 액티브소자(T1+, T1-)의 주 경로를 통해 상기 제1(L+) 및 제2(L-) 전류라인에 연결된 제1 전류소스(ICC)를 포함하는 것을 특징으로 하는 아날로그-디지털 변환기.

청구항 9

제2항에 있어서, 상기 제2 전류소스수단(IFC; T2+, T2-)은 제어단자가 상기 제2 비교기수단(COMP2+, COMP2-)의 출력(DIN2[j+1]+, DIN2[j+1]-)에 연결된 제2 액티브소자의 주 경로를 통해 상기 제1(L+) 및 제2(L-) 전류라인에 연결된 제2 전류소스(IFC)를 포함하는 것을 특징으로 하는 아날로그-디지털 변환기.

청구항 10

제3, 8 또는 9항 중 어느 한 항에 있어서, 상기 제1 전류소스(ICC)에 의해 생성된 전류($64 \times I_{ref}$)는 상

