



MINISTERO DELLO SVILUPPO ECONOMICO
DIREZIONE GENERALE PER LA TUTELA DELLA PROPRIETÀ INDUSTRIALE
UFFICIO ITALIANO BREVETTI E MARCHI

UIBM

DOMANDA NUMERO	101997900592876
Data Deposito	29/04/1997
Data Pubblicazione	29/10/1998

Sezione	Classe	Sottoclasse	Gruppo	Sottogruppo
H	04	L		

Titolo

DISPOSITIVO PER LA RICERCA DELLA POSIZIONE DI UN BIT ATTIVO A PARTIRE DA
UN'ESTREMITA' DI UNA STRINGA DI BIT


Delfo Giustini

DESCRIZIONE dell'invenzione industriale a nome

ITALTEL s.p.a., con sede in **MILANO**.

=====

Campo di applicazione dell'invenzione

5 La presente invenzione riguarda un dispositivo per la ricerca della posizione di un bit attivo in una stringa di bit, ed in particolare un dispositivo elettronico che, esaminando una stringa di bit, trova la posizione del primo bit attivo a partire da un'estremità di tale stringa.

È noto che nel campo dell'informatica e delle telecomunicazioni ricorre
10 frequentemente il problema di trovare velocemente il primo o l'ultimo bit attivo in una stringa di bit, dove con il termine bit attivo si intende un bit di valore predefinito, generalmente uguale ad uno. Tale ricerca è stata finora realizzata mediante appositi circuiti elettronici comprendenti una pluralità di porte logiche opportunamente collegate in modo da esaminare in sequenza tutti i bit della stringa e trovare il primo
15 od ultimo bit attivo. Finché il numero di bit della stringa da esaminare non è elevato, in particolare non è maggiore di 8, tali circuiti noti sono in grado di fornire il risultato in breve tempo. Tuttavia, quando il numero di bit della stringa è elevato, tali circuiti elettronici dedicati possono non essere in grado di fornire il risultato in tempo utile, specialmente quando il primo od ultimo bit attivo si trova lontano dai bit
20 rispettivamente più significativo o meno significativo.

Rassegna dell'arte nota

Per ovviare a questo problema, sono stati ideati i cosiddetti dispositivi di ricerca "a bisezione", i quali dividono la stringa di bit da esaminare in due metà e verificano la presenza del bit attivo in ciascuna metà. Tali dispositivi dividono successivamente a
25 metà la stringa di bit comprendente un bit attivo più vicina all'estremità di partenza

MI 97 A 0988

29 APR 1997

finché non resta un solo bit attivo, che è quello ricercato. Tuttavia, questo tipo di dispositivo di ricerca richiede un elevato numero di passaggi, per cui, in caso di stringhe aventi un numero elevato di bit, può anch'esso non essere in grado di fornire il risultato in tempo utile.

5 Scopi dell'Invenzione

Scopo della presente invenzione è pertanto quello di fornire un dispositivo per la ricerca del bit attivo che sia esente da tali inconvenienti, ovvero un dispositivo che sia in grado di trovare il bit attivo in un tempo breve, indipendentemente dalla sua posizione all'interno della stringa di bit.

10 Un altro scopo della presente invenzione è quello di fornire un dispositivo la cui progettazione e fabbricazione siano semplici anche nel caso in cui la stringa di bit da esaminare comprenda un numero assai elevato di bit.

Un ulteriore scopo della presente invenzione è quello di fornire un dispositivo che sia in grado di eseguire la ricerca del bit attivo limitatamente ad una porzione della stringa

15 di bit in ingresso.

Sommario dell'Invenzione

Detti scopi vengono conseguiti con un dispositivo le cui caratteristiche principali sono specificate nella prima rivendicazione.

Essendo suddiviso su più livelli di una struttura ad albero, il dispositivo secondo la
20 presente invenzione è in grado di scomporre la ricerca del bit attivo in più ricerche parallele eseguite su piccoli gruppi di bit. Il tempo di calcolo dell'intero dispositivo risulta pertanto ridotto al tempo di calcolo dei moduli di un ramo dell'albero.

Grazie alla sua struttura modulare, il dispositivo secondo la presente invenzione può essere facilmente progettato e fabbricato indipendentemente dal numero di bit
25 contenuti nella stringa da esaminare. Infatti, per realizzare un dispositivo di ricerca per

stringhe contenenti un numero elevato di bit, è sufficiente disporre secondo una struttura ad albero di adeguate dimensioni una pluralità di moduli di ricerca dimensionati per analizzare stringhe contenenti un numero ridotto di bit. Il dispositivo secondo la presente invenzione può inoltre essere facilmente riprogettato e/o
5 modificato per eseguire funzioni supplementari, quale ad esempio la ricerca del bit attivo in una o più porzioni della stringa di bit in ingresso.

Ulteriori vantaggiose caratteristiche della presente invenzione che sono ritenute innovative risulteranno evidenti dalle rivendicazioni dipendenti.

Breve descrizione delle figure

10 Ulteriori vantaggi e caratteristiche del dispositivo secondo la presente invenzione risulteranno evidenti agli esperti del ramo dalla seguente dettagliata descrizione di due sue forme realizzative con riferimento agli annessi disegni in cui:

-la Fig. 1 mostra uno schema a blocchi di una prima forma realizzativa del dispositivo secondo la presente invenzione, la quale trova il primo bit attivo a
15 partire dal bit più significativo della stringa di bit in ingresso;

-la Fig. 2 mostra uno schema del circuito interno di un modulo filtrante e di un codificatore del dispositivo di Fig. 1;

-la Fig. 3 mostra uno schema del circuito interno di un modulo selettore a 4 ingressi del dispositivo di Fig. 1;

20 -la Fig. 4 mostra uno schema del circuito interno di un modulo filtrante di una seconda forma realizzativa del dispositivo secondo la presente invenzione, la quale trova il primo bit attivo a partire da un particolare bit della stringa di bit in ingresso;

-la Fig. 5 mostra uno schema del circuito interno di un modulo di controllo del modulo filtrante di Fig. 4;

25 -la Fig. 6 mostra una tabella esemplificativa del contenuto delle linee della prima

forma realizzativa del dispositivo secondo la presente invenzione; e

-la Fig. 7 mostra una tabella esemplificativa del contenuto delle linee della seconda

forma realizzativa del dispositivo secondo la presente invenzione.

Descrizione dettagliata di una forma preferenziale di realizzazione dell'invenzione

5 Facendo riferimento alla Fig. 1, si vede che il dispositivo secondo la presente invenzione comprende un registro RI formato da 2^m celle CI, in ciascuna delle quali viene inserito un bit della stringa da esaminare. Nella presente forma realizzativa tale registro comprende 64 celle, ovvero m è uguale a 6, ma è ovvio che in altre forme realizzative della presente invenzione il numero di celle CI può essere maggiore o

10 minore di 64. In figura sono mostrate per chiarezza solo le prime e le ultime 16 celle CI del registro RI, le quali conterranno rispettivamente i 16 bit più significativi (a sinistra in figura) e meno significativi (a destra in figura) della stringa da esaminare. I 64 ingressi delle celle CI sono a loro volta collegati ad un bus (non mostrato in figura) comprendente le 64 linee parallele attraverso le quali viene trasmessa la stringa da

15 esaminare. Nel caso in cui la stringa di bit da esaminare non sia formata da un numero di bit uguale ad una potenza intera di 2, si inserisce tale stringa nelle celle CI corrispondenti ai bit meno significativi. Le restanti celle CI saranno ovviamente predefinite con bit inattivi, generalmente uguali a zero.

Le linee FI in uscita dalle celle CI sono opportunamente raggruppate in blocchi di 2^n

20 linee parallele, ciascuno dei quali è collegato in ingresso ad uno di 2^{m-n} moduli filtranti FU1. Nella presente forma realizzativa le linee FI collegate a ciascuno dei moduli filtranti FU1 sono 4, ovvero n è uguale a 2, ma è ovvio che in altre forme realizzative della presente invenzione il numero di linee FI in ingresso nei moduli filtranti può essere maggiore o minore di 4, ad esempio uguale ad 8 ($n=3$). Attraverso le 2^n linee

25 FI, ciascun modulo filtrante FU1 riceve pertanto una stringa di 2^n bit che viene filtrata

- da tale modulo azzerando tutti i bit in ingresso tranne l'eventuale bit attivo, generalmente uguale a uno, più vicino al bit più significativo. La stringa così filtrata da ciascun modulo FU1 (la quale contiene necessariamente al massimo un uno), viene trasmessa in uscita attraverso 2ⁿ linee parallele FO1. Dal modulo filtrante FU1 esce anche una linea FL1 attraverso la quale viene trasmesso un segnale binario che è uguale ad uno se la stringa filtrata contiene almeno un bit attivo, oppure è uguale a zero se tale stringa non contiene alcun bit attivo. La seguente tabella mostra la tavola di verità degli ingressi e delle uscite di un modulo FU1 a 4 ingressi ($n=2$).

Tabella 1: tavola di verità di un modulo filtrante a 4 ingressi

Ingressi FI	Uscite FO1	Uscita FL1
0000	0000	0
0001	0001	1
0010	0010	1
0011	0010	1
0100	0100	1
0101	0100	1
0110	0100	1
0111	0100	1
1000	1000	1
1001	1000	1
1010	1000	1
1011	1000	1
1100	1000	1
1101	1000	1

1110	1000	1
1111	1000	1

Le 2ⁿ linee FO1 in uscita da ciascun modulo filtrante FU1 vengono collegate agli ingressi di un codificatore EN il quale converte la stringa di 2ⁿ bit trasmessa dalle linee FO1 in un numero binario di n bit indicante la posizione dell'eventuale bit attivo presente in tale stringa di 2ⁿ bit. Il risultato del codificatore EN viene quindi trasmesso attraverso un bus EO1 (illustrato con una linea leggermente ingrossata) comprendente n linee parallele. La seguente tabella mostra la tavola di verità degli ingressi e delle uscite di un codificatore EN a 4 ingressi (n=2).

Tabella 2: tavola di verità di un codificatore a 4 ingressi

Ingressi FO	Uscita EO1
0000	00
0001	00
0010	01
0100	10
1000	11

I bus EO1 in uscita da ciascuno dei 2^{m-n} codificatori EN sono raggruppati in blocchi di 2^p bus, ciascun blocco essendo collegato ad un modulo selettore SM2 la cui struttura interna verrà spiegata dettagliatamente in seguito. Anche le linee FL1 uscenti dai moduli filtranti FU1 sono raggruppate in blocchi di 2^p linee, ciascun blocco essendo collegato in ingresso ad un ulteriore modulo filtrante FU2. Il funzionamento del modulo filtrante FU2 è analogo a quello dei moduli filtranti FU1 ai quali è collegato, per cui

anche la stringa di bit in ingresso nel modulo filtrante FU2 viene filtrata azzerando tutti i bit tranne l'eventuale bit attivo più vicino al bit più significativo. Il numero di ingressi del modulo filtrante FU2 può essere eventualmente diverso dal numero di ingressi dei moduli filtranti FU1 ai quali è collegato, ovvero p può essere diverso da n , tuttavia
 5 nella presente forma realizzativa anche i moduli filtranti FU2 hanno 4 ingressi come i moduli FU1, ovvero p è uguale a 2.

Le 2^p linee di controllo FO2 in uscita da ciascun modulo FU2 sono collegate in ingresso allo stesso modulo selettore SM2 cui erano collegati i 2^p bus EO1 di ciascun blocco. Tali linee di controllo servono ad indicare quale dei 2^p bus EO1 in ingresso nel
 10 modulo selettore SM2 deve essere trasmesso in uscita. Tuttavia, il modulo selettore SM2 differisce da un comune multiplexer per il fatto che la stringa di bit trasmessa da tale modulo, oltre a contenere gli n bit del bus EO1 selezionato dalle linee di controllo FO2, contiene come bit più significativi i p bit indicanti la posizione di tale bus selezionato. Essa viene trasmessa attraverso un bus EO2 (illustrato con una linea
 15 ingrossata) comprendente $p+n$ linee parallele. La seguente tabella mostra la tavola di verità degli ingressi e delle uscite di un modulo selettore SM2 di 4 bus EO1 da 2 bit ciascuno ($n=2$, $p=2$). I 2 bit trasmessi da tali bus sono stati indicati rispettivamente con le lettere a_1b_1 , a_2b_2 , a_3b_3 e a_4b_4 .

Tabella 3: tavola di verità di un modulo selettore di 4 bus da 2 bit

20

Ingresso FO'	Uscita EO'
0000	0000
0001	00 a_1b_1
0010	01 a_2b_2
0100	10 a_3b_3

1000

11a₄b₄

Il dispositivo secondo la presente forma realizzativa risulta pertanto suddiviso in 2^{m-n-p} moduli principali di ricerca RM, ciascuno dei quali comprende 2^p moduli filtranti FU1, 2^p codificatori EN. La presente forma realizzativa comprende in particolare 4 moduli di ricerca RM, dei quali in Fig. 1 vengono mostrati completamente il primo e l'ultimo. I bus EO2 uscenti dal modulo selettore SM2 sono collegati in ingresso ad un ulteriore modulo selettore SM3, il cui funzionamento è analogo a quello dei 2^{m-n-p} moduli selettori SM2 ai quali è collegato. Tuttavia, il modulo selettore SM3 differisce dai moduli selettori SM2 per il fatto che i bus EO2 in ingresso non sono formati da n linee parallele come i bus EO1, bensì sono formati da $p+n$ linee parallele. Il bus EO2 da trasmettere in uscita viene selezionato dalle linee di controllo FO3 uscenti da un ulteriore modulo filtrante FU3 a 2^{m-n-p} ingressi, il cui funzionamento è identico a quello dei moduli filtranti FU1 e FU2. Il modulo filtrante FU3 filtra infatti nel modo sopra descritto la stringa di 2^{m-n-p} bit che riceve in ingresso attraverso le 2^{m-n-p} linee FL2 uscenti dai moduli filtranti FU2, trasmettendo sulle linee di controllo FO3 la risultante stringa di 2^{m-n-p} bit filtrata. In base al contenuto di tale stringa, il modulo selettore SM3 seleziona uno dei bus EO2 in ingresso e ne invia il contenuto ad un bus EO3 (illustrato con una linea notevolmente ingrossata), aggiungendovi gli $(m-n-p)$ bit indicanti la posizione del bus EO2 selezionato. La stringa di bit trasmessa attraverso il bus EO3 è formata pertanto da $(m-n-p+p+n)$ bit, ovvero m bit, e corrisponde esattamente al numero binario indicante la posizione del primo bit attivo della stringa di 2^m bit in esame, a partire dal bit più significativo. Il segnale binario trasmesso dalla linea FL3 in uscita dal modulo filtrante FU3 indica invece l'eventuale presenza di tale bit attivo all'interno della stringa di bit in esame, per cui dalla linea FL3 e dal bus EO3

si ricava il risultato della ricerca per la quale il dispositivo secondo la presente invenzione è stato ideato.

Facendo ancora riferimento alla Fig. 1, si può notare che il dispositivo secondo la presente invenzione possiede una struttura ad albero, le cui foglie sono rappresentate

5 dalle linee in ingresso FI e la cui radice è rappresentata dal bus EO3 e dalla linea FL3. I nodi di tale albero sono distribuiti su un primo livello comprendente una serie di

2^{m-n} moduli filtranti FU1 e 2^{m-n} codificatori EN, su un secondo livello comprendente una serie di 2^{m-n-p} moduli filtranti FU2 e 2^{m-n-p} moduli selettori SM2, un terzo livello

comprendente una serie di $2^{m-n-p-q}$ moduli filtranti FU3 e $2^{m-n-p-q}$ moduli selettori SM3, e

10 così via fino a quando non resta un ultimo livello comprendente un solo modulo filtrante ed un solo modulo selettore, le cui uscite forniranno il risultato della ricerca. In particolare, nella presente forma realizzativa q è uguale a 2, per cui il terzo livello

dell'albero è già l'ultimo, comprendendo $2^{6-2-2-2} = 2^0 = 1$ modulo filtrante e $2^{6-2-2-2} = 2^0 = 1$ modulo selettore. È ovvio che altre forme realizzative del dispositivo

15 secondo la presente invenzione possono essere strutturate su un numero di livelli maggiore o minore di tre. Tale numero dipende infatti dal numero di bit della stringa da esaminare e dal numero di ingressi dei moduli filtranti compresi nel dispositivo stesso.

Facendo ora riferimento alla Fig. 2, si vede che i moduli filtranti FU1 a 4 ingressi della

20 presente forma realizzativa dell'invenzione comprendono una porta logica 1 di tipo OR alla quale sono collegate le 4 linee FI e la linea FL1, rispettivamente in ingresso ed in uscita. La linea FI corrispondente al bit meno significativo è direttamente

collegata all'ingresso di una porta logica 2 di tipo AND alla cui uscita è collegata la linea FO1 corrispondente al bit meno significativo. La linea FI corrispondente al

25 secondo bit meno significativo è direttamente collegata all'ingresso di un'altra porta

logica 3 di tipo AND la cui uscita è collegata alla linea FO1 corrispondente al secondo bit meno significativo. La linea FI corrispondente al secondo bit meno significativo è collegata anche ad una porta logica 4 di tipo NOT la cui uscita è collegata all'ingresso della porta logica AND 2. La linea FI corrispondente al secondo bit più significativo è direttamente collegata all'ingresso di un'ulteriore porta logica 5 di tipo AND la cui uscita è collegata alla linea FO1 corrispondente al secondo bit più significativo. La linea FI corrispondente al secondo bit più significativo è collegata anche ad una porta logica 6 di tipo NOT la cui uscita è collegata all'ingresso delle porte logiche 2 e 3. Infine, la linea FI corrispondente al bit più significativo è direttamente collegata alla linea FO1 corrispondente al bit più significativo. La linea FI corrispondente al bit più significativo è collegata anche ad una porta logica 7 di tipo NOT la cui uscita è collegata all'ingresso delle porte logiche AND 2, 3 e 5. Grazie a questo schema di porte logiche, il modulo filtrante FU1 esegue le operazioni combinatorie descritte nella Tabella 1. È chiaro che in altre forme realizzative il modulo filtrante FU1 può presentare uno schema circuitale diverso da quello ora descritto, ma equivalente nella sua funzione.

Facendo ancora riferimento alla Fig. 2, si vede che i codificatori EN a 4 ingressi della presente forma realizzativa dell'invenzione comprendono una porta logica 8 di tipo OR alla quale sono collegate in ingresso le 2 linee FO1 corrispondenti al bit più significativo ed al secondo bit meno significativo. I codificatori EN comprendono anche un'altra porta logica 9 di tipo OR alla quale sono collegate in ingresso le 2 linee FO1 corrispondenti ai primi due bit più significativi. La linea FO1 corrispondente al bit meno significativo è invece scollegata. Le uscite delle porte logiche 8 e 9 sono collegate alle 2 linee del bus EO1 corrispondenti rispettivamente al bit meno significativo ed a quello più significativo. Grazie a questo schema di porte logiche, il

codificatore EN esegue le operazioni combinatorie descritte nella Tabella 2. È chiaro che in altre forme realizzative della presente invenzione il codificatore EN può presentare uno schema circuitale diverso da quello ora descritto.

Facendo ora riferimento alla Fig. 3, si vede che il modulo selettore SM2 della presente

5 forma realizzativa dell'invenzione comprende in modo noto 4 coppie di porte logiche 10, 10' di tipo AND a ciascuna delle quali sono collegate in ingresso le due linee dei quattro bus EO1. Agli ingressi di ciascuna di tali porte logiche AND è collegata anche una delle 4 linee di controllo FO2, in modo tale che tutti i bit trasmessi dai bus EO1 vengano azzerati, tranne quelli trasmessi dal bus EO1 selezionato dalla linea di

10 controllo FO2 che trasmette un segnale binario uguale ad uno. Le uscite delle coppie di porte logiche 10, 10' sono collegate agli ingressi di una coppia di porte logiche 11, 11' di tipo OR. Ad un'ulteriore coppia di porte logiche 12, 12' di tipo OR sono opportunamente collegate in ingresso le linee di controllo FO2 corrispondenti rispettivamente ai primi due bit significativi ed al primo e terzo bit più significativo della

15 stringa di bit trasmessa attraverso le linee di controllo FO2. In questo modo, dalla coppia di porte logiche 12, 12' viene trasmesso in uscita un numero binario di 2 bit indicante la posizione del bus EO1 selezionato dalle linee di controllo FO2. Le uscite delle porte logiche 12, 12', 11 ed 11' sono quindi collegate alle 4 linee del bus EO2 uscente dal modulo selettore SM2. Grazie a questo schema di porte logiche, il modulo

20 selettore SM2 esegue le operazioni combinatorie descritte nella Tabella 3. È chiaro che in altre forme realizzative della presente invenzione il modulo selettore SM2 può presentare uno schema circuitale diverso da quello ora descritto. In particolare, il modulo selettore SM3 avrà una struttura interna simile a quella del modulo selettore SM2, dalla quale differisce semplicemente per il fatto di comprendere 4 gruppi di 4

25 porte logiche di tipo AND in ingresso ed un gruppo di 4 porte logiche di tipo OR in


Oello Giustini

uscita. Tali gruppi di 4 porte logiche AND ed OR sostituiscono rispettivamente le coppie di porte logiche AND 10, 10' ed OR 11, 11'.

Facendo ora riferimento alla Fig. 4, si vede che in un'altra forma realizzativa del dispositivo secondo la presente invenzione i moduli filtranti FU_k comprendono un

5 circuito combinatorio supplementare posto a monte del circuito sopra descritto ed illustrato in Fig. 2. Tale circuito serve a limitare superiormente e/o inferiormente la ricerca del bit attivo nella stringa di bit da esaminare. Detta limitazione viene eseguita sulla base sia di un numero binario di m bit che corrisponde al limite superiore di ricerca e viene trasmesso attraverso altrettante linee UL, sia di un segnale binario di

10 attivazione UI che è uguale ad uno nel caso si voglia effettivamente attivare la suddetta funzione di limitazione della stringa di bit. I segnali UL ed UI sono generati esternamente al dispositivo e vengono elaborati all'interno del dispositivo da almeno un modulo di controllo LM della limitazione della ricerca, il cui funzionamento verrà descritto in seguito con riferimento alla Fig. 5.

15 In particolare, per ogni stadio, le linee AI vengono generate decodificando i bit più significativi della parola UL, tali da selezionare il numero di moduli filtranti appartenenti a detto stadio.

Le linee WI vengono anch'esse generate a partire dalla parola UL. Per ogni stadio contengono un numero w di linee sufficienti alla codifica del numero n di ingressi

20 per ogni modulo filtrante FU_k . Sono ricavati dalla parola UL escludendo un numero di bit, a partire dal meno significativo, pari a $[w * \text{numero di stadi a monte dello stadio considerato}]$; dei bit rimanenti le linee WI saranno costituite dai k bit meno significativi.

Sempre nell'esempio di parola su cui operare la ricerca pari a 64 linee, il modulo filtrante FU_k a quattro ingressi con limitatore superiore comprende quindi, oltre a tutte

25 le porte ed i collegamenti dei moduli filtranti della prima forma realizzativa, due

ingressi WI ai quali sono collegate due delle sei linee uscenti dal modulo di controllo LM. In particolare, gli ingressi WI3 del modulo filtrante FU3 posto all'ultimo livello del dispositivo, saranno collegati alle due linee UL corrispondenti ai due bit più significativi del numero binario indicante la posizione del limite superiore di ricerca.

- 5 Gli ingressi WI2 dei quattro moduli filtranti FU2 posti a livello intermedio del dispositivo, saranno invece collegati alle due linee UL corrispondenti ai due bit intermedi del numero binario indicante la posizione del limite superiore di ricerca.

Gli ingressi WI1 dei sedici moduli filtranti FU1 posti al primo livello del dispositivo, saranno invece collegati alle due linee UL corrispondenti ai due bit meno significativi

- 10 del numero binario indicante la posizione del limite superiore di ricerca.

L'ingresso AI3 del modulo filtrante FU3 sempre attivo. Ai segnali AI2 di ciascuno degli FU2 arriva un bit risultato della decodifica dei due bit più significativi di UL. Ai segnali AI1 di ciascuno degli FU1 arriva un bit risultato della decodifica dei quattro bit più significativi di UL.

- 15 Il modulo filtrante FU1 a 4 ingressi con limitatore superiore comprende quindi, oltre a tutte le porte ed i collegamenti dei moduli filtranti della prima forma realizzativa, due linee in ingresso WI provenienti dal modulo LM che indicano la posizione degli eventuali bit da azzerare, nonché una linea in ingresso AI, sempre proveniente dal modulo LM, che indica l'eventuale attivazione della funzione di limitazione superiore.

- 20 Viene ora descritta in dettaglio la struttura interna dei moduli filtranti FU_k provvisti del limitatore superiore.

La linea di attivazione AI è collegata in ingresso ad una porta logica 13 di tipo NOT la cui uscita è a sua volta collegata agli ingressi di una coppia di porte logiche 14, 14' di tipo OR. Agli ingressi di queste ultime due porte logiche sono opportunamente

- 25 collegate anche le linee WI indicanti le posizioni dei bit da azzerare quando l'ingresso

Al è uguale a uno. Per selezionare tali bit, le 3 linee FI in ingresso corrispondenti ai 3 bit più significativi vengono fatte passare attraverso 3 porte logiche 15, 15', 15" di tipo AND, ai cui ingressi sono collegate anche le uscite delle porte OR 14, 14'. In particolare, la porta logica AND 15 corrispondente al bit più significativo riceverà in
 5 ingresso la linea FI corrispondente al bit più significativo, nonché le uscite di entrambe le porte OR 14, 14'. La porta logica AND 15' corrispondente al secondo bit più significativo riceverà in ingresso la linea FI corrispondente al secondo bit più significativo, nonché l'uscita della porta OR 14'. Infine, la porta logica AND 15" corrispondente al secondo bit meno significativo riceverà in ingresso la linea FI
 10 corrispondente al secondo bit meno significativo, nonché l'uscita di una porta logica 16 di tipo OR alla quale sono collegate in ingresso le uscite delle porte OR 14, 14'.
 Grazie a questo schema di porte logiche, il modulo filtrante a 4 ingressi con limitatore superiore esegue le operazioni combinatorie descritte nella seguente Tabella 4. Detta tabella mostra la tavola di verità degli ingressi e delle uscite di un modulo filtrante a 4
 15 ingressi con limitatore superiore. I 4 bit in ingresso nelle linee FI sono stati indicati rispettivamente con le lettere a, b, c e d.

Tabella 4: Tavola di verità di un modulo filtrante con limitatore superiore

Ingresso AI	Ingressi WI	Uscite FO
0	00	abcd
0	01	abcd
0	10	abcd
0	11	abcd
1	00	000d
1	01	00cd

1	10	Obcd
1	11	abcd

È ovvio che in altre forme realizzative della presente invenzione il modulo filtrante con limitatore superiore può presentare uno schema circuitale diverso da quello ora descritto. È altresì ovvio per un tecnico del ramo modificare i collegamenti e/o le porte logiche del modulo filtrante secondo la presente forma realizzativa in modo da eseguire una limitazione inferiore oppure una doppia limitazione, superiore ed inferiore. In quest'ultimo caso il modulo filtrante riceverà in ingresso due coppie di linee che trasmettono i bit del limite superiore e quelli del limite inferiore.

Facendo ora riferimento alla Fig. 5, si vede che il modulo di controllo LM della limitazione della ricerca riceve in ingresso, attraverso le 6 linee UL, un numero binario di m bit, in particolare 6 bit, indicante la posizione del limite superiore di ricerca nella stringa di 2^m bit da esaminare mediante il dispositivo secondo la presente invenzione. Il modulo LM riceve anche in ingresso, attraverso la linea UI, un segnale binario che abilita la limitazione della ricerca quando è uguale ad uno. Tale segnale, dopo essere stato negato mediante una porta 17 di tipo NOT, viene trasmesso in ingresso a 6 porte 18 di tipo OR che ricevono in ingresso anche le 6 linee UL. Con questo accorgimento, se la funzione di limitazione è disabilitata, ovvero se il segnale proveniente dalla linea UI è uguale a zero, da tutte le uscite WI1, WI2, e WI3 delle porte OR 18 viene trasmesso un uno. Se invece la funzione di limitazione è abilitata, ovvero se il segnale proveniente dalla linea UI è uguale ad uno, dalle uscite WI1, WI2, e WI3 delle porte OR 18 vengono trasmessi gli stessi bit ricevuti dalle linee UL. In particolare, le due linee WI3 corrispondenti ai due bit più significativi del numero ricevuto dalle linee UL sono collegate al modulo filtrante FU3 posto all'ultimo livello.

Le due linee WI2 corrispondenti ai due bit intermedi del numero ricevuto dalle linee UL sono invece collegate in parallelo ai 4 moduli filtranti FU2 posti al livello intermedio. Infine, le due linee WI1 corrispondenti ai due bit meno significativi del numero ricevuto dalle linee UL sono collegate in parallelo ai 16 moduli filtranti FU1
5 posti al primo livello.

Le quattro linee corrispondenti ai quattro bit più significativi del numero ricevuto dalle linee UL sono opportunamente collegate in ingresso ad un decodificatore 19 di tipo noto che trasmette in uscita, su 16 linee AI1, una stringa di 16 bit contenente 15 zeri ed un uno sulla linea AI1 individuata dal numero binario di 4 bit ricevuto da tale
10 decodificatore. Le 16 linee AI sono collegate in ingresso ai 16 moduli filtranti FU1 posti al primo livello. Con questo accorgimento la limitazione della ricerca viene abilitata solo nel modulo filtrante FU1 individuato dal bit uguale ad uno nella stringa in uscita dal decodificatore 19. Analogamente, le due linee corrispondenti ai due bit più significativi del segnale ricevuto dalle linee UL sono collegate in ingresso ad un
15 decodificatore 20 di tipo noto che trasmette in uscita, su 4 linee AI2, una stringa di 4 bit contenente 3 zeri ed un uno sulla particolare linea AI2 individuata dal numero binario di 2 bit ricevuto da tale decodificatore. Le 4 linee AI2 sono collegate in ingresso ai 4 moduli filtranti FU2 posti al livello intermedio. Con questo accorgimento la limitazione della ricerca viene abilitata solo nel modulo filtrante FU2 individuato dal
20 bit uguale ad uno della stringa in uscita dal decodificatore 20. La limitazione della ricerca viene sempre abilitata nel modulo filtrante FU3 poiche' quello e' l'unico FU di quel livello.

Il funzionamento delle due forme realizzative del dispositivo secondo la presente invenzione verrà descritto dettagliatamente nei due seguenti esempi, con particolare
25 riferimento alla Fig. 6 ed alla Fig. 7.


mandatario
Oello GiustiniEsempio 1: Dispositivo senza limitatore superiore

Facendo riferimento alla Fig. 6, si vede che, nel funzionamento della prima forma realizzativa del dispositivo secondo la presente invenzione, sprovvista del limitatore superiore, la stringa di 64 bit da esaminare contenuta nelle 64 celle CI viene suddivisa

5 in 16 stringhe di 4 bit trasmesse dalle linee FI. Si noti che nell'esempio di Fig. 5, il primo bit attivo si trova in trentottesima posizione, ovvero nella posizione 100101 espressa in forma binaria, presupponendo che il bit meno significativo si trovi nella posizione numero 000000, mentre il bit più significativo si trovi nella posizione numero 111111. Le 16 stringhe di 4 bit filtrate dai moduli FU1 vengono trasmesse dalle linee

10 FO1 e codificate dai codificatori EN. In particolare, la stringa di bit del settimo blocco di linee FI, la quale contiene il bit attivo ricercato, è uguale a 0011, per cui la stringa di bit trasmessa dal settimo blocco di linee FO1 è uguale a 0010, il bit trasmesso dalla settima linea FL1 è uguale a 1 ed il numero binario a 2 bit trasmesso dal settimo bus EO1 è uguale a 01. I 16 numeri binari a 2 bit trasmessi dalle linee EO1 in uscita da tali

15 codificatori EN entrano a gruppi di 4 in 4 moduli selettori SM2. Ciascuno di questi moduli selettori riceve in ingresso anche i 4 gruppi di 4 linee di controllo FO2 uscenti dai 4 moduli filtranti FU2. In particolare, il secondo modulo selettore SM2 seleziona il terzo bus a partire da sinistra, dato che la stringa di bit trasmessa dal secondo gruppo di linee di controllo FO2 è uguale a 0010. L'uscita EO2 del secondo modulo selettore

20 SM2 è quindi uguale a 0101, ovvero 01 (posizione del terzo bus EO1) affiancato a 01 (contenuto del terzo bus EO1). I 4 bus EO2 in uscita dai 4 moduli selettori SM2 giungono infine nel modulo selettore SM3, il quale seleziona un bus EO2 in base al contenuto delle linee di controllo FO3, aggiungendovi la posizione di tale bus EO2. In particolare, poiché il bit trasmesso dalla seconda linea FO3 è uguale ad uno, il

25 selettore SM2 seleziona il secondo bus EO2 aggiungendovi i due bit indicanti la

seconda posizione a partire da sinistra. Il risultato del dispositivo secondo la presente forma realizzativa, trasmesso attraverso il bus EO3, è pertanto 100101, ovvero la posizione del bit attivo ricercato. L'uno trasmesso dalla linea FL3 indica che è stato trovato un bit attivo nella stringa di bit in esame. Il bit trasmesso da tale linea è determinante soprattutto quando il bit attivo si trova nella prima posizione, ovvero nella posizione 000000. Esaminando il contenuto della linea FL3 è possibile distinguere la situazione in cui il bit attivo è in tale posizione dalla situazione in cui non vi sia alcun bit attivo nella stringa di bit in esame. In entrambi i casi, infatti, il risultato trasmesso dal bus EO3 sarebbe uguale a 000000.

10 Esempio 2: Dispositivo con limitatore superiore

Facendo riferimento alla Fig. 7, si vede che, nel funzionamento della seconda forma realizzativa del dispositivo secondo la presente invenzione, questa volta provvista del limitatore superiore, la stringa di 64 bit da esaminare viene trattata in modo analogo all'esempio precedente. Tuttavia, il dispositivo, oltre alla stringa da esaminare, riceve in ingresso attraverso le linee UL anche la posizione del limite superiore di ricerca, che è rappresentato in particolare dalla cinquantaquattresima posizione (110101 in forma binaria). Poiché il bit trasmesso dalla linea UI è uguale ad uno, il dispositivo limiterà la ricerca del bit attivo partendo dal cinquantaquattresimo bit e non più dal bit più significativo. Il modulo LM, che riceve in ingresso le linee UI ed UL, trasmette ai moduli filtranti FU1, FU2 ed FU3 i segnali di controllo della limitazione attraverso le linee WI1, WI2, WI3, AI1, AI2 ed AI3. In particolare, vengono attivate le funzioni di limitazione nel modulo filtrante FU3, nel primo modulo filtrante FU2 a partire da sinistra e nel terzo modulo filtrante FU1 sempre a partire da sinistra. Gli altri moduli filtranti FU1 ed FU2 funzionano nel modo consueto, ovvero senza la limitazione superiore, in quanto ricevono in ingresso dalle linee AI1 ed AI2 un bit uguale a zero.


Oello Giustini

Nel presente esempio il terzo modulo filtrante FU1 ed il primo modulo filtrante FU2 a partire da sinistra azzerano i due bit più significativi in ingresso, mentre il modulo filtrante FU3 non azzerava alcun bit. Infatti, i bit W13 sono uguali a 11, mentre i bit W12 ed i bit W11 sono uguali a 01. Il risultato della ricerca è pertanto uguale a 110100, dato che il primo bit attivo a partire dalla cinquantaquattresima posizione si trova in cinquantatreesima posizione.

Le due forme realizzative del dispositivo secondo la presente invenzione qui descritte ed illustrate riguardano in particolare un dispositivo che individua nella stringa di bit in ingresso il primo bit attivo a cominciare dal bit più significativo. È ovvio che in altre forme realizzative della presente invenzione è possibile individuare il primo bit attivo a cominciare dal bit meno significativo semplicemente invertendo i collegamenti dei moduli filtranti od collegamenti in ingresso del dispositivo. È inoltre ovvio per un tecnico del ramo modificare i collegamenti e/o le porte logiche del dispositivo secondo la presente invenzione, lasciandone invariata la struttura ad albero, in modo da trovare il primo bit inattivo a cominciare dal bit più significativo e/o da quello meno significativo.

Ulteriori varianti e/o aggiunte possono essere apportate dagli esperti del ramo alle forme realizzative qui descritte ed illustrate restando nell'ambito dell'invenzione stessa. Ad esempio, il dispositivo secondo la presente invenzione comprende un registro RI nel quale viene inserita la stringa di bit da esaminare, ma è ovvio che in altre forme realizzative del dispositivo secondo la presente invenzione tale registro può non essere presente. In tal caso le linee FI saranno collegate direttamente ad altre linee e/o dispositivi esterni, come ad esempio un bus dati, un'interfaccia parallela, ecc.

RIVENDICAZIONI

1. Dispositivo per trovare la posizione di un bit attivo a partire da un'estremità di una stringa di bit, comprendente:

- una pluralità di moduli filtranti (FUK) atti a segnalare la presenza di un bit attivo in una stringa di bit e a disattivare tutti i bit di questa stringa tranne l'eventuale bit attivo più vicino a detta estremità, e
- una pluralità di moduli selettori (SMK) atti a selezionare un bus in ingresso in funzione del contenuto di una pluralità di linee di controllo FOK ed a trasmettere in uscita il contenuto e la posizione di tale bus,

10 detti moduli filtranti (FUK) e detti moduli selettori (SMK) essendo disposti su k livelli di una struttura ad albero.

2. Dispositivo come alla rivendicazione 1 caratterizzato dal fatto che detti moduli filtranti (FUK) sono atti a:

- analizzare una porzione di detta stringa di bit;
- attivare un'uscita (FLK) quando è presente almeno un bit attivo nella porzione di stringa da esso analizzata;
- rendere disponibile su di una uscita (FOK) una configurazione binaria ottenuta disattivando tutti i bit di detta stringa tranne l'eventuale bit attivo più vicino a detta estremità.

20 3. Dispositivo come alle rivendicazioni 1 e 2, caratterizzato dal fatto di comprendere anche:

- una pluralità di moduli filtranti del primo livello (FU1);
- una pluralità di moduli di codifica (EN), ciascuno dei quali è collegato alle uscite (FO1) del rispettivo modulo filtrante (FU1), idonei ad associare alla configurazione binaria che corrisponde all'uscita del corrispondente modulo filtrante di primo livello (FO1) una configurazione binaria rappresentativa

della posizione occupata dall'eventuale bit attivo.

4. Dispositivo come alla rivendicazione 1 caratterizzato dal fatto che detti moduli selettori (SM_k) sono anche atti a:

- ricevere sull'ingresso dati le configurazioni binarie che corrispondono all'uscita dei moduli selettori (SM_{k-1}) del livello inferiore, e
- ricevere sull'ingresso di controllo la configurazione binaria che corrisponde alle uscite (FO_k) dei moduli filtranti (FU_k)
- fornire in uscita una delle configurazioni binarie dell'ingresso dati assieme alla sua posizione relativamente agli altri ingressi dati.

5. Dispositivo secondo le precedenti rivendicazioni caratterizzata dal fatto che ogni livello di tale struttura ad albero comprende un modulo filtrante (FU_k) collegato ad una pluralita' di moduli filtranti (FU_{k-1}) del livello inferiore attraverso una pluralita' di linee (FL_{k-1}), ed un selettore (SM_k) collegato ad una pluralita' di moduli selettori (SM_{k-1}) del livello inferiore attraverso una pluralita' di bus (EO_{k-1}) ed al modulo filtrante (FU_k) di tale livello attraverso una pluralita' di linee di controllo (FO_k).

6. Dispositivo secondo le precedenti rivendicazioni caratterizzato dal fatto che i moduli filtranti (FU_k) sono identici tra loro.

7. Dispositivo secondo le precedenti rivendicazioni caratterizzato dal fatto che i moduli selettori (SM_k) sono identici tra loro.

8. Dispositivo secondo le precedenti rivendicazioni caratterizzato dal fatto che i moduli di codifica (EN) sono identici tra loro.

9. Dispositivo secondo una delle precedenti rivendicazioni caratterizzata dal fatto che l'ultimo livello di tale struttura ad albero comprende un modulo filtrante (FU_{last}) collegato ad una pluralita' di moduli filtranti (FU_{last-1}) del livello inferiore attraverso una pluralita' di linee (FL_{last-1}), ed un selettore (SM_{last}) collegato ad

una pluralita' di moduli selettori ($SM/ast - 1$) del livello inferiore attraverso una pluralita' di bus ($EO/ast - 1$) ed al modulo filtrante (FU/ast) dell'ultimo livello attraverso una pluralita' di linee di controllo (FO/ast), il risultato della ricerca del bit attivo essendo trasmesso dal modulo selettore (SM/ast) e dal modulo filtrante (FU/ast) dell'ultimo livello, detti moduli filtranti dell'ultimo livello (FU/ast) e moduli selettori dell'ultimo livello (SM/ast) differenziandosi dai moduli filtranti e moduli selettori dei livelli inferiori (FUK ed SMk) ed operanti su un numero ridotto di linee d'ingresso e d'uscita, nel caso in cui il numero di bit della parola su cui opera la ricerca non sia multiplo intero del numero di linee entranti nel modulo filtrante di livello inferiore (FUK).

10. Dispositivo secondo una delle precedenti rivendicazioni, caratterizzato dal fatto che la stringa di bit da esaminare viene trasmessa attraverso 2^m linee FI raggruppate in blocchi di 2^n linee, a 2^{m-n} moduli filtranti ($FU1$) del primo livello.

11. Dispositivo secondo una delle precedenti rivendicazioni, caratterizzato dal fatto che ciascuno dei 2^{m-n} moduli filtranti ($FU1$) del primo livello trasmette la stringa di 2^n bit filtrata ad un codificatore (EN) il cui bus di uscita ($EO1$) comprende n linee.

12. Dispositivo secondo la precedente rivendicazione, caratterizzato dal fatto che i 2^{m-n} moduli codificatori (EN) trasmettono la posizione dell'eventuale bit attivo attraverso 2^{m-n} bus ($EO1$), raggruppati in blocchi di 2^p , a 2^{m-n-p} moduli selettori ($SM2$) del secondo livello.

13. Dispositivo secondo le precedenti rivendicazioni, caratterizzato dal fatto che i 2^r moduli filtranti (FUK) del livello k segnalano l'eventuale presenza di un bit attivo attraverso 2^r linee (FLk) raggruppate in blocchi di 2^p linee a 2^{r-p} moduli filtranti ($FUK+1$) del livello $k + 1$.

14. Dispositivo secondo le precedenti rivendicazioni, caratterizzato dal fatto che ciascuno dei moduli selettori (SMk) del livello k seleziona uno dei 2^p bus in

ingresso, ciascuno di q linee, in funzione del contenuto delle 2^p linee di controllo (FOk) uscenti dal corrispondente modulo filtrante (FUK) del livello k e ne trasmette la posizione ed il contenuto attraverso un bus comprendente $q + p$ linee.

5 15. Dispositivo secondo una delle precedenti rivendicazioni, caratterizzato dal fatto di comprendere mezzi per limitare la ricerca del bit attivo ad una porzione della stringa di bit in ingresso.

10 16. Dispositivo come alla rivendicazione precedente caratterizzato dal fatto che i suddetti mezzi per limitare la ricerca del bit attivo operano una mascheratura su un solo modulo filtrante (FUK) per ogni stadio k della struttura ad albero in funzione del contenuto di una pluralita' di linee di condizionamento (UL e UI).

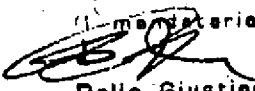
15 17. Dispositivo secondo la precedente rivendicazione caratterizzato dal fatto di comprendere almeno un modulo di controllo (LM) della limitazione della ricerca del bit attivo, il quale, in funzione del contenuto delle linee di condizionamento (UL e UI), attiva una pluralita' di prime e seconde linee di controllo (AI e WI) collegate ai moduli filtranti (FUK) del livello k .

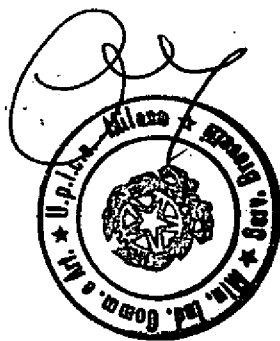
18. Dispositivo secondo la precedente rivendicazione caratterizzato dal fatto che le prime linee di controllo (WI) vengono generate a partire dalla parola presente su dette linee di condizionamento (UL):

- contenendo almeno un numero w di linee sufficienti alla codifica del numero n di ingressi per ogni modulo filtrante (FU) e
- essendo ricavate dalla parola (UL) escludendo un numero di bit, a partire dal meno significativo, pari a w^* , essendo w^* il numero di stadi a monte dello stadio considerato; dei bit rimanenti le prime linee di controllo (WI) essendo costituiti dai k bit meno significativi.

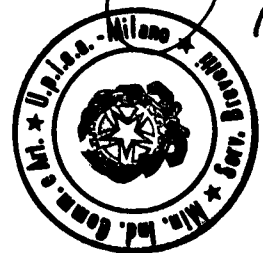
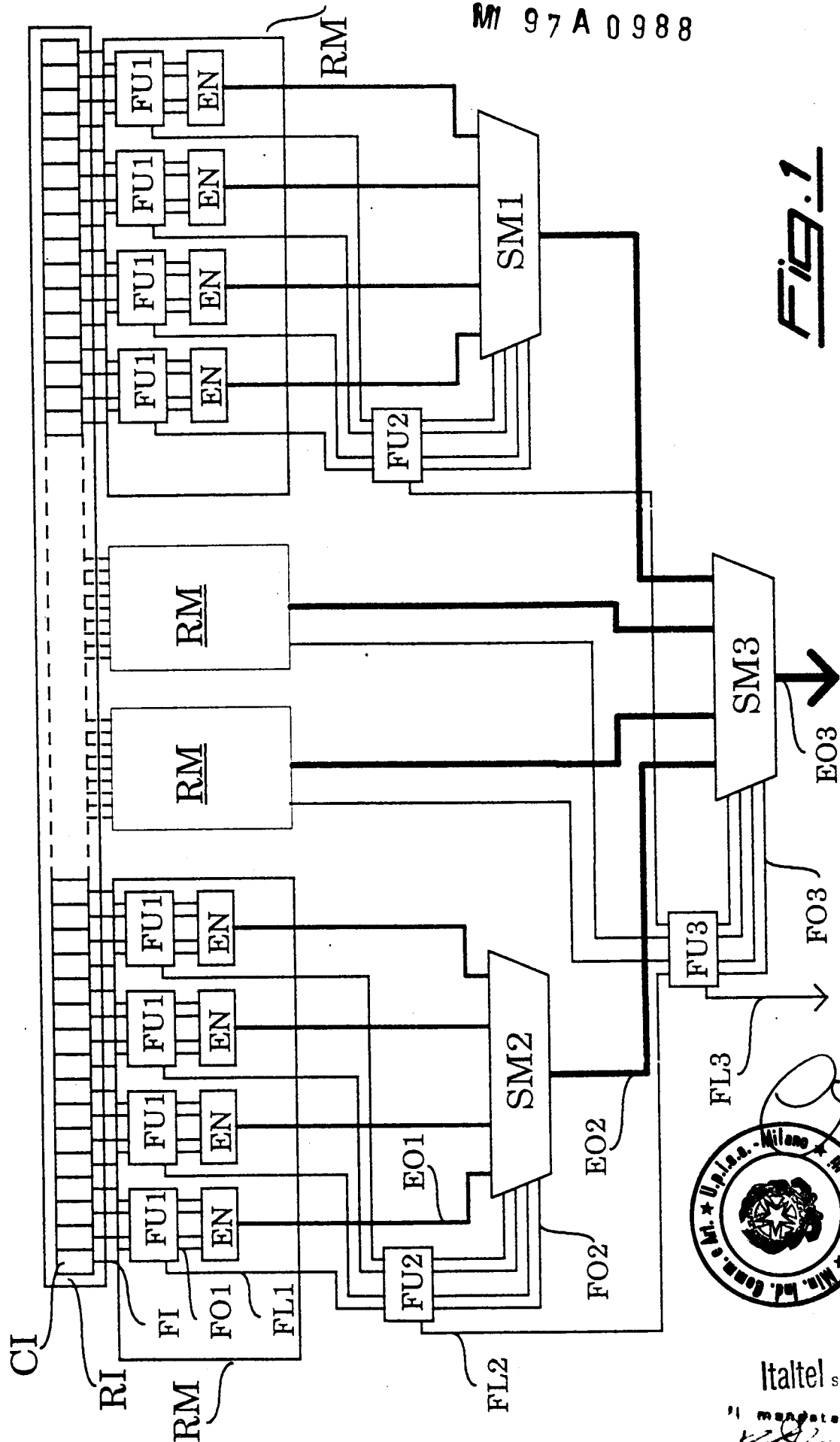
25 19. Dispositivo secondo la rivendicazione 17 caratterizzato dal fatto che le seconde linee di controllo (AI) vengono generate decodificando i bit piu' significativi della

suddetta parola (UL), sufficienti a selezionare il numero di moduli filtranti appartenenti a detto stadio.

Italtel spa
mandatario

Dello Giustini



MM 97 A 0988



Italtel spa

"magisterio

Della Giustina

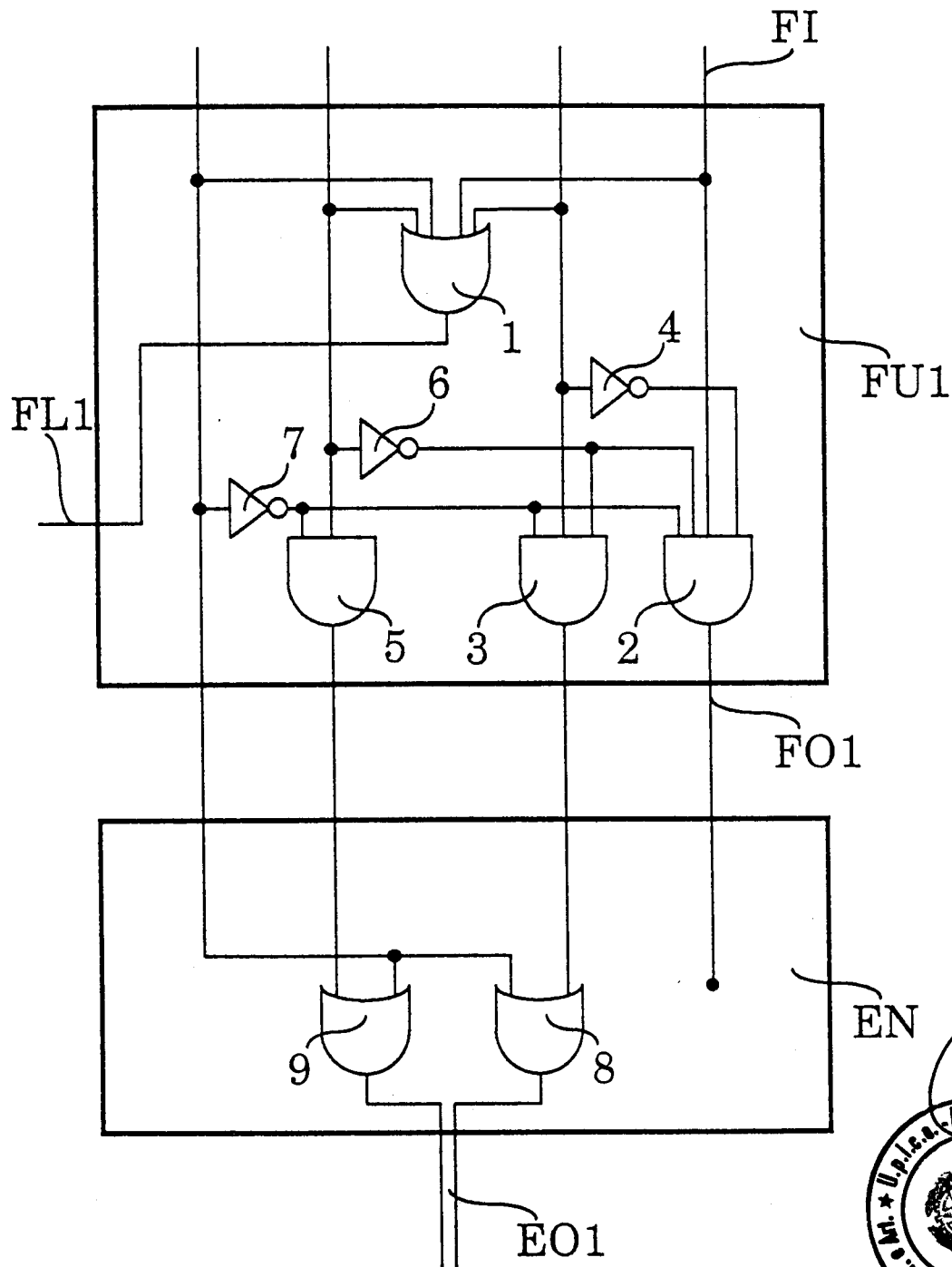


Fig. 2



Italtel spa

Il manufatto

Della Giustini

MI 97 A 0988

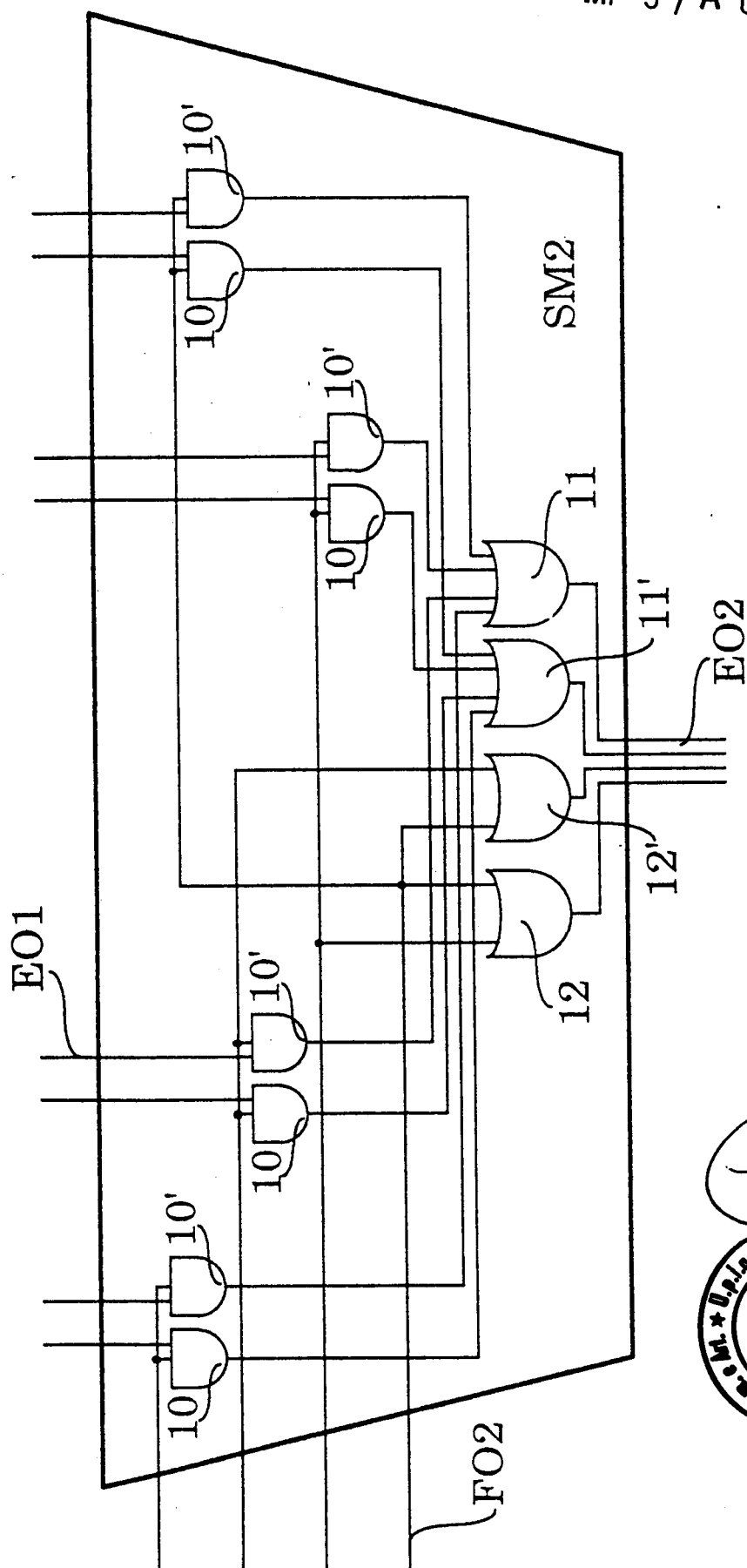


Fig. 3



Italtel spa
mandatarie
Della Giustina

MI 97 A 0988

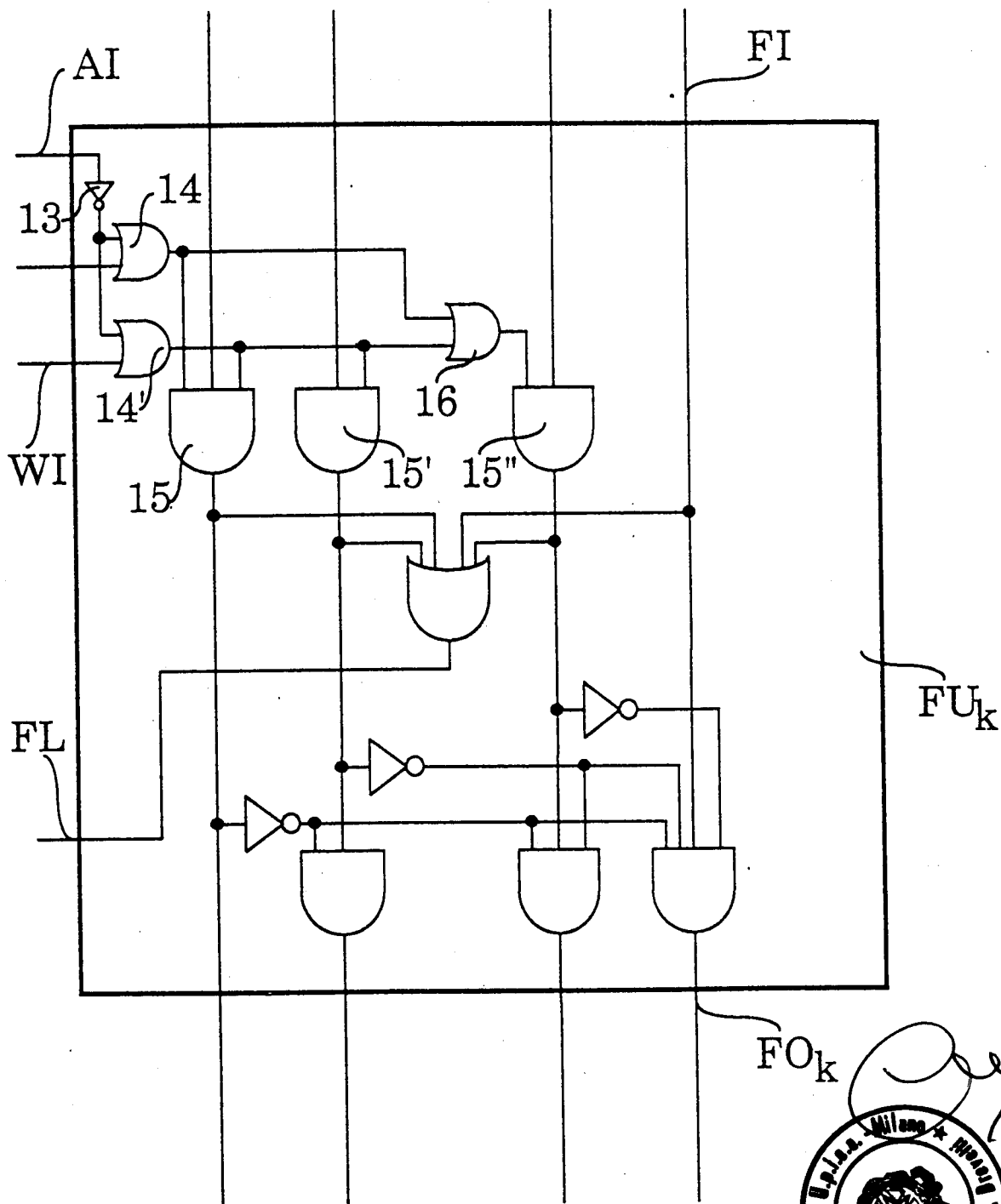


Fig. 4



Italtel spa

Dello Giustini

MI 97 A 0988

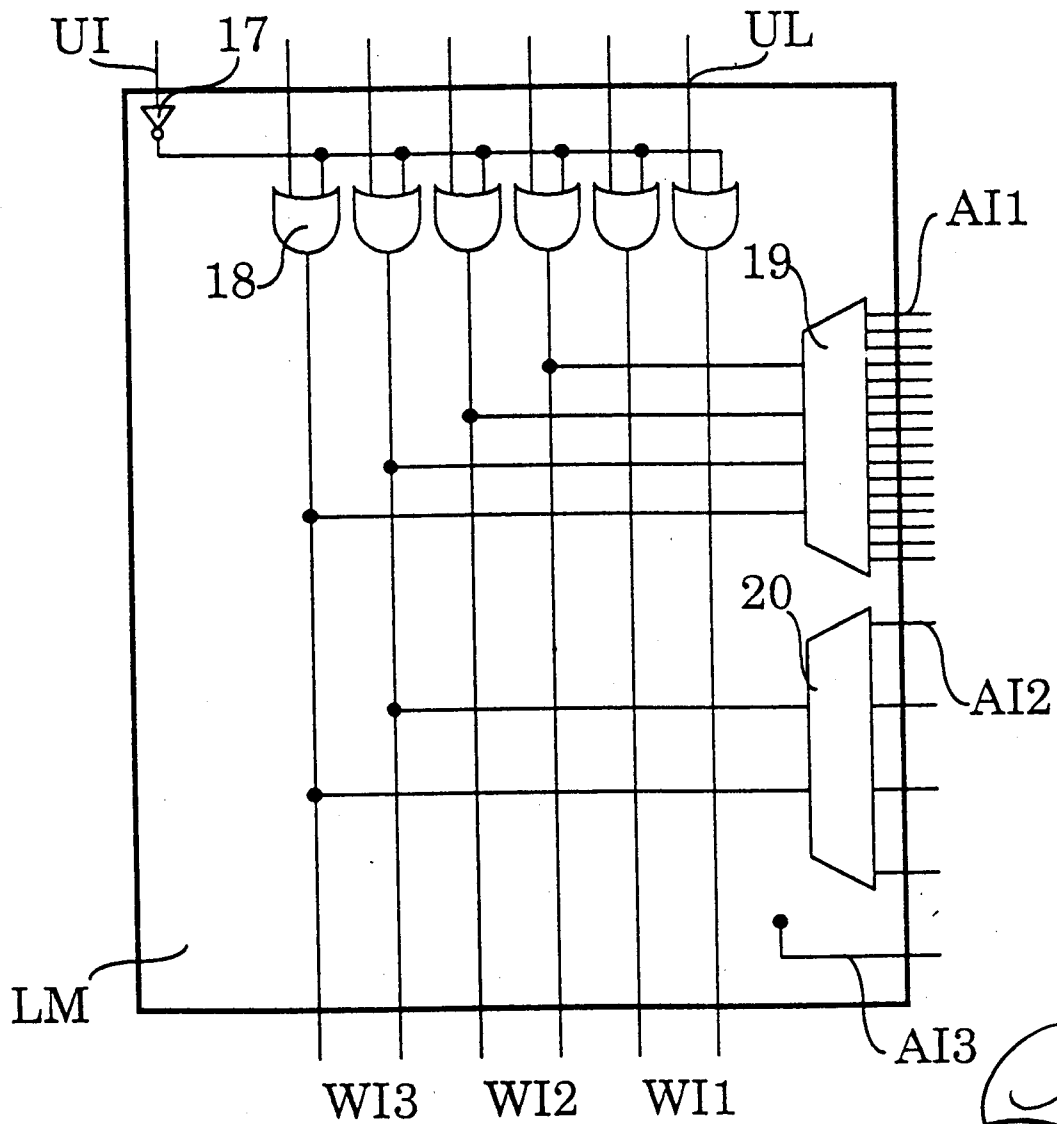


FIG. 5



Italtel spa

Il mandataria
Gallo Giustino

MI 97A 0988

Linea		Contenuto															
CI		0000010111011111001010000010000100000001111010110111011100001001															
FI		0000	0101	1101	1111	1001	0100	0001	0000	1000	0001	1110	1011	0111	0111	0000	1001
FO1		0000	0100	0001	1000	1000	0100	0001	0000	1000	0001	1000	1000	0100	0100	0000	1000
EO1		00	10	00	11	11	10	00	00	11	00	11	11	10	10	00	11
FL1		0	1	1	1	1	1	1	0	1	1	1	1	1	1	0	1
FO2		0010				1000				1000				1000			
EO2		0100				1111				1111				1110			
FL2		1				1				1				1			
FO3		1000															
EO3		110100															
FL3		1															
UL		1		1				0			1			0		1	
UI		1															

Fig. 7



Italtel spa

Il mandatario
Dell'ing. Giustini