



(12) 发明专利申请

(10) 申请公布号 CN 112805834 A

(43) 申请公布日 2021.05.14

(21) 申请号 201980065835.6

(74) 专利代理机构 北京律盟知识产权代理有限公司 11287

(22) 申请日 2019.09.16

代理人 王龙

(30) 优先权数据

16/156,194 2018.10.10 US

(51) Int.Cl.

H01L 27/11582 (2006.01)

(85) PCT国际申请进入国家阶段日

H01L 27/1157 (2006.01)

2021.04.06

H01L 27/11565 (2006.01)

(86) PCT国际申请的申请数据

PCT/US2019/051228 2019.09.16

(87) PCT国际申请的公布数据

W02020/076459 EN 2020.04.16

(71) 申请人 美光科技公司

地址 美国爱达荷州

(72) 发明人 A·M·孔蒂 A·雷达埃利

A·皮罗瓦诺

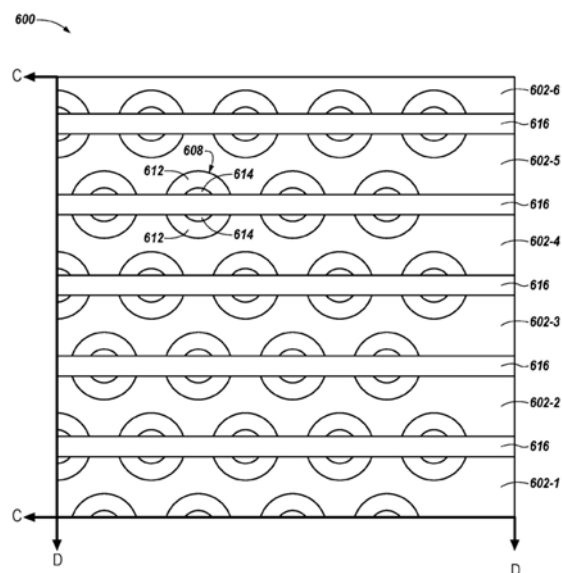
权利要求书2页 说明书10页 附图15页

(54) 发明名称

三维存储器阵列

(57) 摘要

实例三维3D存储器阵列包含：第一多个导电导线，其通过绝缘材料彼此分离；第二多个导电导线；及多对导电柱，其布置成大体上垂直于所述第一多个导电导线和所述第二多个导电导线延伸。每个相应对中的所述导电柱耦合到所述第二多个导电导线中的同一导电导线。在每个相应对中的所述导电柱周围部分地形成存储元件材料。



1. 一种三维3D存储器阵列,其包括:
 - 第一多个导电线,其通过绝缘材料彼此分离;
 - 第二多个导电线;多对导电柱,其布置成大体上垂直于所述第一多个导电线和所述第二多个导电线延伸,其中每个相应对中的所述导电柱耦合到所述第二多个导电线中的同一导电线;以及存储元件材料,其部分地在每个相应对中的所述导电柱周围形成。
2. 根据权利要求1所述的3D存储器阵列,其进一步包括多个存储器单元,其中每个相应存储器单元包含:
 - 所述第一多个导电线中的一个的一部分;
 - 所述多对导电柱中的一对的所述导电柱中的一个的一部分;以及
 - 部分地在所述导电柱周围形成的所述存储元件材料的一部分。
3. 根据权利要求2所述的3D存储器阵列,其中每个相应存储器单元大体上与所述第一多个导电线中的相应者的所述部分共平面。
4. 根据权利要求1至3中任一权利要求所述的3D存储器阵列,其进一步包括配置成在对所述3D存储器阵列执行的编程操作或感测操作期间选择所述第一多个导电线中的一个和所述第二多个导电线中的一个的电路系统。
5. 根据权利要求1至3中任一权利要求所述的3D存储器阵列,其进一步包括耦合到所述第一多个导电线的第三多个导电线,其中所述第三多个导电线大体上垂直于所述第二多个导电线。
6. 根据权利要求1至3中任一权利要求所述的3D存储器阵列,其中所述存储元件材料是自选存储元件材料。
7. 一种三维3D存储器阵列,其包括:
 - 多个导电线,其通过第一绝缘材料彼此分离;以及
 - 多个竖直堆叠,其中所述多个竖直堆叠中的每一相应者包含:
 - 第一导电柱,其布置成大体上垂直于所述多个导电线延伸;
 - 第二导电柱,其布置成大体上垂直于所述多个导电线延伸;以及存储元件材料,其部分地在所述第一导电柱周围且部分地在所述第二导电柱周围形成;
其中部分地在所述第一导电柱周围形成的所述存储元件材料与部分地在所述第二导电柱周围形成的所述存储元件材料通过第二绝缘材料分离。
8. 根据权利要求7所述的3D存储器阵列,其进一步包括配置成在对所述阵列执行的编程操作或感测操作期间向所述多个竖直堆叠中的一个的所述第一和所述第二导电柱和所述多个导电线中的一个施加存取电压的电路系统。
9. 根据权利要求8所述的3D存储器阵列,其中所述电路系统包含基于所述3D存储器阵列的层面的数量的一定量的解码器。
10. 根据权利要求8所述的3D存储器阵列,其中所述电路系统包含仅基于x方向上的所述多个竖直堆叠的数量的一定量的解码器。
11. 根据权利要求7至10中任一权利要求所述的3D存储器阵列,其中:
所述多个导电线中的每一相应者是所述存储器阵列的不同字线;且

所述多个竖直堆叠中的每一相应者的所述第一和所述第二导电柱以通信方式耦合到所述3D存储器阵列的位线。

12. 根据权利要求7至10中任一权利要求所述的3D存储器阵列, 其中所述第一绝缘材料和所述第二绝缘材料是同一绝缘材料。

13. 一种处理三维3D存储器阵列的方法, 其包括:

在通过绝缘材料彼此分离的多个平面中形成第一导电线材料;

穿过所述多个平面中的所述第一导电线材料和所述绝缘材料形成具有第一直径的多个开口;

将所述多个开口中的每一个增大到第二直径;

沿着所述多个经增大开口中的每一个的侧壁形成存储元件材料;

在所述多个经增大开口中的每一个中邻近所述存储元件材料形成第二导电线材料; 以及

穿过在每个相应经增大开口中形成的所述第二导电线材料和所述存储元件材料、所述多个平面中的所述第一导电线材料及所述绝缘材料形成额外开口。

14. 根据权利要求13所述的方法, 其进一步包括在所述额外开口中形成第二绝缘材料。

15. 根据权利要求13至14中任一权利要求所述的方法, 其进一步包括将金属材料耦合到从中穿过形成每个相应额外开口的所述第二导电材料的部分。

16. 根据权利要求13至14中任一权利要求所述的方法, 其中形成所述多个开口包括以下中的一个:

穿过所述多个平面中的所述导电线材料和所述绝缘材料以交错图案形成所述多个开口; 以及

穿过所述多个平面中的所述导电线材料和所述绝缘材料以六边形图案形成所述多个开口。

17. 根据权利要求13至14中任一权利要求所述的方法, 其中将所述多个开口中的每一个增大到所述第二直径是基于与将施加到所述3D存储器阵列的电压相关联的介质厚度, 并且包含将所述多个开口中的每一个增大到在大致40和80纳米之间且包含40和80纳米的所述第二直径。

三维存储器阵列

技术领域

[0001] 本公开大体上涉及半导体存储器和方法,且更具体地说,涉及三维(3D)存储器阵列。

背景技术

[0002] 存储器装置通常提供为计算机或其它电子装置中的内部、半导体集成电路和/或外部可装卸式装置。存在许多不同类型的存储器,包含易失性和非易失性存储器。易失性存储器可能需要电力来维持它的数据,并且可包含随机存取存储器(RAM)、动态随机存取存储器(DRAM)和同步动态随机存取存储器(SDRAM)等等。非易失性存储器可通过在没有供电时也能保持所存储的数据来提供永久性数据,并且可包含NAND快闪存储器、NOR快闪存储器、只读存储器(ROM)和电阻可变存储器,如相变随机存取存储器(PCRAM)、电阻性随机存取存储器(RRAM)、磁性随机存取存储器(MRAM)和可编程导电存储器等等。

[0003] 存储器装置可用作用于需要高存储器密度、高可靠性和低功耗的广泛范围的电子应用的易失性和非易失性存储器。例如,非易失性存储器可用于个人计算机、便携式记忆棒、固态驱动器(SSD)、数码相机、蜂窝式电话、例如MP3播放器和电影播放器的便携式音乐播放器,以及其它电子装置。

[0004] 电阻可变存储器装置可包含电阻性存储器单元,它们可以基于存储元件的电阻状态来存储数据(例如,具有可变电阻的电阻性存储器元件)。因而,电阻性存储器单元可以编程成通过改变电阻性存储器元件的电阻电平来存储对应于目标数据状态的数据。电阻性存储器单元可以通过在特定持续时间内向单元(例如,单元的电阻性存储器元件)施加例如正或负电脉冲(例如,正或负电压或电流脉冲)的电场或能量源而编程到目标数据状态(例如,对应于特定电阻状态)。电阻性存储器单元的状态可通过响应于所施加的询问电压感测穿过单元的电流来确定。基于单元的电阻电平的所感测电流可指示单元的状态。

[0005] 可以为电阻性存储器单元设置数个数据状态(例如,电阻状态)中的一个。例如,单层级存储器单元(SLC)可以编程成两个不同数据状态中的目标数据状态,其可由二进制单元1或0表示,并且可取决于单元是被编程成高于特定电平的电阻还是被编程成低于特定电平的电阻。作为额外实例,一些电阻性存储器单元可以编程成超过两个数据状态(例如,1111、0111、0011、1011、1001、0001、0101、1101、1100、0100、0000、1000、1010、0010、0110和1110)中的目标数据状态。此类单元可以称为多状态存储器单元、多重单元(multiunit cell)或多层级单元(MLC)。MLC可以提供更高密度的存储器,而不会增加存储器单元的数目,因为每个单元可以表示超过一个数字(例如,超过一个位)。

附图说明

[0006] 图1示出根据本公开的实施例的与形成三维(3D)存储器阵列相关联的处理步骤的透视图。

[0007] 图2示出根据本公开的实施例的与形成3D存储器阵列相关联的后续处理步骤的俯

视图。

[0008] 图3示出根据本公开的实施例的与形成3D存储器阵列相关联的后续处理步骤的俯视图。

[0009] 图4示出根据本公开的实施例的多个开口的布置的俯视图。

[0010] 图5A-5C示出根据本公开的实施例的与形成3D存储器阵列相关联的后续处理步骤的各个视图。

[0011] 图6A-6C示出根据本公开的实施例的与形成3D存储器阵列相关联的后续处理步骤的各个视图。

[0012] 图7示出根据本公开的实施例的图6A-6C中所示的3D存储器阵列的存储器单元。

[0013] 图8A和8B示出根据本公开的实施例的与形成3D存储器阵列相关联的后续处理步骤的各个视图。

[0014] 图9A和9B示出根据本公开的实施例的与形成3D存储器阵列相关联的后续处理步骤的各个视图。

[0015] 图10是根据本公开的实施例的示出用于3D存储器阵列的一定量的层面(floor)的一定量的解码器的图。

[0016] 图11示出根据本公开的实施例的3D存储器阵列。

[0017] 图12是根据本公开的实施例的呈存储器装置形式的设备的框图。

具体实施方式

[0018] 本公开包含3D存储器阵列及其处理方法。数个实施例包含：第一多个导电线，其通过绝缘材料彼此分离；第二多个导电线；多对导电柱，其布置成大体上垂直于所述第一多个导电线和所述第二多个导电线延伸，其中每个相应对中的所述导电柱耦合到所述第二多个导电线中的同一导电线；以及存储元件材料，其部分地在每个相应对中的所述导电柱周围形成。

[0019] 相比于先前3D存储器阵列，根据本公开的3D存储器阵列可具有增加的存储器单元密度(例如，增加的位密度)。例如，相比于先前3D存储器阵列的存储器单元密度，根据本公开的3D存储器阵列的存储器单元密度可增加至少15%。此外，根据本公开的3D存储器阵列中的每一导电线的存储器单元密度可以是先前3D存储器阵列的双倍。

[0020] 根据本公开的3D存储器阵列包含穿过导电线材料和绝缘材料的交替层的开口的交错布置。所述交错布置减小开口之间的间隔，同时维持介质厚度，以维持将施加到3D存储器阵列的电压。

[0021] 在每一个开口中形成存储元件材料和导电柱。穿过导电线材料和绝缘材料的交替层、存储元件材料及导电柱形成另一开口(例如，切口)。所述另一开口增加了存储器单元的数目、减小了3D存储器阵列的每一层面的电容，并减少了3D存储器阵列的邻近层面之间的干扰。金属材料(例如，通孔)相对于所述另一开口以正交定向耦合到导电柱，使得3D存储器阵列的每一存储器单元通过3D存储器阵列的一对导电线(例如，位线和字线)明确地寻址。也就是说，3D存储器阵列的每一存储器单元仅具有一个可能的地址(例如，多个位线中的一个位线和多个字线中的一个字线)。因此，相比于用于解码先前3D存储器阵列的驱动器数量，用于解码根据本公开的3D存储器阵列的驱动器数量可以减少。例如，相比于用于解码先

前3D存储器阵列的驱动器数量,用于解码根据本公开的3D存储器阵列的驱动器数量可减少至少六十倍。

[0022] 如本文中所使用,“一”可以指某事物中的一或多个,且“多个”可以指此类事物中的多于一者。例如,存储器单元可以指一或多个存储器单元,且多个存储器单元可以指两个或更多个存储器单元。

[0023] 本文中的图遵循编号定则,其中第一一或多个数字对应于图号,且剩余的数字标识图式中的元件或组件。可通过使用类似数字来识别不同图之间的类似元件或组件。例如,102可表示图1中的元件“02”,且相似元件可在图2中表示为202。

[0024] 图1示出根据本公开的实施例的与形成3D存储器阵列100相关联的处理步骤的透视图。图1示出通过绝缘材料104的多个平面在z方向上彼此分离(例如,竖直分离)的导电线材料102的多个平面。例如,可以在蚀刻终止层(例如,衬底)材料(图1中未示出)上方形成(例如,沉积)绝缘材料104的第一平面(例如,底部平面),然后可以在绝缘材料104的第一平面上形成导电线材料102的平面。可以交替方式在导电线材料102上形成绝缘材料104的额外平面,如图1中所示。

[0025] 导电线材料102的多个平面中的每一相应者可处于(例如,形成)3D存储器阵列的不同层级,下文称为3D存储器阵列的层面。导电线材料102可包括(例如,由以下形成)金属(或半金属)材料或例如经掺杂多晶硅材料的半导体材料等等。绝缘材料104的实例包含但不限于介电材料,例如氧化硅。图1中示出了导电线材料102的四个平面和绝缘材料104的四个平面。但是,导电线材料102和绝缘材料104的平面数量不限于此数量;导电线材料102和绝缘材料104可以布置成更多或更少的层面。

[0026] 图2示出根据本公开的实施例的与形成3D存储器阵列200相关联的后续处理步骤的俯视图。如图2中所示,可以穿过绝缘材料204(图2中未展示)和导电线材料202的交替平面形成(例如,蚀刻和/或图案化)多个开口(例如,孔)206。例如,可以穿过导电线材料202形成多个开口206,使得多个开口206中的每一相应者的至少一部分通过导电线材料202的每个相应平面。可以去除导电线材料202的部分,使得导电线材料202的所得区域可以排除通过形成多个开口206去除的部分。多个开口206可以经由光刻工艺形成;但是,根据本公开的实施例不限于此。多个开口206中的每一个可以同时形成。举例来说,多个开口206中的每一个可以使用单个掩模在单个蚀刻和/或图案中形成。

[0027] 多个开口206中的每一个形成为具有一直径,此直径小于3D存储器阵列200的存储器单元要具有充足的存储元件材料厚度所需要的直径。图2中所示出的处理步骤中的较小直径使得存储器单元密度增加(例如,最大化),同时维持了3D存储器阵列200的电气性能要求(例如,最小介质厚度)。在实施例中,多个开口206的直径可在25纳米(nm)和40nm范围内,包含25nm和40nm。

[0028] 如图2中所示出,多个开口206以交错布置形成,其中多个开口206中的每一个之间具有相等间隔。交错布置可以是六边形布置。例如,多个开口206中的相应者可以被多个开口206中的六个其它开口环绕。下文结合图5进一步论述了图2中示出的多个开口的六边形布置。

[0029] 图3示出根据本公开的实施例的与形成3D存储器阵列300相关联的后续处理步骤的俯视图。如图3中所示,图2中所示的多个开口206例如经由蚀刻工艺增大,以形成经增大

开口308。增加多个开口206的直径以缩小多个经增大开口308中的每一相应者之间的空间，同时维持最小介质厚度，以维持将施加到3D存储器阵列300的电压。在实施例中，多个经增大开口308的直径可在40nm和80nm范围内，包含40nm和80nm。多个经增大开口308的直径与多个开口206的直径的比最多可为1.6。

[0030] 图4示出根据本公开的实施例的多个开口408的布置的俯视图。相比于其中开口以矩形布置彼此成一直线地形成的先前方法，多个开口408以交错的六边形布置形成。如本文中所使用，“矩形布置”是指在x方向（例如，行）和y方向（例如，列）上彼此邻近的多个开口。如图4中所示，多个开口408在x方向（例如，行）上彼此邻近且彼此成一直线。但是，多个开口408在y方向上并不彼此邻近。多个开口408在y方向（例如，列）上彼此成一直线，但是多个开口408在y方向上交替（例如，跳过）行。

[0031] 六边形409表示具有长度为 λ 的边缘的区域单元。六边形409的六个顶点定位在多个开口408中的六个开口的相应中心处。这六个开口环绕多个开口408中的另一个开口。如图4中所示，六边形409包含多个开口408中的中心开口和周围的六个开口中的每一个的三分之一（ $1/3$ ）。因此，六边形409涵盖多个开口408中的三个开口。六边形的面积可表示为 $3\sqrt{3}/2\lambda^2$ 。因此，多个开口408的密度是3个开口/ $(3\sqrt{3}/2\lambda^2)$ ，这可以简化为 $2/\sqrt{3}$ 个开口/ λ^2 或大致为1.15个开口/ λ^2 。多个开口408的密度大致比以矩形布置彼此成一直线地形成的开口的密度大15%，在后一种情况下，开口的密度是1个开口/ λ^2 。

[0032] 图5A-5C示出根据本公开的实施例的与形成3D存储器阵列500相关联的后续处理步骤的各个视图。图5A示出在所述后续处理步骤之后的3D存储器阵列500的俯视图。图5B示出在所述后续处理步骤之后的沿着截面线A-A的3D存储器阵列500的示意性横截面图。图5C示出在所述后续处理步骤之后的沿着截面线B-B的3D存储器阵列500的示意性横截面图。

[0033] 如图5A-5C中所示，多个经增大开口508中的每一个可以通过沿着多个经增大开口508中的每一相应者的侧壁形成（例如，沉积）存储元件材料512来填充。存储元件材料512可以是硫族化物材料，例如硫属化物合金和/或玻璃，它可用作自选存储元件材料（例如，可同时用作选择装置和存储元件的材料）。例如，存储元件材料512可响应于施加到其上的所施加电压，例如程序脉冲。对于小于阈值电压的所施加电压，存储元件材料512可保持处于不导电状态（例如，“断开”状态）。可替代地，响应于大于阈值电压的所施加电压，存储元件材料512可进入导电状态（例如，“接通”状态）。此外，给定极性的存储元件材料512的阈值电压可基于所施加电压的极性（例如，正或负）而变化。举例来说，阈值电压可基于程序脉冲的极性是正还是负而变化。

[0034] 可用作存储元件材料512的硫属化物材料的实例包含铟（In）-锑（Sb）-碲（Te）（IST）材料，例如 $\text{In}_2\text{Sb}_2\text{Te}_5$ 、 $\text{In}_1\text{Sb}_2\text{Te}_4$ 、 $\text{In}_1\text{Sb}_4\text{Te}_7$ 等，和锗（Ge）-锑（Sb）-碲（Te）（GST）材料，例如 $\text{Ge}_8\text{Sb}_5\text{Te}_8$ 、 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 、 $\text{Ge}_1\text{Sb}_2\text{Te}_4$ 、 $\text{Ge}_1\text{Sb}_4\text{Te}_7$ 、 $\text{Ge}_4\text{Sb}_4\text{Te}_7$ 等，以及其它硫属化物材料，包含例如在操作期间相位不变的合金（例如，硒类硫属化物合金）。此外，硫属化物材料可包含微小浓度的其它掺杂剂材料。如本文中所使用，加连字符的化学组合物符号指示包含在特定混合物或化合物中的元素，并且意在表示涉及所指示元素的所有化学计量。

[0035] 如图5A-5C中所示，可以在多个经增大开口508中的每一相应者中邻近已在经增大开口508中形成的存储元件材料512（例如，与其接触）形成导电柱（例如，管）514。本文中，导电柱514可以称为第二导电线材料。存储元件材料512在导电柱514周围同心地形成。导电柱

514可以是电极圆柱体。导电柱514可包括金属(或半金属)材料或例如经掺杂多晶硅材料的半导体材料,等等。导电柱514可包括导电线材料502。但是,可以使用其它金属、半金属或半导体材料。

[0036] 在图5A-5C所示的实施例中,在多个经增大开口508中的每一相应者中形成的存储元件材料512和导电柱514布置成大体上垂直于导电线材料502的多个平面和绝缘材料504的多个平面延伸。在多个经增大开口508中的每一相应者中形成的存储元件材料512和导电柱514以大体圆形形状同心地形成。但是,本公开的实施例不限于完美或几乎完美的圆形形状。举例来说,如本文中所使用,“同心”可以指以任何形状大体上环绕彼此的结构,包含例如卵形形状。

[0037] 尽管为了清楚起见且为了避免混淆本公开的实施例,在图5A-5C中未示出,但是在一些情况下,当存储元件材料512和导电柱514沉积在经增大开口508中时,存储元件材料512的一部分和导电柱514的一部分可以在多个经增大开口508中的每一相应者的底部上形成(例如,覆盖所述底部)。尽管导电柱514示出为具有中空中心(例如,管),但是本公开的实施例不限于此,使得导电柱514可具有实心中心。

[0038] 图6A-6C示出根据本公开的实施例的与形成3D存储器阵列600相关联的后续处理步骤的各个视图。图6A示出在所述后续处理步骤之后的3D存储器阵列600的俯视图。图6B示出在所述后续处理步骤之后的沿着截面线C-C的3D存储器阵列600的示意性横截面图。图6C示出在所述后续处理步骤之后的沿着截面线D-D的3D存储器阵列600的示意性横截面图。

[0039] 如图6A-6C中所示,可以穿过在多个经增大开口608中的每一相应者中形成的导电柱614和存储元件材料612、导电线材料602的多个平面及绝缘材料604的多个平面形成多个额外开口(例如,切口)616。在多个经增大开口608之间的最小距离方向上形成多个额外开口616。也就是说,多个额外开口可以在以下方向上形成:在多个经增大开口608的交错(例如,六边形)布置的三个相等最小距离方向上形成:如图6A中所示的那样水平地形成、在从左到右下的对角线方向上形成或在从右上到左下的对角线方向上形成。

[0040] 多个额外开口616布置成大体上垂直于导电线材料602的多个平面和绝缘材料604的多个平面延伸。多个额外开口616布置成与多个经增大开口608的中心点重合,以便有效地将在多个经增大开口608中的每一相应者中形成的存储元件材料612和导电柱614二等分(例如,切成两半)。因此,多个额外开口616中的每一相应者具有一对形成于其中的导电柱。

[0041] 多个额外开口616的宽度可大于图5A-5C中所示的导电柱514的中空中心的直径。因此,在多个经增大开口608中的每一相应者中形成的导电柱614的每一半可具有邻近多个额外开口616的大体上弯曲表面(例如,邻近存储元件材料612的一半的半圆形表面)和大体上平坦面。经等分存储元件材料612的弯曲表面的表面积与经等分存储元件材料612的平坦面不同,这可有助于窗口增大。在存储元件材料612的相对面(例如,相对的存储元件材料612的弯曲表面和存储元件材料612的平坦表面)具有不同尺寸的情况下,可以改进窗口。

[0042] 多个额外开口616中的每一相应者可以通过在多个额外开口616中的每一相应者中形成(例如,沉积)绝缘材料来填充。举例来说,多个额外开口616中的每一相应者可以完全用绝缘材料填充。在多个额外开口616中形成的绝缘材料可包括绝缘材料602或另一绝缘材料。在多个额外开口616中形成的绝缘材料可以是介电材料,例如氧化硅。在多个额外开口616中形成的绝缘材料可以是氮化硅。

[0043] 如图6A中所示,多个额外开口616将导电线材料602的平面切成多个导电线602-1、602-2、602-3、602-4、602-5和602-6,它们在本文中可称为多个导电线602。举例来说,在图6A-6C中所示的处理步骤之后,在多个平面中形成的导电线材料602可包括多个导电线602。因而,在多个经增大开口608中的每一相应者中形成的存储元件材料612和导电柱614的半部可包括3D存储器阵列600的竖直堆叠。也就是说,3D存储器阵列600可包含多个竖直堆叠。每个相应堆叠可包含第一导电柱614(例如,图5A-5C中所示的导电柱514的一半)、第二导电柱614(例如,导电柱514的另一半),以及部分地在第一导电柱614周围且部分地在第二导电柱614周围形成并且由在多个额外开口616中形成的绝缘材料分离的存储元件材料612。

[0044] 尽管为了清楚起见且为了避免混淆本公开的实施例,在图6A-6C中未示出,但是可以例如在存储元件材料612和/或导电柱614之前、之后和/或之间形成其它材料,以形成粘附层或针对材料相互扩散的屏障和/或缓解组成物混合。此外,在图6A-6C所示的实施例中,可在导电线材料602的最上部平面上方形成的存储元件材料612和/或导电柱614的任何部分已通过蚀刻和/或化学机械抛光(CMP)来去除,例如以将每个相应导电柱614彼此隔离。

[0045] 图7示出根据本公开的实施例的图6A-C中所示的3D存储器阵列600的存储器单元720。如图7中所示,3D存储器阵列600的每个相应存储器单元720包含导电线材料702的多个平面中的一个的一部分(例如,导电线702的一部分)和在多个经增大开口608中的相应者中形成的所述一对导电柱614中的一个导电柱714的一部分。3D存储器阵列600的每个相应存储器单元720还包含在多个经增大开口608中的所述相应者中形成的存储元件材料712的一部分,其在导电线702和导电柱714的所述部分之间。导电线702与导电柱714的所述部分大体上共平面,但与其电耦。因此,每个相应存储器单元720与其相应的导电线702的所述部分大体上共平面。

[0046] 返回参考图6A-6C,多个经增大开口中的每一相应者包含3D存储器阵列600的每层面两个存储器单元720,这是由于形成了多个额外开口616。因此,存储器单元720的数量由于多个额外开口616的形成而加倍。

[0047] 图8A和8B示出根据本公开的实施例的与形成3D存储器阵列800相关联的后续处理步骤的各个视图。图8A示出在所述后续处理步骤之后的3D存储器阵列800的俯视图。图8B示出在所述后续处理步骤之后的沿着截面线E-E的3D存储器阵列800的示意性横截面图。

[0048] 如图8A和8B中所示,在形成于多个经增大开口808中的每一相应者中的每对相应导电柱814上形成相应触点828。在触点828上形成(例如,沉积)多个导电线(例如,通孔)822-1、822-2、822-3、822-4、822-5、822-6、822-7和822-8(统称为多个导电线822)。多个导电线822在y方向上形成,使得触点828中的交替者耦合到多个导电线822中的每一相应者。

[0049] 与层面824-1、824-2、824-3和824-4(统称为层面824)中的相应者相关联的导电线802具有交错长度,以便在3D存储器阵列800的一侧上形成“阶状物”。如图8A和8B中所示,相应触点826耦合到每一个层面824的每一相应导电线802。例如,与最底部层面824-1相关联的导电线802长于与下一层面824-2相关联的导电线802,此导电线802长于与下一层面824-3相关联的导电线802,此导电线802长于与最顶部层面824-4相关联的导电线802。触点826在导电线802的端部处或附近形成。

[0050] 图9A和9B示出根据本公开的实施例的与形成3D存储器阵列900相关联的后续处理

步骤的各个视图。图9A示出在所述后续处理步骤之后的3D存储器阵列900的俯视图。图9B示出在所述后续处理步骤之后的沿着截面线F-F的3D存储器阵列900的示意性横截面图。

[0051] 例如(第三)多个导电线930(例如,通孔)的金属材料耦合到每一相应触点926(为了清楚起见且为了避免混淆本公开的实施例,在图9A和9B中未编号)。如图9A和9B中所示,在每个相应触点926上形成(例如,沉积)多个导电线930(例如,通孔)。例如,导电线930-1、930-2、930-3、930-4、930-5和930-6经由触点926耦合到与3D存储器阵列900的最顶部层面924-4相关联的(第一)多个导电线902。在图9A和9B所示的实施例中,(第三)多个导电线930在x方向上且大体上垂直于(第二)多个导电线922形成。

[0052] 3D存储器阵列900和3D存储器阵列900中可类似于图7中所示的存储器单元720的代表性存储器单元920的结构使得每个相应存储器单元720能够通过多个导电线930中的一个和多个导电线922中的一个明确地寻址。例如,为了寻址图9A中所指示的最顶部层面924-4中存储器单元920,可以向导电线930-4和导电线922-6施加电压。多个导电线930(和导电线902)可以是字线,且多个导电线922(和导电柱914)可以是位线。字线可以称为存取线,且位线可以称为数据线。

[0053] 因为3D存储器阵列900的存储器单元可以通过单个字线(WL)和单个位线(BL)明确地寻址,所以用于解码3D存储器阵列900的解码器驱动器的数量大大减少。表1示出用于解码先前3D存储器阵列到解码器驱动器的数量与用于解码根据本公开的3D存储器阵列(例如3D存储器阵列900)的解码器驱动器的数量的比较。

	先前 3D 存储器阵列	3D 存储器阵列 900
存储器单元的数量	开口的数量 * 层面的数量	开口的数量 * 2 * 层面的数量
[0054] BL 解码器的数量	x 方向上开口的数量(N) * y 方向上开口的数量(M)	x 方向上开口的数量(N)
WL 解码器的数量	层面的数量(L)	层面的数量(L) * y 方向上开口的数量(M)
解码器的总数量	$N * M + L$	$N + L * M$

[0055] 先前方法可包含在形成于多个平面中的导电线材料中形成的每个开口的一个解码器驱动器。因此,在先前方法中,解码器驱动器的数量几乎完全取决于在形成于多个平面中的导电线材料中形成的开口数量。位线解码器的数量是x方向上开口的数量(N)乘以y方向上开口的数量(M)。字线解码器的数量是3D存储器阵列的层面数量。因此,解码器的总数量是位线解码器的数量($N * M$)和字线解码器的数量(L)的总和。

[0056] 在根据本公开的实施例中,例如3D存储器阵列900,位线解码器的数量是x方向上开口908的数量(N)。位线解码器的数量可仅基于x方向上竖直堆叠的数量。在3D存储器阵列900中,x方向上开口908的数量是8(上部交错行中具有4个开口,下部交错行中具有4个开口)。因此,位线解码器的数量是8。位线解码器的数量等于多个导电线922的数量。在根据本公开的实施例中,字线解码器的数量是开口908的数量乘以层面数量(L)乘以y方向上开口908的数量(M)。持续3D存储器阵列900的实例,y方向上开口908的数量是6(在左侧交错列中具有3个开口,在右侧交错列中具有3个开口),且层面数量是4。因此,字线解码器的数量是24,它是多个导电线930的数量(4个层面中的每一层面中具有6个导电线)。

[0057] 在根据本公开的实施例中,3D存储器阵列900的解码器总数量是位线解码器的数量(N)和字线解码器的数量(L*M)的总和。因此,持续3D存储器阵列900的实例,解码器的总数量是32个解码器(8+24)。相比之下,具有x方向上的8个开口、y方向上的6个开口和4个层面的3D存储器阵列的一些先前方法将需要52(8*6+4)个解码器,它比3D存储器阵列900的解码器多38%(20个),即使3D存储器阵列900的存储器单元是它的两倍。

[0058] 图10是根据本公开的实施例的示出用于3D存储器阵列的一定量的层面的一定量的解码器的图1060。三角形1062对应于具有x方向上的1,000个开口和y方向上的1,000个开口的3D存储器阵列的先前方法。圆形1064对应于根据本公开的实施例的具有x方向上的1,000个开口和y方向上的1,000个开口的3D存储器阵列。图1060的横轴表示3D存储器阵列中的层面数目。图1060的竖轴表示3D存储器阵列的解码器数量。如图1060所示,先前方法需要大致一百万(1E6)个解码器,不管3D存储器阵列的层面数量是多少。相比之下,根据本公开的实施例需要用于具有一个层面的3D存储器的大致2,000(2E3)个解码器到用于具有32个层面的3D存储器阵列的大致50,000(5E4)个解码器。相比于一些先前方法,不仅用于解码根据本公开的存储器阵列(例如,图9A和9B中所示的3D存储器阵列900)的解码器数量取决于3D存储器阵列的层面数目,而且解码器的数量还减少了至少95%到99.8%。

[0059] 图11示出根据本公开的实施例的3D存储器阵列1100。例如,3D存储器阵列1100可类似于先前结合图9A和9B描述的3D存储器阵列900。也就是说,3D存储器阵列1100可以根据本文中先前描述(例如,结合图1-9B)的处理步骤进行处理。

[0060] 如图11中所示,字线可以设置在多个层面(例如,层级、高程、平台、平面)上。例如,字线可以设置在N个层面上。绝缘材料(为了清楚起见且为了避免混淆本公开的实施例,在图11中未示出)可以分离字线的层面。因而,由绝缘材料分离的字线层面可以形成字线/绝缘材料堆叠。

[0061] 位线可以大体上垂直于字线布置,并且可以位于在字线的N个层面上方的层级(例如,位于N+1层级)。每个位线可在字线(例如,字线702)附近包含导电柱(例如,图7中所示的导电柱714),其中导电柱和字线之间形成存储器单元(例如,存储器单元720)。

[0062] 例如,3D存储器阵列1100可包含多个导电线1102(例如,字线)和多个导电线1122(例如,位线)。多个导电线1102可以布置成多个层面。如图11中所示,多个导电线1102布置成四个层面。但是,可以布置多个导电线1102的层面的数量不限于此数量;多个导电线1102可以布置成更多或更少的层面。多个导电线1102在每个相应层面内彼此大体上平行地布置。多个导电线1102可以堆叠方式竖直对齐。举例来说,所述多个层面中的每一个中的多个导电线1102可位于每个相应层面内的同一相对位置,以便与正上方和/或正下方的层面中的多个导电线1102对齐。绝缘材料(例如,先前结合图1描述的绝缘材料104;在图12中未示出)可位于形成多个导电线1102的层面之间。在多个额外开口(例如,先前结合图6A-6C描述的多个额外开口616;在图11中未示出)中形成的绝缘材料可位于每个相应层面的多个导电线1102之间。

[0063] 如图11中所示,多个导电线1122可以在不同于多个导电线1102所处的层面(例如,在多个导电线1102所处的层面上方)的层面处彼此大体上平行地布置。举例来说,如图10A中所示,多个导电线1122可位于存储器阵列1100的顶部。作为额外实例,多个导电线1122可位于阵列1100的底部(例如,使得多个导电线1122耦合到图6A-6C中所示的导电柱614的底

部)。

[0064] 图11中针对多个导电线1102中的每一个示出的索引指示特定层面以及多个导电线1102在所述层面内的位置(例如,次序)。例如,具有索引 $WL_{2,0}$ 的导电线处于层面0内的位置2处(例如,3D存储器阵列1100中位于在位置2处的字线堆叠底部处的字线)。具有索引 $WL_{2,3}$ 的导电线位于层面3内的位置2处(例如,3D存储器阵列1100中位于在位置2处的字线堆叠顶部的字线)。相比于图11中示出的数量,可以布置多个导电线1102的层面的数量和每个层面处的多个导电线1102的数量可以更多或更少。

[0065] 在多个导电线1122中的一个和多个导电线1102的堆叠的每一重叠处,导电柱1114定向成大体上垂直于多个导电线1122和多个导电线1102,以便与堆叠中的多个导电线1102中的每一个的一部分相交。导电柱1114在多个导电线1102附近(例如,邻近)形成,使得存储器单元1120如本文中先前所描述(例如,结合图7)的那样形成。

[0066] 存储器单元1120在导电柱1114和多个导电线1102在不同层面处彼此接近的位置附近以3D架构布置。因而,存储器单元1120可以布置在多个层面中,每个层面在导电柱1114和多个导电线1102的相交点处具有存储器单元。存储器单元1120的层面可以在不同层面处形成(例如,竖直堆叠)。3D存储器阵列1100包含具有多个导电线1122中的公共者以及多个导电线1102中的分离者的存储器单元1120。举例来说,每个相应存储器单元1120可以与多个导电线1102中的相应者大体上共平面。存储器单元1120可以大体上在与多个导电线1102相同的层面处形成。3D存储器阵列1100的存储器单元1120可以耦合到解码器电路系统(在图11中未示出)。解码器电路系统可用于在编程或感测操作期间选择存储器单元1120中的特定者,例如,如结合图12进一步描述。

[0067] 图12是根据本公开的实施例的呈存储器装置1270形式的设备的框图。如本文中所使用,“设备”可以指但不限于各种结构或结构组合中的任一个,例如电路或电路系统、一或多个裸片、一或多个模块、一或多个装置或一或多个系统。如图12中所示,存储器装置1270可包含存储器阵列1200。存储器阵列1200可类似于先前分别结合图9A和9B描述的3D存储器阵列900。尽管为了清楚起见且为了避免混淆本公开的实施例,图12示出单个存储器阵列1200,但是存储器装置1270可包含任何数目个存储器阵列1200。

[0068] 如图12中所示,存储器装置1270可包含耦合到存储器阵列1200的解码电路系统1272。如本文中所使用,“解码器电路系统”可包含和/或指代行解码器电路系统和/或列解码器电路系统。解码电路系统1272可以与存储器阵列1200包含在相同物理装置(例如,相同裸片)上。解码电路系统1272可以包含在以通信方式耦合到包含存储器阵列1200的物理装置的单独物理装置上。

[0069] 解码电路系统1272可以在对存储器阵列1200执行的编程和/或感测操作期间接收并解码地址信号以存取存储器阵列1200的存储器单元(例如,图11中所示出的存储器单元1120)。例如,解码电路系统1272可包含解码器电路系统中用于在编程或感测操作期间选择存储器阵列1200中要存取的特定存储器单元的部分。举例来说,解码器电路系统的第一部分可用于选择比特点亮线(例如,图9A和9B中所示的多个导电线922中的一个),且解码器电路系统的第二部分可用于选择字线(例如,图9A和9B中所示的多个导电线924中的一个)。可以例如使用耦合到导电柱的选择器(例如,竖直晶体管)选择存储器单元(例如,存储器单元720)的导电柱(例如,图7中所示出的导电柱714)。解码电路系统1272可在对存储器阵列

1200执行的编程操作或感测操作期间向多个竖直堆叠(例如,上文在图13中示出并结合其描述的竖直堆叠)中的一个的第一和第二导电柱(例如,导电柱714)和多个导电线中的一个(例如,多个导电线924中的一个)施加存取电压。

[0070] 图12中所示的实施例可包含未示出的额外电路系统、逻辑和/或组件,以免混淆本公开的实施例。例如,存储器装置1270可包含用于发送对存储器阵列1200执行操作的命令的控制器,例如感测(例如,读取)、编程(例如,写入)、移动和/或擦除数据的操作,以及其它操作。此外,存储器装置1272可包含用于锁存通过I/O电路系统在输入/输出(I/O)连接器上提供的地址信号的地址电路系统。此外,存储器装置1272可包含与存储器阵列1200分开和/或作为存储器阵列1200的补充的主存储器,例如DRAM或SDRAM。

[0071] 尽管已在本文中说明并描述了具体实施例,但所属领域的一般技术人员应了解,经计算以实现相同结果的布置可取代所示的具体实施例。本公开意在涵盖本公开的数个实施例的调适或变化。应理解,以上描述是以说明方式而非限制方式进行的。在查阅以上描述后,以上实施例和本文未具体描述的其它实施例的组合对于所属领域的技术人员来说将是显而易见的。本公开的数个实施例的范围包含其中使用上述结构和方法的其它应用。因此,本公开的数个实施例的范围应当参考所附权利要求书连同此类权利要求有权享有的等效物的完整范围来确定。

[0072] 在前述具体实施方式中,出于简化本公开的目的而将一些特征一并归到单个实施例中。本公开的这一方法不应被理解为反映本公开的所公开实施例必须使用比每个权利要求中明确陈述的特征更多的特征的意图。相反,如所附权利要求书所反映,本发明主题在于单个所公开实施例的不到全部的特征。因此,所附权利要求书特此并入于具体实施方式中,其中每项权利要求就其自身而言作为单独实施例。

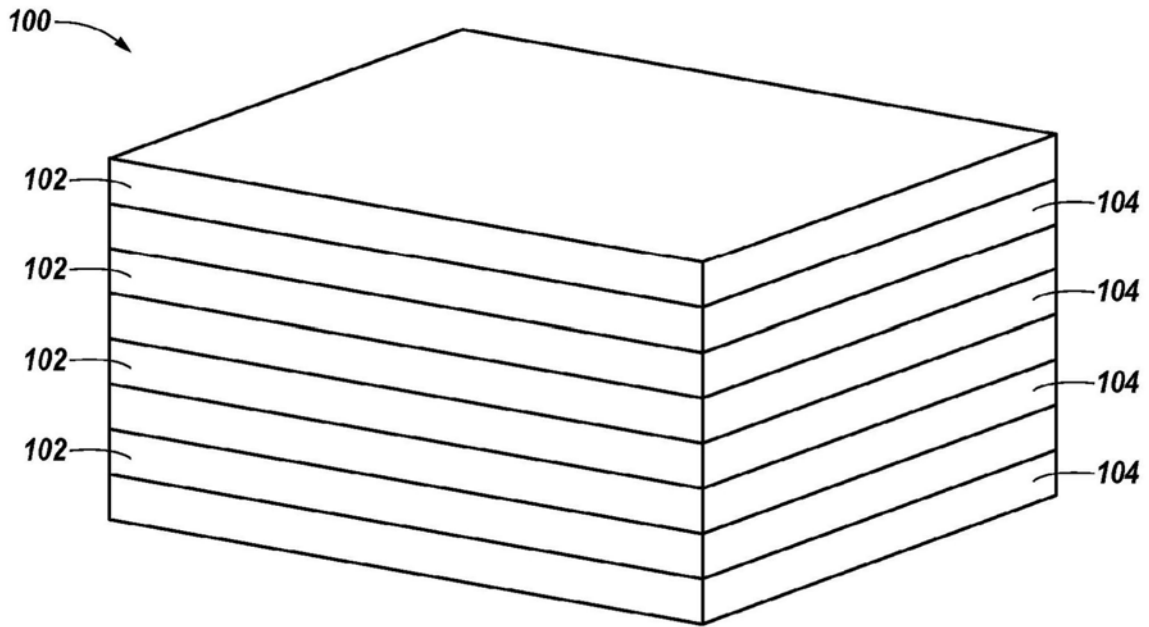


图1

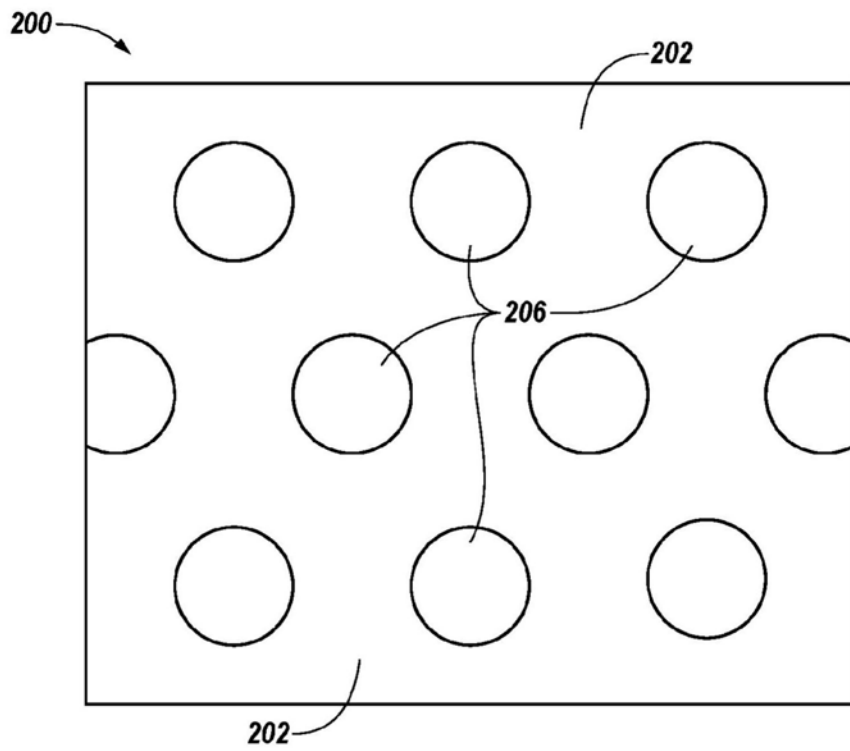


图2

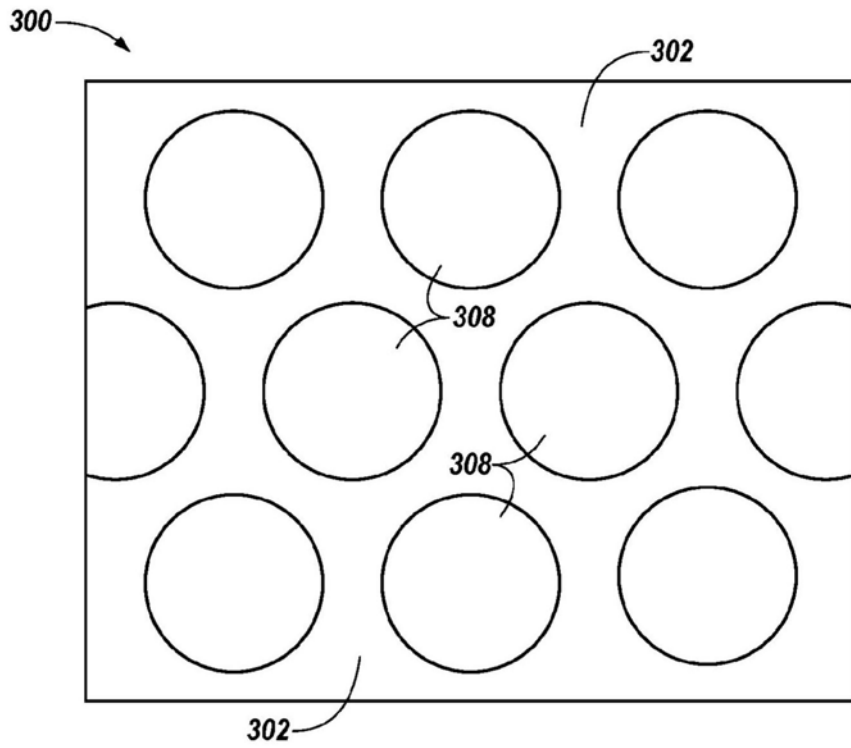


图3

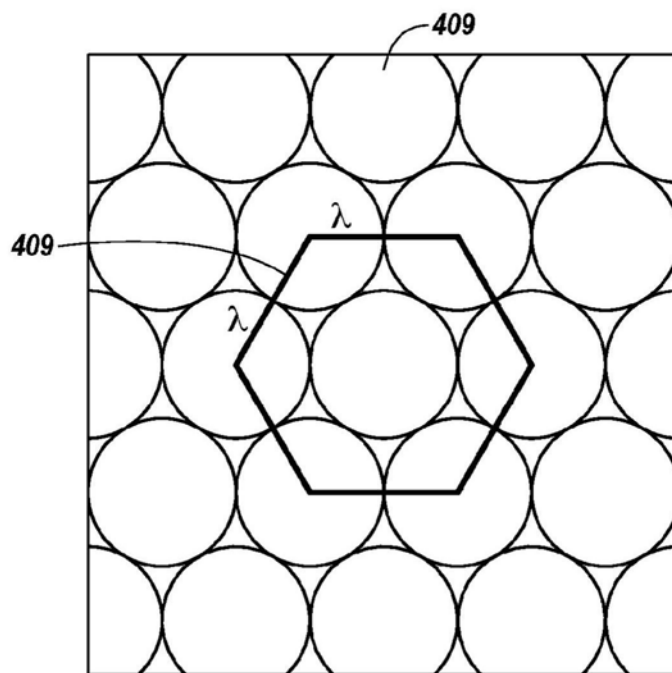


图4

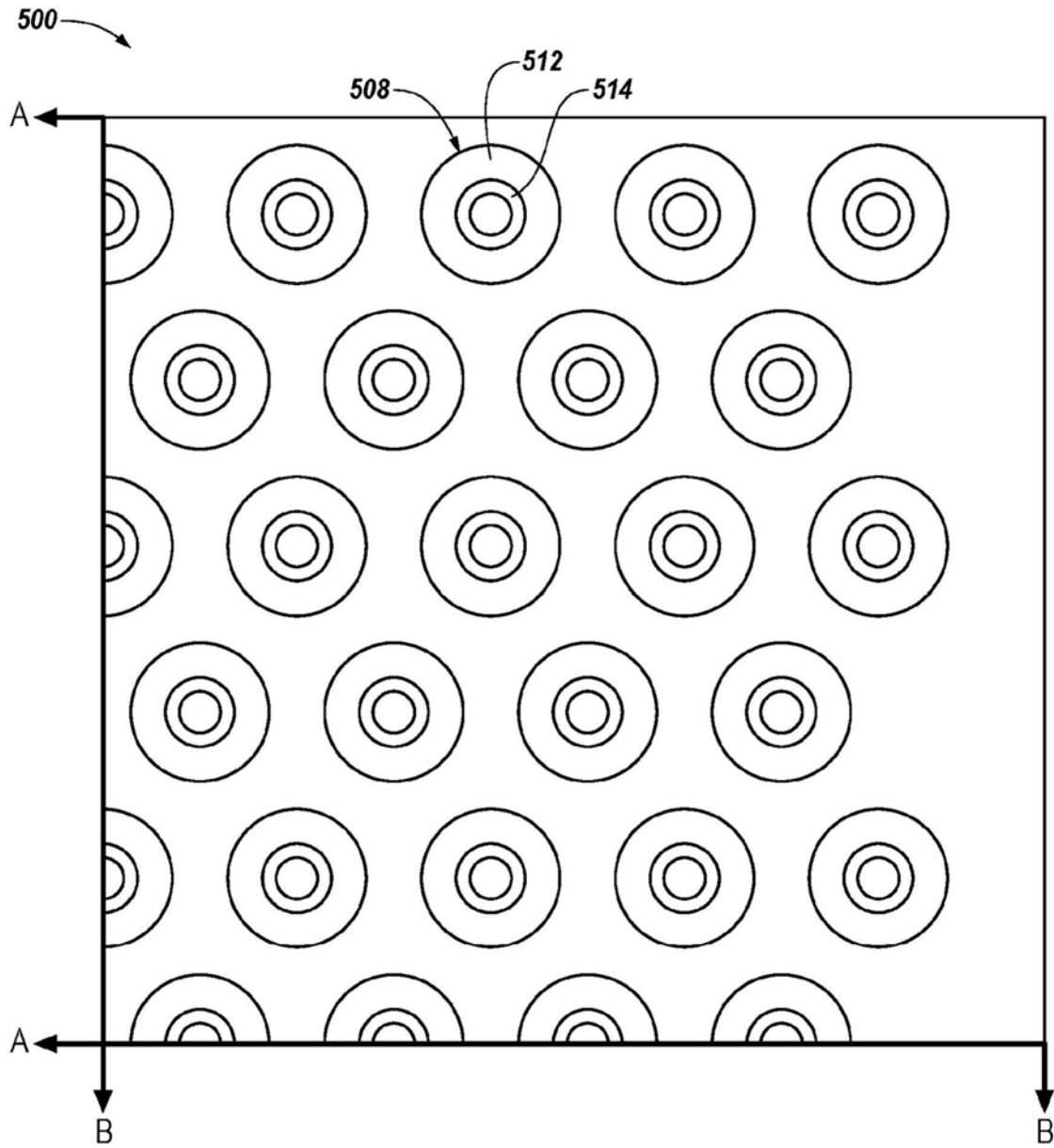


图5A

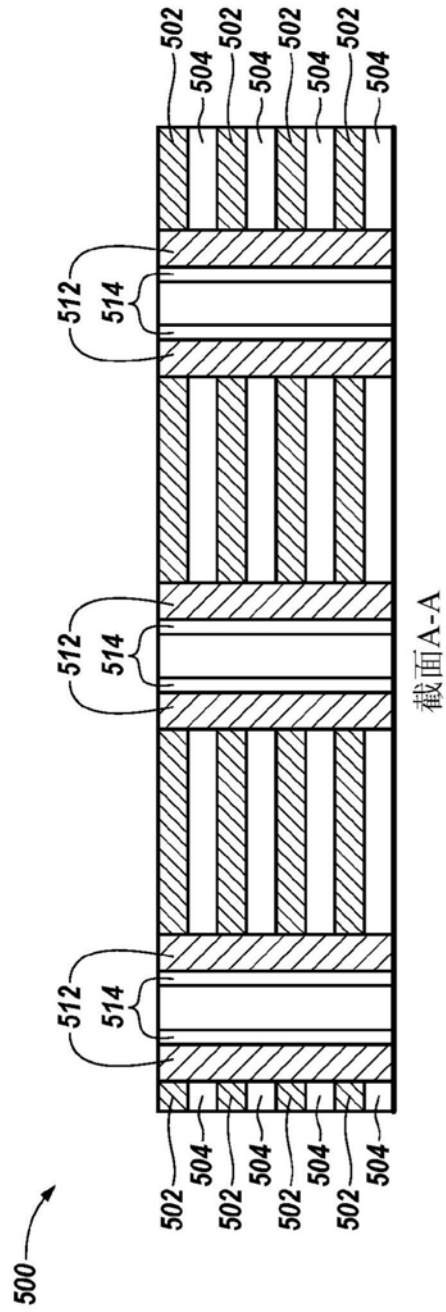


图5B

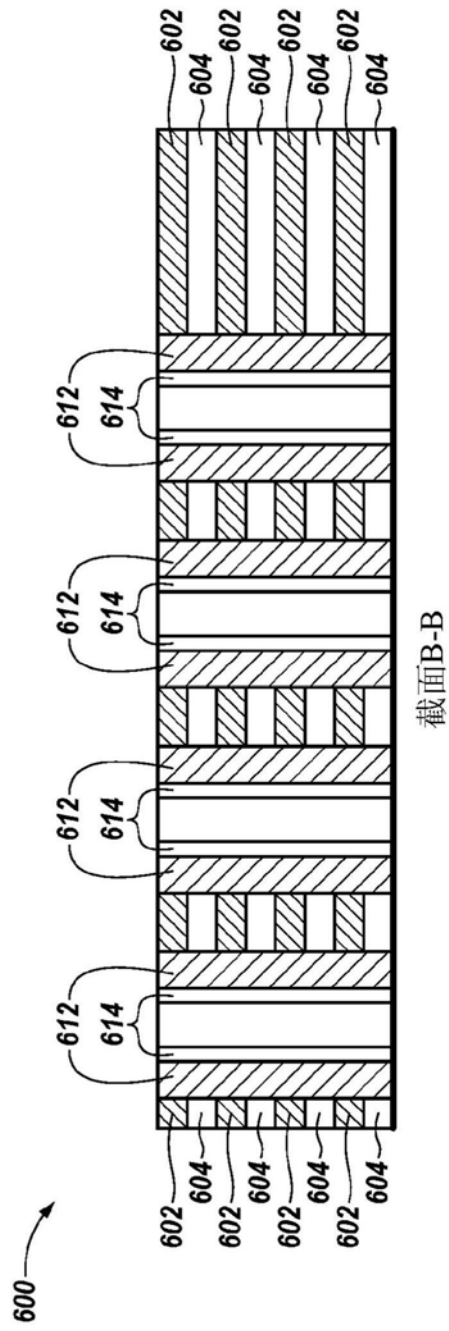


图5C

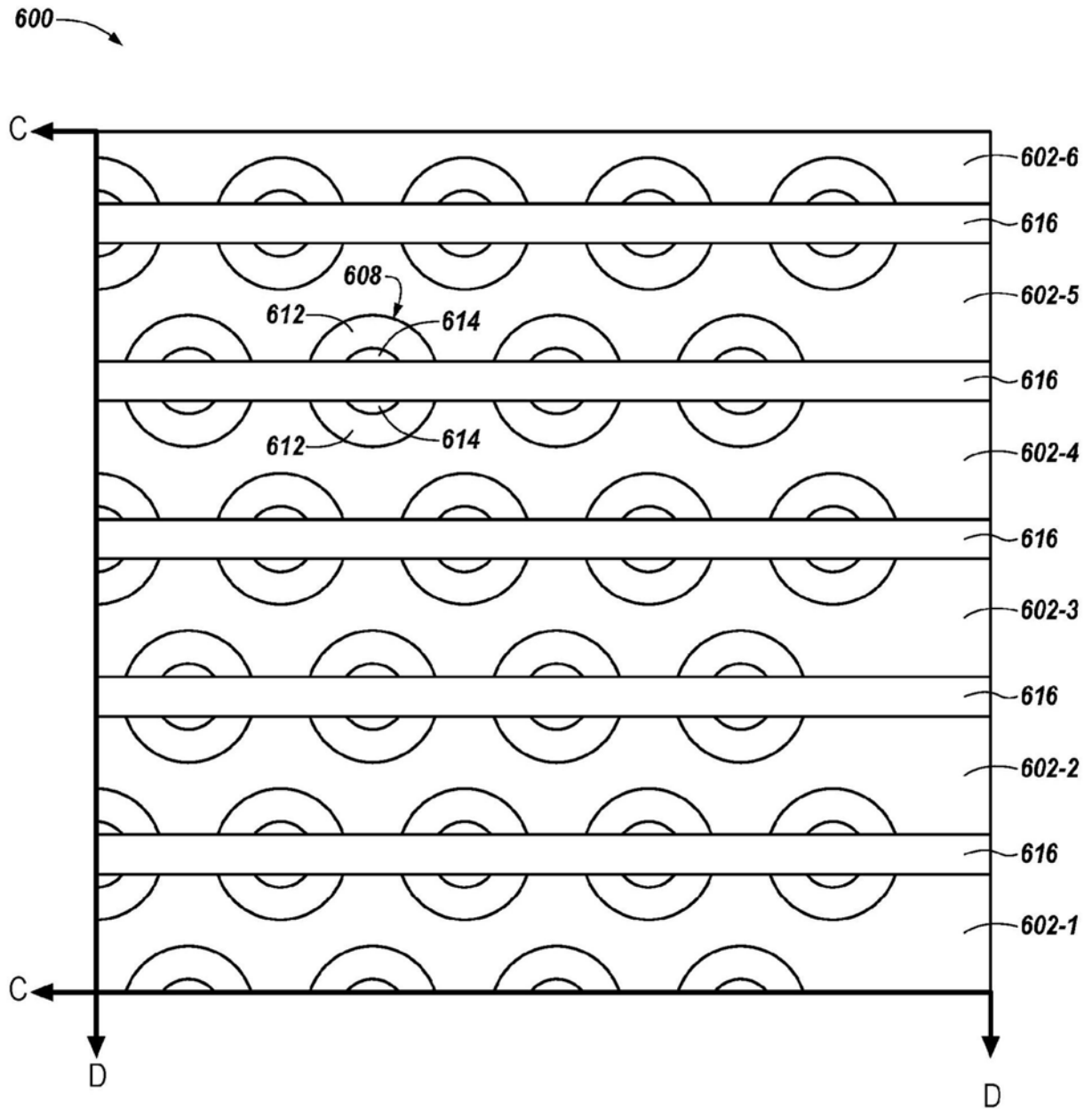


图6A

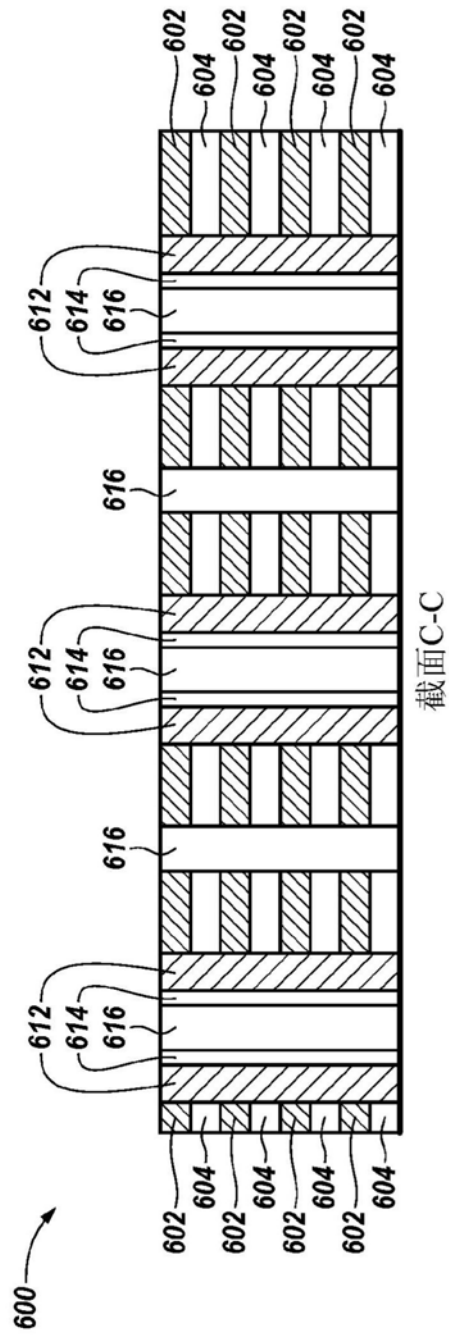


图6B

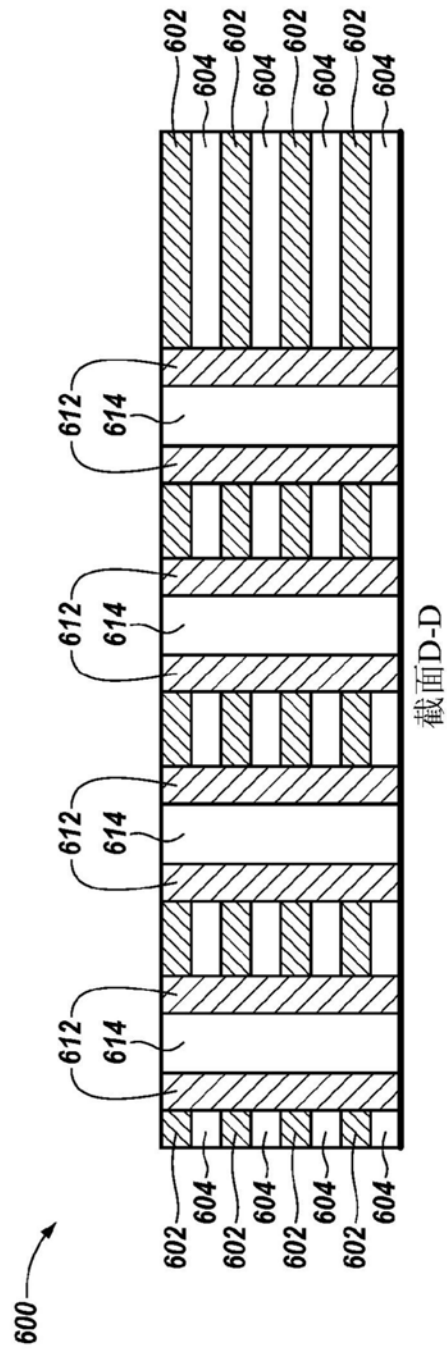


图6C

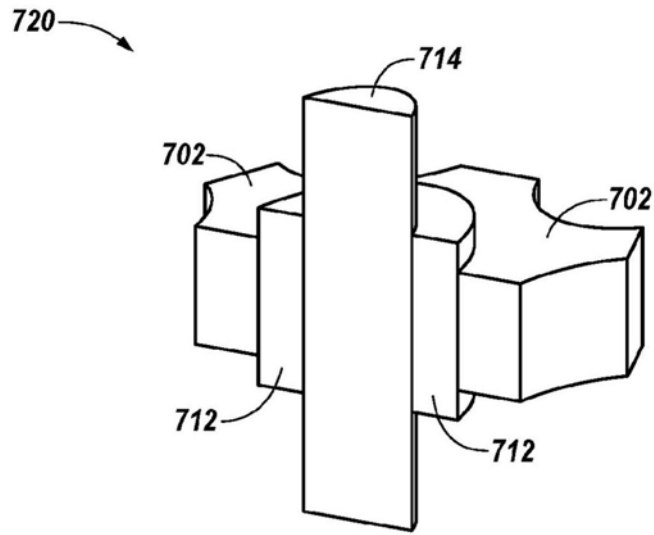


图7

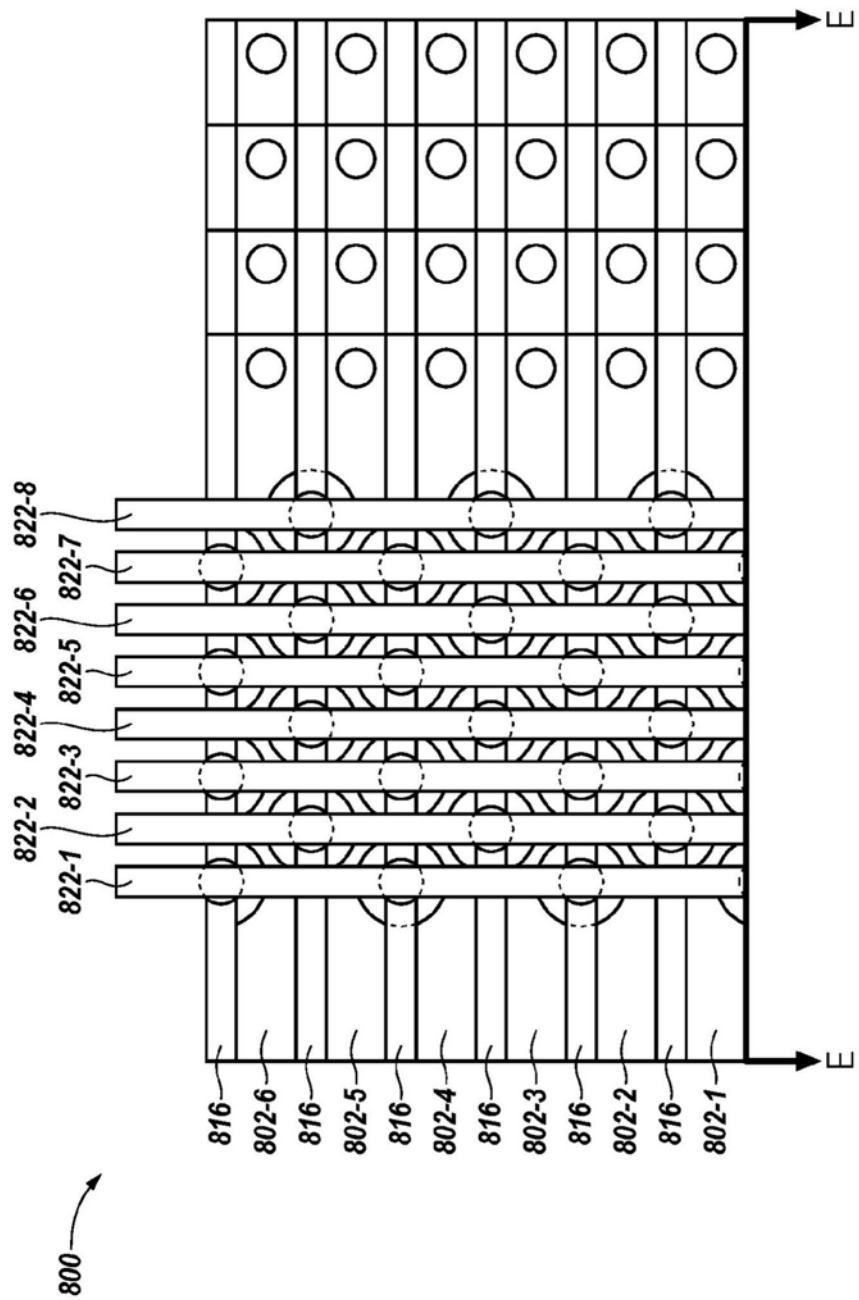


图8A

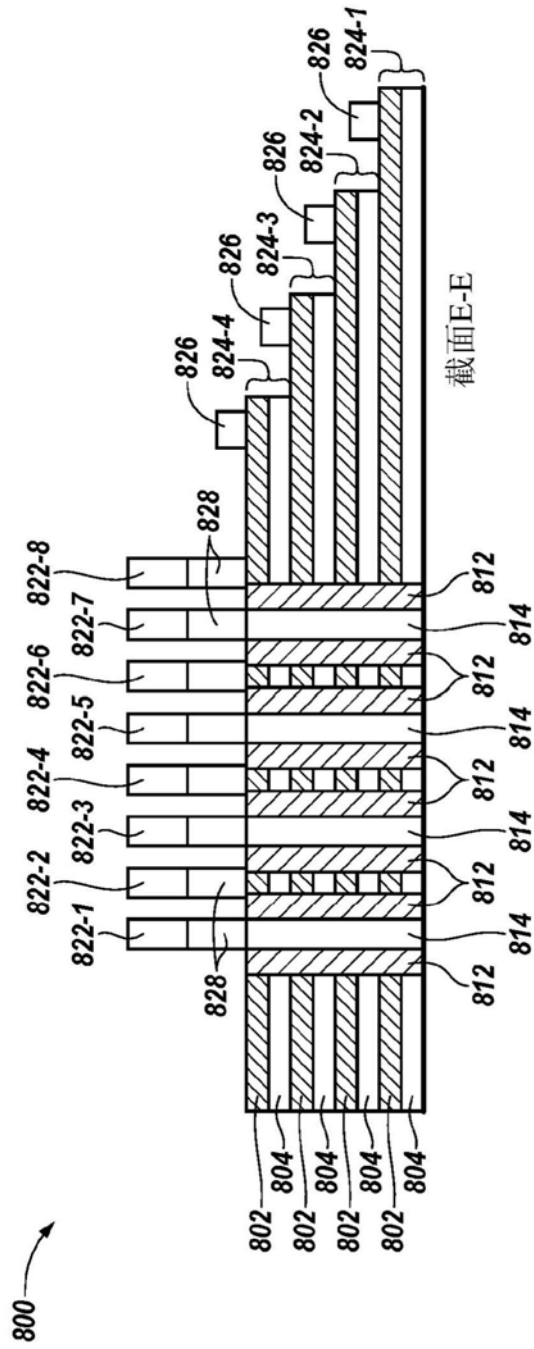


图8B

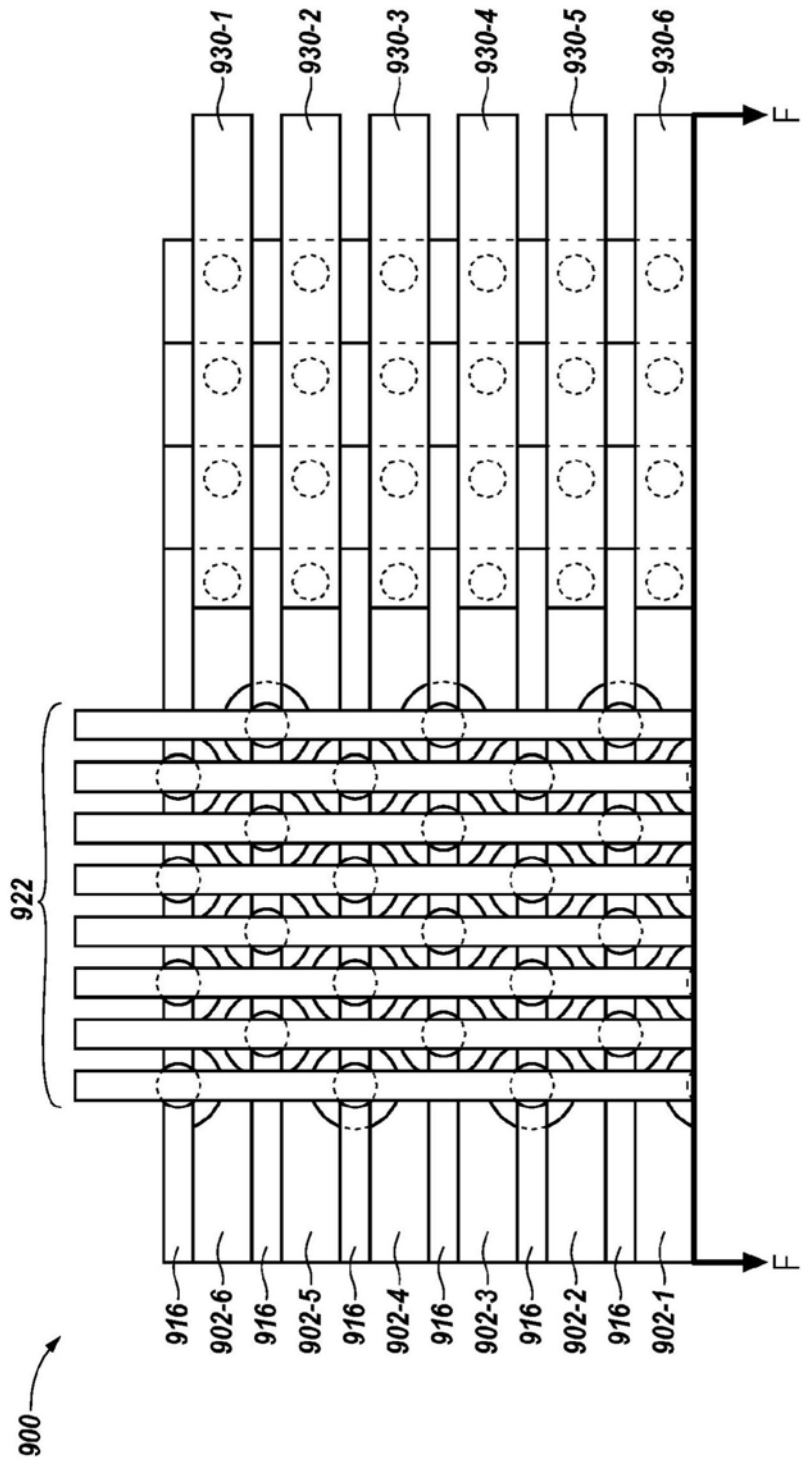


图9A

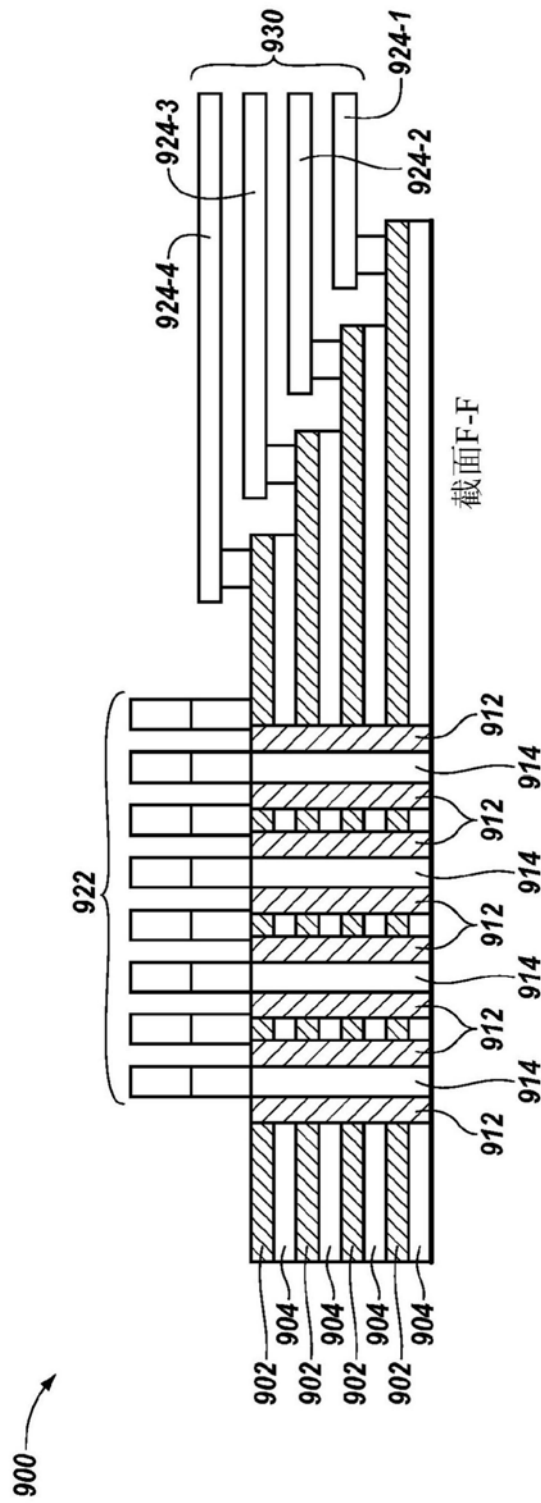


图9B

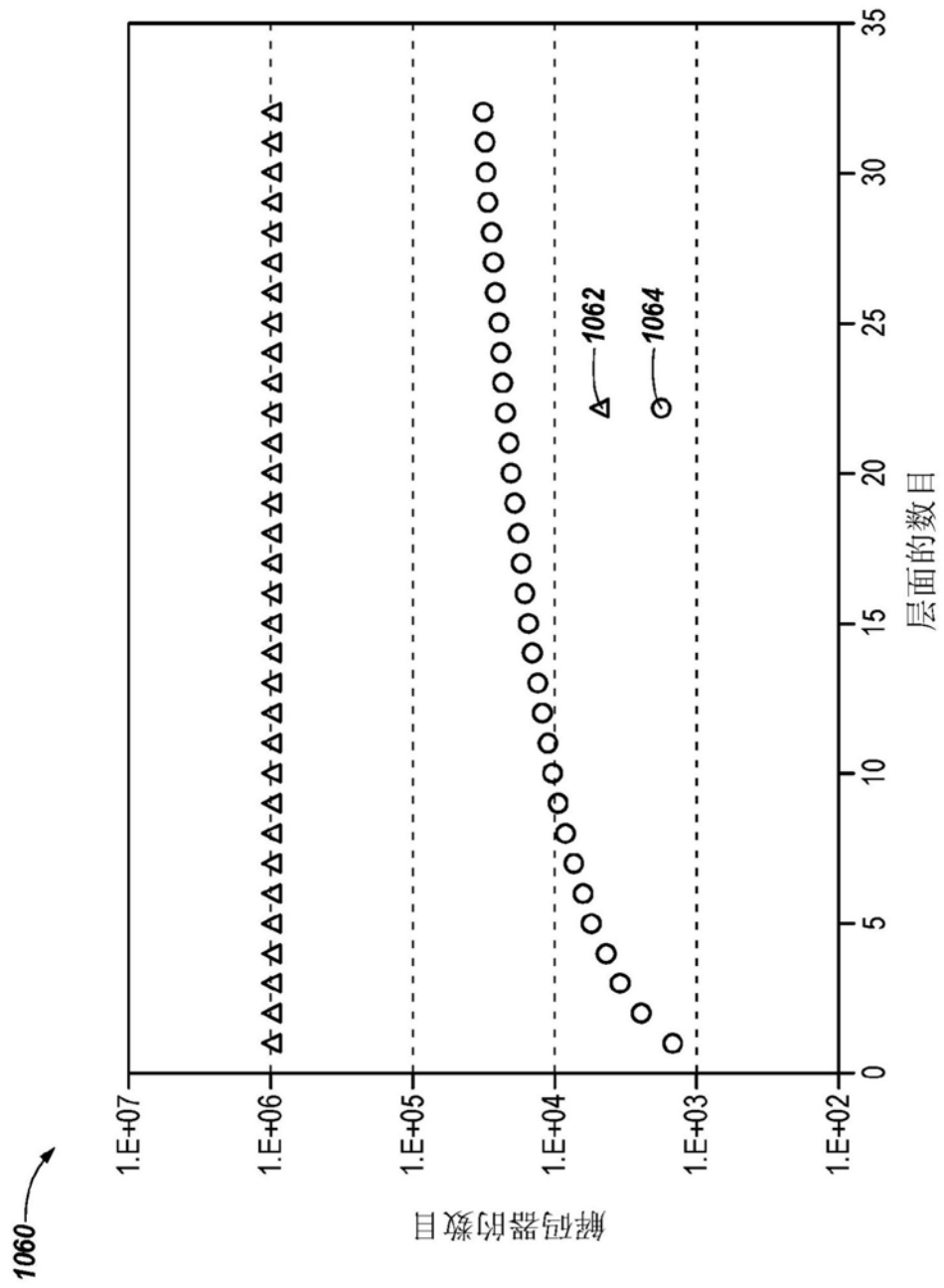


图10

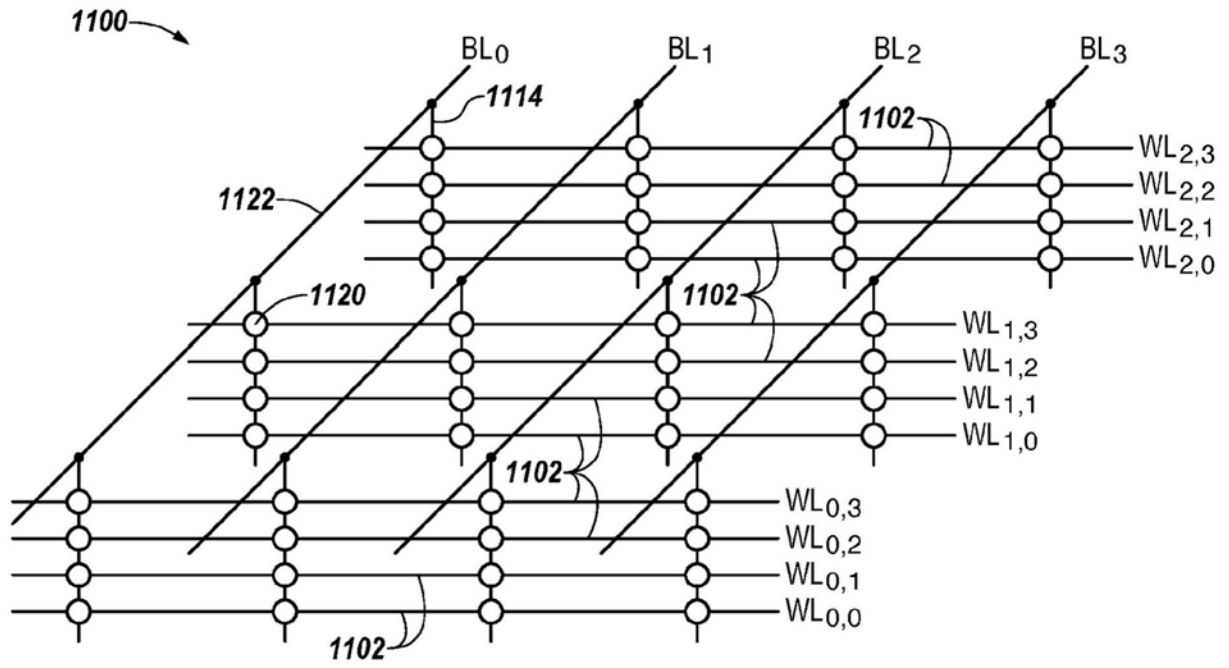


图11

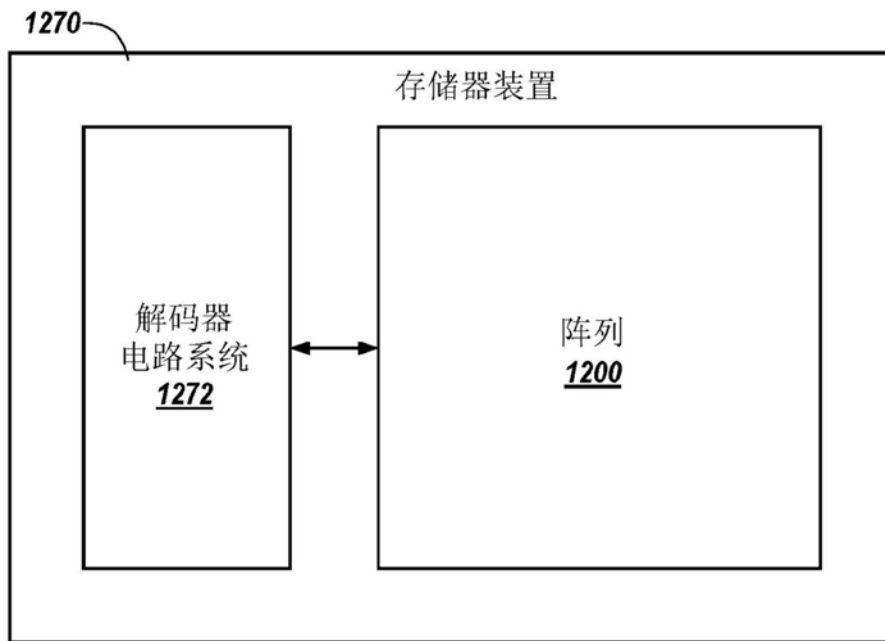


图12