

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4053433号  
(P4053433)

(45) 発行日 平成20年2月27日 (2008. 2. 27)

(24) 登録日 平成19年12月14日 (2007. 12. 14)

(51) Int. Cl.

F I

**H03M 1/74 (2006.01)****G09G 3/20 (2006.01)****G09G 3/30 (2006.01)****H03K 17/687 (2006.01)****H01L 51/50 (2006.01)**

H03M 1/74

G09G 3/20 623F

G09G 3/20 641D

G09G 3/30 J

H03K 17/687 A

請求項の数 5 (全 15 頁) 最終頁に続く

(21) 出願番号 特願2003-1495 (P2003-1495)  
 (22) 出願日 平成15年1月7日 (2003. 1. 7)  
 (65) 公開番号 特開2004-215109 (P2004-215109A)  
 (43) 公開日 平成16年7月29日 (2004. 7. 29)  
 審査請求日 平成17年12月20日 (2005. 12. 20)

(73) 特許権者 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷398番地  
 (72) 発明者 犬飼 和隆  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内

審査官 柳下 勝幸

(56) 参考文献 特開平02-055421 (JP, A)  
 特開2002-215095 (JP, A)  
 )

最終頁に続く

(54) 【発明の名称】 電流出力DAコンバータ回路、表示装置及び電子機器

(57) 【特許請求の範囲】

【請求項1】

第1乃至第3の駆動トランジスタ、第1乃至第8のトランジスタ、第1及び第2の電流源、及び定電圧源を有し、

前記第1の駆動トランジスタは、ゲートは前記第1のトランジスタのソース又はドレインの一方に、ソース又はドレインの一方は前記第2及び前記第3のトランジスタの各々のソース又はドレインの一方に、ソース又はドレインの他方は前記定電圧源に電氣的に接続され、

前記第2の駆動トランジスタは、ゲートは前記第4のトランジスタのソース又はドレインの一方に、ソース又はドレインの一方は前記第5及び前記第6のトランジスタの各々のソース又はドレインの一方に、ソース又はドレインの他方は前記定電圧源に電氣的に接続され、

前記第3の駆動トランジスタは、ゲートは前記第4のトランジスタのソース又はドレインの一方に、ソース又はドレインの一方は前記第7及び前記第8のトランジスタの各々のソース又はドレインの一方に、ソース又はドレインの他方は前記定電圧源に電氣的に接続され、

前記第1及び前記第2のトランジスタの各々のゲートは、第1の電流設定信号入力線に電氣的に接続され、

前記第4、前記第5及び前記第7のトランジスタの各々のゲートは、第2の電流設定信号入力線に電氣的に接続され、

10

20

前記第 1 及び前記第 2 のトランジスタの各々のソース又はドレインの他方は、前記第 1 の電流源に電氣的に接続され、

前記第 4、前記第 5 及び前記第 7 のトランジスタの各々のソース又はドレインの他方は、前記第 2 の電流源に電氣的に接続され、

前記第 3 のトランジスタのゲートは、第 1 のデジタル信号入力線に電氣的に接続され、

前記第 6 のトランジスタのゲートは、第 2 のデジタル信号入力線に電氣的に接続され、

前記第 8 のトランジスタのゲートは、第 3 のデジタル信号入力線に電氣的に接続され、

前記第 3、前記第 6 及び前記第 8 のトランジスタの各々のソース又はドレインの他方は、出力部に電氣的に接続され、

前記第 1 のデジタル信号入力線を介して前記第 3 のトランジスタのゲートに入力されるデジタル信号は最上位ビットの信号であることを特徴とする電流出力 D A コンバータ回路

10

【請求項 2】

請求項 1 において、

前記第 1、前記第 2 及び前記第 3 の駆動トランジスタのチャンネル長 / チャンネル幅は、1 : 2 : 4 であることを特徴とする電流出力 D A コンバータ回路。

【請求項 3】

請求項 1 に記載の前記電流出力 D A コンバータ回路を有することを特徴とする表示装置

。

【請求項 4】

請求項 1 に記載の前記電流出力 D A コンバータ回路を有することを特徴とする電子機器

。

【請求項 5】

請求項 3 に記載の前記表示装置を有することを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電流出力回路、D A コンバータ回路の技術に関する。さらには、前記電流出力回路、D A コンバータ回路を搭載した表示装置、電子機器に関する。

【0002】

【従来の技術】

近年、画像の表示を行う薄型表示装置の重要性が増している。薄型表示装置としては、液晶素子を用いて画像の表示を行う液晶表示装置が、薄型、高画質、軽量などの利点を活かして、携帯電話やパソコンをはじめとする種々の用途の表示装置（ディスプレイ装置）として幅広く用いられている。

【0003】

他方で、発光素子を用いた薄型表示装置、発光装置の開発も進められている。この発光素子には、有機材料、無機材料、薄膜材料、バルク材料、分散材料等、広汎にわたる様々な材料を利用した多様な素子が存在する。

【0004】

薄型表示装置向けに特に有望視されている代表的な発光素子は、有機発光ダイオード（O L E D）素子である。O L E D 素子を用いた O L E D 表示装置は、既存の液晶表示装置以上に薄型、軽量である特長に加え、動画表示に適した高応答速度、高視野角、低電圧駆動などの特長を有しているため、携帯電話や携帯情報端末（P D A）をはじめテレビ、モニターなど、幅広い用途が見込まれ、次世代ディスプレイとして注目されている。

【0005】

中でもアクティブマトリクス（A M）型の O L E D 表示装置は、パッシブマトリクス（P M）型では困難な、高精細、大画面の表示も可能であるうえ、P M 型を上回る低消費電力動作で高信頼性を有し、実用化への期待は大変強い。A M 型の他の利点として、駆動回路をパネル上に集積することができれば、パネルの狭額縁化が図れ、高付加価値品となると

40

50

いう点もある。

【 0 0 0 6 】

O L E D 素子は一般に、陽極と、陰極と、該陽極と該陰極との間に有機化合物を含む層とを有する構造をしている、電流駆動型の発光素子である。電流駆動型というのは、O L E D 素子に流れる電流量と発光輝度が概ね比例するためである。

【 0 0 0 7 】

A M 型 O L E D 表示装置において画像を表示する駆動方式には、電圧入力方式と電流入力方式がある。前者の電圧入力方式は、画素に入力するビデオ信号として、電圧値形式データのビデオ信号を入力する。他方、後者の電流入力方式は、画素に入力するビデオ信号として、電流値形式データのビデオ信号を入力する。A M 型 O L E D 表示装置においては、10

【 0 0 0 8 】

電流入力方式の方が好ましい理由は、表示品位上の問題である。A M 型 O L E D 表示装置の画素では、電圧入力方式にしても電流入力方式にしても、該画素の O L E D 素子の発光輝度を制御する画素駆動トランジスタを、O L E D 素子に直列に接続している。電圧入力方式では通常、画素駆動トランジスタのゲート電極にビデオ信号の電圧が直接印加される。そのため O L E D 素子を定電流発光させる場合、画素駆動トランジスタの電気的特性が各々の画素間で均一でなくバラつきを有していると、各画素の O L E D 素子駆動電流にバラつきが生じる。O L E D 素子駆動電流のバラつきは、O L E D 素子の発光輝度のバラつきとなり、画面全体でみると砂嵐状あるいは絨毯模様のムラとして表示画像の品位を低下20

【 0 0 0 9 】

特に現在通常は、画素駆動トランジスタとして、多結晶（ポリ）シリコン T F T が用いられる。画素駆動トランジスタとして非晶質（アモルファス）シリコン薄膜トランジスタ（T F T）を用いると、高輝度の発光に十分な電流が得られないためである。しかし、ポリシリコン T F T では、結晶粒界における欠陥等に起因して電気的特性にバラつきが生じやすい。

【 0 0 1 0 】

電流入力方式は A M 型 O L E D 表示装置において、電圧入力方式よりも一般的には好ましいにもかかわらず、課題もある。その一つが、電流入力方式では電圧入力方式よりも駆動回路がやや複雑で、パネル上に集積しにくいことである。30

【 0 0 1 1 】

【 発明が解決しようとする課題 】

代表的な電流入力方式 A M 型表示装置のパネル構成を、図 7 ～ 図 9 及び図 4 を用いて説明する。

【 0 0 1 2 】

図 9 がパネル全体の構成図である。画素がマトリクス状に配置された画素部 9 3 1 が存在するだけでなく、ゲート駆動回路 9 2 1 やデータ駆動回路 9 1 1 がパネル上に一体形成されていることが多い。データ駆動回路 9 1 1 内の一点鎖線部 9 1 3 はセレクト回路である。図 9 の点線部 9 1 2 a、9 1 2 b は電流データ出力回路であり、図 8 の点線部 8 4 2 のような構成をとる。40

【 0 0 1 3 】

図 8 の電流データ出力回路は大別すると、シフトレジスタ部、ディジタルデータラッチ部、電流源（電流出力回路）、D A スイッチの 4 部よりなる。電流源（電流出力回路）と D A スイッチは、合わせて電流出力 D A コンバータ回路を構成している。

【 0 0 1 4 】

シフトレジスタ部に相当するのが 8 0 1 ～ 8 0 3 であり、8 0 3 は正と反のクロック信号線、チェック部 8 0 1 ～ 8 0 2 は図 4 の 4 0 3 に示す回路である。シフトレジスタ部はタイミング信号を順次出力発生させ、ディジタルデータラッチ部がこのタイミング信号に合わせて画像データ（ディジタルデータ）をデータ信号線から読込む。50

## 【 0 0 1 5 】

ディジタルデータラッチ部に相当するのが 8 1 1 ~ 8 1 8 であり、8 1 7 は各ビットのデータ信号線、8 1 8 はラッチ信号線、チェッカ部 8 1 5 ~ 8 1 6 は図 4 の 4 0 3 に示す回路である。図 8 では画像データ（ディジタルデータ）は 3 ビットを想定しているため、データ信号線は 3 本にしてある。また 8 1 2 と 8 1 3 のチェッカ部 8 1 5 ~ 8 1 6 は図上では省略してある。ディジタルデータラッチ部からのタイミング信号に合わせて読込まれた画像データ（ディジタルデータ）は、ラッチ信号に同期して D A スイッチ 8 2 1 ~ 8 2 3 へ伝達される。

## 【 0 0 1 6 】

電流源（電流出力回路）に相当するのはドット部 8 2 4 であり、具体的な回路構成は図 7 のドット部 7 9 1 に示す。各ビットに対応する電流源が独立に設けられている。従って例えば 7 0 1、7 1 1、7 2 1、7 3 1、7 4 1 よりなる電流源回路は、7 0 2、7 1 2、7 2 2、7 3 2、7 4 2 よりなる電流源回路とは全く独立である。

10

## 【 0 0 1 7 】

D A スイッチに相当する 8 2 1 ~ 8 2 3 は、図 7 では 7 6 1 ~ 7 6 3 としてある。各 D A スイッチは並列に設置されているので、D A スイッチがオン状態にある全ビットの電流源の合計電流が、結果的に電流データ出力回路から出力される。

## 【 0 0 1 8 】

パネル外における画像データの処理はディジタル電圧データとして行うのが最も便利であるから、図 8 の電流データ出力回路における、電流出力 D A コンバータ回路は重要である。しかし該 D A コンバータでは全ビットについて、別々に電流値を設定する必要があり動作が煩雑となる。またビット数が大きな場合には、電流設定用の入力線数の増加、レイアウトの複雑化、大面積化につながってしまう。

20

## 【 0 0 1 9 】

本発明は、ディジタル電圧値形式のデータを読み込み、アナログ電流値形式のデータを出力する、簡素な D A コンバータ回路を提供することを課題とする。本発明は、電流入力方式の A M 型 O L E D 表示装置に使用するデータ駆動回路として用いることができる。

## 【 0 0 2 0 】

## 【課題を解決するための手段】

まず本発明は、複数の駆動トランジスタを有し、該複数の駆動トランジスタは互いにゲート電極を電氣的に接続し、該ゲート電極と前記複数の駆動トランジスタの各ドレインとの間にスイッチを備えたことを特徴とする電流出力回路を含むものである。

30

## 【 0 0 2 1 】

また本発明は、前記電流出力回路を有し、該電流出力回路が有する複数の駆動トランジスタの各ドレインに、ビットデータに対応してオンオフ制御されるスイッチが備えられていることを特徴とする電流出力 D A コンバータ回路を含むものである。

## 【 0 0 2 2 】

さらに本発明は、前記電流出力回路あるいは前記電流出力 D A コンバータ回路を使用する表示装置、電子機器を含むものである。

40

## 【 0 0 2 3 】

## 【発明の実施の形態】

## （実施の形態 1）

本発明の実施の一例を図 1 0、図 1 2、図 4、図 1 を用いて説明する。この例は本発明の D A コンバータ回路を、A M 型 O L E D 表示装置のデータ駆動回路に使用する場合である。この例では、3 ビットのディジタル電圧値形式のデータを画像データとして読み込むが、本発明の D A コンバータ回路にビット数の制限がないことは勿論である。

## 【 0 0 2 4 】

図 1 0 がパネル全体の構成図である。画素がマトリクス状に配置された画素部 1 9 3 1 と、ゲート駆動回路 1 9 2 1 と、データ駆動回路 1 9 1 1 がパネル上に一体形成されている。データ駆動回路 1 9 1 1 内の一点鎖線部 1 9 1 3 はセレクト回路である。図 1 0 の点線

50

部 1 9 1 2 a、1 9 1 2 b は電流データ出力回路であり、図 1 2 の 1 8 4 2 のような構成をとる。

【 0 0 2 5 】

以下、まず電流データ出力回路 1 9 1 2 a、1 9 1 2 b に相当する 1 8 4 2 ( 図 1 2 ) につき説明し、それからセクタ回路 1 9 1 3 の説明をする。

【 0 0 2 6 】

図 1 2 の電流データ出力回路 1 8 4 2 は大別すると、シフトレジスタ部、デジタルデータラッチ部、電流源 ( 電流出力回路 )、D A スイッチの 4 部分よりなる。電流源 ( 電流出力回路 ) と D A スイッチは、合わせて電流出力 D A コンバータ回路を構成している。

【 0 0 2 7 】

シフトレジスタ部に相当するのが 1 8 0 1 ~ 1 8 0 3 であり、1 8 0 3 は正と反のクロック信号線、チェッカ部 1 8 0 1 ~ 1 8 0 2 は、例えば図 4 の 4 0 3 に示す回路で構成される。もっともチェッカ部 1 8 0 1 ~ 1 8 0 2 の構成は、4 0 3 に示す回路に限定はされない。同等の機能を実現するいかなる回路でもよい。

【 0 0 2 8 】

シフトレジスタ部 1 8 0 1 ~ 1 8 0 3 はタイミング信号を順次出力発生させ、デジタルデータラッチ部がこのタイミング信号に合わせて画像データ ( デジタルデータ ) をデータ信号線から読む。

【 0 0 2 9 】

デジタルデータラッチ部に相当するのが 1 8 1 1 ~ 1 8 1 8 であり、1 8 1 7 は各ビットのデータ信号線、1 8 1 8 はラッチ信号線、チェッカ部 1 8 1 5 ~ 1 8 1 6 は図 4 の 4 0 3 に示す回路を用いることができる。図 1 2 では画像データ ( デジタルデータ ) は 3 ビットを想定しているため、データ信号線は 3 本にしてある。また 1 8 1 2 と 1 8 1 3 のチェッカ部 1 8 1 5 ~ 1 8 1 6 は図上では省略してある。デジタルデータラッチ部からのタイミング信号に合わせて読み込まれた画像データ ( デジタルデータ ) は、ラッチ信号に同期して D A スイッチ 1 8 2 1 ~ 1 8 2 3 へ伝達される。

【 0 0 3 0 】

電流源 ( 電流出力回路 ) に相当するのはドット部 1 8 2 4 であり、具体的な回路構成は図 1 のドット部 1 9 1 に示す。トランジスタ 1 0 1 ~ 1 0 3 は駆動トランジスタである。また D A スイッチに相当するのが、トランジスタ 1 6 1 ~ 1 6 3 ( 図 1 ) である。この D A スイッチトランジスタは、図 1 2 では 1 8 2 1 ~ 1 8 2 3 に相当する。

【 0 0 3 1 】

図 1 では各ビットに対応する駆動トランジスタは、独立に設けられている。例えば第 1 ビット ( M S B ) は 1 0 1、第 2 ビットは 1 0 2、第 3 ビット ( L S B ) は 1 0 3 であり、各トランジスタの L / W サイズは、概ね 1 : 2 : 4 としておく。しかし駆動トランジスタ 1 0 1 ~ 1 0 3 はゲート電極が電氣的に接続されているので、同時に基準電流を設定することが可能である。この点で図 1 の回路は、図 7 の回路と異なる。また図 1 の回路は、図 7 の回路よりもトランジスタや配線が少ないため、小面積化が果たせる。

【 0 0 3 2 】

図 1 の電流源 ( 電流出力回路 ) に基準電流を設定する際の動作を説明する。

【 0 0 3 3 】

基準電流を設定するときは、まずデジタル信号入力線 1 5 1 ~ 1 5 3 からトランジスタ 1 6 1 ~ 1 6 3 がオフとなるような信号を入力する。トランジスタ 1 6 1 ~ 1 6 3 が n チャネル型の場合は、ロウ ( 低電圧 ) 信号である。ただし 1 8 2 の先が電氣的に開放 ( ハイインピーダンス ) 状態となっているなど、出力部 1 8 2 から電流が洩れる心配がない場合には、トランジスタ 1 6 1 ~ 1 6 3 をオフにする必要はない。

【 0 0 3 4 】

次に電流設定信号入力線 1 1 0 からトランジスタ 1 2 1 ~ 1 2 3、1 4 0 がオンとなるような信号を入力する。これらのトランジスタが n チャネル型の場合は、ハイ ( 高電圧 ) 信号である。すると基準電流源 1 7 0 から定電圧源 1 8 1 へと基準電流が流れる。このとき

10

20

30

40

50

駆動トランジスタ 101 ~ 103 はゲートとドレインが短絡されている。そのため電流が定常値となった後で、電流設定信号入力線 110 からトランジスタ 121 ~ 123、140 がオフとなるような信号を入力すると、駆動トランジスタ 101 ~ 103 のゲート電圧として基準電流が記憶される。

【0035】

基準電流の設定はこれで終了する。もっとも駆動トランジスタ 101 ~ 103 のゲートノードからの洩れ電流が微少であるが存在するので、定期的（或いは不定期）に基準電流の設定は反復する必要がある。

【0036】

基準電流設定後、デジタル信号入力線 151 ~ 153 から画像信号に対応するデジタル電圧信号を入力する。デジタル信号入力線 151 ~ 153 は、電流出力 D A コンバータ回路 192 のデータ入力部に相当する。D A スイッチトランジスタ 161 ~ 163 は並列に設置されているので、D A スイッチがオン状態にある全ビットの電流源の合計電流が、結果的に出力部 182 から出力される。こうして、デジタル電圧データがアナログの電流に変換される。

【0037】

図 1 の電流出力 D A コンバータ回路 192 において、駆動トランジスタ 101 ~ 103 のしきい電圧値、電界効果移動度等の電気的特性にバラつきがあると、中間階調の表示が不正確となる可能性がある。しかし、先述の基準電流設定により、最大階調での正確な表示は保証される。

【0038】

また図 1 の電流出力 D A コンバータ回路 192 においては、基準電流設定は全ビット同時に行われるので、各ビット別々に設定を要する図 7 の場合と比較し、煩雑さが解消される。

【0039】

図 1 の例は、3 ビットのデジタル電圧値形式のデータを読み込み、アナログ電流値形式のデータを出力する D A コンバータ回路であるが、N ビット（N は 2 以上の任意の整数）のデジタル電圧値形式のデータを読み込む場合についても、同様の構成を用いることができる。

【0040】

また図 1 の例では、駆動トランジスタ 101 ~ 103 が n チャネル型であり 181 が低電圧源であるが、駆動トランジスタ 101 ~ 103 が p チャネル型であり 181 が高電圧源であっても同様の構成を用いることができる。さらに他の構成であっても、複数の駆動トランジスタを有し、前記複数の駆動トランジスタは互いにゲート電極を電氣的に接続し、該ゲート電極と前記複数の駆動トランジスタの各ドレインとの間にスイッチを備えた電流出力回路を含むものであればよい。

【0041】

パネル外における画像データの処理はデジタル電圧データとして行うのが最も便利であるから、図 3 の電流データ出力回路における、電流出力 D A コンバータ回路 192（図 1）又は 1835（図 12）は重要である。

【0042】

しかし例えば出力すべきアナログ電流がゼロ又は極めて微小である場合、長い設定時間を要することとなり、図 2 の電流出力 D A コンバータ回路のみでは不都合である。そのような不都合を回避するために、電流データ出力回路 1842 にはプリチャージ回路などが付加されていてもよい。

【0043】

以上、電流データ出力回路 1912 a、1912 b に相当する 1842 につき説明した。次にセレクト回路 1913 の説明をする。セレクト回路 1913 の具体例の一つとして図 11（1955）に回路構成を示すが、これに限定されるものではない。

【0044】

10

20

30

40

50

図10のセレクト回路1913は、電流データ出力回路1912aまたは1912bの出力をデータ線1914aまたは1914bに切替える。図10では、セレクト回路1個につき電流データ出力回路の個数とデータ線の本数の比は2:2あるが、一般にはこれ以外の比も可能である。ここで本質的なことは、セレクト回路1個につき電流データ出力回路が複数個設けられる点である。

【0045】

セレクト回路1個につき電流データ出力回路が複数個設けられることにより、一つの電流データ出力回路がデータ出力している間にも、他の電流データ出力回路の電流源(図1のドット部191)に基準電流設定をすること可能となる。したがって時間の有効活用ができる。

10

【0046】

例えば、奇数フレーム目では電流データ出力回路1912aに基準電流設定をしつつ1912bでデータ出力し、偶数フレーム目では電流データ出力回路1912bに基準電流設定をしつつ1912aでデータ出力することが可能である。そうすると、データ出力のための期間と別個に基準電流設定のための期間を設ける必要がなくなり、時間の有効活用ができる。

【0047】

図10のセレクト回路1913は、以上の利点をもたらすことから有用であるが、本発明に必須の要素ではない。よって、図10に代えて他の構成を採用しても構わない。

【0048】

20

(実施の形態2)

本発明の実施の他の一例を図5、図12、図4、図2を用いて説明する。この例は本発明のDAコンバータ回路を、AM型OLED表示装置のデータ駆動回路に使用する場合である。この例では、3ビットのデジタル電圧値形式のデータを画像データとして読み込むが、本発明のDAコンバータ回路にビット数の制限がないことは勿論である。

【0049】

図5がパネル全体の構成図である。画素がマトリクス状に配置された画素部531と、ゲート駆動回路521と、データ駆動回路511がパネル上に一体形成されている。図5の点線部512は電流データ出力回路であり、図12の点線部1842のような構成をとる。なお本例においても、図5に代えて図10のようなセレクト回路を有するデータ駆動回路を使用してもよいが、説明を簡単にするためパネル全体の構成は図5のとおりとする。

30

【0050】

以下、電流データ出力回路512に相当する1842につき説明する。

【0051】

図12の電流データ出力回路1842は大別すると、シフトレジスタ部、デジタルデータラッチ部、電流源(電流出力回路)、DAスイッチの4部分よりなる。電流源(電流出力回路)とDAスイッチは、合わせて電流出力DAコンバータ回路を構成している。

【0052】

シフトレジスタ部に相当するのが1801~1803であり、1803は正と反のクロック信号線、チェッカ部1801~1802は、例えば図4の403に示す回路で構成される。もっともチェッカ部1801~1802の構成は、403に示す回路に限定はされない。同等の機能を実現するいかなる回路でもよい。

40

【0053】

シフトレジスタ部1801~1803はタイミング信号を順次出力発生させ、デジタルデータラッチ部がこのタイミング信号に合わせて画像データ(デジタルデータ)をデータ信号線から読み込む。

【0054】

デジタルデータラッチ部に相当するのが1811~1818であり、1817は各ビットのデータ信号線、1818はラッチ信号線、チェッカ部1815~1816は図4の403に示す回路を用いることができる。図12では画像データ(デジタルデータ)は3

50

ビットを想定しているため、データ信号線は3本にしてある。また1812と1813のチェック部1815～1816は図上では省略してある。デジタルデータラッチ部からのタイミング信号に合わせて読込まれた画像データ(デジタルデータ)は、ラッチ信号に同期してDASスイッチ1821～1823へ伝達される。

【0055】

電流源(電流出力回路)に相当するのはドット部1824であり、具体的な回路構成を図2のドット部291に示す。

【0056】

トランジスタ201～203は駆動トランジスタであり、トランジスタ261～263はDASスイッチトランジスタであり、図12の1821～1823に相当する。

10

【0057】

図2では各ビットに対応する駆動トランジスタは、独立に設けられている。例えば第1ビット(MSB)は201、第2ビットは202、第3ビット(LSB)は203であり、各トランジスタのL/Wサイズは、概ね1:2:4としておくのが望ましい。より一般的に言うと、各トランジスタのL/Wサイズは、概ね $2^0:2^1:\dots:2^{N-1}$ (Nは2以上の任意の整数)というように、バイナリの重み付けをするのが望ましい訳である。

【0058】

駆動トランジスタ202～203はゲート電極が電氣的に接続されているので、同時に基準電流を設定することが可能である。この点で図2の回路は、図7の回路と異なる。図2の回路は、図7の回路よりもトランジスタや配線が少ないため、小面積化が果たせる。

20

【0059】

さらに駆動トランジスタ201のゲート電極は、202～203のゲート電極と電氣的に接続されていない。この点で図2の回路は、図1の回路とも異なる。図2の回路は、第1ビット(MSB)の駆動トランジスタ201については、他のビットとは独立に基準電流を設定するため、MSBデータの電流値の正確性を期することができる。

【0060】

図2の電流源(電流出力回路)に基準電流を設定する際の動作を説明する。

【0061】

基準電流を設定するときは、まずデジタル信号入力線251～253からトランジスタ261～263がオフとなるような信号を入力する。トランジスタ261～263がnチャンネル型の場合は、ロウ(低電圧)信号である。ただし282の先が電氣的に開放(ハイインピーダンス)状態となっているなど、出力部282から電流が洩れる心配がない場合には、トランジスタ261～263をオフにする必要はない。

30

【0062】

次に電流設定信号入力線210からトランジスタ222～223、240がオンとなるような信号を入力する。これらのトランジスタがnチャンネル型の場合は、ハイ(高電圧)信号である。すると基準電流源270から定電圧源281へと基準電流が流れる。このとき駆動トランジスタ202～203はゲートとドレインが短絡されている。そのため電流が定常値となった後で、電流設定信号入力線210からトランジスタ222～223、240がオフとなるような信号を入力すると、駆動トランジスタ202～203のゲート電圧として第2、第3ビットの基準電流が記憶される。

40

【0063】

これと同時に、或いは別のタイミングで、電流設定信号入力線211からトランジスタ221、241がオンとなるような信号を入力する。これらのトランジスタがnチャンネル型の場合は、ハイ(高電圧)信号である。すると基準電流源271から定電圧源281へと基準電流が流れる。このとき駆動トランジスタ201はゲートとドレインが短絡されている。そのため電流が定常値となった後で、電流設定信号入力線211からトランジスタ221、241がオフとなるような信号を入力すると、駆動トランジスタ201のゲート電圧として第1ビット(MSB)の基準電流が記憶される。

【0064】

50



基準電流の設定はこれで終了する。もっとも駆動トランジスタ201～203のゲートノードからの洩れ電流が微少であるが存在するので、定期的（或いは不定期）に基準電流の設定は反復する必要がある。

【0065】

基準電流設定後、デジタル信号入力線251～253から画像信号に対応するデジタル電圧信号を入力する。デジタル信号入力線251～253は、電流出力DAコンバータ回路192のデータ入力部に相当する。DAスイッチトランジスタ261～263は並列に設置されているので、DAスイッチがオン状態にある全ビットの電流源の合計電流が、結果的に出力部282から出力される。こうして、デジタル電圧データがアナログの電流に変換される。

10

【0066】

図2の電流出力DAコンバータ回路292において、駆動トランジスタ202～203のしきい電圧値、電界効果移動度等の電気的特性にバラつきがあると、中間階調の表示が不正確となる可能性がある。しかし、先述の基準電流設定により、最大階調およびMSBの中間階調での正確な表示は保証される。

【0067】

また図2の電流出力DAコンバータ回路292においては、基準電流設定は第2ビットと第3ビットで同時に行われるので、各ビット別々に設定を要する図7の場合と比較し、煩雑さが解消される。

【0068】

20

図2の例は、3ビットのデジタル電圧値形式のデータを読み、アナログ電流値形式のデータを出力するDAコンバータ回路であるが、Nビット（Nは2以上の任意の整数）のデジタル電圧値形式のデータを読み込む場合についても、同様の構成を用いることができる。

【0069】

また図2の例では、駆動トランジスタ201～203がnチャネル型であり281が低電圧源であるが、駆動トランジスタ201～203がpチャネル型であり281が高電圧源であっても同様の構成を用いることができる。さらに他の構成であっても、複数の駆動トランジスタを有し、前記複数の駆動トランジスタは互いにゲート電極を電氣的に接続し、該ゲート電極と前記複数の駆動トランジスタの各ドレインとの間にスイッチを備えた電流出力回路を含むものであればよい。

30

【0070】

さらにトランジスタ240の位置や容量230の接続ノードは、図2の例に制限されるわけではない。例えば、図1の例と同様にすることも可能である。基準電流設定時における、駆動トランジスタ202～203のソースゲート間電圧を記憶できるようになっていればよい。

【0071】

加えて図2の例は、2ビット分については図1の例と同じ構成で、他の1ビット分については独立に基準電流を設定する構成であるが、pビット分については図1の例と同じ構成、qビット分については独立に基準電流を設定する構成でもよい（p、qは2以上の任意の整数）。さらにxビット分については図1の例と同じ構成、yビット分についてはそれと独立の図1の例と同じ構成でもよい（x、yは2以上の任意の整数）。

40

【0072】

パネル外における画像データの処理はデジタル電圧データとして行うのが最も便利であるから、図12の電流データ出力回路における、電流出力DAコンバータ回路292（図2）又は1835（図12）は重要である。

【0073】

しかし例えば出力すべきアナログ電流がゼロ又は極めて微小である場合、長い設定時間を要することとなり、図2の電流出力DAコンバータ回路のみでは不都合である。そのような不都合を回避するために、電流データ出力回路1842にはプリチャージ回路などが付

50

加されていてもよい。

【 0 0 7 4 】

以上、電流データ出力回路 5 1 2 に相当する 1 8 4 2 につき説明した。

【 0 0 7 5 】

( 実施の形態 3 )

実施の形態 3 では、本発明の表示装置、電子機器を、いくつか例示する。

【 0 0 7 6 】

本発明の電子機器、表示装置としては、モニター、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置(オーディオコンボ、カーオーディオ等)、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等)、記録媒体を備えた画像再生装置(具体的にはDigital Versatile Disc(DVD)等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置)などと、これらに搭載されている表示装置が挙げられる。これら電子機器の具体例を図 6 に示す。

【 0 0 7 7 】

図 6 ( A ) はモニターである。この例は筐体 2 0 0 1、支持台 2 0 0 2、表示部 2 0 0 3、スピーカー部 2 0 0 4、ビデオ入力端子 2 0 0 5 等を含んでいる。本発明の表示装置は表示部 2 0 0 3 に用いることができる。なおモニターには、パソコン用、TV 放送受信用、広告表示用などのすべての情報表示装置が含まれる。

【 0 0 7 8 】

図 6 ( B ) はデジタルスチルカメラである。この例は本体 2 1 0 1、表示部 2 1 0 2、受像部 2 1 0 3、操作キー 2 1 0 4、外部接続ポート 2 1 0 5、シャッター 2 1 0 6 等を含んでいる。本発明の表示装置は表示部 2 1 0 2 に用いることができる。

【 0 0 7 9 】

図 6 ( C ) はノート型パーソナルコンピュータである。この例は本体 2 2 0 1、筐体 2 2 0 2、表示部 2 2 0 3、キーボード 2 2 0 4、外部接続ポート 2 2 0 5、ポインティングマウス 2 2 0 6 等を含んでいる。本発明の表示装置は表示部 2 2 0 3 に用いることができる。

【 0 0 8 0 】

図 6 ( D ) はモバイルコンピュータである。この例は本体 2 3 0 1、表示部 2 3 0 2、スイッチ 2 3 0 3、操作キー 2 3 0 4、赤外線ポート 2 3 0 5 等を含んでいる。本発明の表示装置は表示部 2 3 0 2 に用いることができる。

【 0 0 8 1 】

図 6 ( E ) は記録媒体を備えた携帯型の画像再生装置(具体的にはDVD再生装置)である。この例は本体 2 4 0 1、筐体 2 4 0 2、表示部 A 2 4 0 3、表示部 B 2 4 0 4、記録媒体(DVD等)読み込み部 2 4 0 5、操作キー 2 4 0 6、スピーカー部 2 4 0 7 等を含んでいる。本発明の表示装置は、表示部 A 2 4 0 3、表示部 B 2 4 0 4 に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

【 0 0 8 2 】

図 6 ( F ) はゴーグル型ディスプレイ(ヘッドマウントディスプレイ)である。この例は本体 2 5 0 1、表示部 2 5 0 2、アーム部 2 5 0 3 等を含んでいる。本発明の表示装置は表示部 2 5 0 2 に用いることができる。

【 0 0 8 3 】

図 6 ( G ) はビデオカメラである。この例は本体 2 6 0 1、表示部 2 6 0 2、筐体 2 6 0 3、外部接続ポート 2 6 0 4、リモコン受信部 2 6 0 5、受像部 2 6 0 6、バッテリー 2 6 0 7、音声入力部 2 6 0 8、操作キー 2 6 0 9 等を含んでいる。本発明の表示装置は表示部 2 6 0 2 に用いることができる。

【 0 0 8 4 】

図 6 ( H ) は携帯電話である。この例は本体 2 7 0 1、筐体 2 7 0 2、表示部 2 7 0 3、音声入力部 2 7 0 4、音声出力部 2 7 0 5、操作キー 2 7 0 6、外部接続ポート 2 7 0 7

10

20

30

40

50

、アンテナ 2 7 0 8 等を含んでいる。本発明の表示装置は表示部 2 7 0 3 に用いることができる。なお、表示部 2 7 0 3 は黒色背景に白色文字を表示することで、携帯電話の消費電力を抑制することができる。

【 0 0 8 5 】

このように、本発明の適用範囲は極めて広く、あらゆる分野の電子機器等に使用することが可能である。

【 0 0 8 6 】

【発明の効果】

本発明は、複数の駆動トランジスタを有し、前記複数の駆動トランジスタは互いにゲート電極を電氣的に接続し、該ゲート電極と前記複数の駆動トランジスタの各ドレインとの間にスイッチを備えたことを特徴とする、電流出力回路を含むものである。

10

該電流出力回路を用いることにより、デジタル電圧値形式のデータを読み込み、アナログ電圧値形式のデータを出力する、簡素な D A コンバータ回路を提供することができる。

本発明は、電流入力方式の A M 型 O L E D 表示装置に使用するデータ駆動回路などに用いることができる。

【図面の簡単な説明】

【図 1】 本発明の電流出力回路、D A コンバータ回路の例を示す図。

【図 2】 本発明の電流出力回路、D A コンバータ回路の例を示す図。

【図 3】 セレクタ回路の例を示す図。

【図 4】 ラッチ回路の構成例を示す図。

20

【図 5】 表示装置のパネル構成例を示す図。

【図 6】 本発明の表示装置、電子機器の例を示す図。

【図 7】 公知の電流出力回路、D A コンバータ回路を示す図。

【図 8】 D A コンバータ回路を用いたデータドライバの構成例を示す図。

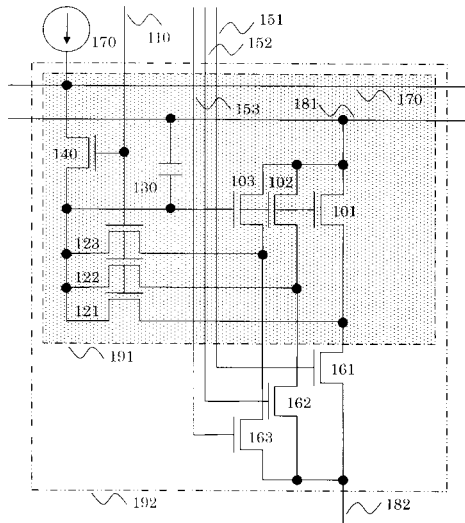
【図 9】 表示装置のパネル構成例を示す図。

【図 1 0】 本発明の表示装置のパネル構成例を示す図。

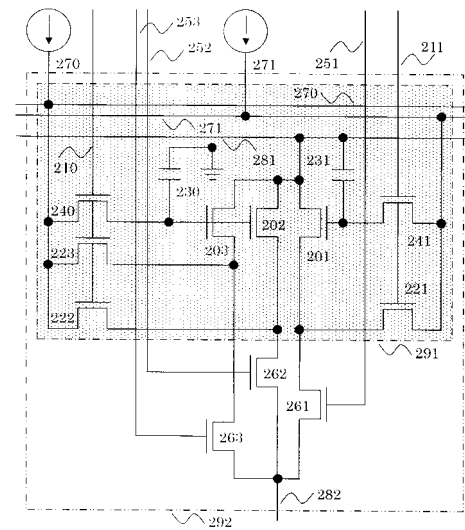
【図 1 1】 本発明のセレクタ回路の例を示す図。

【図 1 2】 本発明の D A コンバータ回路を用いたデータドライバの構成例を示す図。

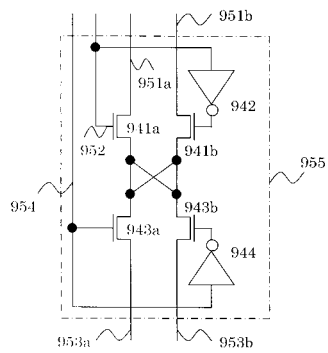
【図 1】



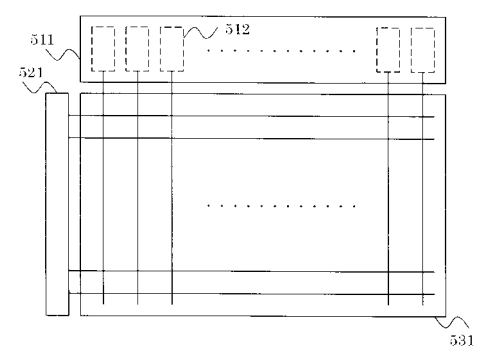
【図 2】



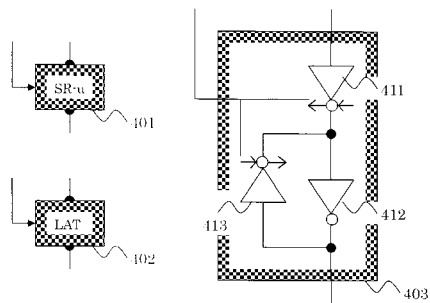
【図 3】



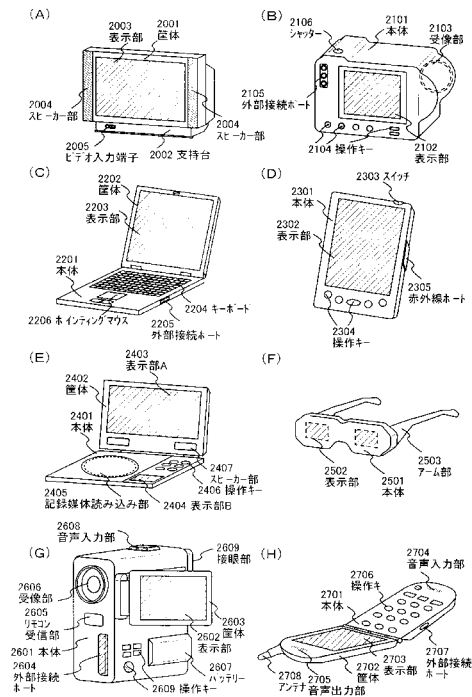
【図 5】



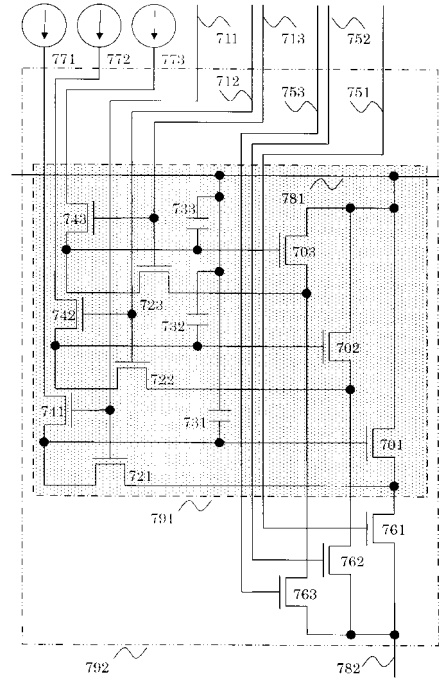
【図 4】



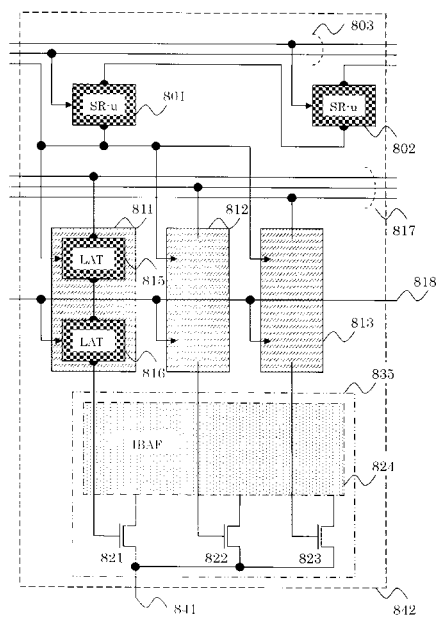
【図 6】



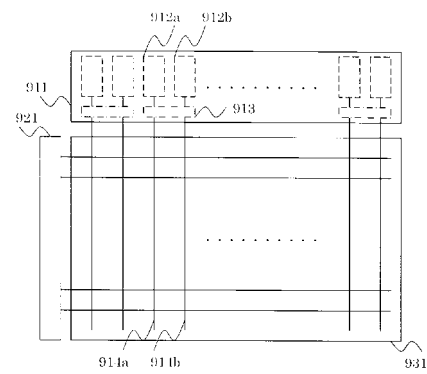
【図 7】



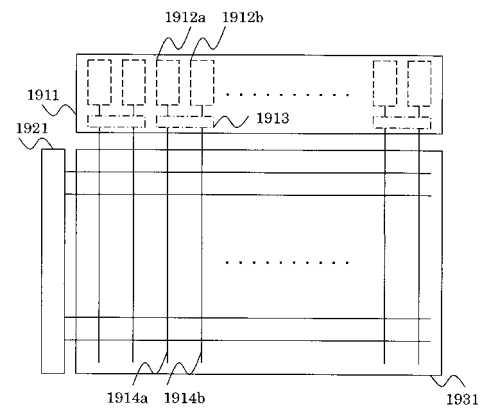
【図 8】



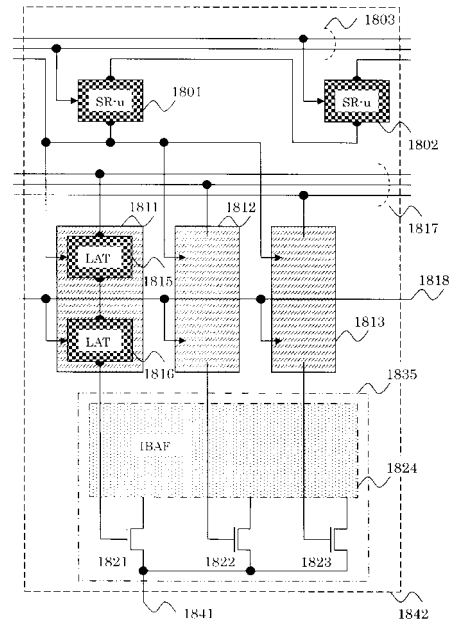
【図 9】



【図 10】



【 図 1 2 】



---

フロントページの続き

(51)Int.Cl.

F I

H 0 5 B 33/14

A

(58)調査した分野(Int.Cl. , D B 名)

H03M1/00-1/88,

G09G 3/20、

G09G 3/30、

H03K 17/687、

H01L 51/50