

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第5960993号
(P5960993)

(45) 発行日 平成28年8月2日(2016.8.2)

(24) 登録日 平成28年7月1日(2016.7.1)

(51) Int.Cl.
G06F 3/00 (2006.01)

F I
G O 6 F 3/00 V

請求項の数 9 外国語出願 (全 11 頁)

(21) 出願番号	特願2012-9513 (P2012-9513)	(73) 特許権者	390041542
(22) 出願日	平成24年1月20日 (2012.1.20)		ゼネラル・エレクトリック・カンパニイ
(65) 公開番号	特開2012-155719 (P2012-155719A)		アメリカ合衆国、ニューヨーク州 1 2 3
(43) 公開日	平成24年8月16日 (2012.8.16)		4 5、スケネクタデイ、リバーロード、1
審査請求日	平成27年1月13日 (2015.1.13)		番
(31) 優先権主張番号	13/012, 376	(74) 代理人	100137545
(32) 優先日	平成23年1月24日 (2011.1.24)		弁理士 荒川 聡志
(33) 優先権主張国	米国 (US)	(74) 代理人	100105588
			弁理士 小倉 博
		(74) 代理人	100129779
			弁理士 黒川 俊久
		(74) 代理人	100113974
			弁理士 田中 拓人

最終頁に続く

(54) 【発明の名称】 複数のインタフェースタイプおよび終端をサポートするフィールドバスインタフェース回路基板

(57) 【特許請求の範囲】

【請求項 1】

インタフェース回路基板装置であって、
共有回路基板（100）ベースと、
前記回路基板（100）ベースの上に配置されたトランシーバセクション（115）であって、複数のトランシーバコンポーネントタイプを受け取る回路トランシーバサイトを有するトランシーバセクション（115）と、
前記回路基板（100）ベースの上に配置された終端セクション（110）であって、複数の終端コンポーネントタイプを受け取る回路終端サイトを有する終端セクション（110）と、
前記トランシーバおよび終端セクション（115、110）に動作結合された接続セクション（125）と、
前記トランシーバおよび前記終端セクション（110）と、前記接続セクション（125）との間に配置された手動設定変更可能なジャンパのセクションと、
を備え、
前記手動設定変更可能なジャンパは、特定の接続タイプの信号マッピングをサポートするように、製造時に設定され、
前記トランシーバセクション（115）、前記終端セクション（110）および前記手動設定変更可能なジャンパのセクションは、前記複数のトランシーバコンポーネントタイプおよび前記複数の終端コンポーネントタイプに基づく複数のインターフェイスタイプを

サポートするための電気接続サイトを含み、

第 1 の組のトランシーバコンポーネントおよび終端コンポーネントが、第 1 のインターフェイスタイプをサポートするために、前記トランシーバセクションおよび前記終端セクションに搭載され、

第 2 の組のトランシーバコンポーネントおよび終端コンポーネントが、第 2 のインターフェイスタイプをサポートするために、前記トランシーバセクションおよび前記終端セクションに搭載され、

前記第 2 の組のトランシーバコンポーネントおよび終端コンポーネントは、前記第 1 の組のトランシーバコンポーネントおよび終端コンポーネントと異なる、
インタフェース回路基板装置。

10

【請求項 2】

前記手動設定変更可能なジャンパのセクションが、前記トランシーバセクション (1 1 5) と前記接続セクション (1 2 5) の間に配置される、請求項 1 に記載の装置。

【請求項 3】

前記手動設定変更可能なジャンパのセクションが、インタフェース信号を前記接続セクション (1 2 5) に配置されたコネクタに向けて経路指定する電気接続を提供する、請求項 1 または 2 に記載の装置。

【請求項 4】

前記手動設定変更可能なジャンパのセクションが、前記複数のインタフェースタイプをサポートするジャンパ接続サイトを含み、

20

前記複数のインタフェースタイプの各々が、前記コネクタへの独自の信号マッピングを有する、
請求項 3 に記載の装置。

【請求項 5】

前記トランシーバセクション (1 1 5) および前記終端セクション (1 1 0) が複数のコントローラ信号入力を受け取る電気接続を有し、

前記コントローラ信号入力の各々が前記複数のインタフェースタイプのうちの選択されたインタフェースタイプに基づく独自の構成を有する、

請求項 1 から 4 のいずれかに記載の装置。

【請求項 6】

30

前記終端セクション (1 1 0) が、前記複数のインタフェースタイプのための複数の終端タイプをサポートする電気接続を有する、請求項 1 から 5 のいずれかに記載の装置。

【請求項 7】

前記終端セクション (1 1 0) が、前記複数のインタフェースタイプの各々のための終端をサポートするように構成された複数の終端抵抗器を含む、請求項 6 に記載の装置。

【請求項 8】

前記終端セクション (1 1 0) が、前記終端抵抗器と前記接続セクションとの間に配置され、継電器が閉じると全ての前記終端抵抗器を前記接続セクションに接続するように前記継電器を含む、請求項 7 に記載の装置。

【請求項 9】

40

前記トランシーバセクション (1 1 5) が、前記複数のインタフェースタイプをサポートするように構成された 1 つまたは複数のトランシーバタイプをサポートする電気接続を有する、請求項 1 から 8 のいずれかに記載の装置。

【発明の詳細な説明】

【技術分野】

【0001】

本明細書において開示される主題はバスインタフェースに関し、より詳細には複数のインタフェースタイプをサポートするインタフェース回路基板に関する。

【背景技術】

50

【 0 0 0 2 】

現在、シリアルバスおよびフィールドバスなどの多くのコネクタインタフェースが存在している。異なる計装には、場合によっては異なるインタフェースが必要である。したがってコンピュータなどの制御システムは、制御システム上の限られたハードウェア空間を占有することになるいくつかの異なるインタフェースを含むことができる。しかしながら現在の計装は、一般に、プロセスフィールドバス（PROFIBUS）、コントローラ-エリアネットワークバス（CANBUS）およびファンデーションフィールドバス（H1FF）を含む限られた数のインタフェースタイプを実施している。インタフェースタイプ数が限られているにもかかわらず、限られたハードウェア空間は依然として複数のインタフェースで混み合っている。使用されるハードウェア空間を縮小するためのある試行では、製造者は、個々の特定のタイプのインタフェースが個別の回路基板を有する、使用されるハードウェア空間を縮小することができる外部ドーターボードを実施している。この場合、主制御回路基板は、製造時に設置される複数の任意選択インタフェースドーターボードのうちの1つを有することになる。

10

【 0 0 0 3 】

複数のインタフェースは、すべて、個別のコネクタを使用して共存させることができるが、余分の部品に起因するコストの増加に加えて、これらの余分の部品およびコネクタのためのより広いボード面積が必要である。さらに、同時に複数のインタフェースが使用されることはないため、デバイスが必要以上に高価で、かつ、大きくなる。使用されるハードウェア空間の量を縮小するための他の試行では、終端選択にスイッチを使用して、抵抗器の終端アレイを接続または開放している。しかしながらこの解決法には、使用者による、バスに沿ったデバイスの位置に基づくスイッチ位置の突きとめ、および設定が必要である。

20

【 先行技術文献 】

【 特許文献 】

【 0 0 0 4 】

【 特許文献 1 】 米国特許第 7 8 0 2 0 2 3 号明細書

【 発明の概要 】

【 0 0 0 5 】

本発明の一態様によれば、インタフェース回路基板装置が記述される。インタフェース回路基板装置は、共有回路基板ベースと、回路基板ベースの上に配置されたトランシーバセクションであって、複数のトランシーバコンポーネントタイプを受け取るように構成された回路トランシーバサイトを有するトランシーバセクションと、回路基板ベースの上に配置された終端セクションであって、複数の終端コンポーネントタイプを受け取るように構成された回路終端サイトを有する終端セクションと、トランシーバおよび終端セクションに動作結合された接続セクションとを含むことができ、トランシーバセクション、終端セクションおよび接続セクションは、複数のトランシーバコンポーネントタイプおよび複数の終端コンポーネントタイプに基づいて複数のインタフェースタイプをサポートするように構成可能である。

30

【 0 0 0 6 】

本発明の他の態様によれば、フィールドバスインタフェース回路基板システムが記述される。フィールドバスインタフェース回路基板は、共有回路基板ベースを含むことができ、この共有回路基板ベースには、回路基板ベースの上に配置されたトランシーバセクションであって、複数のトランシーバコンポーネントタイプを受け取るように構成された回路トランシーバサイトを有するトランシーバセクションと、回路基板ベースの上に配置された終端セクションであって、複数の終端コンポーネントタイプを受け取るように構成された回路終端サイトを有する終端セクションと、トランシーバおよび終端セクションに動作結合された接続セクション、および回路基板ベースに動作結合されたコントローラであって、複数のインタフェースタイプのための信号およびプロトコルを実施するための命令を有するコントローラが含まれている。

40

50

【 0 0 0 7 】

これらおよび他の利点ならびに特徴は、図面を参照して行う以下の説明からより明確になるであろう。

【 0 0 0 8 】

本発明に関連する主題は、本明細書の締め括りの特許請求の範囲の中で詳細に指摘され、かつ、明確に特許請求されている。本発明の以上および他の特徴ならびに利点は、添付の図面を参照して行う以下の詳細な説明から明らかである。

【図面の簡単な説明】

【 0 0 0 9 】

【図 1】複数のインタフェースタイプをサポートする一例示的インタフェース回路基板を含んだシステムのブロック図である。

【図 2】例示的实施形態によるコネクタの雌雄のピンアウトおよび選択の表である。

【図 3】例示的实施形態による一例示的回路であって、複数のインタフェースタイプおよび個々の部品を製造時に選択することができる回路の回路図である。

【発明を実施するための形態】

【 0 0 1 0 】

以下の詳細な説明は、一例として図面を参照して本発明のいくつかの実施形態を利点および特徴と共に説明したものである。

【 0 0 1 1 】

図 1 は、複数のインタフェースタイプをサポートする一例示的インタフェース回路基板 100 を含んだシステム 10 のブロック図を示したものである。本明細書において説明されているように、電子システムには多くのタイプのインタフェースが含まれており、また、コネクタ部分に提供されるシリアルインタフェースのタイプのみが異なる同様のシステムが含まれている。例えば制御モジュールは、複数のコネクタをサポートするだけの十分なサイズを有していないため、PROFIBUS、CANBUS および H1 FF のための個別モデルなどの特定のインタフェーススタイル毎に異なるモジュールタイプを強制している。PROFIBUS、CANBUS および H1 FF にはすべて同じコネクタスタイルが使用されている。例えばコネクタスタイルは、それらに限定されないが、DB9、RJ、DIN および端子板であってもよい。本明細書においては、説明用として DB9 スタイルコネクタが説明されている。図 2 に示されているように、インタフェーススタイル PROFIBUS、CANBUS および H1 FF には、図 2 に示されているようにピンアウトおよび雌雄（雄プラグまたは雌ソケット）が異なる同じコネクタスタイルが使用されている。例示的实施形態では、本明細書において説明されているシステムは、回路基板上に設置される部品がインタフェースタイプ間で変化し、かつ、ボード当たりのコストがより安価な裸回路基板のための高体積の使用を許容するよう、共通回路基板ベースレイアウトを実施している。

【 0 0 1 2 】

PROFIBUS、CANBUS および H1 FF は、回路基板 100 上に共存させることができ、また、回路基板 100 上に製造することができる 3 つのインタフェースタイプとして説明されているが、他の例示的实施形態では他のタイプのインタフェースが企図されていることは理解されよう。したがって PROFIBUS、CANBUS および H1 FF は、単に実例による説明を目的としたものにすぎない。

【 0 0 1 3 】

例示的回路基板 100 は、いくつかのセクション 105、110、115、120 を含むことができ、これらのセクションはすべて回路基板上に共存させることができ、また、複数のインタフェースタイプ（例えば PROFIBUS、CANBUS および H1 FF）のうちの 1 つとして機能させるために製造時に有利に構成することができる。第 1 のトランシーバセクション 105 は PROFIBUS のために構成することができ、また、H1 FF トランシーバは、任意選択の RS485 半二重トランシーバを含むことができ、この RS485 半二重トランシーバの出力も終端セクション 110 に結合される。回路基

板 1 0 0 は、さらに、同じく終端セクション 1 1 0 に接続される C A N B U S インタフェースおよびトランシーバのために構成された第 2 のトランシーバセクション 1 1 5 を含むことができる。第 1 および第 2 のトランシーバセクション 1 0 5、1 1 5 および終端回路は、次に、ジャンパ（例えばゼロオーム抵抗器）の行列セクション 1 2 0 を介して D B 9 コネクタのための接続セクション 1 2 5 にさらに結合される。図 2 の表 2 0 0 に示されており、また、本明細書においてさらに説明されているように、D B 9 コネクタの雌雄のピンアウトおよび選択は、回路基板 1 0 0 上に設定すべきインタフェースのタイプが決定される製造時に決定し、かつ、設定することができる。D B 9 コネクタは、次に、システム 1 0 のフィールドバス 1 3 0 に結合することができる。複数のインタフェースタイプの各々は D B 9 コネクタへの独自の信号マッピングを有していることは当業者には理解されよう。例示的实施形態では、行列セクション 1 2 0 は、独自の信号マッピングの各々をサポートするように構成される。

10

【 0 0 1 4 】

例示的实施形態では、回路基板 1 0 0 のインタフェースの制御は、システム 1 0 の論理および / または F P G A コントローラセクション 1 3 5 からの一組の共有信号によって実施され、これらの信号は、ボード上に設置される、選択されるインタフェースに基づいて異なる機能に割り当てられる。例えば製造によってコントローラセクションにロードされるファームウェアは、インタフェースタイプのために実施される信号およびプロトコルを決定することができる。例示的实施形態では、コントローラセクション 1 3 5 はイーサネット（商標）に基づくことができる。コントローラセクション 1 3 5 は、さらに、システム 1 0 内の他のインタフェース / 電子工学 1 4 0 に結合することができる。

20

【 0 0 1 5 】

本明細書において説明されているように、製造者は、所望のインタフェースのために設置すべき特定の部品を部品表に基づいて選択し、集積回路、抵抗器および他のコンポーネントを含む特定の部品がインタフェースタイプに基づいて追加され、あるいは除去される。

【 0 0 1 6 】

したがって例示的回路基板 1 0 0 は、より大きいシステム 1 0 内にフィールドバス 1 3 0 インタフェースを提供し、かつ、複数のタイプのプロトコルおよび接続のうちの 1 つをサポートしており、インタフェースの回路基板 1 0 0 上に設置されているコンポーネントを選択することにより、プロトコルのタイプ（例えば P R O F I B U S、C A N B U S および H 1 F F）がインタフェース製造時に選択される。接続は、共通共有コネクタスタイル（例えば D B 9）を介して実施され、製造するコンポーネントの選択がさらに実施されて、特定のコネクタピンがインタフェース機能に割り当てられる。インタフェースの動作は、回路基板のシステム 1 0 の残りの部分を接続することによって実施され、これらの接続は、設置されるインタフェースに基づいて異なる機能を有している。フィールドバスインタフェース回路基板 1 0 0 は、さらに、この回路基板およびインタフェースを含んだモジュールを、追加終端を必要とすることなく、インタフェースバスに沿った任意の場所に設置することができるよう、内部で制御される終端ネットワーク（例えば終端セクション 1 1 0）をサポートしている。

30

40

【 0 0 1 7 】

図 3 は、P R O F I B U S、C A N B U S および H 1 F F ならびに対応する個々の部品が製造時に選択される一例示的回路 3 0 0 の回路図を示したものである。回路 3 0 0 には、本明細書において説明されている 3 つのトランシーバセクション U T 1、U T 2、U T 3 が含まれている。このレイアウトには、さらに、抵抗器 R T 1、R T 2、R T 3、R T 4、R T 5、R T 6、R T 7、継電器 K 1 およびトランジスタ Q T を含んだ終端セクション T が含まれている。回路 3 0 0 には、さらに、F P G A 入力線 O P T I O N 1、O P T I O N 2、O P T I O N 3、O P T I O N 4、O P T I O N 5、O P T I O N 6 が含まれている。このレイアウトには、さらに、インタフェースへのジャンパ行列として、外部コネクタ C（例えば本明細書において説明されている D B 9 コネクタ）を備えた出力線 R

50

J 1、R J 2、R J 3、R J 4、R J 5、R J 6（例えば 0 オームジャンパ）が含まれている。

【 0 0 1 8 】

本明細書において説明されているように、回路 3 0 0 には、いくつかのインタフェースのうちの 1 つ、例えばそれには限定されないが、これから説明する P R O F I B U S、C A N B U S および H 1 F F のうちの 1 つになるように製造時に構成することができるコンポーネントセクションが含まれている。

【 0 0 1 9 】

P R O F I B U S の場合、U T 1、R T 1、R T 2、R T 3、R T 4、R T 6、R T 7、Q T、K 1 が回路 3 0 0 上に設置される。さらに、雌 D B 9 コネクタがコネクタセクション C に設置される。ジャンパ R J 1、R J 3 は、U T I アクティブハイ出力（C A N H）が雌 D B 9 のコネクタピン 3 に接続されるように接続される（図 2 参照）。ジャンパ R J 2、R J 4 は、アクティブロー出力（信号 C A N L）が雌 D B 9 コネクタのコネクタピン 8 に接続されるように接続される（図 2 参照）。ジャンパ R J 5、R J 6 は、U T 1 の共通信号が D B 9 コネクタのピン 5 に接続されるように接続される（図 2 参照）。P R O F I B U S の場合は、U T 2、U T 3 および R T 5 は設置されない。コントローラのための信号は、レシーバアクティブ R A のための O P T I O N 1、トランスミットイネーブル T E のための O P T I O N 2、レシーババック R B のための O P T I O N 3、トランスミットアウト T A のための O P T I O N 4、終端制御のための O P T I O N 5、および終端セクション T からのトランジスタ Q T および継電器 K 1 を介した継電器フィードバックのための O P T I O N 6 である。U T 1 入力には、さらに、フローティング供給電圧 V_{BS} および制御電圧 V_{CO} が含まれている。

【 0 0 2 0 】

H 1 F F の場合、U T 1、R T 1、R T 2、R T 3、R T 4、R T 6、R T 7、Q T、K 1 が回路 3 0 0 上に設置される。さらに、コネクタセクション C には雄 D B 9 コネクタが接続される。ジャンパ R J 1、R J 3 は、U T I アクティブハイ出力（C A N H）が D B 9 雄コネクタのコネクタピン 6 に接続されるように接続される（図 2 参照）。ジャンパ R J 2、R J 4 は、アクティブロー出力（信号 C A N L）が雄 D B 9 コネクタのコネクタピン 7 に接続されるように接続される（図 2 参照）。H 1 F F の場合は、U T 2、U T 3 および R T 5 は設置されない。コントローラのための信号は、レシーバアクティブのための O P T I O N 1、トランスミットイネーブルのための O P T I O N 2、レシーババックのための O P T I O N 3、トランスミットアウトのための O P T I O N 4、終端制御のための O P T I O N 5、および終端セクション T からのトランジスタ Q T および継電器 K 1 を介した継電器フィードバックのための O P T I O N 6 である。U T 1 入力には、さらに、フローティング供給電圧 V_{BS} および制御電圧 V_{CO} が含まれている。

【 0 0 2 1 】

C A N B U S の場合、U T 2、U T 3、R T 2、R T 5、R T 6、R T 7、Q 1、K 1 が回路 3 0 0 上に設置される。さらに、接続セクション C には雄 D B 9 コネクタが接続される。ジャンパ R J 1、R J 3 は、U T 3 アクティブハイ出力（C A N H）が D B 9 雄コネクタのコネクタピン 7 に接続されるように接続される（図 2 参照）。ジャンパ R J 2、R J 4 は、アクティブロー出力（信号 C A N L）が雄 D B 9 コネクタのコネクタピン 5 および 6 に接続されるように接続される（図 2 参照）。C A N B U S の場合は、U T 1、R T 1、R T 3、R T 5 は設置されない。コントローラのための信号は、選択のための O P T I O N 1、クロックのための O P T I O N 2、C A N へのデータのための O P T I O N 3、C A N からのデータのための O P T I O N 4、C A N 割込みのための O P T I O N 5、および終端セクション T からのトランジスタ Q T および継電器 K 1 を介した継電器フィードバックのための O P T I O N 6 である。

【 0 0 2 2 】

インタフェースの制御は、同様にインタフェースタイプに応じて変化する。本明細書において説明されているように、P R O F I B U S および H 1 F F の場合、トランシーバ

10

20

30

40

50

セクションUT1は、図3に示されているようにRS485トランシーバであってもよい。したがってPROFIBUSおよびH1FFには、いずれも、制御論理内の、31.25Kbpsで動作させることができるUARTによって制御される半二重直列伝送が利用されている。PROFIBUSおよびH1FFの主な電氣的な相違は、コネクタの雌雄および接続にある。CANBUSは、インタフェースドライバに対するUT2を介した同期周辺インタフェース(SPI)ポートを実現し、選択(UT2上のNC5入力)、クロック(UT2上のSCK入力)、およびUT2上のデータフローSIおよびSOのために任意選択ピンの再割当てを実施する。さらに、UT2は、TXD信号およびRXD信号をそれぞれUT3上のTXD信号、RXD信号にマップする。信号I/O1は終端セクションTに出力される。UT3入力には、さらに、基準タイマRsおよび基準電圧Vref、フローティング供給電圧V_{BS}および制御電圧V_{CO}が含まれている。

10

【0023】

本明細書において説明されているように、バスの終端は回路300内にも提供される。終端のためには、これから説明する伝送線路終端のために使用される終端抵抗器との回路の接続および開放が必要である。回路300を含んだモジュールがバスに沿って他のモジュールと共にフィールドバスに取り付けられると、バスの末端には終端が必要であり、また、バスの中間に接続されているモジュールを開放しなければならない。継電器K1を使用して、抵抗器RT1、RT2およびRT3の終端アレイを接続することができ、それにより終端を例えばプルアップし、並列にし、また、プルダウンすることができる。

【0024】

20

継電器が終端をバスから開放しているフィードバックとして、抵抗器RT6およびRT7は、継電器K1が終端を接続しているとOPTION6信号をローに引っ張ることができる。また、K1が終端を開放しているとハイに引っ張ることができる。継電器K1の制御は、OPTION5(同じトランシーバUT1を使用しているPROFIBUSまたはH1FF)またはCANインタフェースUT2からのI/O1信号のいずれかによって駆動されるトランジスタQTを介して実施される。したがって継電器K1は、より高価な継電器を必要とする個別のフィードバックスイッチを備えた3極継電器と比較すると2極双投(DPD)継電器であってもよく、それにより回路300のコストが低減される。

【0025】

当業者には理解されるように、適切な情報の流れを生成し、また、構成される(例えばFPGAコントローラセクション135に)ハードウェアと整合させるために製造時にロードされる、異なるコード分岐または異なるプログラムを備えた1つのプログラムの一部として構成可能な線を別様に駆動するための命令などの本発明の態様は、選択されるインタフェースに応じた信号の制御および機能を提供するためのシステム、方法またはコンピュータプログラム製品として具体化することができる。したがって本発明の態様は、そのすべてがハードウェア実施形態の形態、そのすべてがソフトウェア実施形態の形態(ファームウェア、常駐ソフトウェア、マイクロコード、等々を含む)、またはソフトウェア態様とハードウェア態様とを組み合わせた実施形態の形態を取ることができ、これらはすべて、本明細書においては一括して「回路」、「モジュール」または「システム」と呼ぶことができる。さらに、本発明の態様は、コンピュータ可読プログラムコードがその上に具体化された1つまたは複数のコンピュータ可読媒体の中に具体化されたコンピュータプログラム製品の形態を取ることができる。

30

40

【0026】

1つまたは複数のコンピュータ可読媒体の任意の組合せを利用することができる。コンピュータ可読媒体は、コンピュータ可読信号媒体またはコンピュータ可読記憶媒体であってもよい。コンピュータ可読記憶媒体は、例えば、それらに限定されないが、電子、磁気、光、電磁、赤外線または半導体のシステム、装置またはデバイスであっても、あるいはそれらの任意の適切な組合せであってもよい。コンピュータ可読記憶媒体のより特定の例には(それらに限定されないが)、1本または複数本の配線を有する電気接続、携帯型コンピュータディスク、ハードディスク、ランダムアクセスメモリ(RAM)、リード

50

オンリメモリ（ROM）、消去可能プログラマブルリードオンリメモリ（EPROMまたはフラッシュメモリ）、光ファイバ、携帯型コンパクトディスクリードオンリメモリ（CD-ROM）、光記憶装置、磁気記憶装置またはそれらの任意の適切な組合せがある。本文書のコンテキストにおいては、コンピュータ可読記憶媒体は、命令実行システム、装置またはデバイスが使用し、あるいはこれらの命令実行システム、装置またはデバイスと共に使用するためのプログラムを含むか、あるいは記憶することができる任意の有形媒体であってもよい。

【0027】

コンピュータ可読信号媒体は、例えばベースバンド中に、あるいは搬送波の一部としてコンピュータ可読プログラムコードがその中に具体化された伝搬データ信号を含むことができる。このような伝搬信号は、それらに限定されないが、電気・磁気、光またはそれらの任意の適切な組合せを含む任意の様々な形態を取ることができる。コンピュータ可読信号媒体は、コンピュータ可読記憶媒体ではなく、また、命令実行システム、装置またはデバイスが使用し、あるいはこれらの命令実行システム、装置またはデバイスと共に使用するためのプログラムを通信、伝搬または輸送することができる任意のコンピュータ可読媒体であってもよい。

【0028】

コンピュータ可読媒体上に具体化されたプログラムコードは、それらに限定されないが、無線、ワイヤ線、光ファイバケーブル、RF、等々、またはそれらの任意の適切な組合せを含む任意の適切な媒体を使用して伝送することができる。

【0029】

本発明の態様のための動作を実施するためのコンピュータプログラムコードは、Java（商標）、Smalltalk、C++、等々などのオブジェクト指向プログラミング言語、および「C」プログラミング言語または類似のプログラミング言語などの従来の手続き形プログラミング言語を含む1つまたは複数のプログラミング言語の任意の組合せで書くことができる。プログラムコードは、そのすべてを使用者のコンピュータ上で実行することも、独立ソフトウェアパッケージとして一部を使用者のコンピュータ上で実行することも、一部を使用者のコンピュータ上で、また、一部を遠隔コンピュータ上で実施することも、あるいはそのすべてを遠隔コンピュータ上またはサーバ上で実施することも可能である。後者のシナリオの場合、遠隔コンピュータは、ローカルエリアネットワーク（LAN）または広域ネットワーク（WAN）を含む任意のタイプのネットワークを介して使用者のコンピュータに接続することができ、あるいは外部コンピュータに接続することができる（例えばインターネットサービスプロバイダを使用したインターネットを介して）。

【0030】

技術的な効果には、複数のインタフェースタイプの基本セクションおよびコンポーネントを収納するための共通回路基板の実施態様によるコストの低減が含まれる。製造コストおよびハードウェア開発コストの低減は、共有回路基板レイアウト上での機能の組合せによるものである。共通回路基板を使用することにより、量が多くなるほど、大量生産によって総コストが低減される。

【0031】

本明細書において説明されている例示的实施形態には、さらに、ファームウェアを介して制御信号を変更することができるプログラム可能バス終端が含まれている。DPDT継電器（この継電器は3PDT継電器よりコストが安価である）のみが使用されているが、本明細書において説明されている例示的实施形態には、さらに、継電器動作の診断検証が含まれている。複数のプロトコルをハードウェアでサポートするためには、さらに、終端回路の変更が必要である。継電器スイッチおよび終端抵抗器ネットワークを提供することにより、部品表を変更する（抵抗器の除去および/または挿入の両方を変更し、かつ、抵抗器の値を変更する）ことによって異なるプロトコルを提供することができる。また、この継電器スイッチングにより、端点では終端を接続し、また、中間ケーブル接続では終端

10

20

30

40

50

を開放しなければならないフィールドバスに沿ってモジュールを配置することができる。過去の実施態様では、終端を選択するためのジャンパまたはスイッチを使用者が設定する必要があったが、本明細書において説明されている例示的实施形態によれば、モジュール内部設定（しばしばイーサネット（商標）または制御パネル設定などの他のインタフェースによって供給される）による制御の下での継電器が実現される。

【0032】

以上、本発明について、ごく限られた数の実施形態に関連して詳細に説明したが、本発明は、開示されているこのような実施形態に限定されないことは容易に理解されよう。そうではなく、本発明は、説明されていない任意の数の変形形態、変更、置換または等価構造を組み込むべく修正することができるが、それらは本発明の精神および範囲と同一基準である。また、本発明の様々な実施形態が説明されているが、本発明の態様は、説明されている複数の実施形態のうちの一部のみを含むことも可能であることを理解されたい。したがって本発明は、以上の説明によって制限されるものと見なしてはならず、本発明は、特許請求の範囲によってのみ制限される。

10

【符号の説明】

【0033】

10 システム

100 インタフェース回路基板

105、115、UT1、UT2、UT3 トランシーバセクション

110、T 終端セクション

20

120 行列セクション

125 接続セクション

130 フィールドバス

135 コントローラセクション

140 インタフェース/電子工学

300 回路

RT1、RT2、RT3、RT4、RT5、RT6、RT7 抵抗器

K1 継電器

QT トランジスタ

OPTION1、OPTION2、OPTION3、OPTION4、OPTION5

30

、OPTION6 入力線

RJ1、RJ2、RJ3、RJ4、RJ5、RJ6 出力線

C 外部コネクタ

V_{BS} フローティング供給電圧

V_{CO} 制御電圧

CANL 信号

CANH 出力

フロントページの続き

- (72)発明者 ダニエル・ミルトン・アレイ
アメリカ合衆国、バージニア州・２４１５３、セイム、ロアノーク・ブールヴァード、１５０１番
、ゼネラル・エレクトリック・カンパニイ
- (72)発明者 ロンファイ・シェン
中華人民共和国、シャンハイ・２０１２０３、シャンハイ、ツァンチャン・ハイ・テック・パーク
、カイ・ルン・ロード、１８００番、ゼネラル・エレクトリック・カンパニイ
- (72)発明者 イェ・シュー
中華人民共和国、シャンハイ・２０１２０３、シャンハイ、ツァンチャン・ハイ・テック・パーク
、カイ・ルン・ロード、１８００番、ゼネラル・エレクトリック・カンパニイ

審査官 宮久保 博幸

- (56)参考文献 特開２０００－２３５５４５（ＪＰ，Ａ）
米国特許第０６３０１６３３（ＵＳ，Ｂ１）
特表２００１－５２０７７１（ＪＰ，Ａ）
米国特許出願公開第２００８／００１３５６９（ＵＳ，Ａ１）

- (58)調査した分野(Int.Cl.，ＤＢ名)
Ｇ０６Ｆ ３／００