

申請日期	90.7.27
案號	90118381
類別	G06F 3/00

536680

(以上各欄由本局填註)

## 發 明 專 利 說 明 書

一、發明 名稱	中 文	能使用在 PCI 匯流排與 PCI-X 匯流排之資料輸出電路
	英 文	
二、發明 創作人	姓 名	具京會
	國 籍	大韓民國
	住、居所	大韓民國京畿道水原市八達區元泉洞元泉主公 Apt., 2 團地 207 棟 702 號
三、申請人	姓 名 (名稱)	三星電子股份有限公司
	國 籍	大韓民國
	住、居所 (事務所)	大韓民國京畿道水原市八達區梅灘洞 416 番地
	代 表 人 姓 名	尹鍾龍

經濟部智慧財產局員工消費合作社印製

裝 訂 線

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6  
B6

本案已向：

國(地區)	申請專利，申請日期：	案號：	， <input type="checkbox"/> 有 <input checked="" type="checkbox"/> 無主張優先權
韓國	2000/11/15	2000-67773	
韓國	2001/05/18	2001-27287	

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

## 五、發明說明（ / ）

本發明是有關於一種數據處理系統，其具有一可以使用於周邊元件連接(PCI)緩衝器以及周邊元件連接擴充(PCI-X)緩衝器之數據輸出緩衝器。

目前的個人電腦或工作站系統可裝配有一 PCI 匯流排，以作安裝於其中之元件之間的數據傳送。

一 PCI 匯流排需要其緩衝器不同的規格，以與其信號電壓環境一致，例如，一周邊元件連接匯流排之緩衝器必需符合最大數據轉換率 533MB/sec，以及在一 3.3V 之信號電壓環境下之操作頻率 66MH，且必需實施最大數據轉換率 133MB/sec，以及在一 5V 之信號電壓環境之一操作頻率 33MHz。

第 1 圖係一方塊圖，其繪示出一傳統之 PCI 緩衝器。請參考第 1 圖，基於一輸入信號電壓，該 PCI 緩衝器 10 應具有不同之驅動容量。特別對於是一 5V 輸入信號電壓，其驅動容量與一 3.3V 之輸入信號電壓不同。該 PCI 緩衝器 10 之驅動容量控制電路 12 之功能是用來控制輸入信號電壓之驅動容量。

然而，由於傳統驅動容量控制電路 12 不具有電位鑑別器，其必需由外界提供一信號，以做為電位的鑑別。

目前，一 PCI-X 匯流排之規格已被提出，其是得自於 PCI 匯流排。基於這種規格，PCI-X 匯流排必需符合一最大數據轉換率 133MHz 以及 3.3v 之電壓環境之操作頻率 1,066MB/sec。因此，用於 PCI-X 匯流排之緩衝器必需符合 PCI-X 匯流排的規格。

如果將 PCI-X 匯流排緩衝器使用作為一 PCI 匯流排緩衝器，必需能夠控制電壓 3.3V 及 5V 之驅動容量。

## 五、發明說明 ( 2 )

然而到目前為止，還沒有發現可以同時使用於 PCI 匯流排以及 PCI-X 匯流排的數據輸出緩衝器。

因此，本發明之一目的是在提供一種改良的數據處理系統，其具有可以使用於同時使用於 PCI 匯流排以及 PCI-X 匯流排的數據輸出緩衝器。

本發明之另一目的，在提供一種數據處理系統，其具有一電位鑑別器，以基於一輸入電位控制信號驅動容量。

基於本發明之一特性，得以提供以上及其他之目的，其中一數據處理系統包括一控制元件，以接收來自於一主要核心之數據，並輸出給定控制信號，一電位移位器，用來放大給定控制信號之電位，並輸出對應之驅動信號，以及一數據輸出緩衝器，用來接收來自電位移位器之驅動信號及輸出一驅動電壓給一輸入/輸出鉗墊，其中該驅動電壓之電壓介於 PCI 及 PCI-X 之規格，當數據處理系在一 PCI 模式下操作時，數據輸出緩衝器達到一高阻抗狀態，以防止輸入給鉗墊之一 PCI 模式電壓洩漏給一電源端。

在一較佳實施例中，數據輸出緩衝器包括一個上拉電晶體，其一端與一電源端連接，一第一電阻耦接於鉗墊及上拉電晶體之另一端，以控制介於 PCI 及 PCI-X 之規格所定電流範圍，由電源端流自鉗墊之電流，一第二電阻，一端連接至鉗墊，以控制介於 PCI 及 PCI-X 之規格所定電流範圍，由鉗墊流至地端的電流，一下拉電晶體，一端接地，一下拉電晶體保護元件，耦接於第二電阻之另一端與下拉電晶體之另一端之間，以控制下拉電晶體，使得下拉電晶體在 PCI 模式下，另一端的電位達

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明（ $\lambda$ ）

到 VDD(電源電壓)- $V_{TH}$ (下拉電晶體保護元件之起始電壓)，一洩漏保護元件，耦接於鉚墊及上拉電晶體之閘極之間，以防止在 PCI 模式下，電流由鉚墊洩漏至電源，以及一濾通電晶體，耦接於電源端及鉚墊之間，以導通電位移位器產生之驅動信號至上拉電晶體之閘極。

在此較佳實施例中，上拉電晶體是由一 PMOS 電晶體形成的，其具有一主體端與輸入電壓相連接，其中，在 PCI 或 PCI-X 模式下，提供一 3.3V 或 5V 之電壓給該主體端。下拉電晶體是由一 NMOS 電晶體形成，而下拉電晶體保護元件是由一 NMOS 電晶體形成的。洩漏保護元件是由一 PMOS 電晶體所形成，其具有一主體端與一輸入電壓連接，其中在 PCI 或 PCI-X 模式下，提供一 3.3V 或 5V 之電壓給主體端。

在此較佳實施例中，一 3.3V 之電壓提供給連接上拉電晶體一端之電源端，該電源端與 NMOS 電晶體，亦即下拉電晶體保護元件之閘極相連接，且電源端與 PMOS 電晶體，亦即洩漏保護元件之閘極相接。

基於本發明之另一特徵，提供給數據處理系統一種控制單，以接收由自一主要核心之數據，並輸出給定控制信號，其具有一電位鑑別器，以鑑別出由外界輸入之一輸入電壓的電位，以輸出一鑑別信號，以及一數據輸出緩衝器，以響應控制信號，輸出一驅動電壓給一輸入/輸出鉚墊，並響應鑑別信號以控制其驅動容量。

在一較佳實施例中，該電位鑑別器包括一比較電路，以比較外界輸入之輸入電壓以及一標準電壓，以輸出一比較信號，

## 五、發明說明 ( $\psi$ )

以及一門鎖電路，用來門鎖該比較信號。

在此較佳實施例中，比較電路比較一第一電壓分佈電路，以分佈輸入電壓，輸出一第一電壓，一第二電壓分佈電路，以分佈一電源電壓，輸出標準電壓，以及一比較器，其具有一非轉換輸入端以接收第一電壓，一轉換輸入端以接收標準電壓，以及一輸出端，以輸出該比較信號。

在此較佳實施例中，第一電壓分佈電路包括一 NMOS 電晶體，其具有一第一電流電極，一控制電極與一控制信號連接，此控制信號在提供有一電源電壓時被啟動，以及一第二電流電極，其連接一接地電壓，以及至少兩個電阻，串接於輸入電壓以及 NMOS 電晶體之第一電流電極之間，而第一電壓則由第一電壓分佈電路之電阻的連接節點之一所輸出。

在此較佳實施，第二電壓分佈電路包括一 NMOS 電晶體，其具有一第一電流電極，一控制電極與電源電壓所啟動之控制信號相連接，一第二電流電極，連接至一接地電壓，以及至少兩個電阻串接於電源電壓以及 NMOS 電晶體之第一電流電極之間，且該標準電壓是由第二電壓分佈電路之電阻節點其中之一所輸出。

在此較佳實施例中，門鎖電路與電源電壓所啟動之控制信號的轉換信號同步，以門鎖由比較器輸出之比較信號。

圖式之簡單說明：

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

第 1 圖係一方塊圖，繪示出一種傳統之周邊元件連接緩衝

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(5)

器。

第 2A 圖繪示出一數據輸出緩衝器之 PMOS 電晶體的驅動容量，其由 PCI 及 PCI-X 規格所定義。

第 2B 圖繪示出一數據輸出緩衝器之 NMOS 電晶體的驅動容量，其由 PCI 及 PCI-X 規格所定義。

第 3 圖係一方塊圖，其繪示出基於本發明之一較佳實施例的一數據處理系統。

第 4 圖係一電路圖，其繪示出第 3 圖所示之數據處理系統中，一控制元件之電位鑑器。

第 5 圖一電路圖，其示出第 4 圖所示之一比較器。

第 6 圖係一電路圖，其繪示出第 3 圖所示之數據處理系統中之一數據輸出緩衝器。

圖式之標記說明：

- 10：PCI 緩衝器
- 12：驅動容量控制電路
- 100：控制元件
- 120：電位鑑別器
- 200：電位移位器
- 300：數據輸出緩衝器
- 316：鉚墊
- 122：電壓分佈電路
- 124：比較器
- 126：反相器
- 128：閃鎖電路

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(6)

210：偏壓電路

220：差動放大器

310：濾通電晶體

316：輸入/輸出鉚墊

### 實施例

本發明將參考附圖，於以下詳細敘述之，其中本發明之一較佳實施如以下所述，其中相似元件將使用一致之標號。

基於本發明之一數據處理系統具有一機制，其支持在 PCI 模式下，3.3V 之電壓環境以及 1.66MB/s 之數據轉換率，以及在 PCI-X 模式下，3.3V/5V 之電壓環境。

第 2A 圖繪示出由 PCI 及 PCI-X 規格定義之數據輸出緩衝器中，一 PMOS 電晶體的驅動容量，而第 2B 圖繪示出圖繪示出由 PCI 及 PCI-X 規格定義之數據輸出緩衝器中，一 NMOS 電晶體的驅動容量。

參考第 2A 及 2B 圖，與 PCI 匯流排之數據輸出緩衝器的驅動容量相比較，PCI-X 匯流排之數據輸出緩衝器的驅動容量顯示器具有一局限的電流範圍。

第 3 圖係一方塊圖，其繪示出基於本發明，一具有可使用於 PCI-X 緩衝器及 PCI 緩衝器之一數據輸出緩衝器之數據處理系統。參考第 3 圖，數據處理系統包括一控制元件 100 以接收由一主要核心所提供之數據，並輸出一給定控制信號 PG1，NG1，一電位移位器 200，以及一數據輸出緩衝器 300。

該控制元件 100 具有一電位鑑別器 120，以鑑別一輸入電壓之電位。該電位鑑別器 120，如第 4 圖所示，包括一電壓分

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 7 )

佈電路 122，一比較器 124，一反相器 126，以及一閃鎖電路 128。該電壓分佈電路 122 包括兩個 NMOS 電晶體 MN1，MN2，以及四個電阻 R1，R2，R3，R4。每一個 NMOS 電晶體 MN1，MN2 具有一第一電流電極(亦即一汲極)，一接地之第二電流電極(亦即一源極)，以及被一控制信號 CTRL 控制之控制電極(亦即一閘極)。第一及第二電阻 R1，R2 串接於一 3.3V 或 5V 之輸入電壓  $V_{I/O}$  以及 NMOS 電晶體 MN1 對應之汲極，而第三及第四電阻 R3，R4 串接於內部電源 VDD 以及 NMOS 電晶體 MN2 對應之汲極。

一連接第一電阻 R1 及第二電阻 R2 之第一節點的第一電壓 V1 如以下等式所定義：

$$V1 = \{R2 / (R1 + R2)\} \times (V_{I/O\_}) \quad \dots(1)$$

在此，第一電阻 R1 及第二電阻 R2 之電阻值之設定使得在輸入電壓  $V_{I/O}$  為 3.3V 及 5V 時，第一電壓 V1 分別為 1V 及 1.5V。

還有，一連接第三電阻 R3 及第四電阻 R4 之第二節點的第二電壓 V2 如以下等式所定義：

$$V2 = \{R4 / (R3 + R4)\} \times (VDD) \quad \dots(2)$$

在此，第三電阻 R3 及第四電阻 R4 之電阻值的設定，使得第二電壓 V2 根據內部電源電壓 VDD 而為 1.2V。

在提供內部電源電壓 VDD 時，控制信號 CTRL 達到一高電位，反之，其達到一低電位。因此，第一及第二電晶體 MN1 及 MN2 只有在內部電源電壓提供給電位鑑別器 120 時開啓，而電流通路經由第一及第二電阻 R1 及 R2 介於輸入電壓  $V_{I/O}$  及接地電壓之間，並經由第三及第四電阻 R3 及 R4 而介於內部電源電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(8)

壓 VDD 以及接地電壓之間。亦即，如果不提供內部電源電壓 VDD，在輸入電壓  $V_{I/O}$  和接地電壓之間不會形成電流通道，因此，可避免不需要之電流損耗。

比較器 124 具有一未轉換之輸入端“+”以接收第一節點 N1 之第一電壓 V1，一反轉之輸入端“-“以接收第二節點 N2 之第二電壓 V2，以及一輸出端，用來依據第一及第二電壓 V1 及 V2 之電位而輸出一比較信號 CMP。更具體地，當輸入電壓  $V_{I/O}$  為 3.3V，而第一電壓 V1 為 1V 時，第一電壓 V1 小於第二電壓 V2。因此，比較器 124 輸出一具有一低電位，亦即邏輯“0”之比較信號 CMP。此外，當輸入電壓  $V_{I/O}$  為 5V，而第一電壓 V1 為 1.5V 時，第一電壓 V1 大於第二電壓 V2。因此，比較器 124 輸出一具有一高電位，亦即邏輯“1”之比較信號。

第 5 圖係一電路圖，其繪示出第 4 圖中比較器 124 的詳細電路組成。

參考第 5 圖，比較器 124 包括一偏壓電路 210，一差動電路 220，一 NMOS 電晶體 MN7，以及一 PMOS 電晶體 MP4。偏壓電路 210 包括一 PMOS 電晶體 MP1，NMOS 電晶體 MN3，MN4 以及一電阻 R5 以提供一給定電位之偏壓給 NMOS 電晶體 MN7 之閘極。PMOS 電晶體 MP1 具有一源極與電源電壓 VDD 相連接，一閘極與控制信號 CTRL 連接，以及一汲極與電阻 R5 之一端相接。NMOS 電晶體 MN3 具有一汲極與電阻 R5 之另一端相接，一閘極連接控制信號 CTRL，以及一源極接地。NMOS 電晶體 MN4 具有一汲極連接電阻 R5 之另一端，一閘極連接其本身之汲極，以及一源極接地。

## 五、發明說明(9)

差動放大器 220 包括兩個 PMOS 電晶體 MP2 及 MP3，以及兩個 NMOS 電晶體 MN5 及 MN6。PMOS 電晶體 MP2 具有一源極連接電源電壓 VDD，一閘極以及一汲極彼此相連。PMOS 電晶體 MP3 具有一源極與電源電壓 VDD 連接，一閘極連接 PMOS 電晶體 MP2 之閘極，以及一汲極連接輸出比較信號 CMP 之輸出節點 N3。NMOS 電晶體 MN5 具有一汲極與 PMOS 電晶體 MP2 之汲極連接，一閘極連接電壓分佈電路 122 中第一節點 N1 之第一電壓 V1，以及一源極與 NMOS 電晶體 MN7 之汲極連接。NMOS 電晶體 MN6 具有一汲極與 PMOS 電晶體 MP3 之汲極及輸出比較信號 CMP 之輸出節點 N3 連接，一閘極與電壓分佈電路 122 之第二節點 N2 的第二電壓相連，以及一源極連接 NMOS 電晶體 MN7 之汲極。

NMOS 電晶體 MN7 具有一汲極與 NMOS 電晶體 MN5、MN6 之源極相連接，一閘極與 NMOS 電晶體 MN4 之閘極及汲極相接，以及一源極與接地電壓相連。PMOS 電晶體 MP4 具有一源極連接電源電壓 VDD，一閘極連接反轉控制信號/CTRL，以及一汲極連接輸出節點 N3。

差動放大器 220 將輸入 NMOS 電晶體 MN3 之閘極的第一電壓 V1 之電位與輸入 NMOS 電晶體 MN6 之閘極的第二電壓 V2 的電位相比，並輸出一對應兩電壓 V1 及 V2 之差異的比較信號 CMP。亦即，如果第一電壓 V1 較第二電壓 V2 為高，則電源電壓 VDD 輸出作為比較信號 CMP，反之，如果第二電壓 V2 較第一電壓 V1 為高，則接地電壓出作為比較信號。

參考第 4 圖，門鎖電路 128 由一 D-正反器(D-flipflop)所形

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 (10)

成而與反轉控制信號/CTRL 同步，以接收由比較器 124 輸出之比較信號 CMP，並將以門鎖。門鎖電路 128 藉由電位移位器 200 輸出一鑑別信號 SEL 至數據輸出緩衝器 300，以控制數據輸出緩衝器 300 之驅動容量，亦即，如以下將作解釋，所要驅動之 PMOS 電晶體 MP7 及 NMOS 電晶體 MN10 之數目。如此，在本發明中，不需要提供一信號 SW 以鑑別由外界輸入之輸入電壓的電位。

在此必需注意的是，本發明之此一實施例中，電位鑑別器 120 解釋作為一種用來鑑別具有可使用 PCI 緩衝器及 PCI-X 緩衝器之數據輸出緩衝器的數據處理系統之輸作電位，而其亦可用作為具有僅能使用 PCI 緩衝器之數據輸出緩衝器之數據處理系統。

電位移位器 200 放大給定控制信號 PG1，NG1 之電位，以及由控制元件 100 輸出之鑑別信號 SEL，並輸出驅動信號 PG2，NG2，SEL'(未顯示)。由是，電位移位器 200 確保所有介於主要核心及電位移位器 200 之間的元件形成一具有位起始電壓之薄閘氧化層。藉此，減低由數據輸出緩衝器 300 所產生之數據傳播延遲。

數據輸出緩衝器 300 接收來自電位移位器之驅動信號 PG2 及 NG2，並輸出一 PCI 及 PCI-X 規格所定義之電壓範圍內的驅動電壓給輸入/輸出鉗墊 316。當數據處理系統在 PCI 輸入模式下操作時，數據輸出緩衝器 300 達到一高阻抗狀態，以防止 PCI 模式下，輸入給輸入/輸出鉗墊 316 之 3.3V 或 5V 的電壓洩漏至一電源端。

## 五、發明說明 (11)

第 6 圖係一電路圖，繪示出第 3 圖所示之數據輸出緩衝器 300 之一較佳實施例。參考第 6 圖，本發明之數據輸出緩衝器 300 包括一輸入/輸出鉚墊 316，一上拉電晶體 MP7，其具有一端連接內部電源電壓 VDD，施加有一 3.3V 之電壓，一第一電阻 R6，一第二電阻 R7，一下拉電晶體 MN10，一下拉電晶體保護元件 MN9，一防止洩漏元件 MP6，以及一濾通電晶體 310。

上拉電晶體 MP7 是由一 PMOS 電晶體所形成，其具有一主體端與輸入電壓  $V_{I/O}$  連接，並施加有一由 PCI 或 PCI-X 所提供之 3.3V 或 5V 的電壓。

第一電阻 R6 耦接於輸入/輸出鉚墊 316 及上拉電晶體 MP7 之另一端之間，以控制一由內部電源電壓 VDD 流自輸入/輸出鉚墊 316 之電流，進而具有一電流符合 PCI 及 PCI-X 之規格。由是，如第 2A 圖所示，第一電阻 R6 符合 PCI 及 PCI-X 數據輸出緩衝器之驅動容量。亦即，當數據輸出緩衝器 300 在 PCI 或 PCI-X 模式下之 3.3V 或 5V 的電壓環境中操作時，第一電阻 R6 之功能在控制由內部電源電壓 VDD 流至輸入/輸出鉚墊 316 之電流。

第二電阻 R7 之一端連接輸入/輸出鉚墊 316，以控制由輸入/輸出鉚墊 316 流自接地端之電流，進而具有一介於 PCI 及 PCI-X 規格之電流範圍的電流。因此，耦接於輸入/輸出鉚墊 316 以及下拉電晶體保護元件 MN9 之間的第二電阻 R7 符合第 2B 圖所示，PCI 及 PCI-X 數據輸出緩衝器之驅動容量。亦即，當數據輸出緩衝器 300 在 PCI 或 PCI-X 模式下之 3.3V 或 5V 的電壓環境中操作時，第二電阻 R7 之功能在控制電流由輸入/輸出

## 五、發明說明 (12)

鉚墊 316 流入接地端。

下拉電晶體 MN10 具有一端與地端相連，以及一閘極用以接收由電位移位器 200 所提供之驅動信號 NG2。下拉電晶體 MN10 是由一 NMOS 電晶體所形成的。

下拉電晶體保護元件 MN9 耦接於第二電阻 R7 之另一端以及下拉電晶體 MN10 之另一端，以控制下拉電晶體 MN10，而使下拉電晶體 MN10 之另一端在 PCI 模式下的電位為 VDD(電源電壓)- $V_{TH}$ (起始電壓)。下拉電晶體保護元件 MN9 是由一 NMOS 電晶體所形成，其具有一閘極連接至內部電源電壓 VDD，而施加有一 3.3V 的電壓。

防止洩漏元件 MP6 耦接於輸入/輸出鉚墊 316 及上拉電晶體 MP7 之閘極之間，以控制上拉電晶體 MP7 之閘極，而防止在 PCI 模式下之電流由輸入/輸出鉚墊 316 流至內部電源電壓 VDD。防止洩漏元件 MP6 是由一 PMOS 所形成，其具有一主體端連接至輸入電壓  $V_{I/O}$ ，在 PCI 或 PCI-X 模式中，其施加有一 3.3V 或 5V 的電壓，以及一閘極，連接至內部電源電壓 VDD，而其施加有一 3.3V 的電壓。

濾通電晶體 310 耦接於內部電源電壓及輸入/輸出鉚墊 316 之間，以濾通由電位移位器 200 所提供之驅動信號 PG2 給上拉電晶體 MP7 之閘極。濾通電晶體 310 是由一 NMOS 電晶體 MN8 及一 PMOS 電晶體 MP5 所組成，NMOS 電晶體 MN8 具有一閘極連接至內部電源電壓 VDD，對其施加有一 3.3V 的電壓，而 PMOS 電晶體 MP5 具有一主體端連接至輸入電壓  $V_{I/O}$ ，其在 PCI 或 PCI-X 模式下被施加一 3.3V 或 5V 的電壓，以及一閘極連接

## 五、發明說明（17）

至輸入/輸出鉚墊 316。

為響應由電位移位器 200 輸出之驅動信號 SEL' 而控制數據輸出緩衝器 300 之驅動容量，數據處理系統之數據輸出緩衝器 300 具有分別與 PMOS 及 NMOS 電晶體 MP7 及 MN10 並聯之額外或附加的 PMOS 及 NMOS 電晶體(未繪示)。附加的 PMOS 及 NMOS 電晶體根據該驅動信號 SEL' 被開啓或關閉。藉此，被驅動之 PMOS 及 NMOS 電晶體 MP7 及 MN10 的數目得以控制，以允許數據輸出緩衝器 300 具有對應 PCI 及 PCI-X 模式之電壓環境的驅動容量。

如以上所述，本發明之數據處理系統具有數據輸出緩衝器 300，其可以使用作為 PCI 緩衝器及 PCI-X 緩衝器。數據緩衝器 300 可以在 PCI-X 模式下，3.3V 之電壓環境下穩定地驅動數據。亦即，數據輸出緩衝器穩定地傳送由主要核心提供的數據給每一個周邊元件。還有，數據輸出緩衝器可以在 PCI 模式中，3.3V 或 5V 的電壓環境下驅動數據，以將其穩定導入晶片。

在此將會敘述的是數據輸出緩衝器 300 在 PCI-X 模式中，3.3V 電壓環境下的操作。

控制元件 100 接收來自主要核心的數據，並輸出控制信號 PG1，NG1 給電位移位器 200。此時，控制元件 100 之電位鑑別器 120 感應到一 3.3V 之輸入電壓  $V_{I/O}$ ，並輸出一對應電位移位器 200 之 3.3V 輸入電壓  $V_{I/O}$  的鑑別信號 SEL。

假設數據輸出緩衝器 300 輸出一邏輯高電位之電壓給輸入/輸出鉚墊 316，電位鑑別器 120 提供具有低電位之驅動信號 PG2，NG2 給數據輸出緩衝器 300 的輸入端。在數據輸出緩衝

## 五、發明說明（14）

器 300 中，上拉電晶體 MP7 及下拉電晶體 MN10 分別被驅動信號 PG2，NG2 開啓及關閉。於是，3.3V 之邏輯高電位電壓輸出至鉚墊 316。

另一方面，如果電位移位器 200 提供具有邏輯高電位的驅動信號 PG2，NG2 給數據輸出緩衝器 300 的輸入端，在數據輸出緩衝器 300 中，上拉電晶體 MP7 及下拉電晶體 MN10 和下拉電晶體保護元件 MN9 分別被驅動信號 PG2，NG2 開啓及關閉。於是，邏輯低電位電壓輸出至鉚墊 316。

此外，基於由電位移位器 200 輸入之一對應鑑別信號 SEL 的驅動信號 SEL'，藉著開啓或關閉附加 PMOS 及 NMOS 電晶體 MP7 及 MN10 以配合 3.3V 的電壓，數據輸出緩衝 300 得以控制驅動容量，亦即，被驅動之 PMOS 及 NMOS 電晶體 MP7 及 MN10 的數目。

接著，將敘述在 PCI 模式中，3.3V 或 5V 之電壓環境下，數據輸出緩衝器 300 之操作。

參考第 6 圖，如以上所述，當數據處理系統在 PCI-X 模式下操作時，提供了一 3.3V 之輸入電壓  $V_{I/O}$  給 PMOS 電晶體 MP5，MP6，MP7 之主體端，而當數據處理系統在 PCI 模式下操作時，則提供一 3.3V 或 5V 之輸入電壓  $V_{I/O}$ 。以下將會解釋，數據輸出緩衝器 300 在 PCI 模式中 3.3V 之電壓環境的操作與其在 PCI-X 模式下 3.3V 之電壓模式的操作。此外，電壓環境為 5V 時，與 PCI-X 模式相同的操作將於以下解釋之。

瀉通電晶體 310，下拉電晶體保護元件 MN9 以及防止洩漏元件 MP6 支持 PCI 模式下 5V 之電壓環境。亦即，當數據輸出

## 五、發明說明（15）

緩衝器 300 為高阻抗狀態時，且由提供了一 5V 之輸入電壓  $V_{I/O}$  給輸入/輸出鉚墊 316 時，防止洩漏元件 MP6 控制了一上拉電晶體 MP7 之閘極及源極間的電壓，且關閉上拉電晶體 MP7 之源極，而下拉電晶體保護元件 MN9 使得下拉電晶體 MN10 之閘極及源極之間的電壓達到  $3.3V - V_{TH}$  (起始電壓) 之最大值。

更具體地說，如果施加了 5V 之輸入電壓  $V_{I/O}$  給上拉電晶體 MP7 之主體端，亦即，輸入一 5V 之電壓給輸入/輸出鉚墊 316，則會在 PMOS 電晶體 MP7 之汲極及源極之間形成一電流通路。一電流會由高阻抗狀態輸入/輸出鉚墊 316 洩漏至基底，而使得系統增加故障機能的可能。為解決此一問題，本發明之數據輸出緩衝器 300 具有防止洩漏元件 MP6 以防止電流由輸入/輸出鉚墊 316 流至 3.3V 的內部電源電壓 VDD。防止洩漏元件 MP6 防止在提供 5V 電壓給輸入/輸出鉚墊 316 時，上拉電晶體 MP7 被其閘極及汲極之間的電壓差所開啓。特別是提供給上拉電晶體 MP7 之閘極的最大電位為 3.3V，所以當輸入 5V 的電壓給輸入/輸出鉚墊 316 時，上拉電晶體 MP7 之閘極及汲極的電壓差達到 1.7V 而將上拉電晶體 MP7 開啓。為解決此一問題，本發明具有一種機制，其中在 PCI 模式下，5V 的電壓環境下時，上拉電晶體 MP7 之閘極的電位與輸入/輸出鉚墊 316 的電位相同，亦即，在 PCI 模式下，防止洩漏元件 MP6 使得上拉電晶體 MP7 之閘極的電位與輸入/輸出鉚墊 316 之電位相等。

此外，本發明又包括下拉電晶體保護元件 MN9 介於第二電阻 R7 及下拉電晶體 MN10 之間。下拉電晶體保護元件 MN9 使得即使在輸入 5V 之電壓給輸入/輸出鉚墊 316 時，下拉電晶體

## 五、發明說明 (16)

MN10 之閘極及源極之間的電位以及汲極的電位到  $3.3V - V_{TH}$  (MN9 之起始電壓) 之最大值。

很明顯地，如以上所述，本發明之數據處理系統具有數據輸出緩衝器，其穩定地被操作於 PCI 模式中之  $3.3V/5V$  的電壓環境以及 PCI-X 模式中之  $3.3V$  的電壓環境。該數據輸出緩衝器穩定地驅動在 PCI-X 模式下，由主要核心所提供的數據，並確保即使在 PCI 模式中輸入  $5V$  的電壓給鉚墊，都可維持高阻抗狀態。為此，數據輸出緩衝器具有第一及防止洩漏元件，其可以有效控制上拉及下拉電晶體。再者，數據輸出緩衝器包括電阻以提供驅動容量以配合 PCI 及 PCI-X 模式。

此外，本發明之該數據處理系統具有電位鑑別器以自動鑑別輸入電壓之電位。於是，在本發明中，不需要提供信號 SW 以鑑別來自外界的輸入電壓。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

7990pif.doc/008

四、中文發明摘要（發明之名稱：

能使用在 PCI 匯流排與 PCI-X 匯流排之  
資料輸出電路

一種數據處理系統，包括一控制元件，以接收來自主要核心之數據，並輸出給定控制信號，一電位移位器，以放大該給定控制信號的電位，並輸出相對的驅動信號，以及一數據輸出緩衝器，以接收來自該電位移位器之驅動信號，並輸出一介於 PCI 或 PCI-X 規格所定義之電壓範圍的驅動電壓給一輸入/輸出鉗墊。在一 PCI 模式下，該數據輸出緩衝器達到一高阻抗狀態，以防止輸入於該鉗墊之 PCI 模式電壓洩漏至一電源端。而該控制元件具有一電位鑑別器，以鑑別由外界輸入之一輸入電壓的電位，並輸出一鑑別信號，且該數據輸出緩衝器控制其驅動容量，以響應與該鑑別信號之一控制信號。

英文發明摘要（發明之名稱：

（請先閱讀背面之注意事項再填寫本頁各欄）

訂

## 六、申請專利範圍

### 1. 一種數據處理系統，包括：

一控制元件，以接收來自一主要核心之數據，並輸出給定控制信號；

一電位移位器，以放該些給定控制信號之電位，並輸出對應的驅動信號；

一數據輸出緩衝器，以接收來自該電位移位器之該些驅動信號，並輸出介於 PCI 及 PCI-X 規格所定義之電壓範圍之一驅動電壓給一輸入/輸出鉗墊；以及

該數據輸出緩衝器處於一高阻抗狀態中，以防止在該數據處理系統操作於一 PCI 模式下時，輸入該鉗墊之一 PCI 模式電壓洩漏給一電源端。

### 2. 如申請專利範圍第 1 項所述之數據處理系統，其中該數據輸出緩衝器又包括：

一上拉電晶體，具有一端與一電源端相連接；

一第一電阻，耦接於該鉗墊及該上拉電晶體之另一端，以控制一符合該 PCI 及 PCI-X 規格之電流；

一第二電阻，具有一端連接至該鉗墊，以控制由該鉗墊流至一接地端之電流，該電流具有一範圍符合 PCI 及 PCI-X；

一下拉電晶體，具有一端連接該接地端；

一下拉電晶體保護元件，耦接於該第二電阻之另一端及該下拉電晶體之另一端之間，以控制該下拉電晶體，使得在該 PCI 模式下，該下拉電晶體之另一端的電位達到  $V_{DD}$ (電源電壓)- $V_{TH}$ (該下拉電晶體之起始電壓)；

一防止洩漏元件，耦接於該鉗墊及該上拉電晶體之一閘極

## 六、申請專利範圍

之間，以控制該上拉電晶體，而在該 PCI 模式下，防止該電流由該鉚墊洩漏至該電源端；以及

一濾通電晶體，耦接於該電源端及該鉚墊之間，以濾通由該電位移位器所產生之該驅動信號至該上拉電晶體之該閘極。

3. 如申請專利範圍第 2 項所述之數據處理系統，其中該上拉電晶體是由一具有一主體端之一 PMOS 電晶體所形成，該主體端與一輸入電壓相連接，而在 PCI 或 PCI-X 模式下，提供一 3.3V 或 5V 之電壓。

4. 如申請專利範圍第 2 項所述數據處理系統，其中該下拉電晶體是由一 NMOS 電晶體所形成的。

5. 如申請專利範圍第 2 項所述數據處理系統，其中該下拉電晶體保護元件是由一 NMOS 電晶體所形成的。

6. 如申請專利範圍第 2 項所述數據處理系統，其中該防止洩漏元件是由一 PMOS 電晶體所形成的，其具有一主體端與一輸入電壓相連接，而在 PCI 或 PCI-X 模式下，提供一 3.3V 或 5V 之電壓。

7. 如申請專利範圍第 2 項所述數據處理系統，其中提供一 3.3V 之電壓給連接該上拉電晶體之該一端的該電源端。

8. 如申請專利範圍第 5 項所述數據處理系統，其中提供一 3.3V 之電壓給連接該 NMOS 電晶體之該閘極的該電源端。

9. 如申請專利範圍第 6 項所述數據處理系統，其中提供一 3.3V 之電壓給連接該 PMOS 電晶體之該閘極的該電源端。

10. 如申請專利範圍第 1 項所述數據處理系統，其中該控制元件包括一電位鑑別器以鑑別由外界輸入之該輸入電壓的電

## 六、申請專利範圍

位，並輸出一鑑別信號；以及

其中該數據輸出緩衝器根據該鑑別信號，對應由該電位移位器所輸出之一控制信號以控制驅動容量。

11. 如申請專利範圍第 10 項所述數據處理系統，其中該數據輸出緩衝器包括附加上拉電晶體及下拉電晶體以控制該驅動容量，以響應對應該鑑別信號之該控制信號。

12. 如申請專利範圍第 11 項所述數據處理系統，其中該電位鑑別器又包括：

一比較電路，以比較由外界輸入之該輸入電壓及一標準電壓，以輸出一比較信號；以及

一閃鎖電路，以閃鎖該比較信號。

13. 如申請專利範圍第 11 項所述數據處理系統，其中該比較電路又包括：

一第一電壓分佈電路，以分佈該輸入電壓及輸出一第一電壓；

一第二電壓分佈電路，以分佈一電源電壓及輸出該標準電壓；以及

一比較器，具有一未反轉輸入端以接收該第一電壓，一反轉輸入端以接收該標準電壓，以及一輸出端以輸出該比較信號。

14. 如申請專利範圍第 13 項所述數據處理系統，

其中該第一電壓分佈電路包括：

一 NMOS 電晶體具有一第一電流電極，一控制電極與一在提供有該電源電壓時被啟動的一控制信號連接，以及一第二電流電極，連接至一接地電壓；以及

## 六、申請專利範圍

至少兩個電阻，串聯於該輸入電壓及該 NMOS 電晶體之第一電流電極之間；以及

其中該第一電壓由該第一電壓分佈電路之該些電阻的連接節點其中之一輸出。

15. 如申請專利範圍第 13 項所述數據處理系統，

其中該第二電壓分佈電路包括：

一 NMOS 電晶體具有一第一電流電極，一控制電極與一在提供有該電源電壓時被啟動的該控制信號連接，以及一第二電流電極，連接至一接地電壓；以及

至少兩個電阻，串聯於該電源電壓及該 NMOS 電晶體之第一電流電極之間；以及

其中該標準電壓由該第二電壓分佈電路之該些電阻的連接節點其中之一輸出。

16. 如申請專利範圍第 13 項所述數據處理系統，其中該門鎖電路與被所提供之該電源電壓啟動的該控制信號之反轉信號同步，以門鎖由該比較器輸出之該比較信號。

17. 一種數據處理系統，包括：

一控制元件，以接收來自於一主要核心之數據，並輸出給定控制信號，其具有一電位鑑別器以鑑別由外界輸入之一輸入電壓的電位，以輸出一鑑別信號；以及

一數據輸出緩衝器，以對應該些控制信號而輸出一驅動電壓給一輸入/輸出鉚墊，並對應該鑑別信號以控制該驅動容量。

18. 如申請專利範圍第 17 項所述之數據處理系統，其中該電位鑑別器包括：

## 六、申請專利範圍

一比較電路，以比較由外界輸入之該輸入電壓及一標準電壓，以輸出一比較信號；以及

一閃鎖電路，以閃鎖該比較信號。

19. 如申請專利範圍第 18 項所述數據處理系統，其中該比較電路又包括：

一第一電壓分佈電路，以分佈該輸入電壓及輸出一第一電壓；

一第二電壓分佈電路，以分佈一電源電壓及輸出該標準電壓；以及

一比較器，具有一未反轉輸入端以接收該第一電壓，一反轉輸入端以接收該標準電壓，以及一輸出端以輸出該比較信號。

20. 如申請專利範圍第 19 項所述數據處理系統，

其中該第一電壓分佈電路包括：

一 NMOS 電晶體具有一第一電流電極，一控制電極與一在提供有該電源電壓時被啟動的一控制信號連接，以及一第二電流電極，連接至一接地電壓；以及

至少兩個電阻，串聯於該輸入電壓及該 NMOS 電晶體之第一電流電極之間；以及

其中該第一電壓由該第一電壓分佈電路之該些電阻的連接節點其中之一輸出。

21. 如申請專利範圍第 19 項所述數據處理系統，

其中該第二電壓分佈電路包括：

一 NMOS 電晶體具有一第一電流電極，一控制電極與一在提供有該電源電壓時被啟動的該控制信號連接，以及一第二電

## 六、申請專利範圍

流電極，連接至一接地電壓；以及

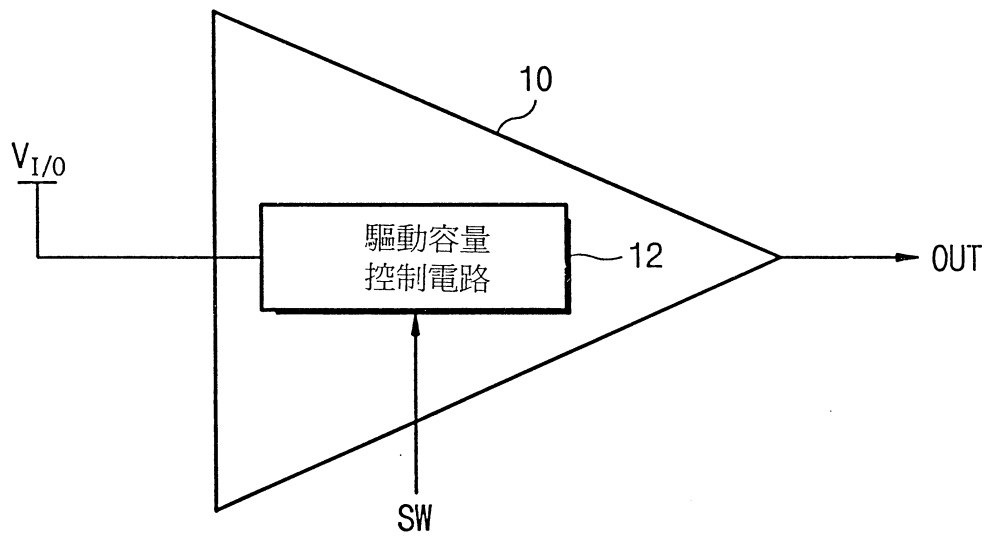
至少兩個電阻，串聯於該電源電壓及該 NMOS 電晶體之第一電流電極之間；以及

其中該標準電壓由該第二電壓分佈電路之該些電阻的連接節點其中之一輸出。

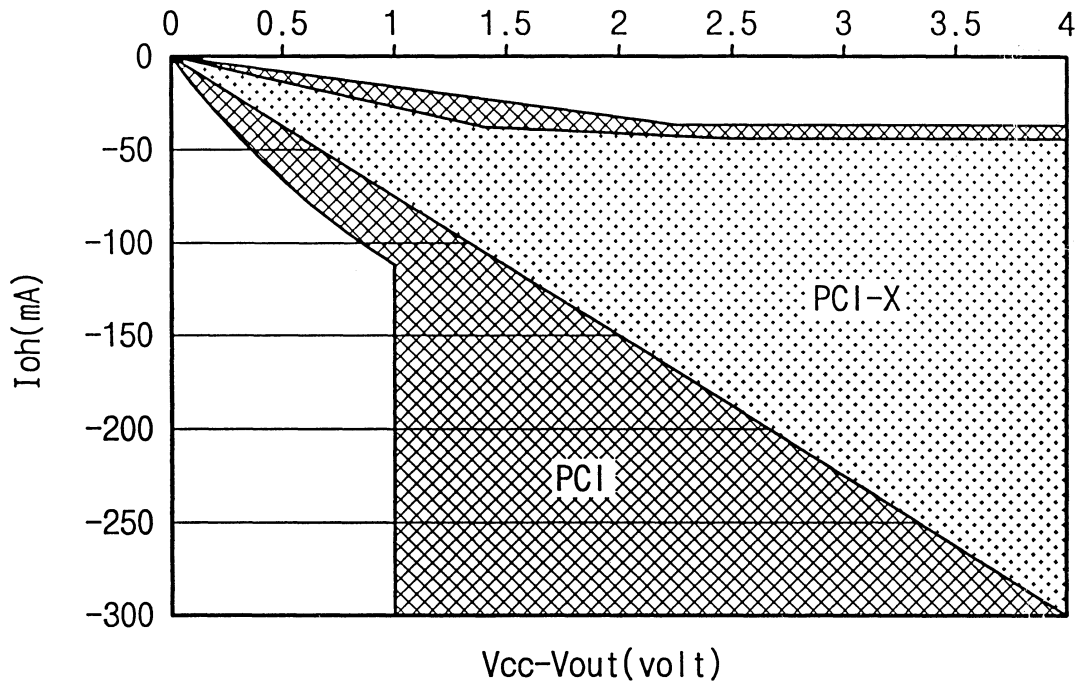
22. 如申請專利範圍第 19 項所述數據處理系統，其中該門鎖電路與被所提供之該電源電壓啟動的該控制信號之反轉信號同步，以門鎖由該比較器輸出之該比較信號。

(請先閱讀背面之注意事項再填寫本頁)

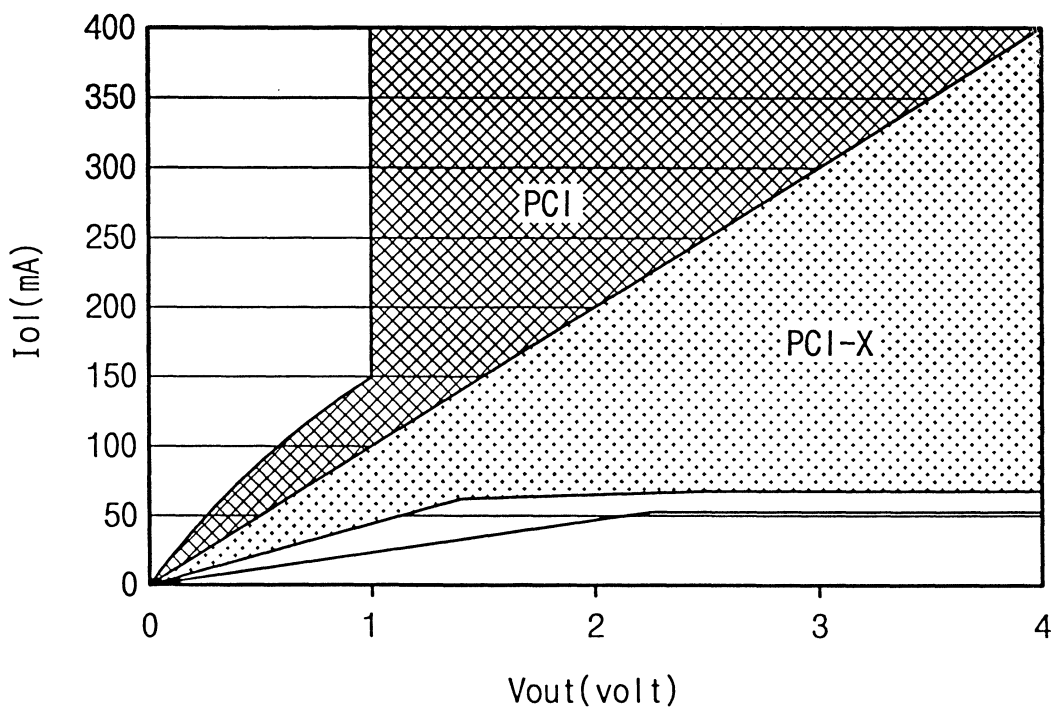
訂  
線



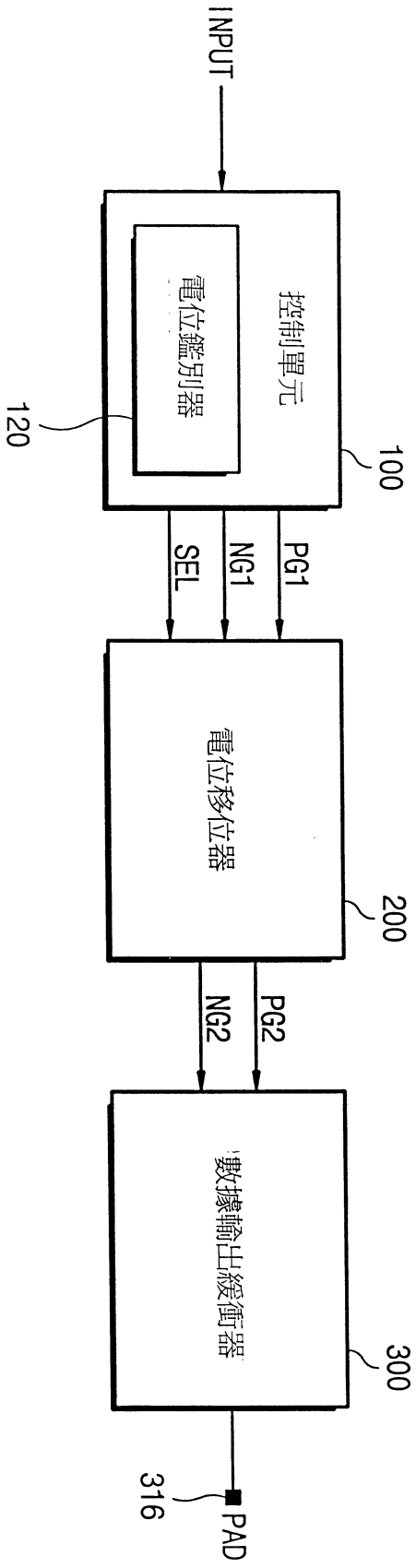
第 1 圖



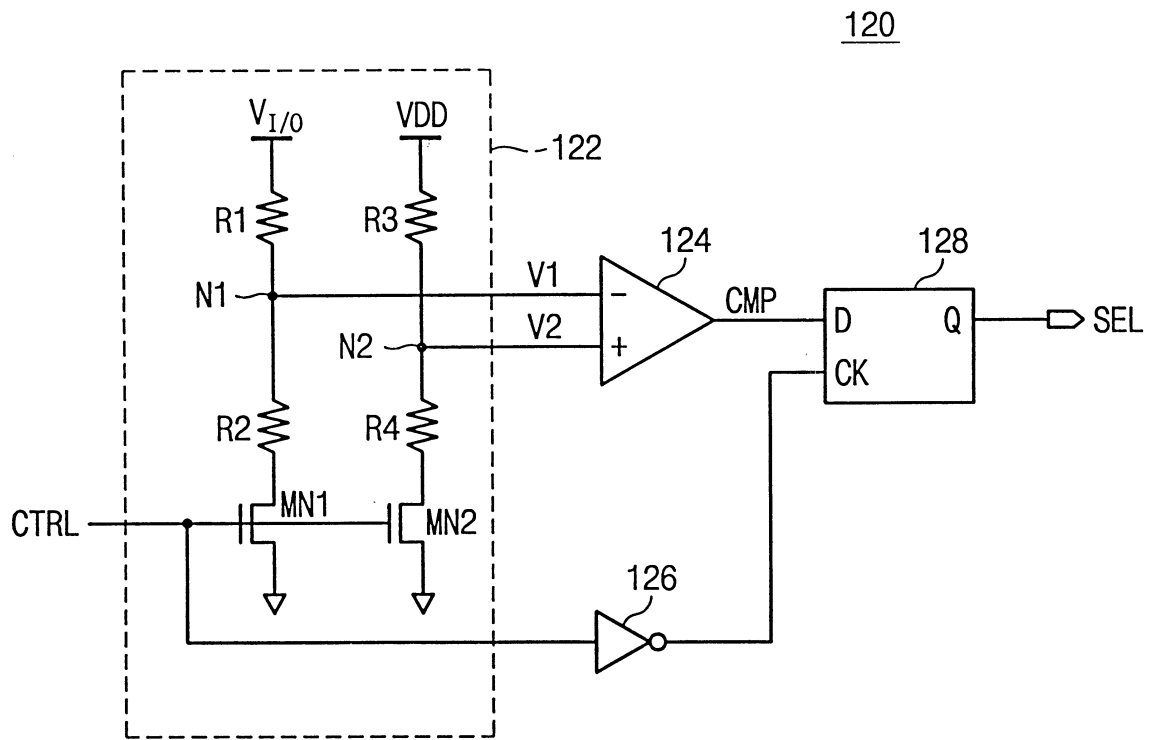
第2A圖



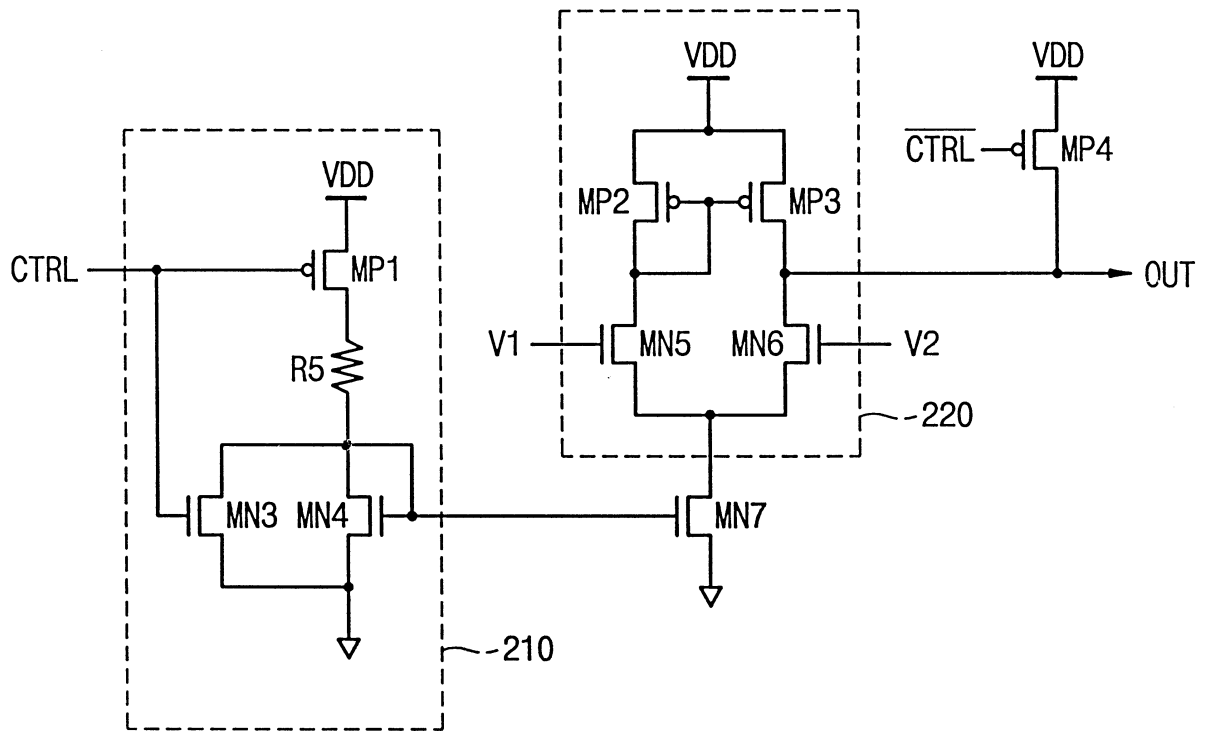
第2B圖



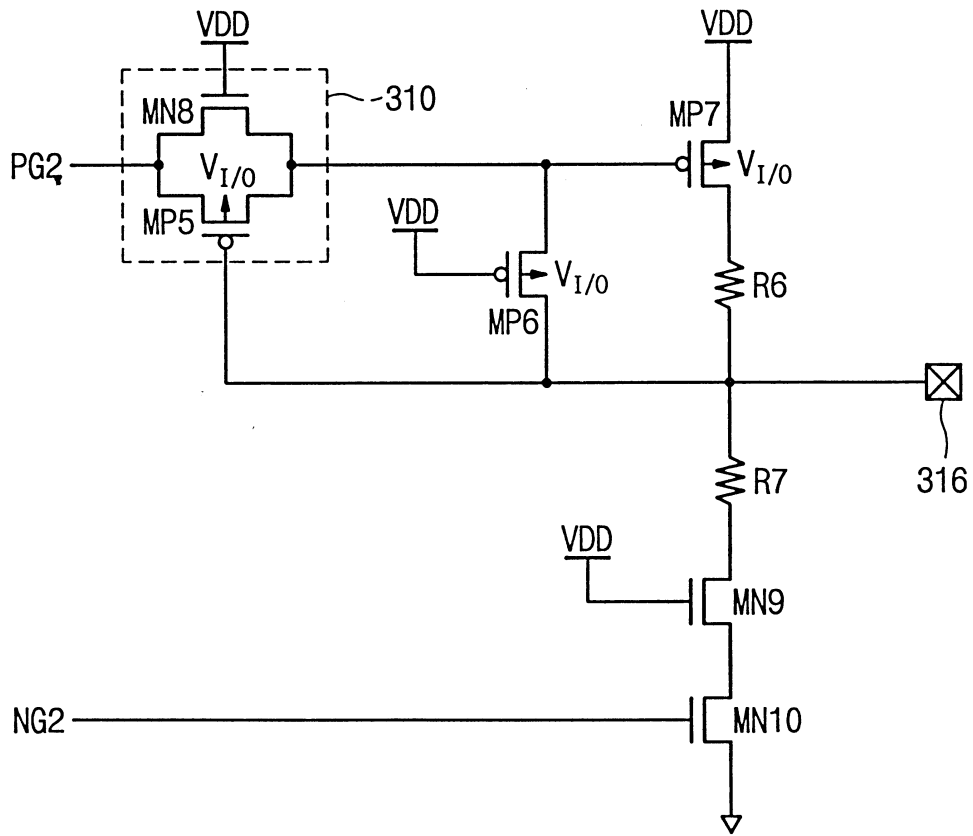
第 3 圖



第 4 圖



第 5 圖



第 6 圖