

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】令和3年10月21日(2021.10.21)

【公表番号】特表2020-533803(P2020-533803A)

【公表日】令和2年11月19日(2020.11.19)

【年通号数】公開・登録公報2020-047

【出願番号】特願2020-514961(P2020-514961)

【国際特許分類】

H 01 L 21/316 (2006.01)

H 01 L 21/31 (2006.01)

【F I】

H 01 L 21/316 G

H 01 L 21/316 M

H 01 L 21/316 P

H 01 L 21/31 B

H 01 L 21/316 X

【手続補正書】

【提出日】令和3年9月9日(2021.9.9)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

基板を処理する方法であって、

基板上に半導体構造を形成することであり、前記半導体構造がシリコン(Si)含有層またはシリコンゲルマニウム(SiGe)層を含む、半導体構造を形成することと、

ライナ堆積プロセスを実行して前記半導体構造の上にライナ層を形成することと、

流動層堆積プロセスを実行して前記ライナ層の上に流動性誘電体層を堆積させることと、

前記流動性誘電体層の表面を高圧蒸気に露出させることによってアニーリングプロセスを実行することとを含み、前記ライナ層の少なくとも一部分が、前記アニーリングプロセス中の酸化によって徐々に低減される、方法。

【請求項2】

前記ライナ層の厚さが、前記アニーリングプロセスが完了した後に残っている前記ライナ層の厚さに基づいて判定される、請求項1に記載の方法。

【請求項3】

前記ライナ層の厚さが、前記流動性誘電体層のアニーリング時間、アニーリング温度、および厚さのうちの少なくとも1つに基づいて判定され、前記ライナ層の前記厚さが実質上ゼロになる、請求項1に記載の方法。

【請求項4】

前記ライナ層が、窒化ケイ素または酸窒化ケイ素から形成される、請求項1に記載の方法。

【請求項5】

前記流動層堆積プロセスが、摂氏0度～摂氏約100度の温度で約1トル～約10トルのチャンバ圧力において、シリコン含有前駆体および酸素系ラジカル前駆体を反応させることを含み、前記シリコン含有前駆体がトリシリルアミンを含む、請求項1に記載の方法

。

【請求項 6】

前記アニーリングプロセスが、約 1 バール～約 60 バールの圧力で摂氏約 200 度～摂氏約 600 度の温度のアニーリングチャンバ内で、約 5 分～約 120 分の時間にわたって、前記流動性誘電体層を高圧蒸気に露出させることを含む、請求項 1 に記載の方法。

【請求項 7】

前記アニーリングプロセスが、高圧乾燥蒸気アニーリングプロセスである、請求項 1 に記載の方法。

【請求項 8】

基板を処理する方法であって、

基板上に半導体構造を形成することであり、前記半導体構造がシリコン (Si) 含有層またはシリコングルマニウム (SiGe) 層を含む、半導体構造を形成することと、

ライナ堆積プロセスを実行して前記半導体構造の上にライナ層を形成することと、

流動層堆積プロセスを実行して前記ライナ層の上に流動性誘電体層を堆積させることと、

前記流動性誘電体層の表面を高圧蒸気に露出させることによってアニーリングプロセスを実行することとを含み、前記ライナ層が、前記アニーリングプロセス中の前記 Si 含有層または SiGe 層の酸化を防止し、前記ライナ層の少なくとも一部分が、前記アニーリングプロセス中の酸化によって徐々に低減される、方法。

【請求項 9】

前記ライナ層の厚さが、前記アニーリングプロセスが完了した後に残っている前記ライナ層の厚さに基づいて判定される、請求項 8 に記載の方法。

【請求項 10】

前記ライナ層の厚さが、前記流動性誘電体層のアニーリング時間、アニーリング温度、および厚さのうちの少なくとも 1 つに基づいて判定される、請求項 8 に記載の方法。

【請求項 11】

前記ライナ層の厚さが、前記アニーリングプロセス後に残っている前記ライナ層の厚さが実質上ゼロに等しくなるように判定され、前記ライナ層が、窒化ケイ素または酸窒化ケイ素から形成される、請求項 8 に記載の方法。

【請求項 12】

前記流動層堆積プロセスが、摂氏約 0 度～摂氏約 100 度の温度で約 1 トル～約 10 トルのチャンバ圧力において、シリコン含有前駆体および酸素系ラジカル前駆体を反応させることを含み、前記シリコン含有前駆体がトリシリルアミンを含む、請求項 8 に記載の方法。

【請求項 13】

前記アニーリングプロセスが、約 1 バール～約 60 バールの圧力で摂氏約 200 度～摂氏約 600 度の温度のアニーリングチャンバ内で、約 5 分～約 120 分の時間にわたって、前記流動性誘電体層を高圧蒸気に露出させることを含む、請求項 8 に記載の方法。

【請求項 14】

前記アニーリングプロセスが、高圧乾燥蒸気アニーリングプロセスである、請求項 8 に記載の方法。

【請求項 15】

基板を処理するように構成されたクラスタシステムであって、

中央真空移送チャンバと、

前記中央真空移送チャンバに結合され、基板を処理するように構成された第 1 の堆積チャンバと、

前記中央真空移送チャンバに結合され、基板を処理するように構成された第 2 の堆積チャンバと、

前記中央真空移送チャンバに結合され、基板を処理するように構成された第 3 の堆積チャンバと、

前記中央真空移送チャンバに結合され、基板を処理するように構成されたアニーリングチャンバと、

前記中央真空移送チャンバ内に配置されたロボットであり、前記第1の堆積チャンバ、前記第2の堆積チャンバ、前記第3の堆積チャンバ、前記アニーリングチャンバ、および前記中央真空移送チャンバのそれぞれの間で前記基板を移送するように構成されたロボットと、

前記ロボット、前記第1の堆積チャンバ、前記第2の堆積チャンバ、前記第3の堆積チャンバ、前記アニーリングチャンバ、および前記中央真空移送チャンバに電気的に結合されたコントローラとを備え、前記コントローラが、クラスタシステムに、

前記第1の堆積チャンバ内で前記基板上に半導体構造を形成するためにシリコン(Si)含有層またはシリコンゲルマニウム(SiGe)層を堆積させ、

前記ロボットを介して前記第1の堆積チャンバから前記第2の堆積チャンバへ前記基板を移送させ、

前記第2の堆積チャンバ内で前記シリコン(Si)含有層または前記シリコンゲルマニウム(SiGe)層の上にライナ層を堆積させ、

前記ロボットを介して前記第2の堆積チャンバから前記第3の堆積チャンバへ前記基板を移送させ、

前記第3の堆積チャンバ内で前記ライナ層の上に流動性誘電体層を形成させ、

前記ロボットを介して前記第3の堆積チャンバから前記アニーリングチャンバへ前記基板を移送させ、

前記アニーリングチャンバ内で前記流動性誘電体層を高圧蒸気に露出させることによって前記アニーリングチャンバ内でアニーリングプロセスを実行させるように構成される、クラスタシステム。

【請求項16】

前記第2の堆積チャンバは、前記ライナ層の最大部分が前記アニーリングプロセスの終了まで残る厚さで前記ライナ層を堆積させるように構成される、請求項15に記載のクラスタシステム。

【請求項17】

前記第2の堆積チャンバは、厚さを有する前記ライナ層を堆積させるように構成されており、前記ライナ層の前記厚さは、前記アニーリングプロセスの終了時に残っているライナ層の厚さに基づいて判定される、請求項15に記載のクラスタシステム。

【請求項18】

前記第2の堆積チャンバは、厚さを有する前記ライナ層を堆積させるように構成されており、前記ライナ層の前記厚さは、前記流動性誘電体層のアニーリング時間、アニーリング温度、および厚さのうちの少なくとも1つに基づいて更に判定される、請求項15に記載のクラスタシステム。

【請求項19】

前記第2の堆積チャンバは、厚さを有する前記ライナ層を堆積させるように構成されており、前記ライナ層の前記厚さは、前記アニーリングプロセスの終了時に残っているライナ層の厚さが実質上ゼロに等しくなるように判定される、請求項15に記載のクラスタシステム。

【請求項20】

前記ライナ層が、窒化ケイ素または酸窒化ケイ素から形成される、請求項15に記載のクラスタシステム。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正の内容】

【0008】

【図 1】本開示の一実施形態による半導体構造の上に流動性誘電体層を形成する製造プロセスを示す流れ図である。

【図 2 A - 2 F】本開示の一実施形態による図 1 の各製造動作が実行された後の半導体構造の一部分の概略断面図である。

【図 3】本開示の一実施形態によるアニーリングプロセスが実行された後の様々な組合せの層が堆積した半導体構造の概略断面図である。

【図 4】本開示の一実施形態による図 1 に関して説明した製造プロセスを実行するために使用することができる処理システムの概略上面図である。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0 0 3 1

【補正方法】変更

【補正の内容】

【0 0 3 1】

図 2 A ~ 図 2 F は、本開示の一実施形態による各製造動作が実行された後の半導体構造の一部分の概略断面図を示す。