



(19) 대한민국특허청(KR)
 (12) 등록특허공보(B1)

(45) 공고일자 2007년11월22일
 (11) 등록번호 10-0778174
 (24) 등록일자 2007년11월14일

(51) Int. Cl.

H01L 23/48 (2006.01)

(21) 출원번호 10-2001-0028965
 (22) 출원일자 2001년05월25일
 심사청구일자 2006년04월26일
 (65) 공개번호 10-2002-0003082
 공개일자 2002년01월10일

(30) 우선권주장

2000-203057 2000년06월30일 일본(JP)

(56) 선행기술조사문현

KR100113804 B1

(73) 특허권자

가부시키가이샤 히타치세이사쿠쇼

일본국 도쿄도 치요다구 마루노우치 1초메 6반 6
고

(72) 발명자

사이토마사히로

일본국군마켄타카사키시카이자와마치755
나가미네토루

일본국군마켄타카사키시카이자와마치1290-1

시미즈이치오

일본국군마켄사와군타마무라마치이타이974-5

(74) 대리인

특허법인 원전

전체 청구항 수 : 총 6 항

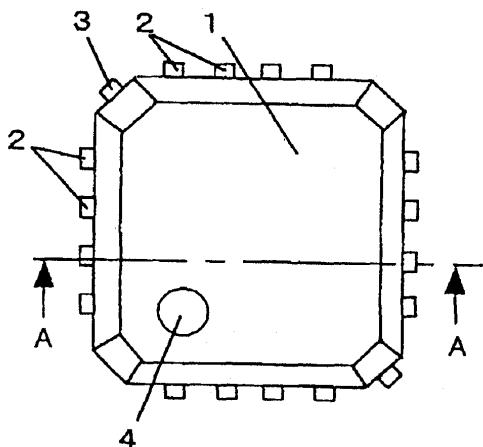
심사관 : 이정재

(54) 반도체장치 및 그 제조방법

(57) 요 약

아웃터 리드(outer lead) 선단(先端) 부근이 절단된 레진(resin)의 주변에 미소한 결함이나 크랙이 발생하지 않고, 아웃터 리드가 수지 밀봉체의 저면(底面)에서 노출하는 반도체장치를 제공하는 것.

리드 프레임에 미리 푸쉬백(push back)재(材)를 리드 사이에 존재시켜 두고, 몰드(mold) 후, 푸쉬백재를 밀어 떨어뜨리게 함으로써, 수지 밀봉체 저면에서 노출하는 아웃터 리드 사이에 밀봉 수지가 충전되지 않는 반도체장치를 얻는다.

대표도 - 도1

특허청구의 범위

청구항 1

삭제

청구항 2

삭제

청구항 3

복수의 리드, 복수의 현수(suspension) 리드, 제1면, 제2면 및 상기 복수 리드의 선단면이 노출하는 4개의 측면을 갖춘 수지 밀봉체를 구비하는 반도체장치로서,

상기 현수 리드가 상기 수지 밀봉체의 상기 제1면에서 노출하고, 상기 리드가 상기 제1면과 상기 제2면과의 사이에서 상기 제2면 보다 상기 수지 밀봉체의 외부로 돌출하며, 상기 수지 밀봉체의 상기 제1면에서 노출하고, 상기 리드의 상기 돌출부분의 측면은 노출하고,

상기 현수 리드는 2개이며, 상기 리드에 비하여 두께가 두껍고, 폭이 넓은 것을 특징으로 하는 반도체장치.

청구항 4

복수의 리드, 복수의 현수리드, 제1면, 상기 제1면보다 면적이 작은 제2면 및 상기 복수 리드의 선단면이 노출하는 4개의 측면을 갖춘 수지 밀봉체를 구비하는 반도체장치에 있어서,

상기 현수리드가 상기 수지 밀봉체의 상기 제1면에서 노출하고, 상기 리드가 상기 제1면과 상기 제2면과의 사이에서 상기 제2면 보다 수지 밀봉체의 외부로 돌출하며, 상기 수지 밀봉체의 상기 제1면에서 노출하고, 상기 리드의 측면의 일부는 노출하고 있고,

상기 현수 리드는 2개이며, 상기 리드에 비하여 두께가 두껍고, 폭이 넓은 것을 특징으로 하는 반도체장치.

청구항 5

복수의 리드, 제1면, 제2면 및 상기 복수 리드의 선단면이 노출하는 4개의 측면을 갖춘 수지 밀봉체를 구비하는 반도체장치로서, 상기 리드가 상기 제1면과 상기 제2면과의 사이에서 상기 제2면보다 상기 수지 밀봉체의 외부로 돌출하고, 상기 돌출부분의 선단면에는 금속층이 부착되며, 상기 수지 밀봉체의 상기 제1면에서 노출하고, 상기 리드의 상기 돌출부분의 측면은 노출하고 있는 것을 특징으로 하는 반도체장치.

청구항 6

복수의 리드, 제1면, 상기 제1면 보다 면적이 작은 제2면 및 상기 복수 리드의 선단면이 노출하는 4개의 측면을 갖춘 수지 밀봉체를 구비하는 반도체장치에 있어서, 상기 리드가 상기 제1면과 상기 제2면과의 사이에서 상기 제2면보다 상기 수지 밀봉체의 외부로 돌출하고, 상기 돌출부분의 선단면에는 금속층이 부착되며, 상기 수지 밀봉체의 상기 제1면에서 노출하고, 상기 리드의 측면의 일부는 노출하고 있는 것을 특징으로 하는 반도체장치.

청구항 7

삭제

청구항 8

제3항 내지 제6항 중 어느 한 항에 있어서,

탭은 상기 수지 밀봉체 내에 밀봉되어 있는 것을 특징으로 하는 반도체장치.

청구항 9

삭제

청구항 10

작제

청구항 11

수지 밀봉체와, 상기 수지 밀봉체의 하나의 면에서 일부가 노출하는 복수의 리드를 구비하는 반도체장치의 제조방법으로서, 수지 유입을 억제하는 부재를 상기 복수의 리드 사이에 끼인 상태에서 수지 밀봉하는 몰드공정과, 상기 몰드공정 후, 상기 부재를 리드 사이에서 떨어지게 하는 공정과, 상기 리드에 금속층을 부착시키는 공정을 갖는 반도체장치의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<31> 본 발명은, 반도체장치의 제조기술, 특히, 편면(片面) 몰드의 반도체장치 및 그 제조방법에 관한 것이다.

<32> 근래, 휴대기를 중심으로 하여 패키지의 소형화, 경량화가 급속도로 진행되고 있다. 채용되는 소형 패키지의 실장형태를 CSP(chip size package 또는 chip scale package)라 일반적으로 칭하고 있고, 외부단자가 패키지면에 격자모양으로 배열되는 에어리어 어레이(area array)형 및 외부단자가 패키지면의 주변부에 배열되는 페리페럴(peripheral)형으로 현재 크게 구별되고 있다. 에어리어 어레이형에는, FBGA와 LBGA 등이 있으며, 페리페럴형에는, SON(Small Out line Nonleaded package)과 QFN(Quad Flat Non-leaded package) 등이 있다. 페리페럴형의 CSP로서 대표적인 패키지 형태인 QFN은, 예를 들면, 일본특허공개 평 10-189830호 공보에 기재되어 있는 바와 같은 외형의 것이다. 통상 QFP(Quad Flat Package)와의 차이는, 패키지를 소형화·박형화하기 위해 편면 몰드기술을 이용하고, 실장면적을 작게 하기 위해 외부단자인 아웃터 리드가 패키지의 외부로 거의 돌출하지 않는 구조를 하고 있고, 또, 실장기판과의 콘택트를 취하기 위해, 아웃터 리드가 패키지의 저면에서 노출하는 구조를 하고 있는 것이 게재되어 있다.

발명이 이루고자 하는 기술적 과제

<33> 종래의 SON 및 QFN에는, 다음과 같은 문제점이 있다.

<34> (1) 아웃터 리드(outer lead)(SON 및 QFN에서는 수지 밀봉체에서 노출하는 면을 포함하는 리드의 부분) 사이에 충전된 레진(resin)(밀봉수지)은 아웃터 리드와 함께 절단되기 때문에, 특히 아웃터 리드 선단부근이 절단된 레진 주변에 미소한 결함이나 크랙이 발생한다. 특히 상기 결함은 수지 밀봉체의 주변에 부착되어 진동 등에 의해 낙하할 가능성이 있고, 특히, 실장시에 풋 프린트(footprint)상으로 낙하하면 실장불량의 원인이 된다. 또한, 외관상으로도 문제가 발생한다.

<35> (2) 아웃터 리드 사이에 밀봉 수지가 충전되므로, 밀봉 전에 아웃터 리드 부분에 도금되어 있었다고 해도, 아웃터 리드의 측면은 아웃터 리드 사이의 밀봉 수지에 묻혀 있고 도금면이 거의 노출되지 않는다. 따라서, 아웃터 리드 측면의 도금은 리드의 습윤성 향상에 기여하지 않아, 결과적으로, 실장시의 콘택트성의 향상에 기여하지 않는다.

<36> (3) 아웃터 리드 절단과 함께 리드 사이의 밀봉수지도 절단하고 있으므로, 밀봉 전에 아웃터 리드 부분에 도금이 되어 있었다고 해도, 아웃터 리드 선단은 절단면이 되기 위해 도금이 존재하지 않는다. 따라서, 절단면은 리드의 습윤성을 향상시키지 않고, 실장시의 콘택트성의 향상에 기여하지 않는다.

<37> 본원에서 개시되는 발명 중 대표적인 것의 목적은, 문제점 (1), (2)를 해결할 수 있는 반도체장치 및 그 제조방법을 제공하는데 있다. 또한, 다른 대표적인 발명의 목적은, 문제점 (1), (2)에 더하여 (3)도 해결할 수 있는 반도체장치 및 그 제조방법을 더 제공하는데 있다.

<38> 본 명세서에 기재된 발명의 그 이외의 목적 및 신규한 특징 등에 대해서는 본 명세서의 기술 및 도면 등으로부터 명백해질 것이다.

발명의 구성 및 작용

- <39> 본원에서 개시되는 발명 중 대표적인 것의 개요를 설명하면 다음과 같다.
- <40> 즉, 복수의 리드, 제1면, 제2면 및 상기 복수의 리드 선단면이 노출하는 4개의 측면을 구비하는 수지 밀봉체를 구비하는 반도체장치로서, 상기 리드가 상기 제1면과 상기 제2면과의 사이에서 상기 제2면보다 상기 수지 밀봉체의 외부로 돌출하여, 상기 수지 밀봉체의 상기 제1면에서 노출하고, 상기 리드의 상기 돌출부분의 측면은 노출하고 있는 것을 특징으로 하는 반도체장치이다.
- <41> 상기 발명에서는, 리드가 제1면과 제2면과의 사이에서 제2면보다 상기 수지 밀봉체의 외부로 돌출함으로써, 리드 절단시에 적어도 한 번에 늘어선 리드를 통합하여 붙일 수 있으므로, 용이하게 한번에 절단할 수 있다.
- <42> 또한, 리드가 수지 밀봉체의 제1면에서 노출하므로, 종래의 QFP 등의 리드가 수지 밀봉체에서 돌출하고, 리드 폴딩이 필요한 형상의 반도체장치에 비해, 동등한 실장 콘택트성을 얻는 것이 가능한 실장시의 점유면적이 현저히 작아지므로, 실장밀도의 향상에 기여한다.
- <43> 또한, 리드 돌출부분의 측면이 노출하고 있으므로, 리드 선단부근이 절단된 레진의 주변에 미소한 결함이나 크랙이 발생할 염려가 없다. 또한, 리드측면에 레진이 없으므로, 리드와, 실장 기판측의 리드와 콘택트를 취하는 단자와의 사이에 땜납과의 콘택트를 충분히 취할 수 있고, 또, 그 검사를 외관에서 하는 것이 용이하며, 리드에 도금이 시행되어 있으면, 도금면이 노출하게 되므로, 리드의 습윤성이 향상하고, 실장시의 콘택트성이 향상한다.
- <44> 또, 본원에서 개시되는 발명 중 다른 대표적인 것의 개요를 설명하면 다음과 같다. 즉, 복수의 리드, 제1면, 제2면 및 상기 복수의 리드 선단면이 노출하는 4개의 측면을 구비하는 수지 밀봉체를 구비하는 반도체장치로서, 상기 리드가 상기 제1면과 상기 제2면과의 사이에서 상기 제2면 보다 상기 수지 밀봉체의 외부로 돌출하고, 상기 돌출부분의 선단면에는 금속층이 부착되어, 상기 수지 밀봉체의 상기 제1면에서 노출하며, 상기 리드의 상기 돌출부분의 측면은 노출하고 있는 것을 특징으로 하는 반도체장치이다.
- <45> 리드가 제1면과 제2면과의 사이에서 제2면보다 상기 수지 밀봉체의 외부로 돌출하는 것, 리드가 수지 밀봉체의 제1면에서 노출하는 것, 리드의 돌출부분의 측면이 노출하고 있는 것에 대해서는 상술한 바와 같지만, 나아가서, 돌출부분의 선단면에는 금속층이 부착되어 있다. 통상, 본 반도체장치를 제조할 때에는, 리드 프레임에 도금 등의 금속층 부착을 시행한 후에, 리드를 절단하므로, 돌출부분의 선단면은 금속층이 남는 일은 없다. 그러나, 본 발명에서는 리드의 선단면에 금속층이 부착되는 것과 같이 리드 프레임의 단계(리드 절단 전)에서, 리드 선단면이 노출하도록 미리 구멍을 열어 둔다. 그렇게 함으로써, 특히, 리드 사이에 레진이 묻혀 있는 종래 기술로는 실현 불가능했던 리드 선단면에 금속층을 부착시킬 수 있다. 이것에 의해, 절단면도 실장 콘택트에 기여하게 되고, 리드의 습윤성이 향상하여, 실장시의 콘택트성이 향상한다.
- <46> (발명의 실시형태)
- <47> 이하, 본 발명의 실시형태를 도면을 이용하여 상세하게 설명한다. 또한, 실시형태를 설명하기 위한 모든 도면에서 동일한 기능을 갖는 것은 동일한 부호를 붙이고, 그 반복 설명은 생략한다.
- <48> 본 발명의 일실시예인 반도체장치는, 리드 프레임은 전면(全面) Pd(palladium) 도금된 것이며, 종래의 QFN과 비교하면, 저면에서 노출하는 리드와 리드의 사이가 수지로 묻혀있지 않는 반도체장치이다. 본 실시예에서는 외형이 3mm 각으로 16핀의 소형 패키지를 예로 들고 있다. 본 실시예의 반도체장치는, 수지 밀봉체(1)의 저면에서 노출하고 있는 리드의 치수보다도 큰 기판측의 전극에 접속됨으로써 실장 구조체를 형성한다. 이하, 본 실시예의 반도체장치에 대하여 설명한다.
- <49> 도 1에는 본 실시예의 반도체장치의 상면도가 기재되어 있다. 수지 밀봉체(1)의 외형은 3mm 각이며, 수지 밀봉체(1)의 측면에서 리드(2)는 그 외형보다 약 0.1mm 돌출해 있다. 따라서, 수지 밀봉체(1)에 리드(2)를 가한 반도체장치의 외형은 약 3.2mm이다. 리드(2)의 리드피치는 0.5mm이다. 리드(2)와 동일하게 수지 밀봉체(1)의 목귀질을 한 부분에서 현수(suspension)리드(3)가 돌출하고 있다. 목귀질 부분의 치수 및 현수리드의 돌출부분의 치수는 핀수 등에 의존한다. 또, 본 실시예의 반도체장치에서 현수리드(3)의 수는 2개이다. 이것은 4방향에서 텁을 거는 통상의 QFP 등으로 이용하는 텁 사이즈, 칩 사이즈에 비해, 본 실시예에서는, 패키지 사이즈가 작은 것에 따라 칩 사이즈도 작고, 또, 텁 사이즈도 작으므로, 상대적으로 현수리드의 두께가 두껍고, 현수리드의 폭이 넓다. 그 때문에, 2방향에서 거는 것으로도 충분한 강도를 확보할 수 있기 때문이다. 또한, 현수리드의 수를 작게 함으로써, 리드(2)의 스페이스를 넓게 취할 수 있다.
- <50> 도 2에는 본 실시예의 반도체장치의 저면도, 도 3에는 본 실시예의 반도체장치의 측면도가 기재되어 있다. 리드

(2)는 패키지 저면(5)으로 노출하고 있고, 또, 리드간 포켓(6)에서 그 측면도 노출하고 있다. 따라서, 리드간 포켓(6)은 리드(2)의 측면, 수지 밀봉체의 리드간 노출면(7) 및 수지 밀봉체의 푸쉬백재(材) 선단 접촉면(8)으로 구성된다. 구체적인 치수는, 리드간 포켓(6)의 폭은 리드피치 0.5mm의 약 절반인 0.26mm이고, 깊이는 리드 두께와 거의 같은 0.20mm이다. 또한, 리드간 포켓(6)의 길이(돌출한 리드부분을 포함하지 않는, 수지 밀봉체(1)의 외형선에서 수지 밀봉체의 내측을 향한 길이)는 0.125mm이다. 또한, 리드(2)와 현수리드(3)와의 사이에도 포켓이 존재하고, 한 변의 가장 외부에 있는 리드와 다른 변의 가장 외부에 있는 리드와의 사이에도 포켓이 존재하지만, 구체적으로는 현수리드(3)가 현수리드로서의 기능을 다하는 범위의 치수라면 펜션으로, 포켓의 치수에 대해서는 생략한다. 현수리드(3) 자체의 치수는 폭이 0.18mm이며, 수지 밀봉체 내에 밀봉되어 있는 부분의 폭 0.20mm 보다도 좁게 되어 있다. 이것은, 텁을 올릴 때 폴딩 응력의 흡수를 고려한 것이다. 또한, 노출부분의 길이는 리드(2)의 노출부분의 길이 약 0.20mm와 거의 같은 길이이다.

<51> 도 4에는 도 1에서의 A-A 단면에서의 단면도가 기재되어 있다. 텁은 0.115mm의 높이로 텁이 올려져 있다. 이것은 텁의 밑에 수지가 충전됨으로써 텁도 포함한 반도체 칩을 완전히 수지 밀봉하기 위해서이다. 이 텁 상승 높이의 최저한은 0.10mm이다. 이 높이 이하가 되면 텁 밑의 수지가 박리되어 베릴 우려가 있기 때문이다. 또한, 본 실시예에서는, 반도체 칩에서 발생하는 열에 대해서는 그다지 문제가 되지 않기 때문에 행하고 있지 않지만, 방열의 필요가 있는 경우에는, 텁(11)을 완전히 수지 밀봉하지 않고, 역으로 텁 이면을 수지 밀봉체 외부로 노출시키는 형상으로 해도 된다. 텁을 노출시킴으로써, 특히 실장기판과의 콘택트를 취하면, 기판으로의 방열성이 보다 향상한다. 반도체 칩(9)의 크기는 본 실시예의 반도체장치에서는 1.1mm 각이다. 리드(2)는 텁상승에 맞추어서 폴딩(folding)되어 있고, 폴딩에 이용되고 있는 리드(2)의 길이는 0.15mm이다. 본 실시예에서는 텁이 반도체 칩 보다도 큰 경우에 대하여 기재하였지만, 이것에 한정되지 않고, 텁의 크기가 반도체 칩 보다도 작거나, 혹은 텁의 크기가 현수리드의 폭까지 좁아진 크로스텝을 포함하는, 소위 소(小)텝 구조라도 된다.

<52> 도 5에는 본 실시예의 반도체장치의 확대 사시도가 기재되어 있다. 이 도면에 의해, 리드(2) 및 리드간 포켓(6)의 형상, 수지 밀봉체의 리드간 노출면(7) 및 수지 밀봉체의 푸쉬백재 선단 접촉면(8)의 위치가 명백해졌다.

<53> 도 6에는 반도체장치에 이용하는 리드 프레임 중, 패키지 1개분의 리드 프레임 패턴이 기재되어 있다. 리드 프레임(13)의 두께는 0.20mm, 텁(11)의 크기는 최대변의 길이는 1.4 ~ 1.5mm이며, 현수리드의 텁 상승용의 폴딩 부분의 길이는 약 0.15mm로 되어 있다. 텁상승 높이는 상술한 바와 같다. 리드 프레임은 리드(2)와 리드(2)와의 사이에, 리드(2)와 현수리드(3)와의 사이에는 푸쉬백재(12)가 있다(도 6의 사선부분). 푸쉬백재(12)는 리드(2), 현수리드(3) 및 텁(11) 이외에는 리드 노출부 선의 부근까지 존재하고, 그 앞의 텁(11)까지의 사이에는 존재하지 않도록 미리 따내거나 또는 에칭 등으로 리드 프레임(13)에서 형성된다. 또한, 푸쉬백재(12)와 리드(2)와는 노치(notch)를 넣어 벗살형상이 되어 있고, 캔틸레버(cantilever) 베(burr)와 같이 리드 프레임(13)측에 접속되어 있다. 본 실시예의 반도체장치의 제조방법에서는, 리드 프레임을 전면(全面) Pd(palladium) 도금을 행하고, 텁상승 및 리드상승을 행한 후, 다이본딩으로 텁(11)에 다이본딩재(材)를 이용하여 반도체 칩(9)을 접속하고, 와이어 본딩으로 반도체 칩(9)과 리드(2)를 와이어(10)에 의해 전기적으로 접속한다. 본 실시예에서 와이어(10)는 금선 와이어를 이용하고 있다. 그 후, 편면 라미네이트(laminate) 몰드를 행한다.

<54> 도 7에는 반도체장치의 기본적인 제조플로우가 기재되어 있다. 동 도면중에는 상술한 편면의 라미네이트 몰드 전까지의 공정은 모두 조립공정이라 칭하고 있다. 통상의 QFP 등의 반도체장치에서는 편면 라미네이트 몰드 공정, 라미네이트 테이프 박리공정이 애초에 없고, 그밖에 QFN 등의 편면 라미네이트 몰드공정을 갖는 반도체장치의 제조에 있어서도, 푸쉬백재(材)를 밀어 떨어뜨리기 공정은 있을 수 없으므로, 이 공정의 존재가 본 실시예의 반도체장치의 제조방법의 요점이다. 게이트 절단공정에서는, 게이트와 캐비티를 접속하는 수지를 절단 제거하고, 워터젯(water-jet) 공정에서는, 수지 밀봉체에 부착한 불필요한 베(burr) 및 결함 레진 등을 세정에 의해 제거한다. 또한, 본 실시예에서는 편면 라미네이트 몰드법을 이용하였지만, 이 방법에 한정하지 않고, 편면을 몰드할 수 있는 공정이면 편면 라미네이트 몰드법에 한정되지 않는 것은 말할 필요도 없다.

<55> 도 8에는, 푸쉬백재(材)재 밀어 떨어뜨리기 공정에서의 반도체장치의 단면도가 기재되어 있다. 편면 라미네이트 몰드 공정에서 벗살형상의 리드 프레임(13)에 수지 밀봉을 행한다. 이 공정에서, 통상의 편면 라미네이트 몰드에서는 리드(2)간에 푸쉬백재(12)가 없으므로, 리드(2)간에는 수지로 묻히게 된다. 그러나, 본 실시예에서는 푸쉬백재(12)가 리드(2) 사이에 있으므로, 수지로 묻히지 않는다. 이어서, 라미네이트 테이프 박리공정에서, 라미네이트 테이프를 박리한다. 그 후, 푸쉬백재 밀어 떨어뜨리기 공정에서, 푸쉬백재(12)를 밀어 떨어뜨린다(도 9 참조). 푸쉬백재(12)는 리드 프레임(13)에서 벗살형상으로 되어 있고, 벗살의 반대측은 리드 프레임에 고정되어 있으며, 캔틸레버(cantilever) 베(burr)로 되어 있으므로, 밀어 떨어뜨린다고는 해도, 리드(2)와 푸쉬백재(12)가 떨어지면 충분(본 실시예에서는 리드 프레임(13)의 두께 0.2mm 정도)하고, 다시 말하면, 그 후의 리드 절단

공정에서 푸쉬백재(12)가 완전히 리드(2) 사이에서 떨어진다면, 리드(2)와 푸쉬백재(12)가 다소의 접촉을 가지더라도, 즉 완전히 떨어지지 않아도 된다. 리드 선단의 커트 위치는 도 6의 리드 절단선(14)이며, 도 8에서는 도시한 위치이고, 수지 밀봉체(1)의 외형에서 0.1mm 리드(2)가 돌출하는 위치이다. 따라서, 밀어 떨어뜨리기 공정에서 리드 프레임(13)이 일그러지는 등의 문제가 발생하지 않는다고 생각한 경우에는, 리드 절단선(14)의 위치는, 푸쉬백재(12)가 리드 프레임(13)과 접속되어 있는 위치와 수지 밀봉체(1)와의 사이에 있으면 된다.

<56> 이상에서는, 리드 절단공정에서 리드(2)와 푸쉬백재(12)를 한번에 절단하는 경우를 기재하였지만, 푸쉬백재를 밀어 떨어뜨리는 공정이므로, 리드 절단공정에서는 푸쉬백재(12)를 절단하는 것을 중요시 하지 않으므로, 수지 밀봉체(1)와 반대측의 방향으로 리드 절단선(14) 보다도 외부로 나가도록 푸쉬백재(12)를 폴딩(folding)되도록 밀어 떨어뜨려도 된다. 리드 절단공정에서 이용하는 날(刃)의 긴 수명화를 도모할 수 있다.

<57> 상기의 예에서는 리드 선단 절단공정이 필요한 경우에 대하여 기술하였지만, 미리 유효리드 선단이 형성되고 있는 경우에는 존재하지 않는 공정이다. 그 경우에는, 상기 리드 절단선(14)에 상당하는 리드 선단선이 있게 되므로, 푸쉬백재(12)를 절단하기 위해 상기 리드 절단선 보다도, 약간, 수지 밀봉체(1)와는 반대측에서 푸쉬백재(材) 절단을 행하게 된다.

<58> 다음에 다른 실시예 2의 설명을 한다. 앞의 실시예 1과 주요한 차이는 리드(2)의 측면에 땜납 도금이 이루어져 있는 부분이다. 도 10에는 실시예 2의 반도체장치의 제조플로우 중 조립공정 이후, 게이트 절단공정 전의 주요한 공정이 기재되어 있다. 도 7과의 차이는, 라미네이트 테이프 박리공정 후, 푸쉬백재를 밀어 떨어뜨리는 공정 사이에, 푸쉬백재 폴딩(folding)공정 및 땜납 전계 도금공정이 있다는 점이다.

<59> 푸쉬백재 폴딩공정에서는, 땜납 전계 도금공정에서 리드(2)의 측면을 도금액에 노출시킬 필요가 있으므로 푸쉬백재(12)를 폴딩한다. 폴딩량은 리드(2)의 측면이 노출하는데 충분한 양이다. 즉, 본 실시예에 있어서는, 리드 두께 0.2mm 이상이다. 또한, 땜납전계 도금공정에서는, 그 목적이 리드(2)의 측면에 땜납 도금하는 것이므로, 전계 도금이 아니라도 괜찮은 것은 말할 필요도 없다. 다시 말하면, 리드(2)에 금속층을 부착시키는 것이 목적이므로, 땜납 도금공정이 아니어도 된다. 또한, 땜납 도금에 이용하는 땜납은 Sn-Pb(주석-납)계의 땜납이어야 좋고, Sn-Ag(주석-은)계, Sn-Ag-Bi(주석-은-비스마스) 등의 납프리(free) 땜납이어야 되는 것은 말할 필요도 없다.

<60> 다음에 다른 실시예 3의 설명을 한다. 앞의 실시예 1과 주요한 차이는 리드(2)의 선단에 땜납 도금이 이루어지는 부분이다. 도 11에는 실시예 3의 반도체장치의 제조플로우가 기재되어 있다. 도 7과의 차이는, 라미네이트 테이프 박리공정 후, 푸쉬백재를 밀어 떨어뜨리는 공정 사이에, 땜납 전계 도금공정이 있다는 점이다. 실시예 3에 이용하는 리드 프레임은 실시예 1 및 실시예 2와는 다른 리드 프레임이며, 도 12에 기재되어 있다. 도 6과의 주요한 차이는, 리드(2)의 선단에 도금용 구멍(17)이 존재한다는 점이다. 도금용 구멍(17)의 위치는 수지 밀봉체 외형선(15)의 0.1mm 외측이다. 따라서, 본 실시예에서는 리드 선단 절단공정은 존재하지 않는다. 이와 같이 본래, 리드 절단된 후에 노출하는 면이므로, 도금하는 것이 불가능한 리드의 선단면을 도금용 구멍(17)을 미리 설치함으로써, 수지 밀봉 후에 리드 선단이 노출하므로, 도금을 행하는 것이 가능해진다. 그것과 동시에 리드 선단 절단공정을 생략하는 것이 가능해지므로, 비용의 삭감에도 기여하게 된다.

<61> 더욱이, 공정수가 증가해버리지만, 실시예 2 및 실시예 3을 조립시킴으로써, 리드(2)의 측면 및 선단에 도금이 시행된 반도체장치를 얻을 수 있다. 리드(2)의 측면 및 선단에 도금이 시행된 반도체장치는 도금이 없는 것에 비해 실장의 콘택트성이 비약적으로 향상하는 것은 말할 필요도 없다.

<62> 이상의 설명에서는 주로 본 발명자에 의해 이루어진 발명을 그 배경이 된 QFN 및 그 제조기술에 적용한 경우에 대하여 설명하였지만, 그것에 한정되는 것은 아니며, SON 등의 편면 몰드 등에 의해 리드가 노출하는 형상으로 수지 밀봉하는 반도체장치에 일반적으로 적용할 수 있다.

발명의 효과

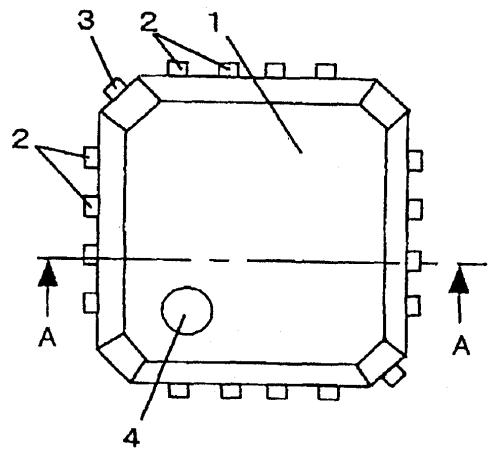
<63> 본 명세서에 기재된 발명에 의하면, 아웃터 리드 선단 부근이 절단된 레진의 주변에 미소한 결함이나 크랙이 발생하지 않고, 아웃터 리드 사이에 밀봉 수지가 충전되지 않으므로, 외관에서 정상적으로 실장기판과 콘택트가 보전되어 있는지 검사하는 것이 용이하고 또, 실장시의 콘택트성이 현저히 향상하는 반도체 장치를 얻을 수 있다. 또한, 다시 아웃터 리드 선단에 도금을 시행하는 것이 가능해지므로, 실장시의 콘택트성이 다시 현저히 향상하는 반도체장치를 얻을 수 있다.

도면의 간단한 설명

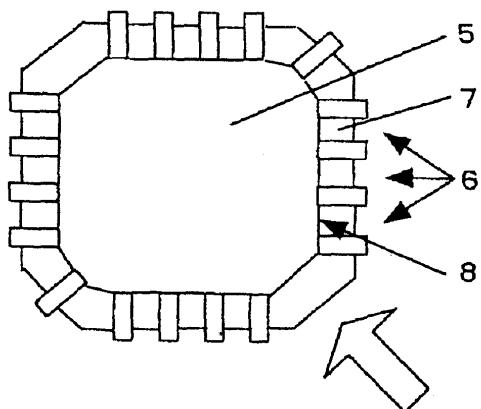
- <1> 도1은 실시예 1인 반도체장치의 상면도,
- <2> 도2는 실시예 1인 반도체장치의 저면도,
- <3> 도3은 실시예 1인 반도체장치의 측면도,
- <4> 도4는 도1의 A-A단면의 단면도,
- <5> 도5는 실시예 1인 반도체장치의 확대 사시도,
- <6> 도6은 실시예 1 및 실시예 2인 반도체장치에 이용하는 리드 프레임의 도면,
- <7> 도7은 실시예 1인 반도체장치의 제조플로우 도면,
- <8> 도8은 푸쉬백재(材) 밀어 떨어뜨리기 공정에서의 반도체장치의 단면도,
- <9> 도9는 푸쉬백재(材) 밀어 떨어뜨리는 확대 사시도,
- <10> 도10은 실시예 2인 반도체장치의 제조플로우 도면,
- <11> 도11은 실시예 3인 반도체장치의 제조플로우 도면,
- <12> 도12는 실시예 3의 반도체장치에 이용하는 리드 프레임의 도면이다.
- <13> (부호의 설명)
- <14> 1 수지 밀봉체
- <15> 2 리드
- <16> 3 현수리드
- <17> 4 마크
- <18> 5 패키지 저면(수지 밀봉체 저면)
- <19> 6 리드간 포켓
- <20> 7 수지 밀봉체의 리드간 노출면
- <21> 8 수지 밀봉체의 푸쉬백재 선단 접촉면
- <22> 9 반도체 칩
- <23> 10 와이어
- <24> 11 탭
- <25> 12 푸쉬백재
- <26> 13 리드 프레임
- <27> 14 리드 결단선
- <28> 15 수지 밀봉체 외형선
- <29> 16 리드 노출부선
- <30> 17 도금용 구멍

도면

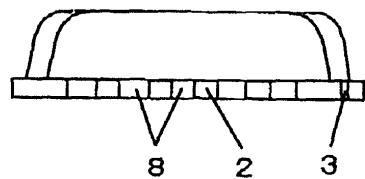
도면1



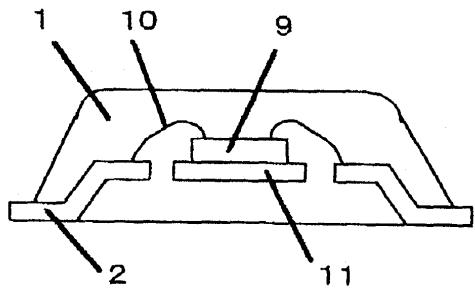
도면2



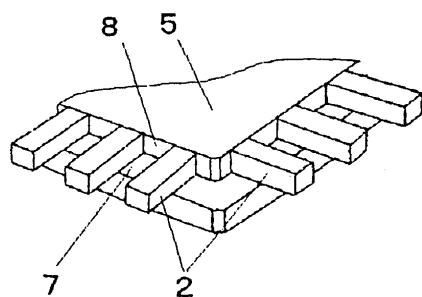
도면3



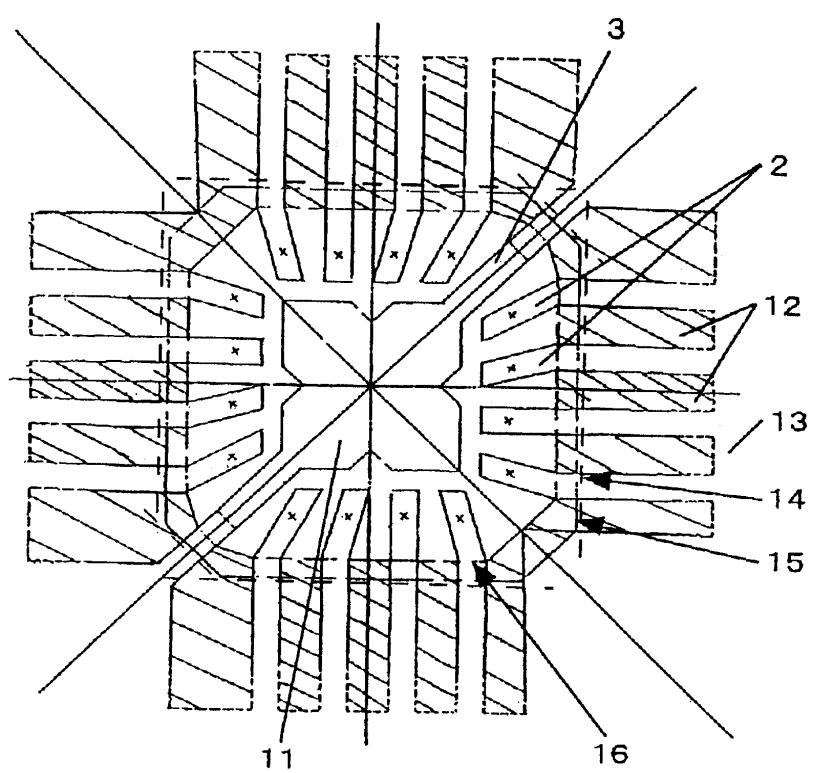
도면4



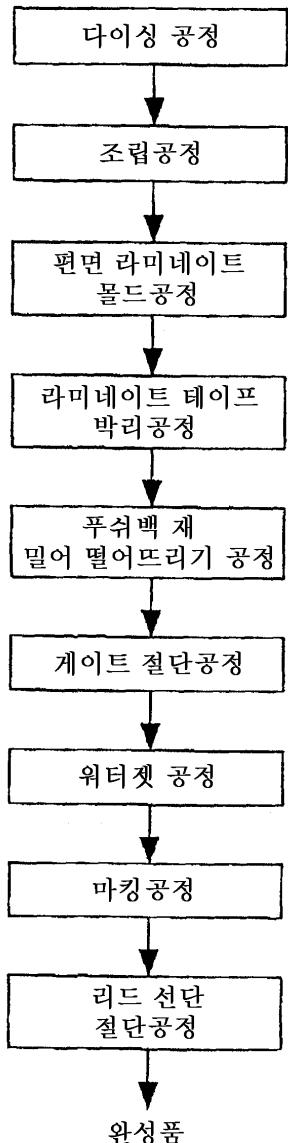
도면5



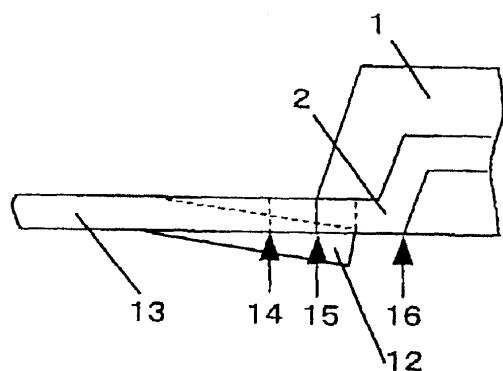
도면6



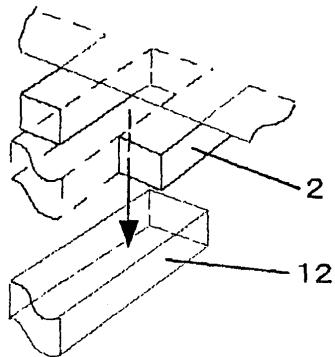
도면7



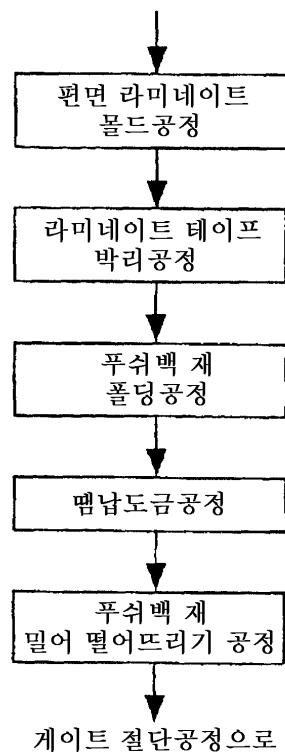
도면8



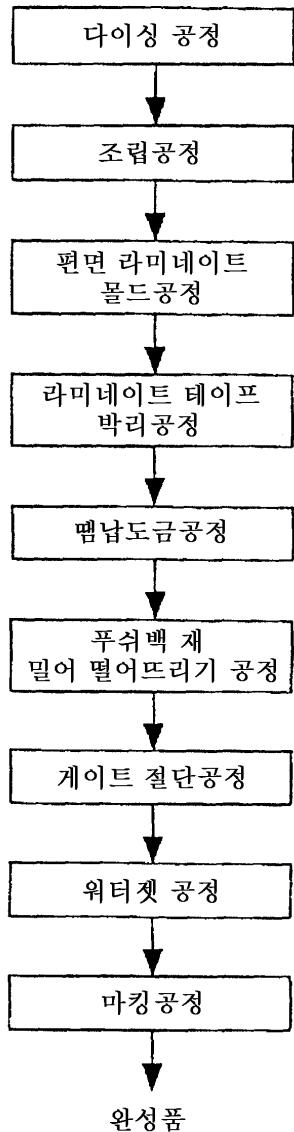
도면9



도면10



도면11



도면12

