(19) **Bundesrepublik Deutschland**
Deutsches Patent- und Markenamt

(10) **DE 697 37 013 T2** 2007.10.11

(12) # Übersetzung der europäischen Patentschrift

(97) **EP 0 862 119 B1**
(21) Deutsches Aktenzeichen: **697 37 013.5**
(96) Europäisches Aktenzeichen: **97 116 095.7**
(96) Europäischer Anmeldetag: **16.09.1997**
(97) Erstveröffentlichung durch das EPA: **02.09.1998**
(97) Veröffentlichungstag der Patenterteilung beim EPA: **29.11.2006**
(47) Veröffentlichungstag im Patentblatt: **11.10.2007**

(51) Int Cl.[8]: ***G06F 13/42*** (2006.01)
G06F 13/16 (2006.01)
G06F 1/04 (2006.01)
G11C 7/00 (2006.01)
G11C 5/06 (2006.01)

(30) Unionspriorität:
807161 **27.02.1997** **US**

(84) Benannte Vertragsstaaten:
DE, FR, GB

(73) Patentinhaber:
Hewlett-Packard Development Co., L.P., Houston, Tex., US

(72) Erfinder:
Johnson, Leith L., Fort Collins, CO 80524, US;
Fotland, David A., San Jose, CA 95129, US

(74) Vertreter:
Schoppe, Zimmermann, Stöckeler & Zinkler, 82049 Pullach

(54) Bezeichnung: **Verfahren und Vorrichtung zur Taktsignalerzeugung und -verteilung mit minimaler Verschiebung**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

Beschreibung

Gebiet der Erfindung

[0001] Die vorliegende Erfindung bezieht sich auf ein Erzeugen und Verteilen von Taktsignalen in digitalen Systemen. Insbesondere bezieht sich die vorliegende Erfindung auf ein Minimieren eines Versatzes bei derartigen Taktsignalen.

Beschreibung der verwandten Technik

[0002] Es ist üblich, dass digitale Systeme Daten durch ein Platzieren von Daten an einem Bus in Harmonie mit einem Taktsignal senden und empfangen, derart, dass die Daten dem Bus zu einer Zeit gültig sind, die durch eine Flanke des Taktsignals definiert ist. Natürlich ist es häufig erwünscht, Daten so schnell wie möglich zu übertragen und es ist deshalb erwünscht, das Taktsignal mit der höchstmöglichen Frequenz zu betreiben.

[0003] Bei einem digitalen System, das eine Komponente aufweist, die Daten von einem Bus liest, ist die maximale Frequenz, mit der ein Taktsignal wirksam sein kann, hauptsächlich durch drei Faktoren begrenzt; die Einrichtungszeit der Daten mit Bezug auf das Taktsignal, die Haltezeit der Daten mit Bezug auf das Taktsignal und einen Taktversatz. Ein Taktversatz kann einen Takt-zu-Takt-Versatz, bei einem Flanke eines Taktsignals mit Bezug auf die gleiche Flanke des Taktsignals in einem unterschiedlichen Abschnitt einer Schaltung versetzt ist, und einen Takt-zu-Daten-Versatz umfassen, bei dem eine Flanke eines Takts mit Bezug auf Daten an einem Bus versetzt ist.

[0004] Bei digitalen Systemen ist es üblich, viele Komponenten aufzuweisen, die mit einem einzigen Taktsignal gekoppelt sind, und es ist unpraktisch, eine einzige Treiberschaltung die Takteingaben aller Komponenten treiben zu lassen. Deshalb werden Taktpuffer verwendet, um Kopien des Taktsignals für eine Verteilung zu allen Komponenten zu erstellen, die das Taktsignal benötigen. Taktpuffer bringen jedoch einen Taktversatz ein. Um zu versuchen, einen Taktversatz zu minimieren, weisen Konfigurationen des Stands der Technik häufig Taktpuffer auf, die in einem baumähnlichen Taktverteilungsnetz angeordnet sind, derart, dass das Taktsignal, das zu jeder Komponente geliefert wird, die gleiche Anzahl von Taktpuffern durchläuft. Während derartige Anordnungen helfen, kann es erhebliche Abweichungen bei einem Versatz zwischen Taktpuffern geben.

[0005] Auf dem Gebiet der Computertechnologie werden synchrone dynamische Direktzugriffsspeicher (SDRAMs = Synchronous Dynamic Random Access Memories) häufig verwendet, um eine Hauptspeicherspeicherung bei einem Computersystem bereitzustellen. Typischerweise sind die SDRAMs, die bei einem Computersystem verwendet werden, auf Einzelreihenspeichermodulen (SIMMs = Single In-line Memory Modules) oder Doppelreihenspeichermodulen (DIMMS = Dual In-line Memory Modules) befestigt, die dann in DIMM- oder SIMM-Sockel an einer Platine des Computersystems eingefügt werden. Wie es unten in dem Abschnitt mit dem Titel detaillierte Beschreibung der bevorzugten Ausführungsbeispiele erörtert ist, begrenzt ein Taktversatz, der bei SIMM- und DIMM-Konfigurationen des Stands der Technik zu finden ist, wirksam die Taktfrequenz, mit der auf SDRAMs zugegriffen werden kann, auf näherungsweise 100 MHz. Bei derartigen Konfigurationen breitet sich der Logikzustand, der jedem Taktpuls zugeordnet ist, vollständig durch das Taktverteilungsnetz aus, bevor der Logikzustand umschaltet.

[0006] Da die Taktfrequenz, mit der SDRAMs betrieben werden, auf 100 MHz begrenzt ist, haben sich Computerentwickler auf ein Erhöhen der Datenwegbreite von Speichersystemen konzentriert, um eine Speicherbandbreite zu erhöhen. Dieser Ansatz ist jedoch aufwändig. Wenn sich Datenwegbreiten von 64 Bits auf 128 Bits, 256 Bits und weiter erhöhen, wird die Anzahl von Schaltungsplatinenleiterbahnen, zusammen mit dem erforderlichen Schaltungsplatinenraum, untragbar.

[0007] Das US-Patent Nr. 5,432,823 an Gasbarro u. a. hat den Titel „Method and Circuitry for Minimizing Clock-Data Skew in a Bus System" und ist an Rambus, Inc. (der Begriff Rambus® ist eine eingetragene Marke von Rambus, Inc.) übertragen. Durch ein Verwenden der Versatzminimierungstechniken, die durch Gasbarro u. a. gelehrt werden, sowie mehrerer anderer Techniken war Rambus in der Lage, Speicheruntersysteme kommerziell herzustellen, die mit Geschwindigkeiten von bis zu 500 MHz unter Verwendung des gleichen Typs eines Dynamischer-Direktzugriffsspeicher-Kerns (DRAM-Kerns; DRAM = Dynamic Random Access Memory), der bei SDRAMs verwendet wird, wirksam sind. Bei derartigen Frequenzen weist das Taktverteilungsnetz eventuell simultan mehr als einen Taktpuls „in Transit" zu einer Komponente auf, die mit dem Netz gekoppelt ist. Der Entwurf von Rambus liefert eine große Erhöhung bei einer Speicherbandbreite, ohne die Breite des Datenbusses drastisch erhöhen zu müssen.

[0008] Fig. 1 ist ein Blockdiagramm, das aus Fig. 3 bei Gasbarro u. a. angepasst ist, und stellt dar, wie ein Taktversatz bei Rambus-Speichersystemen minimiert wird. In Fig. 1 weist ein digitales System **10** einen Master-Empfänger/Sender **12** und Slave-Empfänger/Sender **14**, **16**, **18** und **20** auf. Der Master-Empfänger/Sender **12** und die Slave-Empfänger/Sender **14**, **16**, **18** und **20** sind mit einem Datenbus **22** und einem Taktverteilungssystem **24** gekoppelt. Das Taktverteilungssystem **24** weist eine Taktquelle **25** und eine Taktleitung **27** auf.

[0009] Aufgrund der hohen Frequenzen, bei denen das Taktverteilungssystem **24** wirksam ist, kann die Taktleitung **27** mehr als einen Taktpuls zu irgendeiner gegebenen Zeit enthalten. Deshalb entspricht der Taktpuls, der an einem Empfänger/Sender vorliegt, eventuell nicht dem Taktpuls, der an einem anderen Empfänger/Sender vorliegt. Um dieses Problem anzusprechen, offenbart Gasbarro u. a. ein Verwenden von zwei getrennten Segmenten der Taktleitung **27**. Das erste Segment ist Takt-zu-Master **28** und das zweite Segment ist Takt-von-Master **28**. Die zwei Segmente sind an einem Ende **29** gekoppelt. Jedes Segment weist die gleiche näherungsweise Länge und elektrischen Charakteristika der Leiter des Datenbusses **22** auf.

[0010] Das Segment **26** wird verwendet, wenn Daten von dem Master-Empfänger/Sender **12** zu einem der Slave-Empfänger/Sender übertragen werden. Man betrachte z. B. eine Schreiboperation von dem Master-Empfänger/Sender **12** zu dem Slave-Empfänger/Sender **20**. Ein Taktpuls wird bei der Taktquelle **25** erzeugt und durchläuft das erste Segment **28** und das Ende **29**. Wenn der Puls beginnt, das zweite Segment **26** zu durchlaufen, tritt derselbe in den $TCLK_0$-Eingang des Master-Empfänger/Senders **12** ein, was bewirkt, dass der Master-Empfänger/Sender **12** Daten auf den Datenbus **22** treibt. Die Daten breiten sich an dem Datenbus **22** grob parallel mit dem Taktpuls aus, der in den $TCLK_0$-Eingang eintrat, bis der Taktpuls einen $RCLK_3$-Eingang des Slave-Empfängers/Senders **20** erreicht, an welchem Punkt der Slave-Empfänger/Sender **20** die Daten taktet. Da der Abschnitt des Segments **26**, das durch den Taktpuls durchlaufen wird, an den Abschnitt des Datenbusses **22** angepasst ist, der durch die Daten durchlaufen wird, wird ein minimaler Taktversatz eingebracht. Das Segment **28** wird auf ähnliche Weise verwendet, wenn eine Leseoperation von einem der Slave-Empfänger/Sender zu dem Master-Empfänger/Sender **12** durchgeführt wird.

[0011] Folglich muss jeder Empfänger/Sender **12**, **14**, **16**, **18** und **20** in der Lage sein, Daten in dem Moment auf den Datenbus **22** zu koppeln, in dem der aktive Takt desselben sich vorbeibewegt. Gasbarro u. a. beschreiben dies als analog zum Surfen, bei dem der Surfer den Kamm der Welle betrachtet und denselben erwartet, um dieselbe zu fangen und sich mit derselben zu bewegen.

[0012] Zwei getrennte Takte aufzuweisen, die mit jedem Empfänger/Sender gekoppelt sind, erzeugt Synchronisationsprobleme innerhalb jedes Empfängers/Senders. Für eine Vorrichtung, die nahe dem Ende **29** gekoppelt ist, ist die Phasendifferenz zwischen dem Sendetakt und dem Empfangstakt minimal. Vorrichtungen an dem anderen Ende jedoch, wie beispielsweise der Slave-Empfänger/Sender **20** sehen eventuell eine wesentliche Phasendifferenz zwischen dem Sendetakt und dem Empfangstakt. Falls folglich Sender/Empfänger austauschbar und in der Lage sein sollen, irgendeine Position mit Bezug auf das Ende **29** anzunehmen, muss jeder Empfänger/Sender eine Synchronisationsschaltungsanordnung umfassen, die in der Lage ist, unterschiedliche Phasenbeziehungen zwischen den Sende- und Empfangstakten zu berücksichtigen.

[0013] Fig. 2 ist ein Blockdiagramm eines Rambus-64-Megabit-DRAM **30** und ist von einer am 29. November 1995 veröffentlichten Rambus-64-Megabit-Rambus-DRAM-Produktzusammenfassung aus angepasst. Der DRAM **30** ist als ein Slave-Empfänger/Sender konfiguriert, mit einer Rambus-Steuerung, die als ein Master-Empfänger/Sender konfiguriert ist. Der DRAM **30** ist mit dem Takt-von-Master-Segment **26** und dem Takt-zu-Master-Segment **28** sowie verschiedenen Steuer- und Datensignalen gekoppelt. Der Zweck bei einem Zeigen von Fig. 2 besteht darin, die relative Komplexität des DRAM **30** darzustellen. Wie es durch Gasbarro u. a. offenbart ist, muss jeder Empfänger/Sender eine Phasenregelschleife aufweisen, um phasenverschobene Versionen des Sendetakts zu erzeugen. Zusätzlich muss innerhalb jedes Empfängers/Senders jede Datenleitung ein Verzögerungselement, einen Phasenkomparator, einen Mux, einen Zwischenspeicher (Latch) und mehrere zusätzliche Stufen aufweisen.

[0014] Während Rambus-Speichersysteme hohe Transferfrequenzen erfolgreich erzielt haben, ist der Entwurf ziemlich komplex und ziemlich unterschiedlich von Speicheruntersystemen des Stands der Technik. Phasenregelschleifen können bei CMOS-Implementierungen hoher Dichte schwierig zu implementieren sein und sind empfindlich für ein Schaltrauschen, das bei CMOS-Speicheruntersystemen häufig vorliegt. Wichtiger noch sind Phasenregelschleifen nicht kompatibel zu Taktanhaltetechniken, die zum Reduzieren einer Leistung und einer Latenz verwendet werden, weil Phasenregelschleifen eine Hochfahrperiode benötigen, um auf ein Signal zu verriegeln. Was auf dem Computergebiet benötigt wird, ist ein Speicherentwurf, der SIMM- und DIMM-Konfiguration des Stands der Technik ähnlich ist, jedoch Transferfrequenzen ähnlich diesen erzielt, die durch Ram-

bus-Speichersysteme erzielt werden.

[0015] Die US-A-4,691,294 offenbart ein Verfahren und eine Vorrichtung zur Takt/Daten-Synchronisierung. Um Datensignale zu synchronisieren, die von einer Quelleinheit zu einer Bestimmungseinheit übertragen werden, wird ein Taktsignal von der Bestimmungseinheit zu der Quelleinheit gesendet und eine Übertragung von Daten wird unter einer Steuerung des empfangenen Taktsignals bewirkt. Das empfangene Taktsignal wird mit den gesendeten Daten wieder zurück zu der Bestimmungseinheit gesendet und wird verwendet, um einen Empfang der Daten zu registrieren.

[0016] Die EP 0 347 557 A offenbart einen synchronen parallelen Datenbus, der speziell für eine Verwendung bei einem Datenverarbeitungssystem angepasst ist, bei dem es notwendig ist, Daten über große Strecken zu übertragen. Die physische Verbindung zwischen kommunizierenden Einheiten umfasst eine Mehrzahl von Drähten, die angepasst sind, um das parallele Datensignal zu tragen, und einen Draht, der ein Taktsignal zu der entfernten Einheit trägt. Wenn Daten von der entfernten Einheit zu der Basiseinheit gesendet werden, wird das Taktsignal, das von der Basiseinheit stammte und zu der entfernten Einheit gesendet wurde, „umgedreht" und für eine Verwendung bei einem Empfangen der Daten von der entfernten Einheit zurück zu der Basiseinheit gesendet.

[0017] Die US-A-5,578,940 offenbart einen modularen Bus, der einen einzelnen oder doppelten Abschluss gestattet. Der Bus umfasst ein abgeschlossenes Hauptplatinendatennetz zum Kommunizieren von Datensignalen zwischen einem Master und einer oder mehreren Hauptplatinenvorrichtungen. Ein Sockel wird zum Koppeln der Datensignale zwischen dem Hauptplatinendatennetz und einem abgeschlossenen Moduldatennetz eines entfernbaren Moduls verwendet. Das Moduldatennetz kommuniziert die Datensignale zwischen dem Master und der einen oder mehreren Modulvorrichtungen. Der Datensignalhub und der Reflexionspegel der Datensignale sind im Wesentlichen unabhängig von dem Vorhandensein des Moduls.

[0018] Es ist die Aufgabe der vorliegenden Erfindung, einen Speicherentwurf zu liefern, der SIMM- und DIMM-Konfigurationen des Stand der Technik ähnlich ist, jedoch Transferfrequenzen ähnlich diesen erreicht, die durch Rambus-Speichersysteme erreicht werden.

[0019] Diese Aufgabe wird durch ein Speichersystem gemäß Anspruch 1 gelöst.

Zusammenfassung der Erfindung

[0020] Die vorliegende Erfindung besteht in einem Verfahren und einer Vorrichtung zum Erzeugen und Verteilen von Taktsignalen mit einem minimalen Versatz. Bei einem Beispiel umfasst die vorliegende Erfindung eine Speichersteuerung und zumindest ein Speichermodul, die Daten mit hohen Transferraten durch ein Minimieren eines Taktversatzes austauschen. Bei einem Schreiben von Daten zu dem Speichermodul erzeugt die Speichersteuerung ein Taktsignal, das sich entlang einem ersten Taktleitungssegment bewegt. Der Datenbus trägt die Schreibdaten und elektrischen Charakteristika des Datenbusses, und das erste Taktleitungssegment ist angepasst, derart, dass eintreffende Wellenfronten des Datenbusses und des Taktsignals an dem Speichermodul in einer festen Beziehung zueinander ankommen. Bei einem Lesen von Daten ist das erste Taktleitungssegment entlang einem zweiten Taktleitungssegment von dem Speichermodul zu der Speichersteuerung schleifenmäßig zurückgeführt, wobei eine Kopie des Taktsignals an dem zweiten Taktleitungssegment geliefert wird. Der Datenbus trägt die Lesedaten, und die elektrischen Charakteristika des Datenbusses und des zweiten Taktleitungssegments sind angepasst, derart, dass auftreffende Wellenfronten des Datenbusses und des Taktsignals an der Speichersteuerung in einer festen Beziehung zueinander ankommen.

[0021] Bei einer Konfiguration ist das Speichermodul mit Dummy-Lasten versehen, die mit dem zweiten Taktsegment gekoppelt sind. Die Dummy-Lasten stellen sicher, dass die elektrischen Charakteristika des zweiten Taktsegments die elektrischen Charakteristika des Datenbusses verfolgen, wenn Speichermodule eingebracht und entfernt werden.

[0022] Die vorliegende Erfindung liefert eine wesentliche Erhöhung bei einer Speicherbandbreite bei minimalen Entwurfsänderungen an Speichermodulen des Stands der Technik. Bei einem Beispiel kann ein Speichermodul des Stands der Technik einfach durch ein Koppeln eines Ausgangs von einem Taktpuffer an dem Speichermodul mit einem unbenutzten Anschlussstift des Speichermoduls konfiguriert werden, um gemäß der vorliegenden Erfindung wirksam zu sein.

Kurze Beschreibung der Zeichnungen

[0023] Fig. 1 ist ein Blockdiagramm, das von Fig. 3 des US-Patents Nr. 5,432,823 an Gasbarro u. a. aus angepasst ist, und stellt dar, wie ein Taktversatz bei Rambus-Speichersystemen minimiert wird.

[0024] Fig. 2 ist ein Blockdiagramm eines Rambus-64-Megabit-DRAM und ist von einer am 29. November 1995 veröffentlichten Rambus-64-Megabit-Rambus-DRAM-Produktzusammenfassung aus angepasst.

[0025] Fig. 3 ist ein Blockdiagramm eines Speichersystems des Stands der Technik, das Doppelreihenspeichermodule (DIMM) verwendet.

[0026] Fig. 4 ist ein Blockdiagramm eines Speichersystems gemäß der vorliegenden Erfindung.

Detaillierte Beschreibung der bevorzugten Ausführungsbeispiele

[0027] Fig. 3 ist ein Blockdiagramm eines Speichersystems **32** des Stands der Technik. Das Speichersystem **32** umfasst eine anwendungsspezifische integrierte Speichersteuerungsschaltung (Speichersteuerung-ASIC; ASIC = Application-Specific Integrated Circuit (ASIC)) **34**, Doppelreihenspeichermodule (DIMMs) **36**, **38** und **40** einen Globalsystemtaktpuffer **42** und einen Speicheruntersystemtaktpuffer **44**. Jedes DIMM-Modul umfasst einen oder mehrere Synchroner-Dynamischer-Direktzugriffsspeicher-Schaltungen (SDRAM-Schaltungen) und einen Taktpuffer mit geringem Versatz. Das DIMM **40** umfasst beispielsweise SDRAMs **46A**, **46B**, **46C**, **46D** und **46E** und einen Taktpuffer **48** mit niedrigem Versatz.

[0028] Die Speichersteuersteuerung-ASIC **34** umfasst einen internen Taktpuffer **50**, Datenbustreiber **52**, Datenempfänger **55** und Datenregister **56**. Ein Datenbus **58** ist mit der Speichersteuerung-ASIC **34** und jedem der DIMM-Module **36**, **38** und **40** gekoppelt. Taktsignale werden zu der ASIC **34** durch das Taktverteilungsnetz verteilt, das aus den Taktpuffern **42** und **44** gebildet ist. Der Taktpuffer **42** empfängt ein Master-Taktsignal an einer Leitung **60** und verzweigt dieses Signal zu der ASIC **34** über eine Leitung **62** und dem Puffer **44** über eine Leitung **64**. Der Puffer **44** verzweigt das Taktsignal zu den DIMMs **36**, **38** und **40** über Leitungen **66**, **68** bzw. **70**.

[0029] Wie es oben in dem Abschnitt mit dem Titel Beschreibung der verwandten Technik erörtert ist, ist die Frequenz, mit der ein Taktsignal wirksam sein kann, primär durch drei Faktoren begrenzt; die Einrichtungszeit der Daten mit Bezug auf das Taktsignal, die Haltezeit der Daten mit Bezug auf das Taktsignal und einen Taktversatz. Versatz ist ein Begriff, der auf dem Computergebiet gut bekannt ist. Kurz gesagt ist ein Versatz die Differenz zwischen der minimalen und der maximalen Zeit, die ein Ereignis benötigt, um aufzutreten. Ein Versatz ist additiv, so dass, falls ein Signal zwei Gatter durchläuft und jedes Gatter einen Versatz von 1,0 nS aufweist, der Gesamtversatz 2,0 nS beträgt. Um den Gesamtversatz einer Schaltung zu berechnen, beginnt man an einem Punkt, bei dem ein Takt und Daten beispielsweise durch eine gemeinsame Vorrichtung geschaltet sind oder an einem gemeinsamen Punkt eines Netzes existieren, wie beispielsweise eines Taktnetzes oder einem Taktpuffer, das sowohl einen Ausgangstreiber als auch einen Taktpuffer treibt. Von diesem Punkt aus addiert man den Versatz für alle durchlaufenen Vorrichtungen, bis die Signale bei einer getakteten Vorrichtung wieder konvergieren, wie beispielsweise einem Register oder einem Ausgangsanschlussstift. Einrichtungs- und Haltezeiten müssen ebenfalls inkludiert werden, wenn eine minimale zulässige Zykluszeit berechnet wird. Ein Beispiel einer derartigen Berechnung ist unten dargelegt.

[0030] Ein Typ eines Versatzes ergibt sich aus der Gesamtausbreitungsverzögerungszeit (TPD-Zeit; TPD = Total Propagation Delay) einer Vorrichtung, wenn sich ein Signal von dem Eingang der Vorrichtung zu dem Ausgang der Vorrichtung ausbreitet. Dieser Typ eines Versatzes wird hierin als ein TPD-Versatz bezeichnet. Ein anderer Typ eines Versatzes ergibt sich zwischen möglichen Zeitdifferenzen, die an getrennten Ausgängen einer Vorrichtung beobachtet werden. Dieser Typ eines Versatzes wird hierin als ein Ausgabe-zu-Ausgabe-Versatz bezeichnet.

[0031] Ein Ausgabe-zu-Ausgabe-Versatz ist einfach zu steuern, weil derselbe eine Funktion einer einzigen Halbleitervorrichtung ist, deren Transistoren im Wesentlichen angepasst sind. Die einzige Vorrichtung weist eine gemeinsame Temperatur und eine gemeinsame Spannung auf und irgendwelche Variationen, die durch Fertigungsanomalien bewirkt sind, beeinflussen alle Ausgänge und heben sich deswegen auf. Ein TPD-Versatz ist jedoch viel größer, weil derselbe mögliche Differenzen bei getrennten Halbleitervorrichtungen widerspiegelt. Zum Beispiel beträgt ein typischer TPD-Versatz eines Speicheruntersystemtaktpuffers **44** 1,000 nS, während ein typischer Ausgabe-zu-Ausgabe-Versatz 0,175 nS beträgt. Typischerweise umfasst der TPD-Versatz einer Vorrichtung den Ausgabe-zu-Ausgabe-Versatz einer Vorrichtung, so dass der Ausgabe-zu-Ausga-

be-Versatz einer Vorrichtung lediglich ein Faktor ist, wenn der TPD-Versatz nicht relevant ist.

[0032] SDRAM-ICs des Stands der Technik weisen eine Einrichtungszeit von näherungsweise 2,5 nS und eine Haltezeit von näherungsweise 1,0 nS und einen TPD-Versatz von Takt zu Daten von näherungsweise 3,0 nS auf. Es ist jedoch die Überzeugung der Erfinder der vorliegenden Erfindung, dass diese Zeiten durch ein Verwenden verschiedener Techniken, wie beispielsweise einem Kompensieren der Verzögerung der SDRAM-Ausgangspuffer, um einen Versatz zu reduzieren, erheblich verbessert werden können und werden. Die Erfinder erwarten, dass zukünftige Versionen der SRAMs eine Einrichtungszeit von näherungsweise 0,5 nS eine Haltezeit von näherungsweise 0,25 nS und einen TPD-Versatz von näherungsweise 0,75 nS aufweisen werden.

[0033] Wie es unten gezeigt wird, erhöht die vorliegende Erfindung unter Verwendung von SDRAM-ICs des Stands der Technik die maximale Betriebsfrequenz eines Speichersystems, das aus SRAMs aufgebaut ist, um einen Faktor von beinahe 2. Unter Verwendung von SDRAM-ICs mit Zeitcharakteristika ähnlich diesen, die durch die Erfinder erwartet werden, erhöht die vorliegende Erfindung jedoch die maximale Betriebsfrequenz um einen Faktor von näherungsweise 3 bis 4.

[0034] Die folgenden Zeitbudgets sind unter Verwendung von Zeiten von SDRAMs des Stands der Technik berechnet. Die Budgets legen die Einrichtungs- und Haltezeiten und Versatzzeiten eines Speichersystems **32** dar, wenn dasselbe Lese- und Schreiboperationen durchgeführt, und definieren die minimale zulässige Zykluszeit für das System **32**. Alle Budgets nehmen ein Schalten bei einer ersten einfallenden Wellenfront an einem Datenbus **58** an, wobei Daten an einem Datenbus platziert werden, sobald die erste Wellenfront eines Taktpulses einen Ausgangspuffer erreicht. Ein Schalten bei einer ersten einfallenden Wellenfront wird mit den Hochleistungs-CMOS-FET-Transistoren ohne Weiteres erreicht, die bei SDRAM- und ASIC-Vorrichtungen verwendet werden. Die Zeiten unten stellen die Zeiten derartiger Vorrichtungen dar.

SDRAM-Lesebudget für Speichersystem 32 unter Verwendung von Komponenten des Stands der Technik

Verzögerungs-Nr.	Verzögerungsbeschreibung	Verzögerungszeit
1	Ausgabe-zu-Ausgabe-Versatz von Taktpuffer 42	0,175 nS
2	TPD-Versatz von Taktpuffer 44	1,000 nS
3	DIMM-Taktpuffer-TPD-Versatz (z. B. Puffer 48)	1,000 nS
4	SDRAM-TPD-Versatz (z. B. SDRAM 46A)	3,000 nS
5	Rückwand-TPD-Versatz (0,250 nS/Schlitz * 4 Schlitze)	1,000 nS
6	TPD-Versatz von internem Taktpuffer 50 von ASIC 34	2,000 nS
7	Einrichtungszeit von ASIC 34	0,250 nS
8	Haltezeit von ASIC 34	0,250 nS
	Insgesamt:	8,675 nS
	Maximale Zyklusfrequenz	115,3 MHz

SDRAM-Schreibbudget für Speichersystem 32 unter Verwendung von Komponenten des Stands der Technik

Verzögerungs-Nr.	Verzögerungsbeschreibung	Verzögerungszeit
9	Ausgabe-zu-Ausgabe-Versatz von Taktpuffer 42	0,175 nS
10	TPD-Versatz von internem Taktpuffer 50 von ASIC 34	2,000 nS
11	TPD-Versatz von Datenbus-treiber 52 von ASIC 34	0,750 nS
12	Rückwand-TPD-Versatz (0,250 nS/Schlitz * 4 Schlitze)	1,000 nS
14	SDRAM-Einrichtungszeit (z. B. SDRAM 46A)	2,500 nS
15	SDRAM-Haltezeit (z. B. SDRAM 46A)	1,000 nS
16	TPD-Versatz des Takt-puffers 44	1,000 nS
17	DIMM-Taktpuffer-TPD-Versatz (z. B. Puffer 48)	1,000 nS
	Insgesamt:	9,425 nS
	Maximale Zyklusfre-quenz	106,1 MHz

[0035] Die Berechnung des Lesebudgets der Schaltung **32** beginnt bei dem Puffer **42**. Da die Ausgaben des Puffers **42** von einer Leitung **60** abgeleitet sind, ist lediglich der Ausgabe-zu-Ausgabe-Versatz des Puffers **40** in der Verzögerung 1 enthalten. Die Verzögerungen 2 und 3 werden durch die TPD-Versätze des Taktpuffers **44** bzw. des DIMM-Puffers (z. B. des Puffers **48**) bewirkt. Die Verzögerung 4 ist der Versatz, der durch die Takt- und Bustreiber eingebracht wird, die in jedem SDRAM zu finden sind.

[0036] Bei vielen Computersystemen ist ein Speicher in N Speicheruntersysteme organisiert, wobei jedes Speicheruntersystem M DIMMs für insgesamt N·M DIMMs treibt. In Fig. 3 ist folglich M = 3. Es dauert etwa 0,250 nS, dass ein Signal den Datenbus zwischen DIMMs durchläuft, so dass bei einem Drei-DIMM-Untersystem das DIMM am Nächsten zu der Speichersteuerung-ASIC Daten etwa 0,7500 nS vor dem am weitesten entfernten DIMM empfängt. Zusätzlich weist ein Bus, wie beispielsweise dieser, der in Fig. 3 gezeigt ist, eine Ausbreitungsvariation von näherungsweise 0,250 nS auf. Da Daten in beide Richtungen fließen müssen, kann die Länge der Taktleitung nicht verwendet werden, um diese Verzögerung zu kompensieren. Folglich muss ein Entwickler versuchen, die Taktlänge, die zu den DIMMs fließt, abzugleichen, derart, dass der Takt sowohl für Lese- als auch für Schreiboperationen verwendet werden kann. Die Verzögerung 5 berücksichtigt eine Ausbreitungsvariation von 0,250 nS und den Versatz, der durch die Tatsache eingebracht ist, dass Daten, die sich zu unterschiedlichen DIMMs bewegen, unterschiedliche Längen des Datenbusses **58** durchlaufen, während das Taktsignal sich näherungsweise über gleiche Längen bewegt. Die Verzögerung 5 variiert natürlich basierend auf einer Anzahl von DIMMs in einem Speicheruntersystem.

[0037] Die Verzögerung 6 ist der TPD-Versatz des Taktpuffers **50** in der ASIC **34**. Die Verzögerung 6 umfasst ferner den Takt-zu-Daten-Versatz der ASIC **34**. Die Verzögerung 7 ist die Einrichtungszeit der ASIC **34** und die Verzögerung 8 ist die Haltezeit der ASIC **34**. Wie es oben zu sehen ist, erzeugt das Lesebudget der Schaltung **32** eine maximale Lesezyklusfrequenz von 115,3 MHz.

[0038] Die Berechnung des Schreibbudgets der Schaltung **32** beginnt ebenfalls bei dem Puffer **42**. Die Ver-

zögerung 9 ist der Ausgabe-zu-Ausgabe-Versatz des Taktpuffers **52** und entspricht der Verzögerung 1 bei dem Lesebudget. Die Verzögerung 10 stellt einen TPD-Versatz des Taktpuffers **50** der ASIC **34** dar und entspricht der Verzögerung 6 bei dem Lesebudget. Die Verzögerung 11 ist der TPD-Versatz des Bustreibers **52** der ASIC **34**. Die Verzögerung 12 ist die Verzögerung, die der DIMM-Rückwand zugeordnet ist, und entspricht der Verzögerung 5 des Schreibbudgets. Die Verzögerungen 14 und 15 sind die Einrichtungszeit bzw. die Haltezeit der SDRAM-ICs, wie beispielsweise des SDRAM **46A**. Die Verzögerung 16 ist der TPD-Versatz des Taktpuffers **44** und die Verzögerung 17 ist der TPD-Versatz eines DIMM-Taktpuffers, wie beispielsweise des Puffers **58**. Wie es oben zu sehen ist, erzeugt das Schreibbudget der Schaltung **32** eine maximale Schreibzyklusfrequenz von 106,1 MHz, was die maximale Frequenz ist, bei der die Schaltung **32** wirksam sein kann.

[0039] Fig. 4 ist ein Blockdiagramm eines Speichersystems **72** gemäß der vorliegenden Erfindung. Das Speichersystem **72** umfasst eine Speichersteuerung-ASIC **74**, DIMMs **76**, **78** und **80**, einen Globalsystemtaktpuffer **82**, einen Datenbus **84**, eine Taktleitung **86** und Verzögerungsleitungen **98**, **104**, **106** und **108**. Jede der Taktleitungen ist mit einer der Verzögerungsleitungen versehen. Jedes DIMM umfasst einen Taktpuffer und zumindest eine SDRAM-IC. Das DIMM **80** beispielsweise weist SDRAMs **110A**, **110B**, **110C**, **110D** und **110E** und einen Puffer **120** auf. Jeder DIMM-Taktpuffer weist Ausgänge auf, die mit den Takteingängen der SDRAMs gekoppelt sind. Zusätzlich ist eine Leitung jedes Taktpuffers über eine Taktleitung zurück zu der ASIC **74** gesendet. Jedes DIMM weist ferner Verbindungen für Dummy-Lasten auf, die Später unten detaillierter beschrieben werden.

[0040] Die Speichersteuerung-ASIC **74** umfasst einen Takttreiber **122**, Datenbustreiber **130**, einen Datenbusempfänger **132** und Register **134**, **136** und **138**. Die Register **134**, **136** und **138** sind durch Taktsignale getaktet, die durch die Taktpuffer an den DIMMs geliefert werden.

[0041] Ein grundlegender Unterschied zwischen dem Speichersystem **32** des Stands der Technik von Fig. 3 und dem Speichersystem **72** der vorliegenden Erfindung besteht darin, dass der Takt, der durch die ASIC **74** verwendet wird, um gelesene Daten aus einem DIMM einzutakten, durch den Taktpuffer an diesem DIMM geliefert wird. Deshalb bewegen sich Taktpulse immer in die gleiche Richtung wie Daten. Durch ein Zuweisen von Taktleitungen, die elektrische Charakteristika aufweisen, die dem Datenbus **84** entsprechen, ist die vorliegende Erfindung in der Lage, eine wesentliche Verbesserung bei der maximalen zulässigen Zyklusfrequenz eines Speicheruntersystems zu liefern. Eine detaillierte Erörterung dieser Techniken wird angesichts der SDRAM-Lese- und -Schreibbudgets für die Schaltung **72** präsentiert. Die folgenden Zeitbudgets legen die Einrichtungs- und Haltezeiten und Versatzzeiten der Speicherschaltung **72** dar, wenn dieselbe Lese- und Schreiboperationen durchführt, und Definieren die minimale zulässige Zykluszeit **72**. Alle Budgets nehmen ein Schalten bei einer ersten einfallenden Wellenfront an dem Datenbus **84** an. Um die Vorzüge der vorliegenden Erfindung zu zeigen, sind die Zeitbudgets unter Verwendung von Taktpuffern, SDRAMs und ASICs des Stands der Technik berechnet, die Zeitcharakteristika aufweisen, die identisch zu diesen sind, die in Fig. 3 gezeigt sind. Jedoch müssen die Takt- und Datenwege an der Schaltungsplatine, die die Taktpuffer, SDRAMs und ASICs verbinden, eng angepasst sein, wie es unten erörtert wird. Um bei einem Vergleichen der vorliegenden Erfindung mit dem Speichersystem **32** des Stands der Technik von Fig. 1 zu helfen, sind die Verzögerungsbezugszeichen, die unten verwendet werden, eindeutig mit Bezug auf diese, die oben verwendet werden.

SDRAM-Lesebudget für Speichersystem 70 unter Verwendung von Komponenten des Stands der Technik

Verzögerungs-Nr.	Verzögerungsbeschreibung	Verzögerungszeit
18	DIMM-Taktpuffer-Ausgabe-zu-Ausgabe-Versatz (z. B. Puffer 120)	0,175 nS
19	SDRAM-TPD-Versatz (z. B. SDRAM 110A)	3,000 nS
20	Rückwand-TPD-Versatz	0,250 nS
21	Daten-zu-Takt-Versatz der ASIC 74	0,250 nS
22	Dateneinrichtungszeit der ASIC 74	0,250 nS
23	Datenhaltezeit der ASIC 74	0,250 nS
	Insgesamt:	4,175 nS
	Maximale Zyklusfrequenz	239,5 MHz

SDRAM-Schreibbudget für Speichersystem 72 unter Verwendung von Komponenten des Stands der Technik

Verzögerungs-Nr.	Verzögerungsbeschreibung	Verzögerungszeit
24	Takttreiber-zu-Datentreiber-Versatz der ASIC 74	0,500 nS
25	Rückwand-TPD-Versatz	0,250 nS
27	SDRAM-Einrichtungszeit (z. B. SDRAM 110A)	2,500 nS
28	SDRAM-Haltezeit (z. B. SDRAM 110A)	1,000 nS
29	DIMM-Taktpuffer-TPD-Versatz (z. B. Puffer 120)	1,000 nS
	Insgesamt:	5,250 nS
	Maximale Zyklusfrequenz	190,5 MHz

[0042] Bei dem Speichersystem **32** von Fig. 3 begann die Berechnung des Lesebudgets bei dem Globalsystemtaktpuffer **42**. Bei der vorliegenden Erfindung wird der Takt, der durch die ASIC **74** verwendet wird, um Lesedaten zu validieren, durch den DIMM-Taktpuffer geliefert. Einer der Vorteile, die durch dies geliefert werden, besteht darin, dass die Berechnung des Lesebudgets bei einem DIMM-Taktpuffer beginnt. Dies eliminiert den Versatz von dem Globalsystemtaktpuffer und dem Speicheruntersystemtaktpuffer und wandelt den Versatz des DIMM-Taktpuffers von einem TPD-Versatz zu einem Ausgabe-zu-Ausgabe-Versatz um. Wie es oben er-

örtert ist, sind Ausgabe-zu-Ausgabe-Versätze viel kleiner als TPD-Versätze. Folglich ist die Verzögerung 18 der Ausgabe-zu-Ausgabe-Versatz eines DIMM-Taktpuffers, wie beispielsweise des Puffers **120**.

[0043] Die Verzögerung 19 ist der SDRAM-TPD-Versatz. Diese Verzögerung entspricht der Verzögerung 4 des Systems **32**.

[0044] Wie es oben mit Bezug auf Fig. 3 erörtert ist, weist das Speichersystem **32** des Stands der Technik einen erheblichen Rückwandversatz auf. In Fig. 4 jedoch ist die Taktleitung, die von jedem DIMM zu der ASIC **74** verläuft, präzise an die entsprechenden Datenleitungen des Busses **84** angepasst. Zusätzlich werden Daten von jedem DIMM in entsprechende und getrennte Register in der ASIC **74** eingetaktet. Beispielsweise werden Daten von dem DIMM **78** in das Register **136** eingetaktet. Das Ergebnis besteht darin, dass die Ausbreitungsverzögerung aufgrund der Rückwandverbindung zwischen DIMMs minimiert ist und sich mit der Anzahl von DIMMs nicht verändert. Folglich stellt die Verzögerung 20 die Ausbreitungsvariation von 0,250 nS dar, die dem Bus **84** zugeordnet ist, aber umfasst keinen Versatz, der durch Daten eingebracht wird, die unterschiedliche Längen des Datenbusses **58** durchlaufen.

[0045] Die Verzögerung 21 ist ein Daten-zu-Takt-Versatz der ASIC **74**. Bei der Schaltung **32** war diese Zeit in dem TPD-Versatz des internen Taktpuffers **50** der ASIC **34** (Verzögerung 6) enthalten. Durch ein Liefern des Takts und der Daten von den DIMMs entlang angepasster Leitungen ersetzt die vorliegende Erfindung einen TPD-Versatz mit einem viel kleineren Daten-zu-Takt-Versatz.

[0046] Die Verzögerungen 22 und 23 sind die Dateneinrichtungszeit bzw. Datenhaltezeit der ASIC **74**. Diese Zeiten entsprechen den Verzögerungen 7 und 8 des Systems **32**. Wie es oben zu sehen ist, erzeugt das Lesebudget der Schaltung **72** eine maximale Lesezyklusfrequenz von 239,5 MHz. Dies ist eine große Verbesserung gegenüber der maximalen Lesezyklusfrequenz von 115,3 MHz, die durch die Schaltung **32** geliefert wird. Beide Schaltungen verwenden jedoch Komponenten, die ähnliche Zeitcharakteristika aufweisen.

[0047] Bei der vorliegenden Erfindung stammen bei einem Lesen der Daten aus den DIMMs der Takt und die Daten von DIMMs und bewegen sich entlang angepasster Leitungen. Gleichermaßen stammen bei einem Schreiben von Daten zu den DIMMs der Takt und die Daten von der ASIC **74** und bewegen sich entlang angepasster Leitungen.

[0048] Bei dem Speichersystem **32** von Fig. 3 begann die Berechnung des Schreibbudgets bei dem Globalsystemtaktpuffer **42**. Bei dem Speichersystem **72** der vorliegenden Erfindung beginnt die Berechnung des Schreibbudgets bei den Takt- und Datenausgängen der ASIC **74**. Durch ein Leiten (Routen) des Takts in die und aus der ASIC **74** wird der Versatz, der durch den Globalsystemtaktpuffer erzeugt wird, eliminiert und wird der Interntaktpufferversatz der ASIC mit einem Takttreiber-zu-Datentreiber-Versatz ersetzt, der viel kleiner ist, weil die ASIC **74** eine einzelne Vorrichtung ist. Die Verzögerung 24 ist der Takttreiber-zu-Datentreiber-Versatz der ASIC **74**.

[0049] Wie es oben erörtert ist, minimiert die vorliegende Erfindung einen Rückwandversatz. Die Verzögerung 25 ist der Rückwandversatz.

[0050] Die Verzögerungen 27 und 28 sind die Einrichtungszeit und die Haltezeit der SDRAMs, wie beispielsweise des SDRAM **110A**. Die Verzögerungen 27 und 28 entsprechen den Verzögerungen 14 bzw. 15 des Speichersystems **32**.

[0051] Die Verzögerung 29 ist der DIMM-Taktpuffer-TPD-Versatz (wie beispielsweise des Puffers **120**) und entspricht der Verzögerung 17 des Systems **32**. Wie es zu sehen ist, erzeugt das Schreibbudget der Schaltung **72** eine maximale Lesezyklusfrequenz von 190,5 MHz, eine erhebliche Verbesserung gegenüber der maximalen Lesezyklusfrequenz von 106,1 MHz, die durch das System **32** geliefert wird. Folglich ist das Speichersystem der vorliegenden Erfindung bei 190,5 MHz wirksam, während das Speichersystem des Stands der Technik bei 106,1 MHz wirksam ist. Die vorliegende Erfindung liefert deshalb eine 80%ige Verbesserung bei einer maximalen Betriebsfrequenz unter Verwendung von Komponenten des Stands der Technik.

[0052] Die verwendeten Komponenten, um die Lese- und Schreibbudgets des Systems **72** zu berechnen, weisen Zeitcharakteristika auf, die identisch zu diesen des Systems **32** des Stands der Technik von Fig. 3 sind. Bei derartigen Komponenten gibt es jedoch eine erhebliche Diskrepanz zwischen der Lesezykluszeitsteuerung (239,5 MHz) und der Schreibzykluszeitsteuerung (190,5 MHz) des Speichersystems **72**. Mit einer kleineren Komponentenersetzung kann diese Diskrepanz wesentlich reduziert werden.

[0053] Der Wert des TPD-Versatzes der Taktpuffer, die bei den DIMMs in den Systemen **32** und **72** verwendet werden, beträgt 1,000 nS. Dies entspricht Niederspannung-TTL-Taktpuffern, die häufig bei DIMMs verwendet werden. Falls jedoch ein ECL-Taktpuffer mit höheren Kosten an jedem DIMM verwendet wird, fällt der TPD-Versatz des Puffers auf 0,200 nS. Dies lässt die gesamte minimale zulässige Schreibzykluszeit auf 4,45 nS fallen und erhöht deshalb die maximale zulässige Schreibfrequenz auf 224,7 MHz, wodurch die Schreibfrequenz näher an die Lesefrequenz bewegt wird. Diese Ersetzung liefert ferner eine kleine Erhöhung bei der maximalen zulässigen Lesefrequenz, weil der Ausgabe-zu-Ausgabe-Versatz des DIMM-Taktpuffers ebenfalls reduziert ist, wenn auch in einem geringeren Ausmaß.

[0054] Nun sei angenommen, dass das Speichersystem **32** des Stands der Technik und das Speichersystem **72** der vorliegenden Erfindung unter Verwendung von zukünftigen Versionen von SDRAMs aufgebaut sind, die eine Einrichtungszeit von näherungsweise 0,5 nS, eine Haltezeit von näherungsweise 0,25 nS und einen TPD-Versatz von näherungsweise 0,75 nS aufweisen, wie es durch die Erfinder erwartet wird. Die Lese- und Schreibbudgets sind wie folgt:

SDRAM-Schreibbudget für Speichersystem 32 unter Verwendung zukünftiger Komponenten

Verzögerungs-Nn.	Verzögerungsbeschreibung	Verzögerungszeit
30	Ausgabe-zu-Ausgabe-Versatz des Taktpuffers 42	0,175 nS
31	TPD-Versatz des Taktpuffers 44	1,000 nS
32	DIMM-Taktpuffer-TPD-Versatz (z. B. Puffer 48)	1,000 nS
33	SDRAM-TPD-Versatz (z. B. SDRAM 46A)	0,750 nS
34	Rückwand-TPD-Versatz (0,250 nS/Schlitz * 4 Schlitze)	1,000 nS
35	TPD-Versatz von internem Taktpuffer 50 von ASIC 34	2,000 nS
36	Einrichtungszeit von ASIC 34	0,250 nS
37	Haltezeit von ASIC 34	0,250 nS
	Insgesamt:	6,425 nS
	Maximale Zyklusfrequenz	155,6 MHz

SDRAM-Schreibbudget für Speichersystem 32 unter Verwendung zukünftiger Komponenten

Verzögerungs-Nr.	Verzögerungsbeschreibung	Verzögerungszeit
38	Ausgabe-zu-Ausgabe-Versatz des Taktpuffers 42	0,175 nS
39	TPD-Versatz des internen Taktpuffers 50 der ASIC 34	2,000 nS
40	TPD-Versatz des Datenbus-treibers 52 der ASIC 34	0,750 nS
41	Rückwand-TPD-Versatz (0,250 nS/Schlitz * 4 Schlitze)	1,000 nS
42	SDRAM-Einrichtungszeit (z. B. SDRAM 46A)	0,500 nS
43	SDRAM-Haltezeit (z. B. SDRAM 46A)	0,250 nS
44	TPD-Versatz des Takt-puffers 74	1,000 nS
45	DIMM-Taktpuffer-TPD-Versatz (z. B. Puffer 48)	1,000 nS
	Insgesamt:	6,675 nS
	Maximale Zyklusfrequenz	149,8 MHz

[0055] Folglich ist das Speichersystem **32** des Stands der Technik bei 149,8 MHz wirksam, wenn zukünftige SDRAMs verwendet werden, wie es durch die Erfinder erwartet wird.

SDRAM-Schreibbudget für Speichersystem 72 unter Verwendung zukünftiger Komponenten

Verzögerungs-Nr.	Verzögerungsbeschreibung	Verzögerungszeit
46	DIMM-Taktpuffer-Ausgabe-zu-Ausgabe-Versatz (z. B. Puffer 120)	0,175 nS
47	SDRAM-TPD-Versatz (z. B. SDRAM 110A)	0,750 nS
48	Rückwand-TPD-Versatz	0,250 nS
49	Daten-zu-Takt-Versatz der ASIC 74	0,250 nS
50	Dateneinrichtungszeit der ASIC 74	0,250 nS
51	Datenhaltezeit der ASIC 74	0,250 nS
	Insgesamt:	1,925 nS
	Maximale Zyklusfrequenz	519,5 MHz

SDRAM-Schreibbudget für Speichersystem 72 unter Verwendung zukünftiger Komponenten

Verzögerungs-Nr.	Verzögerungsbeschreibung	Verzögerungszeit
52	Takttreiber-zu-Datentreiber-Versatz der ASIC 74	0,500 nS
53	Rückwand-TPD-Versatz	0,250 nS
54	SDRAM-Einrichtungszeit (z. B. SDRAM 110A)	0,500 nS
55	SDRAM-Haltezeit (z. B. SDRAM 110A)	0,250 nS
56	DIMM-Taktpuffer-TPD-Versatz	1,000 nS
	Insgesamt:	2,5 nS
	Maximale Zyklusfrequenz	400,0 MHz

[0056] Folglich ist das Speichersystem **72** bei 400,0 MHz wirksam, wenn zukünftige SDRAMs verwendet werden, wie es durch die Erfinder erwartet wird. Dies ist eine Verbesserung von 167% gegenüber der Schaltung **32** des Stands der Technik. Falls ECL-DIMM-Taktpuffer sowohl bei der Schaltung **32** als auch **72** verwendet werden, springen die Frequenzen auf 170 MHz und 588 MHz. Mit ECL-Puffern und zukünftigen SDRAMs ist das Speichersystem **72** 246% schneller als das Speichersystem **32** des Stands der Technik.

[0057] Einer der Vorteile von SIMMs und DIMMs des Stands der Technik besteht darin, dass dieselben eine einfache Installation und Entfernung des Speichers liefern. Die Dummy-Last-Verbindungen an jeder DIMM ermöglichen, dass die vorliegende Erfindung diesen Vorteil fortführen kann, ohne eine Leistungsfähigkeit zu op-

fern. Im Grunde versuchen die Dummy-Lasten, an den Taktleitungen die Wirkung zu duplizieren, die ein Hinzufügen zusätzlicher DIMMs auf den Datenbus aufweist. Zum Beispiel sei angenommen, dass Daten von der ASIC **74** zu dem DIMM **80** geschrieben werden und die DIMMs **76** und **78** installiert sind. Der Datenbustreiber **130** muss die Kapazitäten der Abschnitte des Datenbusses **84**, die sich in die DIMMs **76** und **78** erstrecken, treiben und die Dummy-Lasten **140** und **142** duplizieren die elektrische Wirkung dieser Abschnitte, wodurch die elektrischen Charakteristika der Taktleitung **92** und des Datenbusses **84** zwischen dem DIMM **80** und der ASIC **74** angepasst gehalten werden. Nun sei angenommen, dass das DIMM **78** entfernt ist. Ein Entfernen des DIMM **78** entfernt auch einen Abschnitt des Datenbusses **84**. Dasselbe entfernt jedoch auch die Dummy-Last **142**, so dass die elektrischen Charakteristika der Taktleitung **92** an diese Datenbusse **84** angepasst bleiben. Die Anzahl von Dummy-Lasten, die an jedem DIMM vorgesehen sein müssen, ist gleich der Anzahl von DIMMs, die in deinem Speicheruntersystem platziert sein können, minus Eins.

[0058] Die Verzögerungsleitung **98** wird eventuell benötigt, um die Einrichtungszeit zu erzeugen, die durch die SDRAMs benötigt wird, wenn zu den SDRAMs geschrieben wird. Die Verzögerungsleitungen können einfach eine zusätzliche Routing-Länge oder irgendein anderer Typ einer Verzögerungsleitung sein, wie es auf dem Gebiet bekannt ist. Alternativ kann die Verzögerungsleitung **78** in die ASIC **74** bewegt werden, wo es einfach sein könnte, die Verzögerung der Verzögerungsleitung **98** variabel zu machen.

[0059] Gleichermaßen werden die Verzögerungsleitungen **104**, **106** und **108** eventuell benötigt, um die SDRAM-Ausbreitungsverzögerungen zu kompensieren und die Einrichtungszeit zu erzeugen, die durch die ASIC **74** benötigt wird. Die Verzögerungsleitungen **104**, **106** und **108** können ebenfalls in die ASIC **74** bewegt werden, wo es einfach sein könnte, die Verzögerung der Verzögerungsleitungen variabel zu machen.

[0060] Die Verzögerung, die durch die Verzögerungsleitung **98** benötigt wird, ist abhängig von der Ausbreitungsverzögerung der DIMM-Taktpuffer und der Einrichtungszeit, die durch die SDRAMs benötigt wird. Die Verzögerungsleitungen **98**, **104**, **106** und **108** können auch eingestellt sein, um den Takt in der Mitte eines gültigen Datenfensters zu zentrieren, so dass Takt und Daten an den DIMMs und der ASIC **74** mit der ordnungsgemäßen Phasenbeziehung ankommen.

[0061] Die vorliegende Erfindung liefert eine wesentliche Verbesserung bei einer Leistungsfähigkeit gegenüber Speichersystemen des Stands der Technik, die auf DIMMs und SIMMs basieren, bei minimalen Veränderungen an DIMM- und SIMM-Entwürfen des Stands der Technik. Ein DIMM-Entwurf des Stands der Technik kann durch einfach ein Routen eines Ausgangs eines Taktpuffers an dem DIMM zu einem unbenutzten Anschlussstift an dem DIMM und ein Vorsehen von Dummy-Lasten an anderen unbenutzten Anschlussstiften modifiziert werden, wie es oben beschrieben ist. Ein zusätzlicher wesentlicher Leistungsfähigkeitsgewinn kann durch einfach ein Ersetzen eines Niederspannung-TTL-Taktpuffers an dem DIMM mit einem ECL-Taktpuffer erreicht werden.

[0062] Obwohl die vorliegende Erfindung wesentliche Vorzüge liefert, wenn dieselbe auf aktuelle Speicherkonfigurationen angewandt wird, können die hierin offenbarten Konzepte sogar noch mehr Vorzüge liefern, wenn SDRAMs entworfen sind, um mit der vorliegenden Erfindung betrieben zu werden. Zum Beispiel bei einem kleinen System, bei dem die Anzahl von SDRAM-Bausteinen reduziert ist, derart, dass die DIMM-Taktpuffer eliminiert sind, und der Takt direkt zu dem DRAM geliefert wird und der SDRAM einen Takt-Aus-Anschlussstift vorsieht, der zusammen mit den Daten zu der Speichersteuerung-ASIC gesendet werden kann, können Speichersystemfrequenzen noch weiter erhöht werden. Bei einer derartigen Konfiguration wäre der SDRAM-TPD-Versatz (0,750 nS) aus dem Lesebudget entfernt und wäre der DIMM-Taktpuffer-Ausgabe-zu-Ausgabe-Versatz mit einem Ausgabe-zu-Ausgabe-Versatz an den Ausgängen des SDRAM ersetzt. Dies würde die Lesezykluszeit auf 1,175 nS reduzieren und die maximale Lesezyklusfrequenz auf 851,0 MHz erhöhen. Gleichermaßen würde eine derartige Konfiguration den DIMM-Taktpuffer-TPD-Versatz (1,000 nS) aus dem Schreibbudget entfernen, was die Schreibzykluszeit auf 1,5 nS reduzieren und die maximale Lesezyklusfrequenz auf 666,7 MHz erhöhen würde.

[0063] Die vorliegende Erfindung wurde hierin mit Bezug auf eine Speichersteuerung und Speichermodule beschrieben. Fachleute auf dem Gebiet erkennen jedoch, dass die vorliegende Erfindung für eine Verwendung bei vielen anderen Typen digitaler Systeme angepasst werden kann, bei denen Daten zwischen einem ersten und einem zweiten Datenblock gesendet werden und mit einem Taktsignal validiert werden. Zusätzlich können einige der Vorteile der vorliegenden Erfindung durch einfach ein Platzieren eines Schattentaktpuffers in der Nähe eines DIMM-Sockels und des Schattentaktpuffers, um den Rücktakt zu erzeugen, erreicht werden. Bei dieser Konfiguration können viele der Vorteile der vorliegenden Erfindung unter Verwendung von DIMMs des Stands der Technik erreicht werden.

[0064] Während die vorliegende Erfindung eine wesentliche Verbesserung bei einer Leistungsfähigkeit gegenüber DIMM- und SIMM-Speicherkonfigurationen des Stands der Technik liefert, weist dieselbe ferner mehrere Vorteile gegenüber Hochgeschwindigkeitsspeichersystemen des Stands der Technik auf, wie beispielsweise diesen, die durch Rambus, Inc. hergestellt werden. Während derartige Hochgeschwindigkeitsspeichersysteme des Stands der Technik bei Frequenzen von mehr als 500 MHz wirksam sind, benötigen dieselben komplexe Phasendetektoren, Phasenregelschleifen, Verzögerungsleitungen und dergleichen, um einen Taktversatz zu verwalten. Die vorliegende Erfindung erreicht Geschwindigkeiten, die zumindest so schnell sind, ohne derartige Techniken zu verwenden. Alles, was erforderlich ist, sind mehrere zusätzliche Verbindungen und eine sorgsame Beachtung von Takt- und Datenleitungen, um sicherzustellen, dass die elektrischen Charakteristika derselben ordnungsgemäß angepasst sind, und (optional) die Verwendung eines Hochgeschwindigkeitstaktpuffers an jedem DIMM. Da die vorliegende Erfindung nicht von Phasenregelschleifen abhängt, ist es schließlich einfach, Taktstopptechniken einzusetzen, die zum Reduzieren einer Leistung und einer Latenz verwendet werden. Phasenregelschleifen benötigen eine Hochfahrperiode, um ein Signal zu verriegeln.

[0065] Folglich liefert die vorliegende Erfindung eine kostengünstige, hoch leistungsfähige Speichersystemlösung, die den Herausforderungen genügt, die durch zukünftige Generationen von Prozessoren erzeugt werden, die mit einer Geschwindigkeit von vielen hundert MHz wirksam sein werden.

Patentansprüche

1. Ein Speichersystem, das folgende Merkmale aufweist:
eine Speichersteuerung (**74**);
einen Datenbus (**84**), der sich von der Speichersteuerung (**74**) in eine nachgeschaltete Richtung erstreckt;
eine Mehrzahl von Speichermodulsockeln (**76**, **78**, **80**), die mit dem Datenbus (**84**) gekoppelt und entlang dem Datenbus (**84**) in die nachgeschaltete Richtung positioniert sind, wobei jeder Speichermodulsockel angepasst ist, um ein Speichermodul (**110A**–**110E**) aufzunehmen, und jeder Speichermodulsockel einen Takt-Ein-Anschlussstift, einen Takt-Aus-Anschlussstift und N – 1 Dummy-Lastanschlussstifte umfasst, wobei N die Anzahl von Speichermodulsockeln (**76**, **78**, **80**) darstellt, die durch die Speichersteuerung (**74**) bedient sind;
ein erstes Taktleitungsnetz (**86**), das mit jedem der Takt-Ein-Anschlussstifte der Speichermodulsockel (**76**, **78**, **80**) gekoppelt ist; und
eine Mehrzahl von zweiten Taktleitungen (**92**, **94**, **96**), die der Mehrzahl von Speichermodulsockeln (**76**, **78**, **80**) entsprechen, wobei jede zweite Taktleitung zwischen den Takt-Aus-Anschlussstift von einem der Mehrzahl von Speichermodulsockeln (**76**, **78**, **80**) und die Speichersteuerung gekoppelt ist und ein zweites Taktsignal trägt, das die Speichersteuerungsdaten validiert, die von einem Speichermodul (**110A**–**110E**), das in den Sockel eingebracht ist, zu der Speichersteuerung übertragen werden,
wobei jeder der Speichermodulsockel (**76**, **78**, **80**) jeden von n Dummy-Lastanschlussstiften aufweist, die mit einer jeweiligen der Mehrzahl von zweiten Taktleitungen (**92**, **94**, **96**) verbunden sind, die Speichermodulsockeln zugeordnet sind, die weiter nachgeschaltet an dem Datenbus (**84**) positioniert sind, wobei n gleich N minus der Position eines Speichermodulsockels (**76**, **78**, **80**) entlang dem Datenbus (**84**) ist;
wobei jedes Speichermodul (**110A**–**110E**) einen Takt-Ein-Anschlussstift, einen Takt-Aus-Anschlussstift und N – 1 Dummy-Lastanschlussstifte umfasst;
wobei, wenn ein Speichermodul (**110A**–**110E**) in einen Speichermodulsockel (**76**, **78**, **80**) eingebracht ist, sich der Takt-Ein-Anschlussstift und der Takt-Aus-Anschlussstift des Speichermoduls in elektrischem Kontakt mit dem Takt-Ein-Anschlussstift bzw. dem Takt-Aus-Anschlussstift des Speichermodulsockels (**76**, **78**, **80**) befinden, wobei das Signal, das an dem Takt-Aus-Anschlussstift des Speichermoduls (**110A**–**110E**) geliefert wird, von dem Signal abgeleitet ist, das an dem Takt-Ein-Anschlussstift des Speichermoduls (**110A**–**110E**) geliefert wird, und wobei über die Dummy-Lastanschlussstifte des Speichermoduls eine Dummy-Last mit den Dummy-Anschlussstiften des Speichermodulsockels verbunden ist; und
wobei, wenn ein Speichermodul (**110A**–**110E**) von einem Speichermodulsockel (**76**, **78**, **80**) entfernt ist, eine Dummy-Last von den Dummy-Anschlussstiften des Speichermodulsockels getrennt ist,
wodurch elektrische Charakteristika der zweiten Taktleitung (**92**, **94**, **96**) elektrische Charakteristika des Datenbusses (**84**) verfolgen, wenn ein Speichermodul (**110A**–**110E**) eingebracht und entfernt ist.

2. Das Speichersystem gemäß Anspruch 1, bei dem jedes Speichermodul (**110A**–**110E**) ferner folgende Merkmale umfasst:
eine Mehrzahl von integrierten Direktzugriffsspeicherschaltungen; und
einen Taktpuffer (**120**), der das Signal empfängt, das an dem Takt-Ein-Anschlussstift des Speichermoduls (**110A**–**110E**) zu finden ist, und eine Mehrzahl von Taktpufferausgaben erzeugt, wobei eine erste Taktpufferausgabe der Mehrzahl von Taktpufferausgaben mit dem Takt-Aus-Anschlussstift des Speichermoduls (**10A**–**110E**) gekoppelt ist, und jede Direktzugriffsspeicherschaltung der Mehrzahl von Direktzugriffsspeicher-

schaltungen mit einer verbleibenden Taktpufferausgabe der Mehrzahl von Taktpufferausgaben gekoppelt ist.

3. Das Speichersystem gemäß Anspruch 1 oder 2, bei dem das erste Taktleitungsnetz (**86**) eine Verzögerungsleitung umfasst, die eine Einrichtungsverzögerung kompensiert, die durch das Speichermodul (**110A**–**110E**) benötigt wird.

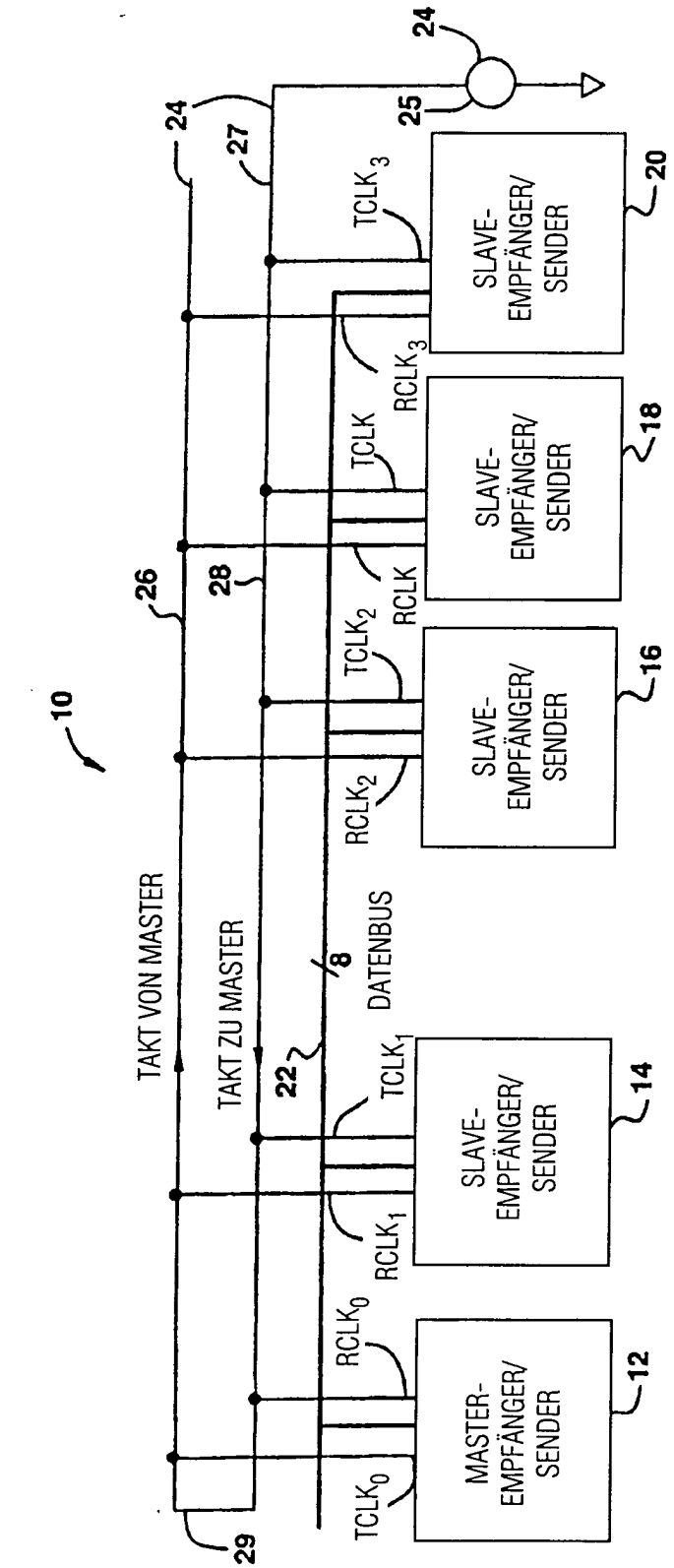
4. Das Speichersystem gemäß einem der Ansprüche 1 bis 3, bei dem jede zweite Taktleitung eine Verzögerungsleitung umfasst, die eine Ausbreitungsverzögerung eines Speichermoduls (**110A**–**110E**) und eine Einrichtungsverzögerung kompensiert, die durch die Speichersteuerung (**74**) bei einem Lesen von dem Speichermodul (**110A**–**110E**) zu der Speichersteuerung benötigt wird.

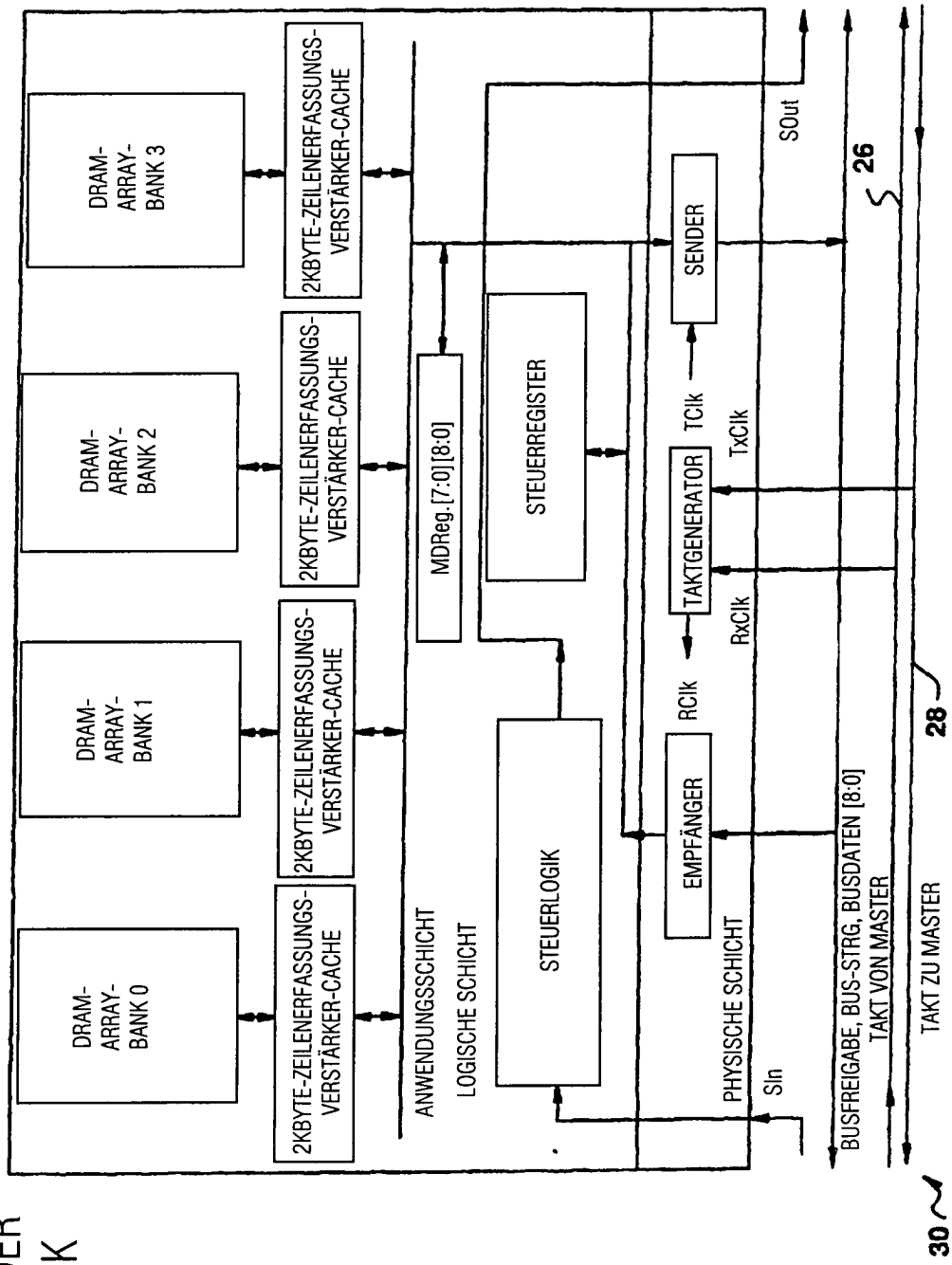
5. Das Speichersystem gemäß einem der Ansprüche 1 bis 4, bei dem das erste Taktleitungsnetz (**86**) mit der Speichersteuerung verbunden ist.

Es folgen 4 Blatt Zeichnungen

Anhängende Zeichnungen

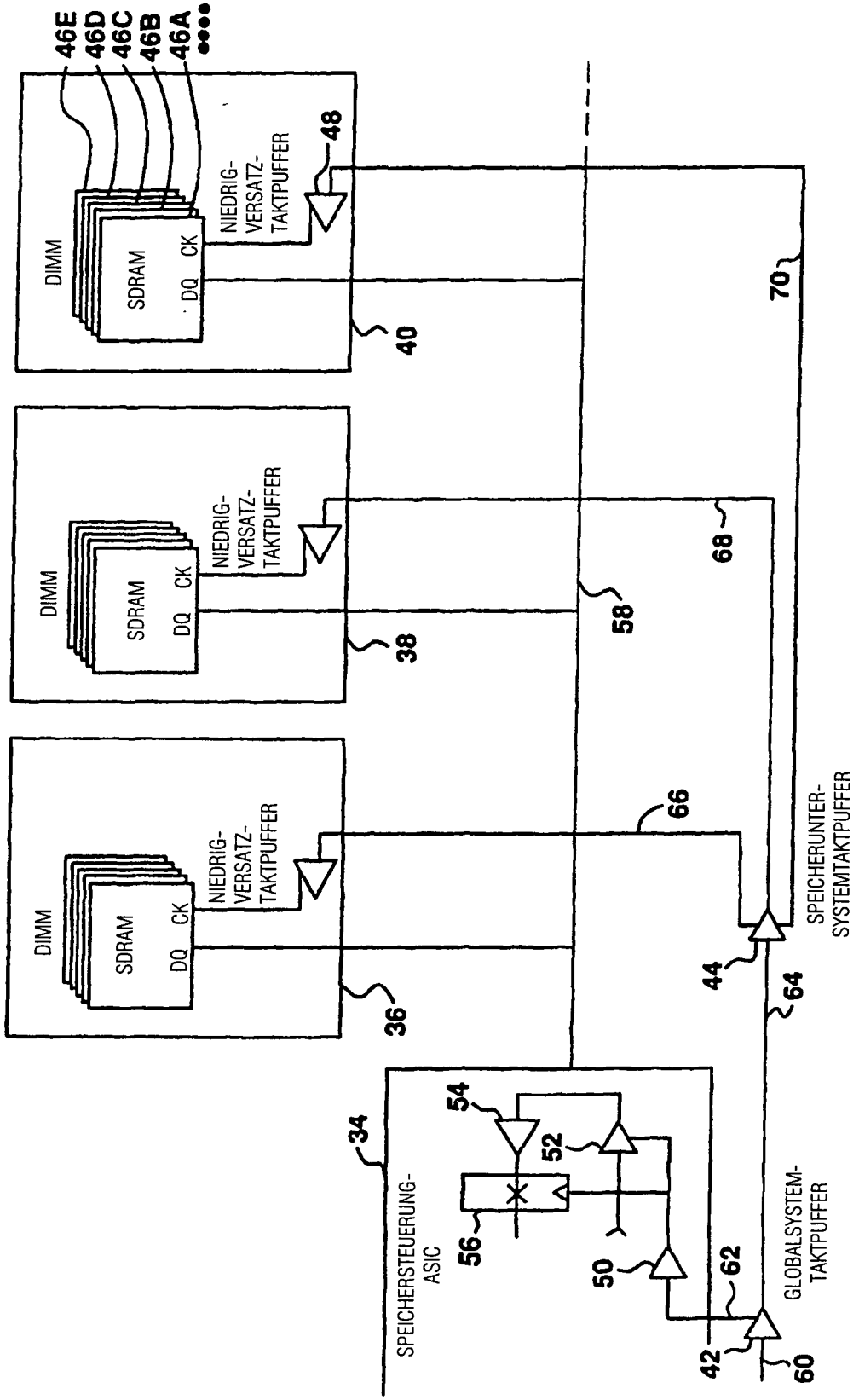
FIGUR 1
STAND DER TECHNIK



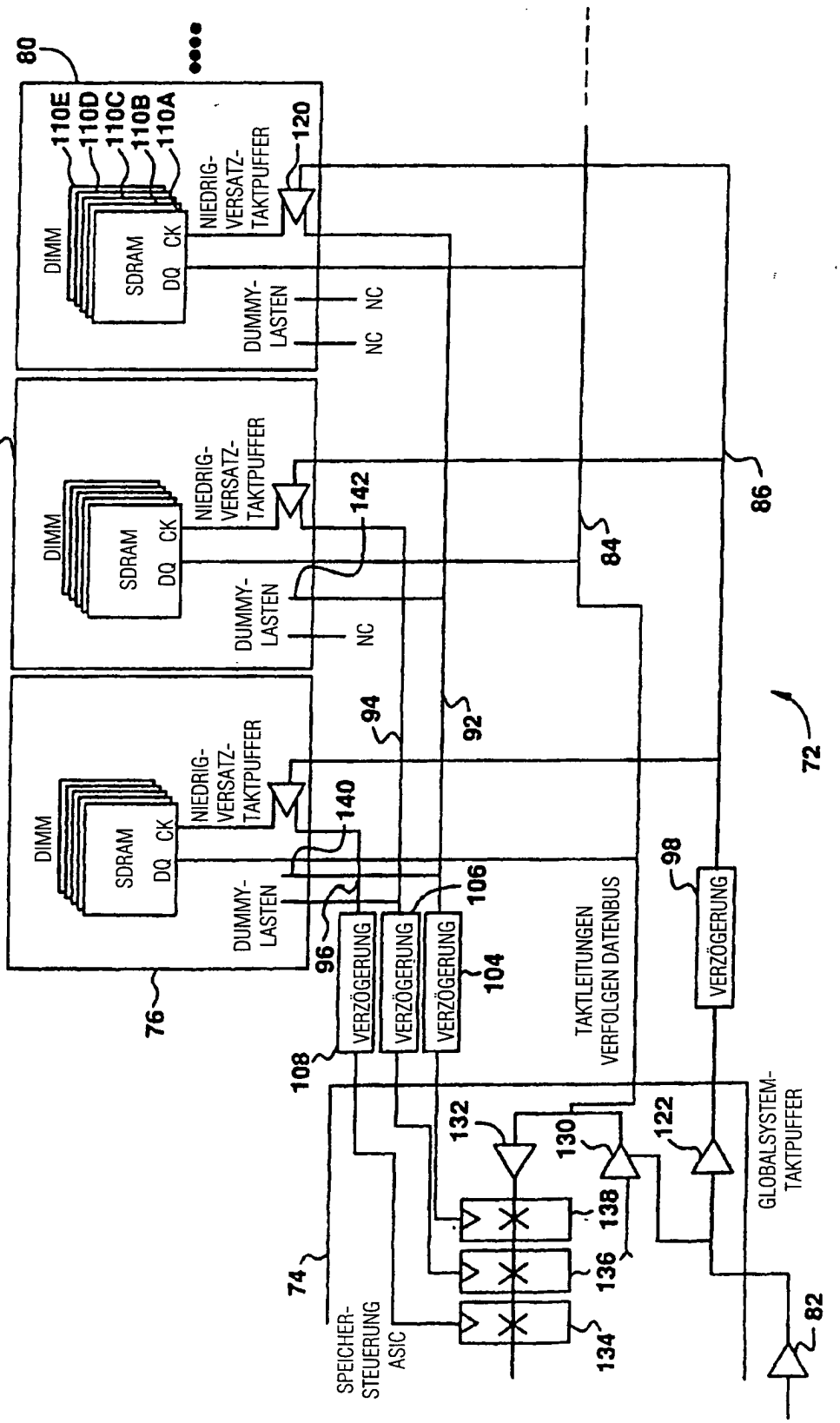


FIGUR 2
STAND DER TECHNIK

FIGUR 3
STAND DER TECHNIK



FIGUR 4


80
110E
110D
110C
110B
110A
DIMM
SDRAM
DQ
CK
NIEDRIG-
VERSATZ-
TAKTPUFFER
120
DUMMY-
LASTEN
NC
NC
78
DIMM
SDRAM
DQ
CK
NIEDRIG-
VERSATZ-
TAKTPUFFER
142
DUMMY-
LASTEN
NC
84
86
94
92
72
DIMM
SDRAM
DQ
CK
NIEDRIG-
VERSATZ-
TAKTPUFFER
140
DUMMY-
LASTEN
96
106
98
VERZÖGERUNG
VERZÖGERUNG
VERZÖGERUNG
104
VERZÖGERUNG
76
108
TAKTLEITUNGEN
VERFOLGEN DATENBUS
132
130
122
GLOBALSYSTEM-
TAKTPUFFER
138
136
134
74
SPEICHER-
STEUERUNG
ASIC
82