

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2018 年 6 月 7 日 (07.06.2018)



(10) 国际公布号
WO 2018/099014 A1

- (51) 国际专利分类号:
H04B 1/00 (2006.01)
- (21) 国际申请号: PCT/CN2017/085572
- (22) 国际申请日: 2017 年 5 月 23 日 (23.05.2017)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201611090576.7 2016年12月1日 (01.12.2016) CN
- (71) 申请人: 深圳市中兴微电子有限公司
(SANECHIPS TECHNOLOGY CO., LTD.) [CN/CN];
中国广东省深圳市南山区西丽街道留仙大道
中兴工业园, Guangdong 518055 (CN)。

- (72) 发明人: 周畅(ZHOU, Chang); 中国广东省深圳市南山区西丽街道留仙大道中兴工业园, Guangdong 518055 (CN)。 徐超(XU, Chao); 中国广东省深圳市南山区西丽街道留仙大道中兴工业园, Guangdong 518055 (CN)。 龚晓亮(GONG, Xiaoliang); 中国广东省深圳市南山区西丽街道留仙大道中兴工业园, Guangdong 518055 (CN)。
- (74) 代理人: 北京派特恩知识产权代理有限公司(CHINA PAT INTELLECTUAL PROPERTY OFFICE); 中国北京市海淀区海淀南路21号中关村知识产权大厦B座2层, Beijing 100080 (CN)。
- (81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU,

(54) Title: METHOD AND SYSTEM FOR INTERACTION BETWEEN BASEBAND PORTION AND INTERMEDIATE FREQUENCY PORTION, STORAGE MEDIUM

(54) 发明名称: 一种基带中频交互方法、系统及存储介质

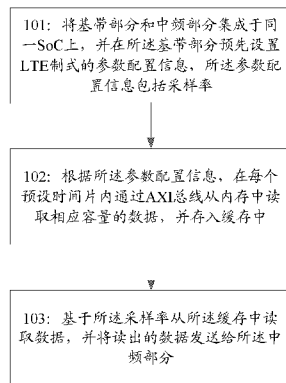


图 1

- 101 INTEGRATE A BASEBAND PORTION AND AN INTERMEDIATE FREQUENCY PORTION INTO A SAME SYSTEM ON CHIP (SOC), AND PRESET, AT THE BASEBAND PORTION, PARAMETER CONFIGURATION INFORMATION FOR AN LTE MODE, THE PARAMETER CONFIGURATION INFORMATION COMPRISING A SAMPLING RATE
- 102 READ, ACCORDING TO THE PARAMETER CONFIGURATION INFORMATION, AND BY MEANS OF AN AXI BUS, A CORRESPONDING AMOUNT OF DATA OUT OF A MEMORY WITHIN EACH PRESET TIME SLICE, AND STORE THE SAME IN A BUFFER
- 103 READ THE DATA OUT OF THE BUFFER ACCORDING TO THE SAMPLING RATE, AND TRANSMIT THE READOUT DATA TO THE INTERMEDIATE FREQUENCY PORTION

(57) Abstract: Disclosed is a method for interaction between a baseband portion and an intermediate frequency portion, comprising integrating a baseband portion and an intermediate frequency portion into a same system on chip (SoC), and presetting, at the baseband portion, parameter configuration information for a long term evolution (LTE) mode, the parameter configuration information comprising a sampling rate. The method further comprises: reading, according to the parameter configuration information, and by means of an AXI bus, a corresponding amount of data out of a memory within each preset time slice, and storing the same in a buffer; and reading the data out of the buffer according to the sampling rate, and transmitting the readout data to the intermediate frequency portion. Also disclosed are a system for interaction between a baseband portion and an intermediate frequency portion, another method and system for interaction between a baseband portion and an intermediate frequency portion, and a storage medium.

(57) 摘要: 本发明公开了一种基带中频交互方法, 包括: 将基带部分和中频部分集成于同一片上系统(SoC)上, 并在所述基带部分预先设置长期演进(LTE)制式的参数配置信息, 所述参数配置信息包括采样率; 所述方法还包括: 根据所述参数配置信息, 在每个预设时间片内通过AXI总线从内存中读取相应容量的数据, 并存入缓存中; 基于所述采样率从所述缓存中读取数据, 并将读出的数据发送给所述中频部分。本发明还同时公开了一种基带中频交互系统、另一种基带中频交互方法、系统及存储介质。

CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

一种基带中频交互方法、系统及存储介质

相关申请的交叉引用

本申请基于申请号为 201611090576.7、申请日为 2016 年 12 月 01 日的中国专利申请提出，并要求该中国专利申请的优先权，该中国专利申请的全部内容在此引入本申请作为参考。

技术领域

本发明涉及无线通讯领域中的数据传输技术，尤其涉及一种基带中频交互方法、系统及存储介质。

背景技术

在无线通讯系统中，射频信号主要用于空间中的传播，基带信号是没有经过频谱搬移的原始电信号，而中频信号是射频信号与基带信号之间过渡的频率信号。目前，基带与中频数据接口的实现方案是将基带部分如中央处理器单元（CPU，Central Processing Unit）和中频部分如现场可编程门阵列（FPGA，Field Programmable Gate Array）模块作为两个独立的芯片，且 CPU 与 FPGA 之间采用通用公共无线电接口（CPRI，Common Public Radio Interface）协议进行数据传输。然而，这种采用 CPRI 光口硬件电路实现独立的基带与中频之间的交互，不仅占用更多的电路面积，功能实现复杂，还不易集成在大规模的片上系统（SoC，System on Chip）中。

随着大规模 SoC 技术的不断发展和进步，人们对于在片上集成基带和中频部分的需求变得越来越多，因此，如何实现各种片上总线接口的交互是亟待解决的问题。例如，现有的一种基带控制芯片是在片内应用高级高性能总线（AHB，Advanced High Performance Bus）接口，以实现基带中频之间的数据交互，然而，由于 AHB 协议具有安全性差、效率低，且不支持

乱序数据传输等特点，因此，一直未得到用户的广泛使用。

另外，一些基于各种片上总线接口的交互电路，虽有的集成在 SoC 系统中，但交互电路的设计原理中多有内部先入先出队列（FIFO，First Input First Output）模块，导致功能实现复杂；或者，有的交互电路的设计原理虽
5 过于简单，但多数是在片内应用外围总线（APB，Advanced Peripheral Bus）接口，由于 APB 协议主要用于低带宽的周边外设之间的连接，导致适用范围较小。综上可见，现有技术中并未发现一种应用于 SoC 系统中的长期演进（LTE，Long Term Evolution）制式通用的基带中频交互方法。

发明内容

10 有鉴于此，本发明实施例期望提供一种基带中频交互方法、系统及存储介质，能够节省电路面积，提高数据传输效率，且支持各种 LTE 制式的参数配置。

为达到上述目的，本发明实施例的技术方案是这样实现的：

本发明实施例提供一种基带中频交互方法，将基带部分和中频部分集
15 成于同一 SoC 上，并在所述基带部分预先设置 LTE 制式的参数配置信息，所述参数配置信息包括采样率；所述方法还包括：

根据所述参数配置信息，在每个预设时间片内通过 AXI 总线从内存中读取相应容量的数据，并存入缓存中；

基于所述采样率从所述缓存中读取数据，并将读出的数据发送给所述
20 中频部分。

上述方案中，所述参数配置信息还包括：时分双工（TDD，Time Division Duplexing）模式或频分双工（FDD，Frequency Division Duplexing）模式、小区个数、载波个数、扩展性能端口（ECP，Enhanced Capability Port）或网络控制协议（NCP，Network control protocol）、符号业务类型。

25 上述方案中，在所述通过 AXI 总线从内存中读取相应容量的数据之前，

所述方法还包括：将每个下行子帧或符号划分为至少两个相互独立的预设时间片，每个预设时间片的缓存时间相同。

本发明实施例提供一种基带中频交互方法，将基带部分和中频部分集成于同一 SoC 上，并在所述基带部分预先设置 LTE 制式的参数配置信息，

5 所述参数配置信息包括采样率；所述方法还包括：

基于所述采样率，将所述中频部分的数据写入缓存中；

根据所述参数配置信息，在每个预设时间片内从所述缓存中读取相应容量的数据，并通过 AXI 总线将读出的数据写入内存中。

上述方案中，所述参数配置信息还包括：TDD 模式或 FDD 模式、小区
10 个数、载波个数、ECP 或 NCP、符号业务类型。

上述方案中，在所述从所述缓存中读取相应容量的数据之前，所述方法还包括：将每个上行子帧或符号划分为至少两个相互独立的预设时间片，每个预设时间片的缓存时间相同。

本发明实施例提供一种基带中频交互系统，所述系统包括：预设模块、
15 第一处理模块、第二处理模块；其中，

所述预设模块，配置为将基带部分和中频部分集成于同一 SoC 上，并在所述基带部分预先设置 LTE 制式的参数配置信息，所述参数配置信息包括采样率；

所述第一处理模块，配置为根据所述参数配置信息，在每个预设时间
20 片内通过 AXI 总线从内存中读取相应容量的数据，并存入缓存中；

所述第二处理模块，配置为基于所述采样率从所述缓存中读取数据，并将读出的数据发送给所述中频部分。

上述方案中，所述第一处理模块，还配置为在所述通过 AXI 总线从内存中读取相应容量的数据之前，将每个下行子帧或符号划分为至少两个相互
25 独立的预设时间片，每个预设时间片的缓存时间相同。

本发明实施例还提供一种基带中频交互系统，所述系统包括：预设模块、第三处理模块、第四处理模块；其中，

所述预设模块，配置为将基带部分和中频部分集成于同一 SoC 上，并在所述基带部分预先设置 LTE 制式的参数配置信息，所述参数配置信息包
5 括采样率；

所述第三处理模块，配置为基于所述采样率，将所述中频部分的数据写入缓存中；

所述第四处理模块，配置为根据所述参数配置信息，在每个预设时间片内从所述缓存中读取相应容量的数据，并通过 AXI 总线将读出的数据写
10 入内存中。

上述方案中，所述第四处理模块，还配置为在所述从所述缓存中读取相应容量的数据之前，将每个上行子帧或符号划分为至少两个相互独立的预设时间片，每个预设时间片的缓存时间相同。

本发明实施例还提供一种计算机存储介质，计算机存储介质中存储有
15 计算机可执行指令，所述计算机可执行指令用于执行上述的基带中频交互方法。

本发明实施例提供的基带中频交互方法、系统及存储介质，将基带部分和中频部分集成于同一 SoC 上，并在所述基带部分预先设置 LTE 制式的参数配置信息，所述参数配置信息包括采样率；根据所述参数配置信息，
20 在每个预设时间片内通过 AXI（Advanced Extensible Interface）总线从内存中读取相应容量的数据，并存入缓存中；基于所述采样率从所述缓存中读取数据，并将读出的数据发送给所述中频部分。如此，将基带部分和中频部分集成于同一 SoC 上，基于 AXI 总线实现片上基带中频的交互，不仅可以满足多个小区上下行数据请求的仲裁，支持 LTE 制式的多种参数配置，
25 还能够使 SoC 以更小的面积、更低的功耗，获得更加优异的性能；同时，

相对于标准的 AHB 或 APB 总线，采用 AXI 总线来实现数据交互的硬件成本低、总线传输效率高、安全性好，且支持乱序数据传输。

附图说明

图 1 为本发明实施例一提供的基带中频交互方法的流程示意图；

5 图 2 为本发明实施例二提供的基带中频交互方法的流程示意图；

图 3 为本发明实施例三提供的基带中频交互方法的具体实现流程示意图；

图 4 为本发明实施例三提供的下行传输控制的流程示意图；

10 图 5 为本发明实施例四提供的基带中频交互方法的具体实现流程示意图；

图 6 为本发明实施例四提供的上行传输控制的流程示意图；

图 7 为本发明实施例五提供的基带中频交互系统的组成结构示意图；

图 8 为本发明实施例六提供的基带中频交互系统的组成结构示意图。

具体实施方式

15 为了能够更加详尽地了解本发明实施例的特点与技术内容，下面结合附图对本发明实施例的实现进行详细阐述，所附附图仅供参考说明之用，并非用来限定本发明。

实施例一

20 本实施例是以下行交互为例来详细说明基带中频交互方法的实现过程。

如图 1 所示，本发明实施例中基带中频交互方法的实现流程，包括以下步骤：

步骤 101：将基带部分和中频部分集成于同一 SoC 上，并在所述基带部分预先设置 LTE 制式的参数配置信息，所述参数配置信息包括采样率；

这里，所述参数配置信息还包括：TDD 模式或 FDD 模式、小区个数、载波个数、ECP 或 NCP、符号业务类型；其中，所述符号业务类型包括：正常上行业务和正常下行业务。将所有的参数配置信息存储于基带部分中。

步骤 102：根据所述参数配置信息，在每个预设时间片内通过 AXI 总线从内存中读取相应容量的数据，并存入缓存中；

通常，AXI 是一种总线协议，该协议是 ARM 公司提出的 AMBA (Advanced Microcontroller Bus Architecture) 3.0 协议中最重要的部分，是一种面向高性能、高带宽、低延迟的片内总线；AXI 的地址/控制和数据相位是分离的，支持乱序的数据传输，且在突发传输中，只需要首地址，就可分离读写数据通道，并支持 Outstanding 传输访问和乱序访问，并更容易进行时序收敛。因此，AXI 是 AMBA 中的一种新的高性能协议。本发明实施例基于 AXI 总线实现片上基带中频的交互，能够满足超高性能和复杂的 SoC 设计的需求。

另外，现场总线是由多个设备共享一条总线来进行数据通信，然而，如果多个设备同时进行发送或接收数据时，会产生总线竞争，进而导致通信冲突或失败，因此，需要在总线上引入一个仲裁机制来决定什么时间由谁来占用总线的通信，例如：控制器局域网络 (CAN, Controller Area Network) 采用优先级方式，传输控制协议/因特网互联协议 (TCP/IP, Transmission Control Protocol/Internet Protocol) 采用载波监听多路访问 (CSMA/CD, Carrier Sense Multiple Access with Collision Detection) 机制，而 RS-485 则采用主机轮询的机制。综上，为避免总线竞争产生的冲突，本发明实施例采用基于带仲裁的 AXI 总线。

这里，在本步骤中通过 AXI 总线从内存中读取相应容量的数据之前，所述方法还包括：将每个下行子帧或符号划分为至少两个相互独立的预设时间片，每个预设时间片的缓存时间相同。

其中，所述预设时间片的大小是由每个下行子帧或符号的数据长度，以及存储空间的大小共同决定的，并非为一固定参数值。优选地，本发明实施例的预设时间片的大小为 6.25us；6.25us 是用户根据经验选择的经验值。这样，例如在采样率为 30.72MHz 的情况下，就可以确定出 6.25us 的时间片内所要传输的数据个数为 $6.25\text{us} \times 30.72\text{M} = 192$ 个。

需要说明的是，这里的缓存可采用乒乓缓存机制，以节省缓冲区空间，从而实现数据流的无缝缓冲与处理。

步骤 103：基于所述采样率从所述缓存中读取数据，并将读出的数据发送给所述中频部分。

通过上述步骤 101-103，即可实现下行链路的数据流控制，保证数据不间断的正确发送。

实施例二

本实施例是以上行交互为例来详细说明基带中频交互方法的实现过程。

如图 2 所示，本发明实施例中基带中频交互方法的实现流程，包括以下步骤：

步骤 201：将基带部分和中频部分集成于同一 SoC 上，并在所述基带部分预先设置 LTE 制式的参数配置信息，所述参数配置信息包括采样率；

这里，所述参数配置信息还包括：TDD 模式或 FDD 模式、小区个数、载波个数、ECP 或 NCP、符号业务类型；其中，所述符号业务类型包括：正常上行业务和正常下行业务。将所有的参数配置信息存储于基带部分中。

步骤 202：基于所述采样率，将所述中频部分的数据写入缓存中；

步骤 203：根据所述参数配置信息，在每个预设时间片内从所述缓存中读取相应容量的数据，并通过 AXI 总线将读出的数据写入内存中。

通常，AXI 是一种总线协议，该协议是 ARM 公司提出的 AMBA3.0 协

议中最重要的部分，是一种面向高性能、高带宽、低延迟的片内总线；AXI 的地址/控制和数据相位是分离的，支持乱序的数据传输，且在突发传输中，只需要首地址，就可分离读写数据通道，并支持 Outstanding 传输访问和乱序访问，并更加容易进行时序收敛。因此，AXI 是 AMBA 中的一种新的高性能协议。本发明实施例基于 AXI 总线实现片上基带中频的交互，能够满足超高性能和复杂的 SoC 设计的需求。

另外，现场总线是由多个设备共享一条总线来进行数据通信，然而，如果多个设备同时进行发送或接收数据时，会产生总线竞争，进而导致通信冲突或失败，因此，需要在总线上引入一个仲裁机制来决定什么时间由谁来占用总线的通信，例如：CAN 采用优先级方式，TCP/IP 采用 CSMA/CD 机制，而 RS-485 则采用主机轮询的机制。综上，为避免总线竞争产生的冲突，本发明实施例采用基于带仲裁的 AXI 总线。

这里，在本步骤中从所述缓存中读取相应容量的数据之前，所述方法还包括：将每个上行子帧或符号划分为至少两个相互独立的预设时间片，每个预设时间片的缓存时间相同。

其中，所述预设时间片的大小是由每个上行子帧或符号的数据长度，以及存储空间的大小共同决定的，并非为一固定参数值。优选地，本发明实施例的预设时间片的大小为 6.25us；6.25us 是用户根据经验选择的经验值。这样，例如在采样率为 30.72MHz 的情况下，就可以确定出 6.25us 的时间片内所要传输的数据个数为 $6.25\text{us} \times 30.72\text{M} = 192$ 个。

需要说明的是，这里的缓存可采用乒乓缓存机制，以节省缓冲区空间，从而实现数据流的无缝缓冲与处理。

通过上述步骤 201-203，即可实现上行链路的数据流控制，保证数据不间断的正确接收。

实施例三

下面对本发明实施例基带中频下行交互方法的具体实现过程做进一步地详细说明。

图 3 给出了本发明实施例基带中频下行交互方法的具体实现流程示意图, 如图 3 所示, 包括以下步骤:

- 5 步骤 301: 由基带单元 301 将一个下行子帧或符号中待发送的数据写入内存单元 304 中;

这里, 预先将每个下行子帧或符号划分为至少两个相互独立的预设时间片, 每个预设时间片的缓存时间相同。其中, 所述预设时间片的大小是由每个下行子帧或符号的数据长度, 以及存储空间的大小共同决定的, 并非为一固定参数值。优选地, 本发明实施例的预设时间片的大小为 6.25us;
10 6.25us 是用户根据经验选择的经验值。

- 步骤 302: 由基带单元 301 将 LTE 制式的配置参数写入参数配置单元 302 中, 参数配置单元 302 根据所配置的参数, 通过查表 1 得到每个下行子帧或符号的符号长度, 并通过计算得到 6.25us 的预设时间片内所要传输的
15 数据个数; 其中, 表 1 为 LTE 制式的符号长度;

采样率	cp type	符号长度						子帧样 点数
		0	1-6	7	8-11	12	13	
30.72MHz	ncp	2208	2192	2208	2192			30720
	ecp	2560				-	-	30720
15.36MHz	ncp	1104	1096	1104	1096			15360
	ecp	1280				-	-	15360
7.68MHz	ncp	552	548	552	548			7680
	ecp	640				-	-	7680
3.84MHz	ncp	276	274	276	274			3840
	ecp	320				-	-	3840

表 1

这里, 所述配置参数包括: TDD/FDD、小区个数、载波个数、采样率、ECP/NCP、符号业务类型; 其中, 所述符号业务类型包括: 正常上行业务

和正常下行业务，将所有的参数配置信息存储于基带单元 301 中。

步骤 303: 传输控制单元 303 根据当前的符号长度、数据传输个数，以及帧头开始信号，将数据传输命令发送给数据传输单元 306;

步骤 304: 数据传输单元 306 根据 AXI 总线驱动单元 305 要求的访问
5 时序，通过 AXI 总线向内存单元 304 请求数据;

这里，为避免总线竞争产生的冲突，采用基于带仲裁的 AXI 总线。

步骤 305: 数据传输单元 306 收到 AXI 总线驱动单元 305 的响应数据后，将数据写入缓存单元 307 中;

这里，在每个预设时间片即 6.25us 内控制数据传输单元 306 从内存单元 304 中读取相应个数的数据，并存入缓存中。其中，以缓存单元 307 任
10 一侧的随机存储器（RAM，Random Access Memory）为空开始，在正常情况下，按照固定采样率从缓存单元 307 中读取数据，读完一侧 RAM 所用的时间恰好为 6.25us。另外，由于每个子帧中的各个符号的起始地址不同，很可能会造成子帧或符号的分界出现在同一个 6.25us 的时间片内，此时，需
15 要将不同地址的数据请求分为两个命令，通过两次的命令来读取完成整个时间片内的数据。

这里，缓存单元 307 可采用乒乓缓存机制，以节省缓冲区空间，从而实现数据流的无缝缓冲与处理。

步骤 306: 缓存单元 307 按照基带单元 301 配置的采样率输出数据，供
20 下级的中频单元 308 使用。

需要特别指出的是，事先将基带单元 301 和中频单元 308 集成于同一 SoC 上。

下面对下行传输控制单元 303 的实现过程做进一步地详细说明。

图 4 为本发明实施例下行传输控制的流程示意图，如图 4 所示，包括
25 以下步骤:

步骤 401: 判断缓存单元任一侧 RAM 是否为空, 若是, 则执行步骤 402; 否则, 结束当前处理流程;

这里, 从缓存单元的一侧 RAM 为空开始, 在每个预设时间片内控制数据传输单元从内存中读取相应个数的数据存入缓存中。

5 步骤 402: 判断一个符号中剩余的待发送数据的个数是否小于 24chip, 若是, 则执行步骤 403, 否则, 执行步骤 410;

步骤 403: 更新载波 1 的内存访问长度和地址, 直至内存访问完成, 更新载波 2 的内存访问长度和地址, 直至内存访问完成;

10 步骤 404: 判断当前符号是否为一个子帧中的最后一个符号, 若是, 则执行步骤 405, 否则, 执行步骤 408;

步骤 405: 发送符号同步头和子帧同步头, 继续在预设时间片内等待;

这里, 分界处于两个子帧之间, 且出现在同一个 6.25us 的时间片内。

步骤 406: 在等待过程中, 判断下一个子帧是否为上行子帧, 若是, 则执行步骤 407, 否则, 执行步骤 409;

15 步骤 407: 强制 RAM 为满, 在预设时间片内等待子帧同步头, 直到下一个子帧为下行子帧时, 清空 RAM 的状态, 并返回步骤 401;

步骤 408: 发送符号同步头, 继续在预设时间片内等待;

这里, 分界处于一个子帧的两个符号之间, 且出现在同一个 6.25us 的时间片内。

20 步骤 409: 在等待过程中, 若下一个子帧为下行子帧, 则更新载波 1 的内存访问长度和地址, 直至内存访问完成, 更新载波 2 的内存访问长度和地址, 直至内存访问完成后, 返回步骤 401;

25 步骤 410: 更新载波 1 的内存访问长度和地址, 直至内存访问完成, 更新载波 2 的内存访问长度和地址, 直至内存访问完成, 更新发送数据的个数;

步骤 411: 判断当前符号长度是否等于更新的发送数据的个数, 若是, 则执行步骤 412, 否则, 返回步骤 401;

步骤 412: 判断当前符号是否为一个子帧中的最后一个符号, 若是, 则执行步骤 413, 否则, 执行步骤 415;

5 步骤 413: 发送符号同步头和子帧同步头, 继续在预设时间片内等待;

步骤 414: 在等待过程中, 判断下一个子帧是否为上行子帧, 若是, 则返回步骤 407, 否则, 返回步骤 401;

步骤 415: 发送符号同步头, 继续在预设时间片内等待, 直至预设时间片超时, 返回步骤 401。

10 实施例四

下面对本发明实施例基带中频上行交互方法的具体实现过程做进一步地详细说明。

图 5 给出了本发明实施例基带中频上行交互方法的具体实现流程示意图, 如图 5 所示, 包括以下步骤:

15 步骤 501: 由基带单元 501 将 LTE 制式的配置参数写入参数配置单元 502 中, 参数配置单元 502 根据所配置的参数, 通过查表 1 得到每个上行子帧或符号的符号长度, 并通过计算得到 6.25us 的预设时间片内所要传输的数据个数;

这里, 所述配置参数包括: TDD/FDD、小区个数、载波个数、采样率、
20 ECP/NCP、符号业务类型; 其中, 所述符号业务类型包括: 正常上行业务和正常下行业务, 将所有的参数配置信息存储于基带单元 501 中。

这里, 预先将每个上行子帧或符号划分为至少两个相互独立的预设时间片, 每个预设时间片的缓存时间相同。其中, 所述预设时间片的大小是由每个上行子帧或符号的数据长度, 以及存储空间的大小共同决定的, 并非为一固定参数值。优选地, 本发明实施例的预设时间片的大小为 6.25us;
25

6.25us 是用户根据经验选择的经验值。

步骤 502: 按照基带单元 501 配置的采样率, 将中频单元 508 输入的数据写入缓存单元 507 中;

5 这里, 缓存单元 507 可采用乒乓缓存机制, 以节省缓冲区空间, 从而实现数据流的无缝缓冲与处理。

步骤 503: 传输控制单元 503 根据当前的符号长度、数据传输个数, 以及帧头开始信号, 将数据传输命令发送给数据传输单元 506;

步骤 504: 数据传输单元 506 从缓存单元 507 中读取数据, 并根据 AXI 总线驱动单元 505 要求的访问时序, 通过 AXI 总线向内存单元 504 写入数据。
10 据。

这里, 在每个预设时间片即 6.25us 内控制数据传输单元 506 从缓存单元 507 中读取相应个数的数据, 并存入内存中。其中, 以缓存单元 507 任一侧的 RAM 为满开始, 在正常情况下, 缓存单元 507 按照固定采样率写入数据, 其写满一侧 RAM 所用的时间恰好为 6.25us。另外, 由于每个子帧中的各个符号的起始地址不同, 很可能会造成子帧或符号的分界出现在同一个 6.25us 的时间片内, 此时, 需要将不同地址的数据请求分为两个命令, 通过两次的命令来读取完成整个时间片内的数据。
15

这里, 为避免总线竞争产生的冲突, 采用基于带仲裁的 AXI 总线。

这里, 当将一个子帧或符号长度的数据写成功后, 传输控制单元 503
20 发送中断给基带单元 501。

需要特别指出的是, 事先将基带单元 501 和中频单元 508 集成于同一 SoC 上。

下面对上行传输控制单元 503 的实现过程做进一步地详细说明。

图 6 为本发明实施例上行传输控制的流程示意图, 如图 6 所示, 包括
25 以下步骤:

步骤 601: 判断缓存单元任一侧 RAM 是否为满, 若是, 则执行步骤 602; 否则, 结束当前处理流程;

这里, 从缓存单元的一侧 RAM 为满开始, 在每个预设时间片内控制数据传输单元从缓存中读取相应个数的数据写入内存中。

5 步骤 602: 判断一个符号中剩余的待发送数据的个数是否小于 24chip, 若是, 则执行步骤 603, 否则, 执行步骤 610;

步骤 603: 更新载波 1 的内存访问长度和地址, 直至内存写访问完成, 更新载波 2 的内存访问长度和地址, 直至内存写访问完成;

10 步骤 604: 判断当前符号是否为一个子帧中的最后一个符号, 若是, 则执行步骤 605, 否则, 执行步骤 608;

步骤 605: 发送符号同步头和子帧同步头, 继续在预设时间片内等待; 这里, 分界处于两个子帧之间, 且出现在同一个 6.25us 的时间片内。

步骤 606: 在等待过程中, 判断下一个子帧是否为上行子帧, 若是, 则执行步骤 607, 否则, 执行步骤 609;

15 步骤 607: 等待子帧同步头, 直至下一个子帧为上行子帧时, 返回步骤 601;

步骤 608: 发送符号同步头, 继续在预设时间片内等待;

这里, 分界处于一个子帧的两个符号之间, 且出现在同一个 6.25us 的时间片内。

20 步骤 609: 在等待过程中, 若下一个子帧为下行子帧, 则更新载波 1 的内存访问长度和地址, 直至内存写访问完成, 更新载波 2 的内存访问长度和地址, 直至内存写访问完成后, 返回步骤 601;

步骤 610: 更新载波 1 的内存访问长度和地址, 直至内存写访问完成, 更新载波 2 的内存访问长度和地址, 直至内存写访问完成, 更新发送数据
25 的个数;

步骤 611: 判断当前符号长度是否等于更新的发送数据的个数, 若是, 则执行步骤 612, 否则, 返回步骤 601;

步骤 612: 判断当前符号是否为一个子帧中的最后一个符号, 若是, 则执行步骤 613, 否则, 执行步骤 615;

5 步骤 613: 发送符号同步头和子帧同步头, 继续在预设时间片内等待;

步骤 614: 在等待过程中, 判断下一个子帧是否为下行子帧, 若是, 则返回步骤 607, 否则, 返回步骤 601;

步骤 615: 发送符号同步头, 继续在预设时间片内等待, 直至预设时间片超时, 返回步骤 601。

10 实施例五

为实现上述方法, 本发明实施例还提供了一种基带中频交互系统, 如图 7 所示, 该系统包括预设模块 701、第一处理模块 702、第二处理模块 703; 其中,

所述预设模块 701, 配置为将基带部分和中频部分集成于同一 SoC 上, 并在所述基带部分预先设置 LTE 制式的参数配置信息, 所述参数配置信息包括采样率;

所述第一处理模块 702, 配置为根据所述参数配置信息, 在每个预设时间片内通过 AXI 总线从内存中读取相应容量的数据, 并存入缓存中;

所述第二处理模块 703, 配置为基于所述采样率从所述缓存中读取数据, 并将读出的数据发送给所述中频部分。

这里, 所述参数配置信息还包括: TDD 模式或 FDD 模式、小区个数、载波个数、ECP 或 NCP、符号业务类型。

这里, 所述第一处理模块 702, 还配置为在所述通过 AXI 总线从内存中读取相应容量的数据之前, 将每个下行子帧或符号划分为至少两个相互独立的预设时间片, 每个预设时间片的缓存时间相同。

实施例六

为实现上述方法，本发明实施例还提供了一种基带中频交互系统，如图 8 所示，该系统包括预设模块 801、第三处理模块 802、第四处理模块 803；其中，

5 所述预设模块 801，配置为将基带部分和中频部分集成于同一 SoC 上，并在所述基带部分预先设置 LTE 制式的参数配置信息，所述参数配置信息包括采样率；

 所述第三处理模块 802，配置为基于所述采样率，将所述中频部分的数据写入缓存中；

10 所述第四处理模块 803，配置为根据所述参数配置信息，在每个预设时间片内从所述缓存中读取相应容量的数据，并通过 AXI 总线将读出的数据写入内存中。

 这里，所述参数配置信息还包括：TDD 模式或 FDD 模式、小区个数、载波个数、ECP 或 NCP、符号业务类型。

15 这里，所述第四处理模块 803，还配置为在所述从所述缓存中读取相应容量的数据之前，将每个上行子帧或符号划分为至少两个相互独立的预设时间片，每个预设时间片的缓存时间相同。

 在实际应用中，所述预设模块 701、第一处理模块 702、第二处理模块 703、预设模块 801、第三处理模块 802、第四处理模块 803 均可由位于移动终端上的 CPU、微处理器（MPU，Micro Processor Unit）、数字信号处理器（DSP，Digital Signal Processor）、或 FPGA 等实现。

 本发明实施例将基带部分和中频部分集成于同一 SoC 上，并在所述基带部分预先设置 LTE 制式的参数配置信息，所述参数配置信息包括采样率；根据所述参数配置信息，在每个预设时间片内通过 AXI 总线从内存中读取
25 相应容量的数据，并存入缓存中；基于所述采样率从所述缓存中读取数据，

并将读出的数据发送给所述中频部分。如此，将基带部分和中频部分集成于同一 SoC 上，基于 AXI 总线实现片上基带中频的交互，不仅可以满足多个小区上下行数据请求的仲裁，支持 LTE 制式的多种参数配置，还能够使 SoC 以更小的面积、更低的功耗，获得更加优异的性能；同时，相对于标准的 AHB 或 APB 总线，采用 AXI 总线来实现数据交互的硬件成本低、总线传输效率高、安全性好，且支持乱序数据传输。

本发明实施例中，如果以软件功能模块的形式实现上述基带中频交互方法，并作为独立的产品销售或使用，也可以存储在一个计算机可读取存储介质中。基于这样的理解，本发明实施例的技术方案本质上或者说对现有技术做出贡献的部分可以以软件产品的形式体现出来，该计算机软件产品存储在一个存储介质中，包括若干指令用以使得一台计算机设备（可以是个人计算机、服务器、或者网络设备等）执行本发明各个实施例所述方法的全部或部分。而前述的存储介质包括：U 盘、移动硬盘、只读存储器（Read Only Memory, ROM）、磁碟或者光盘等各种可以存储程序代码的介质。这样，本发明实施例不限制于任何特定的硬件和软件结合。

相应地，本发明实施例还提供一种计算机存储介质，该计算机存储介质中存储有计算机程序，该计算机程序用于执行本发明实施例的上述基带中频交互方法。

本领域内的技术人员应明白，本发明的实施例可提供为方法、系统、或计算机程序产品。因此，本发明可采用硬件实施例、软件实施例、或结合软件和硬件方面的实施例的形式。而且，本发明可采用在一个或多个其中包含有计算机可用程序代码的计算机可用存储介质（包括但不限于磁盘存储器和光学存储器等）上实施的计算机程序产品的形式。

本发明是参照根据本发明实施例的方法、设备（系统）、和计算机程序产品的流程图和/或方框图来描述的。应理解可由计算机程序指令实现流程

图和/或方框图中的每一流程和/或方框、以及流程图和/或方框图中的流程和/或方框的结合。可提供这些计算机程序指令到通用计算机、专用计算机、嵌入式处理机或其他可编程数据处理设备的处理器以产生一个机器，使得通过计算机或其他可编程数据处理设备的处理器执行的指令产生用于实现在流程图一个流程或多个流程和/或方框图一个方框或多个方框中指定的功能的装置。

这些计算机程序指令也可存储在能引导计算机或其他可编程数据处理设备以特定方式工作的计算机可读存储器中，使得存储在该计算机可读存储器中的指令产生包括指令装置的制造品，该指令装置实现在流程图一个流程或多个流程和/或方框图一个方框或多个方框中指定的功能。

这些计算机程序指令也可装载到计算机或其他可编程数据处理设备上，使得在计算机或其他可编程设备上执行一系列操作步骤以产生计算机实现的处理，从而在计算机或其他可编程设备上执行的指令提供用于实现在流程图一个流程或多个流程和/或方框图一个方框或多个方框中指定的功能的步骤。

以上所述，仅为本发明的较佳实施例而已，并非用于限定本发明的保护范围，凡在本发明的精神和原则之内所作的任何修改、等同替换和改进等，均应包含在本发明的保护范围之内。

工业实用性

本发明实施例中，将基带部分和中频部分集成于同一片上系统 SoC 上，并在所述基带部分预先设置长期演进 LTE 制式的参数配置信息，所述参数配置信息包括采样率；根据所述参数配置信息，在每个预设时间片内通过 AXI 总线从内存中读取相应容量的数据，并存入缓存中；基于所述采样率从所述缓存中读取数据，并将读出的数据发送给所述中频部分。如此，不仅可以满足多个小区上下行数据请求的仲裁，支持 LTE 制式的多种参数配

置，还能够使 SoC 以更小的面积、更低的功耗，获得更加优异的性能；同时，相对于标准的 AHB 或 APB 总线，采用 AXI 总线来实现数据交互的硬件成本低、总线传输效率高、安全性好，且支持乱序数据传输。

权利要求书

1、一种基带中频交互方法，将基带部分和中频部分集成于同一片上系统 SoC 上，并在所述基带部分预先设置长期演进 LTE 制式的参数配置信息，所述参数配置信息包括采样率；所述方法还包括：

5 根据所述参数配置信息，在每个预设时间片内通过 AXI 总线从内存中读取相应容量的数据，并存入缓存中；

基于所述采样率从所述缓存中读取数据，并将读出的数据发送给所述中频部分。

2、根据权利要求 1 所述的方法，其中，所述参数配置信息还包括：时分双工 TDD 模式或频分双工 FDD 模式、小区个数、载波个数、扩展性能
10 端口 ECP 或网络控制协议 NCP、符号业务类型。

3、根据权利要求 1 所述的方法，其中，在所述通过 AXI 总线从内存中读取相应容量的数据之前，所述方法还包括：将每个下行子帧或符号划分为至少两个相互独立的预设时间片，每个预设时间片的缓存时间相同。

15 4、一种基带中频交互方法，将基带部分和中频部分集成于同一 SoC 上，并在所述基带部分预先设置 LTE 制式的参数配置信息，所述参数配置信息包括采样率；所述方法还包括：

基于所述采样率，将所述中频部分的数据写入缓存中；

20 根据所述参数配置信息，在每个预设时间片内从所述缓存中读取相应容量的数据，并通过 AXI 总线将读出的数据写入内存中。

5、根据权利要求 4 所述的方法，其中，所述参数配置信息还包括：TDD 模式或 FDD 模式、小区个数、载波个数、ECP 或 NCP、符号业务类型。

25 6、根据权利要求 4 所述的方法，其中，在所述从所述缓存中读取相应容量的数据之前，所述方法还包括：将每个上行子帧或符号划分为至少两个相互独立的预设时间片，每个预设时间片的缓存时间相同。

7、一种基带中频交互系统，所述系统包括：预设模块、第一处理模块、第二处理模块；其中，

所述预设模块，配置为将基带部分和中频部分集成于同一 SoC 上，并在所述基带部分预先设置 LTE 制式的参数配置信息，所述参数配置信息包
5 括采样率；

所述第一处理模块，配置为根据所述参数配置信息，在每个预设时间片内通过 AXI 总线从内存中读取相应容量的数据，并存入缓存中；

所述第二处理模块，配置为基于所述采样率从所述缓存中读取数据，并将读出的数据发送给所述中频部分。

10 8、根据权利要求 7 所述的系统，其中，所述参数配置信息还包括：TDD 模式或 FDD 模式、小区个数、载波个数、ECP 或 NCP、符号业务类型。

9、根据权利要求 7 所述的系统，其中，所述第一处理模块，还配置为在所述通过 AXI 总线从内存中读取相应容量的数据之前，将每个下行子帧或符号划分为至少两个相互独立的预设时间片，每个预设时间片的缓存时
15 间相同。

10、一种基带中频交互系统，所述系统包括：预设模块、第三处理模块、第四处理模块；其中，

所述预设模块，配置为将基带部分和中频部分集成于同一 SoC 上，并在所述基带部分预先设置 LTE 制式的参数配置信息，所述参数配置信息包
20 括采样率；

所述第三处理模块，配置为基于所述采样率，将所述中频部分的数据写入缓存中；

所述第四处理模块，配置为根据所述参数配置信息，在每个预设时间片内从所述缓存中读取相应容量的数据，并通过 AXI 总线将读出的数据写
25 入内存中。

11、根据权利要求 10 所述的系统，其中，所述参数配置信息还包括：
TDD 模式或 FDD 模式、小区个数、载波个数、ECP 或 NCP、符号业务类型。

12、根据权利要求 10 所述的系统，其中，所述第四处理模块，还配置
5 为在所述从所述缓存中读取相应容量的数据之前，将每个上行子帧或符号
划分为至少两个相互独立的预设时间片，每个预设时间片的缓存时间相同。

13、一种计算机存储介质，所述计算机存储介质中存储有计算机可执行指令，所述计算机可执行指令用于执行权利要求 1 至 3 任一项所述的基
带中频交互方法。

10 14、一种计算机存储介质，所述计算机存储介质中存储有计算机可执行指令，所述计算机可执行指令用于执行权利要求 4 至 6 任一项所述的基
带中频交互方法。

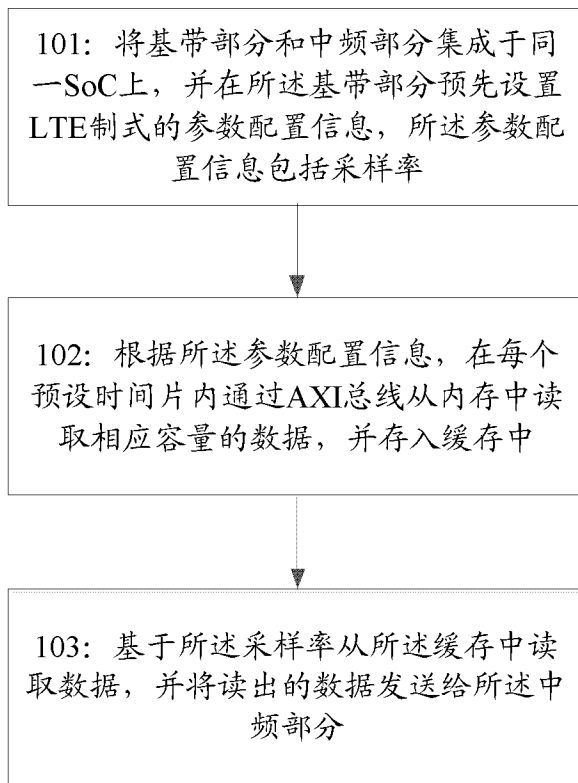


图 1

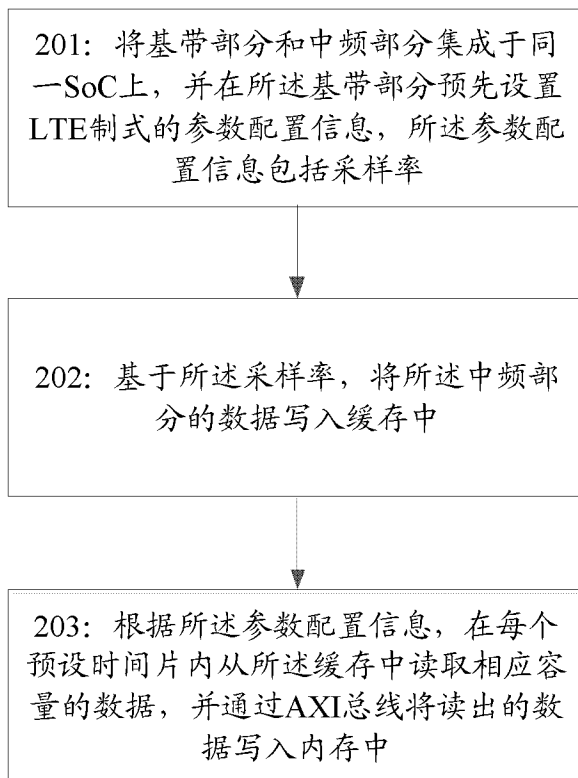


图 2

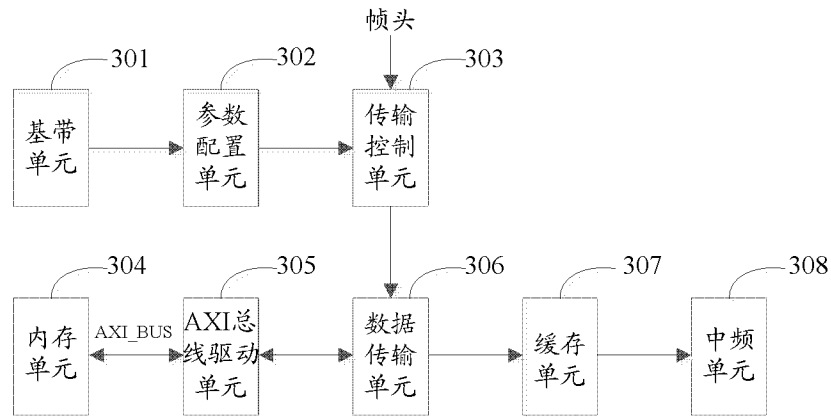


图 3

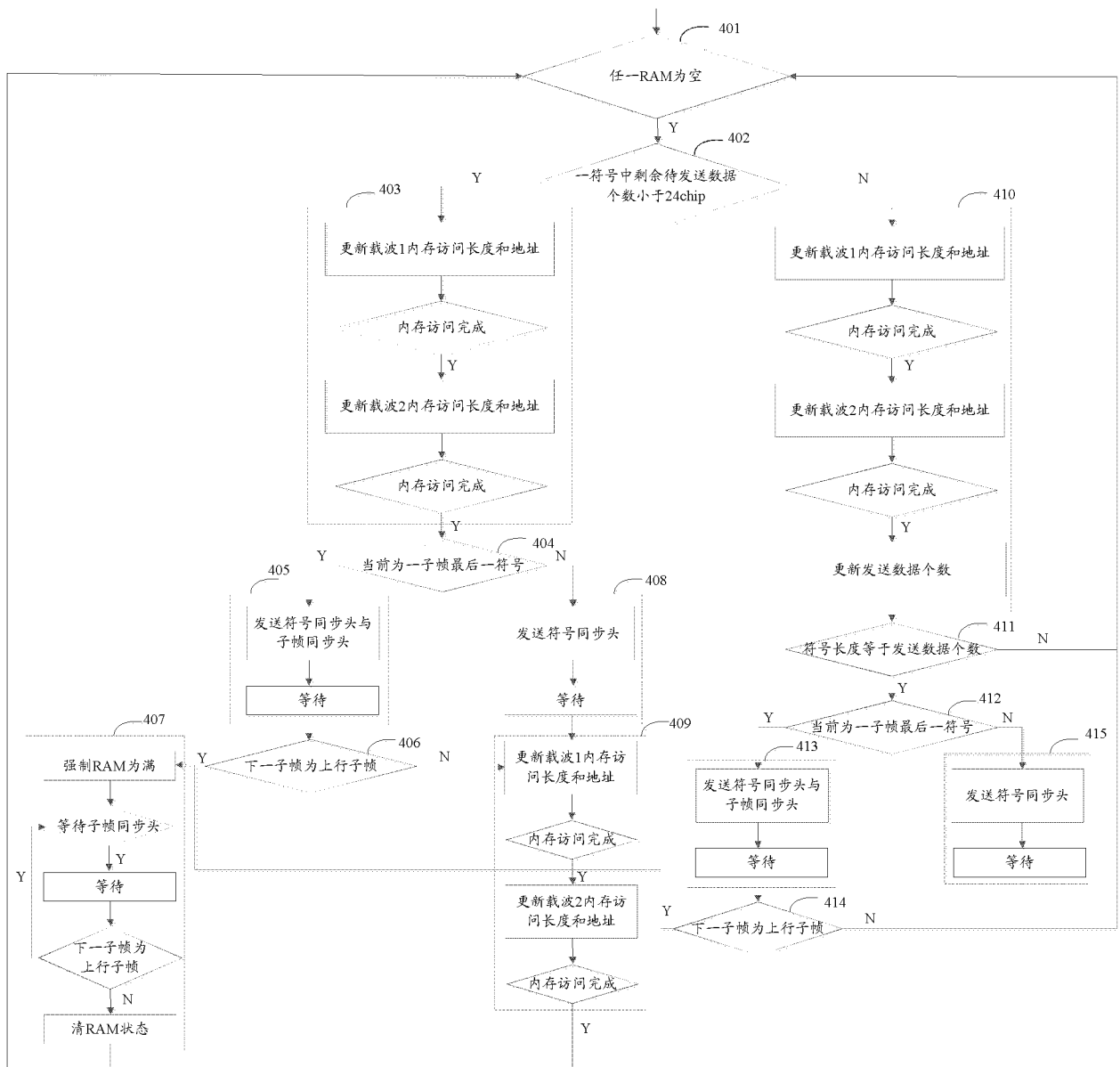


图 4



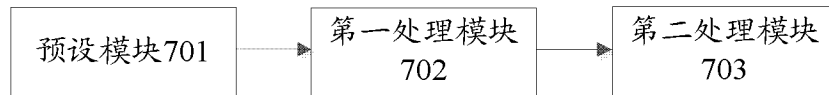


图 7



图 8

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2017/085572

A. CLASSIFICATION OF SUBJECT MATTER

H04B 1/00 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04B, H04L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNKI, DWPI: 基带, 中频, 集成, soc, 芯片, 片上, lte, 采样率, 速率, 总线, 内存, baseband, intermediate frequency, integrate, soc, chip, on chip, lte, sampling rate, rate, bus, memory, storage

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 201698403 U (HARBIN INSTITUTE OF TECHNOLOGY SHENZHEN GRADUATE SCHOOL), 05 January 2011 (05.01.2011), description, paragraphs [0012]-[0029]	1-14
Y	CN 105610508 A (POTEVIO INFORMATION TECHNOLOGY CO., LTD.), 25 May 2016 (25.05.2016), description, paragraphs [0063]-[0101]	1-14
A	CN 101051849 A (ZHEJIANG UNIVERSITY), 10 October 2007 (10.10.2007), entire document	1-14
A	CN 105974442 A (GUANGDONG UNIVERSITY OF TECHNOLOGY), 28 September 2016 (28.09.2016), entire document	1-14
A	US 8565711 B2 (BROADCOM COR), 22 October 2013 (22.10.2013), entire document	1-14

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 18 August 2017	Date of mailing of the international search report 29 August 2017
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer WANG, Xiaoyuan Telephone No. (86-10) 010-62089294

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2017/085572

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 201698403 U	05 January 2011	None	
CN 105610508 A	25 May 2016	None	
CN 101051849 A	10 October 2007	CN 101051849 B	02 May 2012
CN 105974442 A	28 September 2016	None	
US 8565711 B2	22 October 2013	US 2011299635 A1	08 December 2011
		US 2014016729 A1	16 January 2014
		US 9002295 B2	07 April 2015

国际检索报告

国际申请号

PCT/CN2017/085572

A. 主题的分类

H04B 1/00(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H04B, H04L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS, CNKI, DWPI:基带, 中频, 集成, soc, 芯片, 片上, lte, 采样率, 速率, 总线, 内存, baseband, intermediate frequency, integrate, soc, chip, on chip, lte, sampling rate, rate, bus, memory, storage

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
Y	CN 201698403 U (哈尔滨工业大学深圳研究生院) 2011年 1月 5日 (2011 - 01 - 05) 说明书第[0012] - [0029]段	1-14
Y	CN 105610508 A (普天信息技术有限公司) 2016年 5月 25日 (2016 - 05 - 25) 说明书第[0063]-[0101]段	1-14
A	CN 101051849 A (浙江大学) 2007年 10月 10日 (2007 - 10 - 10) 全文	1-14
A	CN 105974442 A (广东工业大学) 2016年 9月 28日 (2016 - 09 - 28) 全文	1-14
A	US 8565711 B2 (BROADCOM COR) 2013年 10月 22日 (2013 - 10 - 22) 全文	1-14

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2017年 8月 18日

国际检索报告邮寄日期

2017年 8月 29日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

王晓渊

电话号码 (86-10)010-62089294

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2017/085572

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	201698403	U	2011年 1月 5日	无			
CN	105610508	A	2016年 5月 25日	无			
CN	101051849	A	2007年 10月 10日	CN	101051849	B	2012年 5月 2日
CN	105974442	A	2016年 9月 28日	无			
US	8565711	B2	2013年 10月 22日	US	2011299635	A1	2011年 12月 8日
				US	2014016729	A1	2014年 1月 16日
				US	9002295	B2	2015年 4月 7日

表 PCT/ISA/210 (同族专利附件) (2009年7月)