

DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

capacitor (50) which is constituted by a parasitic capacitance between the signal line and the power supply line, in which a video signal voltage is written to the pixel circuit via a capacitive coupling of a first capacitor and a second capacitor, the signal line is formed by a first metal layer, the power supply line is formed by a second metal layer having a width substantially equal to that of the first metal layer, and the first capacitor and the second capacitor are formed by the first metal layer and the second metal layer.

(57) 要約: 本願発明は、線幅のばらつきによって容量がばらつきユニフォミティが劣化することを防止することを目的とする。走査線(12)と、信号線(14)と、低電位が供給される給電線(16)と、信号線と走査線とに対応して設けられた画素回路(110)と、画素回路を駆動する駆動回路と、信号線に接続されたレベルシフトブロック(47)と、レベルシフトブロックに設けられた第1の容量(44)と、信号線及び給電線間の寄生容量によって構成される第2の容量(50)とを有し、画素回路に対して第1の容量及び第2の容量の容量結合を介して映像信号電圧が書き込まれ、信号線が第1の金属層によって形成され、第1の金属層と幅がほぼ等しい第2の金属層によって給電線が形成され、第1の金属層と第2の金属層によって、第1の容量及び第2の容量が形成された電気光学装置である。

明 細 書

発明の名称：電気光学装置及び電子機器

技術分野

[0001] 本技術は、電気光学装置及び電子機器に関する。

背景技術

[0002] 発光素子として有機発光ダイオード（以下、OLED（Organic Light Emitting Diode）という）素子などを用いた電気光学装置が知られている。電気光学装置では、走査線とデータ線との交差箇所に対して、発光素子やトランジスタなどを含む画素回路が画素に対応して設けられる。画素回路に対して、画素の階調レベルに応じた電位のデータ信号が当該トランジスタのゲートに印加されると、当該トランジスタは、ゲート・ソース間の電圧に応じた電流を発光素子に対して供給し、発光素子が階調レベルに応じた輝度で発光する。

[0003] 例えば特許文献1には、5個のトランジスタと1個のコンデンサで構成された有機EL用の画素回路が記載されている。この画素回路では、1水平期間中で駆動トランジスタのしきい値補正期間及び映像信号書き込みを行う際に、しきい値電圧や映像信号を画素内容量のみならず、信号線の寄生容量に対して書き込み、動作を行っている。

先行技術文献

特許文献

[0004] 特許文献1：特開2014-186125号公報

発明の概要

発明が解決しようとする課題

[0005] 特許文献1においては、信号線に書きこまれる映像信号電圧が二つの容量によって規定されている。この二つの容量の値にばらつきがあると、映像信号電圧もばらついたものとなり、ユニフォミティの均一性が損ねられる問題があった。

[0006] 本技術の目的は、映像信号電圧の値を規定する容量のばらつきを低減してユニフォミティの均一性が損なわれることを防止することができる電気光学装置及び電子機器を提供することにある。

課題を解決するための手段

[0007] 本技術は、走査線と、
信号線と、
低電位が供給される給電線と、
信号線と走査線とに対応して設けられた画素回路と、
画素回路を駆動する駆動回路と、
信号線に接続されたレベルシフトブロックと、
レベルシフトブロックに設けられた第1の容量と、
信号線及び給電線間の寄生容量によって構成される第2の容量と
を有し、
画素回路に対して第1の容量及び第2の容量の容量結合を介して映像信号電圧が書き込まれ、
信号線が第1の金属層によって形成され、
第1の金属層と幅がほぼ等しい第2の金属層によって給電線が形成され、
第1の金属層と第2の金属層によって、第1の容量及び第2の容量が形成された
電気光学装置である。
また、本技術は、上述した電気光学装置を備える電子機器である。

[0008] 少なくとも一つの実施形態によれば、映像信号電圧の値を規定する容量のばらつきを抑えることによって、ユニフォミティの均一性が損なわれることを防止することができる。なお、ここに記載された効果は必ずしも限定されるものではなく、本技術中に記載されたいずれかの効果又はそれらと異質な効果であっても良い。また、以下の説明における例示された効果により本技術の内容が限定して解釈されるものではない。

図面の簡単な説明

[0009] [図1]図1は従来の画素回路の一例の接続図である。本技術による画素回路の一実施形態の接続図である。

[図2]図2は従来の画素回路及びレベルシフト回路の接続図である。

[図3]図3は従来の画素回路及びレベルシフト回路のレイアウトの一例を示す平面図である。

[図4]図4は従来の画素回路及びレベルシフト回路のレイアウトの他の例を示す平面図である。

[図5]図5は本技術の第1の実施形態のレイアウトを示す平面図である。

[図6]図6は本技術の第1の実施形態の断面図である。

[図7]図7は本技術の第2の実施形態のレイアウトを示す平面図である。

[図8]図8は本技術の第2の実施形態の断面図である。

[図9]図9は本技術の第2の実施形態の断面図である。

[図10]図10は本技術の第3の実施形態のレイアウトを示す平面図である。

[図11]図11は本技術の第3の実施形態の断面図である。

[図12]図12は本技術の第4の実施形態のレイアウトを示す平面図である。

[図13]図13は本技術の第4の実施形態の断面図である。

[図14]図14は本技術の第5の実施形態のレイアウトを示す平面図である。

[図15]図15は本技術の第5の実施形態の断面図である。

[図16]図16は本技術の第5の実施形態の断面図である。

発明を実施するための形態

[0010] 以下に説明する実施形態は、本技術の好適な具体例であり、技術的に好ましい種々の限定が付されている。しかしながら、本技術の範囲は、以下の説明において、特に本技術を限定する旨の記載がない限り、これらの実施形態に限定されないものとする。

なお、本技術の説明は、下記の順序にしたがってなされる。

<1. 従来の構成>

<2. 本技術の第1の実施形態>

<3. 本技術の第2の実施形態>

<4. 本技術の第3の実施形態>

<5. 本技術の第4の実施形態>

<6. 本技術の第5の実施形態>

<7. 変形例>

<8. 応用例>

[0011] <1. 従来の構成>

本技術の一実施形態の説明に先立って特許文献1に記載されている従来の構成について説明する。図示しないが、電気光学装置は、表示パネルと、表示パネルの動作を制御する制御回路を備える。表示パネルは、複数の画素回路と、当該画素回路を駆動する駆動回路とを備える。表示パネルが備える複数の画素回路及び駆動回路は、シリコン基板に形成され、画素回路には、発光素子の一例であるOLEDが用いられる。

[0012] 制御回路には、デジタルの画像データ同期信号に同期して供給される。画像データは、表示パネルで表示すべき画像の画素の階調レベルを例えば8ビットで規定するデータである。また、同期信号とは、垂直同期信号、水平同期信号、及び、ドットクロック信号を含む信号である。制御回路は、同期信号に基づいて、各種制御信号を生成し、これを表示パネルに対して供給する。また、制御回路は電圧生成回路を含む。電圧生成回路は、表示パネルに対して、各種電位を供給する。さらに、制御回路は、画像データに基づいて、アナログの画像信号を生成する。

[0013] 表示パネルは、表示部と、これを駆動する駆動回路を備える。表示部には、行方向（横方向）に沿って複数の走査線が配置され、列方向（縦方向）Yに沿って複数の信号線が配置されている。複数の走査線及び複数の信号線の各1本に接続される複数の画素回路110がマトリクス状に配置されている。

[0014] 表示部には、行方向（横方向）に沿って複数の走査線が配置され、列方向（縦方向）Yに沿って複数の信号線が配置されている。複数の走査線及び複数の信号線の各1本に接続される複数の画素回路110がマトリクス状に

配置されている。1本の走査線に沿って連続する3つの画素回路110は、それぞれR（赤）、G（緑）、青（B）の画素に対応し、これら3画素がカラー画像の1ドットを表現する。

[0015] 画素回路110の一例について図1を参照して説明する。画素回路110が走査線12及び信号線14に対して接続される。i行目の画素回路110には、P型トランジスタ121～125と、OLED130と、保持容量132が含まれる。画素回路110には、走査信号 $Gwr(i)$ 、制御信号 $Ge1(i)$ 、 $Gcmp(i)$ 、 $Gorst(i)$ が供給される。

[0016] 駆動トランジスタ（第1トランジスタ）121は、ソースが給電線116に接続され、ドレインは第4トランジスタ124を介してOLED130に接続され、OLED130に流れる電流を制御する。信号線電位（階調電位）を書き込む第2トランジスタ122のゲートが走査線12に接続され、ドレイン／ソースの一方が信号線14に接続され、他方が第1トランジスタ121のゲートに接続される。

[0017] 保持容量132は第1トランジスタ121のゲート線と給電線116との間に接続され、第1トランジスタ121のソース・ゲート間の電圧を保持する。給電線116には、電源の高電位 $Ve1$ が給電される。OLEDの130のカソードは共通電極とされ、電源の低電位 Vct に設定される。

[0018] 第3トランジスタ123は、ゲートに制御信号 $Gcmp(i)$ が入力され、制御信号 $Gcmp(i)$ に従って第1トランジスタ121のゲート・ドレイン間をショートさせ、第1トランジスタ121のしきい値のばらつきを補償する。

[0019] OLED130の点灯制御トランジスタ124は、ゲートに制御信号 $Ge1(i)$ が入力され、第1トランジスタ121のドレインとOLED130のアノードとの間の接続をオン／オフする。リセットトランジスタ（第5トランジスタ）125は、ゲートに制御信号 $Gorst(i)$ が入力され、制御信号 $Gorst(i)$ に従ってOLED130のアノードに、給電線16の電位であるリセット電位 $Vorst$ を供給する。このリセット電位 $Vorst$

s t と共通電位 V_{ct} との差が O L E D 1 3 0 の発光しきい値を下回るように設定される。すなわち、リセット電位 V_{orst} は、低電位である。

[0020] 走査線駆動回路が i 行目の走査線 1 2 に走査信号 $G_{wr}(i)$ を供給する。列方向 Y に沿って延びる信号線 1 4 と給電線 1 6 との間に、図 2 に示すように、浮遊容量でもって保持容量 5 0 が形成される。レベルシフト回路 4 0 は、信号線駆動回路及びデマルチプレクサを介して供給されるデータ信号（階調レベル）に応じて、例えば保持容量 5 0 とレベルシフト回路 4 0 内の第 1 保持容量 4 4 や第 2 保持容量 4 1 を用いて容量結合にて、D A コンバータから入力される階調電圧を、トランジスタ 1 2 1 を駆動するゲート電圧にレベルシフトして信号線 1 4 に供給する。第 1 保持容量 4 4 及び第 2 保持容量 4 1 は、第 1 の容量である。保持容量 5 0 が第 2 の容量である。

[0021] 容量結合について説明する。レベルシフト回路 4 0 の一画素分のレベルシフトブロック 4 7 を図 2 に示す。レベルシフトブロック 4 7 は、1 本の信号線 1 4 についてのみ示されている。信号線 1 4 の途中には第 1 保持容量 4 4 が接続されている。第 1 保持容量 4 4 の一端を初期電位 V_{ini} に設定する初期化スイッチ 4 5 が設けられている。初期化スイッチ 4 5 は、ゲートに制御信号 G_{ini} が供給される。第 1 保持容量 4 4 の他端を電位 V_{ref} に設定する初期化スイッチ 4 3 は、ゲートに制御信号 G_{ref} が供給される。

[0022] さらに、第 2 の保持容量 4 1 とトランスファーゲート 4 2 が設けられている。第 2 保持容量 4 1 とトランスファーゲート 4 2 とを設けることで、書込み期間の前（初期化期間及び補正期間中を含むトランスファーゲート 4 2 のオフ期間）に第 2 保持容量 4 1 に階調電圧を供給して、第 2 保持容量 4 1 に階調電圧を保持することができる。その後の書込み期間ではトランスファーゲート 4 2 をオンすることで、第 1 保持容量 4 4 の電極を第 2 保持容量 4 1 の電極に電位変動させることができる。

[0023] 初期化期間（トランジスタ 1 2 2, 1 2 3 が共にオフ）では、第 1 保持容量 4 4 の両端の電位はそれぞれ電位 V_{ini} , V_{ref} に設定される。このときトランジスタ 1 2 4 はオフ、トランジスタ 1 2 5 はオンしている。初期

化期間後の補正期間（トランジスタ 1 2 2， 1 2 3 が共にオン）では、トランジスタ 1 2 3 がオンしているのでトランジスタ 1 2 1 がダイオード接続され、画素回路 1 1 0 内の保持容量 1 3 2 はトランジスタ 1 2 1 のしきい値電圧 V_{th} を保持する。

[0024] 補正期間後の書込み期間（トランジスタ 1 2 2 がオン）では、トランジスタ 1 2 3 がオフし、デマルチプレクサのトランスファークラップ 3 4 がオンし、初期化スイッチ 4 3 もオフする。従って、初期化期間及び補正期間に固定されていた第 1 保持容量 4 4 の他端のノードは、電位 V_{ref} から階調レベルに変化する。

[0025] 上述した回路構成において、1 水平期間中に第 1 トランジスタ（駆動トランジスタ） 1 2 1 のしきい値補正期間、並びに映像信号書き込みを行う際、しきい値電圧や映像信号を保持容量 1 3 2（容量 C_s ）のみならず信号線 1 4 の保持容量 5 0（容量 C_{dt} ）に書き込み、動作を行っている。

[0026] 信号線 1 4 に入力される映像信号電圧 V_{sig} は、画素領域外に配置されたレベルシフトブロック 4 7 の保持容量 4 4（容量 C_{rf1} ）と信号線 1 4 の保持容量 5 0（容量 C_{dt} ）、保持容量 1 3 2（容量 C_s ）及びレベルシフトブロック 4 7 から入力される入力電圧 V_{data} を用いて次式で表される。

$$[0027] \quad V_{sig} = V_{data} \times (C_{dt} + C_s) / (C_{rf1} + C_{dt} + C_s)$$

ここで、 $C_{dt} \gg C_s$ から次の式（1）が得られる。

$$[0028] \quad V_{sig} = V_{data} \times C_{dt} / (C_{rf1} + C_{dt}) \cdots (1)$$

[0029] 図 3 は、上述した従来の回路構成と対応するレイアウトを模式的に示している。図 1 及び図 2 中の素子と対応する素子に対して同一参照符号を付して示す。図 3 に示すように、第 1 金属層（1 MT と表す）、第 2 金属層（2 MT と表す）、絶縁層（ISO と表す）及びポリシリコン（poly と表す）のパターンが形成される。1 MT 及び 2 MT は、同一の材料（アルミニウム、銅など）であり、互いに等しい厚みを有している。また、1 MT が形成されてから 2 MT が形成されるようになされる。

[0030] レベルシフトブロック 4 7 の保持容量 4 4（容量 C_{rf1} ）は、金属層の間

に絶縁層を挟んだ構成のMIM（Metal-Insulator-Metal、層間容量という）にて形成される。一方、保持容量50（容量Cdt）は、同層の信号線14及び低電位が供給される給電線16間の寄生容量にて形成される。

[0031] 信号線14に書き込まれる映像信号電圧Vsigは、式（1）で表されるので、パネル面内で1MT又は2MTの線幅がばらついた際に、保持容量50（容量Cdt）がばらつく。これに対して、層間容量で形成される保持容量44（容量Crf1）は、線幅のばらつきに依存しない。すなわち、式（1）において、線幅のばらつきが存在すると、容量Cdtがばらつくのに対して、容量Crf1の変動が小さいものとなる。したがって、画面内の同一の入力電圧Vdataに対してVsigの値がばらつき、ユニフォミティの均一性が損ねられる。

[0032] 図4は、従来のレイアウトの他の例を示す。このレイアウトでは、信号線16を1MTによって形成し、信号線16に対して同じ幅の2MT（信号線14）を積層して、層間容量として保持容量50（容量Cdt）を形成するようにしたものである。この構成では、線幅のばらつきによって、保持容量44及び保持容量50が共に同様の影響を受ける。

[0033] しかしながら、縦方向（Y方向）のサイズが保持容量44及び保持容量50の間で大きく異なるので、線幅のばらつきに起因する容量の値の変化の割合が異なる。したがって、図4のレイアウトにおいても、線幅のばらつきによって、式（1）で表される映像信号電圧Vsigの値がばらついて、ユニフォミティの均一性が損ねられる。

[0034] <2. 本技術の第1の実施形態>

図5を参照して本技術の第1の実施形態について説明する。画素回路110は、図1に示す回路構成と同様であり、レベルシフト回路40（レベルシフトブロック47）の回路構成は、図2と同様である。本技術は、レイアウトを工夫することによって、同じ入力電圧Vdataに対して映像信号電圧Vsigの値がばらついて、ユニフォミティの均一性が損ねられることを防止するものである。

[0035] 図5は、本技術の第1の実施形態のレイアウトを示し、図6は、図5のA-A'線断面図である。データ線14として、2本のY方向に平行する2本の第1データ線（第1の金属層）14A及び第2データ線14B（第3の金属層）が設けられる。第1データ線14A、第2データ線14B及び給電線16は、同層の金属例えば1MT（金属第1層）として形成される。なお、これら第1データ線14A、第2データ線14B及び給電線16は、等しい幅及び等しい厚みを持つように形成してもよい。また、金属材料としてアルミニウム、銅等の電極材料の中の一つが使用される。銅を使用する場合、ダマシンプロセスによって配線を形成してもよい。ダマシンプロセスによって層間膜厚ばらつきが小さくなり、本技術の目的達成には有利である。

[0036] 第2データ線14B及び給電線16間の寄生容量によって、保持容量（第2の容量）50（Cdt）が形成される。第2データ線14Bに対して第2トランジスタ122のドレイン及びソースの一方が接続される。さらに、第1データ線14Aに対してレベルシフトブロック47のトランスファークロップ42の出力側が接続される。第1データ線14A及び第2データ線14Bの間に形成される寄生容量によって保持容量（第1の容量）44（Crf1）が形成される。第1データ線14A及び第2データ線14Bの間隔などを設定することによって、所望の保持容量44が形成されるようになされている。なお、図6におけるSTI（Shallow Trench Isolation）は、電氣的な分離のために素子間に形成した溝に絶縁物を埋め込んだ部分である。

[0037] 上述した本技術の第1の実施形態では、容量Crf1及びCdtが共に同層の金属を使用した寄生容量として形成されている。したがって、データ線14A及び14B、並びに給電線16を形成する金属の線幅がばらついた場合、これらの容量Crf1及びCdtが同じ傾向（増加又は減少）で、同じ割合でばらつくことになる。したがって、式（1）で表される映像信号電圧Vsigの値が線幅のばらつきによってばらつく程度を小さいものとできる。このようにしてユニフォミティの均一性が損なわれることを防止することができる。

[0038] <3. 本技術の第2の実施形態>

図7、図8（図7のA-A'線断面図）及び図9（図7のB-B'線断面図）を参照して本技術の第2の実施形態について説明する。画素回路110は、図1に示す回路構成と同様であり、レベルシフト回路40（レベルシフトブロック47）の回路構成は、図2と同様である。

[0039] トランスファークゲート42の出力側に第1データ線14-1（第1の金属層）が接続される。第1データ線14-1は、金属第1層（1MT）として形成される。第1データ線14-1の上に絶縁層を介在させて金属第2層（2MT）として形成された第2データ線14-2（第3の金属層）が積層される。第2データ線14-2に対して第1のトランジスタ122のドレイン及びソースの一方が接続される。第2データ線14-2は、第1データ線14-1に比して幅が小さい。第1データ線14-1及び第2データ線14-2によって形成される層間容量が第1の容量44（Crfl）である。

[0040] 第2データ線14-2の上に絶縁層を介在させて金属第3層（3MT）として形成された給電線16（第3の金属層）が積層される。第2データ線14-2は、給電線16に比して幅が小さい。給電線16に対して第5トランジスタ125のドレイン及びソースの一方が接続される。これらの第2データ線14-2及び給電線16によって形成される層間容量が第2の容量50（Cdt）である。さらに、金属第4層（4MT）の電極が形成される。

[0041] 第2の実施形態では、3個の金属層をもって2個の層間容量（容量44及び容量50）が形成されている。トランジスタ122を横切るA-A'線断面では、図8に示すように、第2データ線14-2が第1データ線14-1や給電線16よりも太いが、A-A'線断面以外の大半では、図9に示すB-B'断面のように、第2データ線14-2が第1データ線14-1や給電線16よりも細い。このため、給電線16や第2データ線14-2の線幅がばらついた場合、第1データ線14-1よりも線幅が狭くならない限り、容量44（Crfl）も容量50（Cdt）も変化しない。一方、データ線14-2の線幅がばらついた場合、容量44（Crfl）及び容量50（Cdt）がほ

ば同じ割合で変化する。以上より、ユニフォミティの均一性を保つことができる。

[0042] <4. 本技術の第3の実施形態>

図10及び図11（図10のA-A'線断面図）を参照して本技術の第3の実施形態について説明する。第3の実施形態は、第1データ線14A及び第2データ線14Bの間に形成される寄生容量によって保持容量（第1の容量）44（ C_{rf1} ）を形成し、第2データ線14B及び給電線116間の寄生容量によって、保持容量（第2の容量）50（ C_{dt} ）を形成するようにしたものである。給電線116には、電源の高電位 V_{e1} が給電される。第1データ線14A、第2データ線14B、給電線16及び給電線116は、同層の金属例えば1MT（金属第1層）として形成される。なお、これら第1データ線14A、第2データ線14B、給電線16及び給電線116は、等しい幅及び等しい厚みを持つように形成してもよい。また、金属材料としてアルミニウム、銅等の電極材料の中の一つが使用される。

[0043] 上述した本技術の第3の実施形態では、容量 C_{rf1} 及び C_{dt} が共に同層の金属を使用した寄生容量として形成されている。したがって、データ線14A及び14B、並びに給電線116を形成する金属の線幅がばらついた場合、これらの容量 C_{rf1} 及び C_{dt} が同じ傾向（増加又は減少）で、同じ割合でばらつくことになる。したがって、式（1）で表される映像信号電圧 V_{sig} の値が線幅のばらつきによってばらつく程度を小さいものとできる。このようにしてユニフォミティの均一性が損なわれることを防止することができる。

[0044] <5. 本技術の第4の実施形態>

図12及び図13（図12のA-A'線断面図）を参照して本技術の第4の実施形態について説明する。上述した第1の実施形態（図5及び図6参照）では、第1の容量44（ C_{rf1} ）及び第2の容量50（ C_{dt} ）を形成するための第1データ線14A、第2データ線14B及び給電線16が金属第1層（1MT）である。これに対して第4の実施形態は、第1データ線14A

、第2データ線14B及び給電線16を金属第4層（4MT）に形成するようにしたものである。かかる第5の実施形態も、第1の実施形態と同様に、ユニフォミティの均一性を保つことができる。

[0045] ＜6．本技術の第5の実施形態＞

図14、図15（図14のA-A'線断面図）及び図16（図14のB-B'線断面図）を参照して本技術の第6の実施形態について説明する。第6の実施形態では、ガラス基板上にトランジスタ（TFT）を形成している。上述した第2の実施形態（図7、図8及び図9参照）では、第1データ線14-1（金属第1層）、第2データ線14-2（金属第2層）、給電線16（金属第3層）の上下関係とされている。これに対して、第6の実施形態では、ゲートが形成される絶縁層の下に絶縁層に第1データ線14-1を0MTとして形成し、第2データ線14-2を金属第1層（1MT）として形成し、給電線16を金属第2層（2MT）として形成するようにしたものである。かかる第6の実施形態も、第2の実施形態及び第4の実施形態と同様に、ユニフォミティの均一性を保つことができる。

[0046] ＜7．変形例＞

以上、本技術の実施形態について具体的に説明したが、上述の各実施形態に限定されるものではなく、本技術の技術的思想に基づく各種の変形が可能である。例えば次に述べるような各種の変形が可能である。また、次に述べる変形の態様は、任意に選択された一または複数を、適宜に組み合わせることもできる。また、上述の実施形態の構成、方法、工程、形状、材料および数値などは、本技術の主旨を逸脱しない限り、互いに組み合わせることが可能である。

[0047] 上述した実施形態では、トランジスタをPチャネル型で統一したが、Nチャネル型で統一しても良い。また、Pチャネル型及びNチャネル型を適宜組み合わせても良い。

上述した実施形態では、電気光学素子として発光素子であるOLEDを例示したが、例えば無機発光ダイオードやLED（Light Emitting Diode）な

ど、電流に応じた輝度で発光するものであれば良い。

[0048] < 8. 応用例 >

次に、実施形態等や応用例に係る電気光学装置を適用した電子機器について説明する。電気光学装置は、画素が小サイズで高精細な表示な用途に向いている。そこで、電子機器として、ヘッドマウント・ディスプレイ、スマートメガネ、スマートフォン、デジタルカメラの電子式ビューファインダー等の表示装置に適用することができる。

[0049] なお、本技術は、以下のような構成も取ることができる。

(1)

走査線と、
信号線と、
低電位が供給される給電線と、
前記信号線と前記走査線とに対応して設けられた画素回路と、
前記画素回路を駆動する駆動回路と、
前記信号線に接続されたレベルシフトブロックと、
前記レベルシフトブロックに設けられた第1の容量と、
前記信号線及び前記給電線間の寄生容量によって構成される第2の容量とを有し、
前記画素回路に対して前記第1の容量及び前記第2の容量の容量結合を介して映像信号電圧が書き込まれ、
前記信号線が第1の金属層によって形成され、
前記第1の金属層と幅がほぼ等しい第2の金属層によって前記給電線が形成され、
前記第1の金属層と前記第2の金属層によって、前記第1の容量及び前記第2の容量が形成された
電気光学装置。

(2)

前記第1の金属層の幅とほぼ等しい幅を有する第3の金属層が前記第1の

金属層及び前記第 2 の金属層と同層で、且つ平行に設けられ、

前記第 1 の金属層及び前記第 3 の金属層の寄生容量によって前記第 1 の容量が形成され、

前記第 2 の金属層及び前記第 3 の金属層の寄生容量によって前記第 2 の容量が形成されるようにした (1) に記載の電気光学装置。

(3)

前記第 1 の金属層の幅とほぼ等しい幅を有する第 3 の金属層が前記第 1 の金属層の上に配置され、

前記第 3 の金属層の上に前記第 2 の金属層が配置され、

前記第 1 の金属層及び前記第 3 の金属層の層間容量によって前記第 1 の容量が形成され、

前記第 3 の金属層及び前記第 2 の金属層の層間容量によって前記第 2 の容量が形成されるようにした (1) 又は (2) に記載の電気光学装置。

(4)

前記画素回路は、

ゲート電極、第 1 電流端、及び第 2 電流端を備える第 1 のトランジスタと、

前記第 1 のトランジスタを介して供給される電流の大きさに応じた輝度で発光する発光素子と、

前記信号線と、前記第 1 のトランジスタの前記ゲート電極との間に接続された第 2 のトランジスタと、

前記第 1 のトランジスタの前記第 1 電流端と、前記第 1 のトランジスタの前記ゲート電極とを導通させるための第 3 のトランジスタと、

前記第 1 電流端及び発光素子の一方の端子間に挿入された第 4 のトランジスタと、

前記給電線と前記発光素子の一方の端子間に挿入された第 5 のトランジスタと

を有する (1) かつ (3) のいずれかに記載の電気光学装置。

(5)

(1)に記載の電気光学装置を備える、
電子機器。

(6)

前記電気光学装置は、

前記第1の金属層の幅とほぼ等しい幅を有する第3の金属層が前記第1の金属層及び前記第2の金属層と同層で、且つ平行に設けられ、

前記第1の金属層及び前記第3の金属層の寄生容量によって前記第1の容量が形成され、

前記第2の金属層及び前記第3の金属層の寄生容量によって前記第2の容量が形成されるようにした(5)に記載の電子機器。

(7)

前記電気光学装置は、

前記第1の金属層の幅とほぼ等しい幅を有する第3の金属層が前記第1の金属層の上に配置され、

前記第3の金属層の上に前記第2の金属層が配置され、

前記第1の金属層及び前記第3の金属層の層間容量によって前記第1の容量が形成され、

前記第3の金属層及び前記第2の金属層の層間容量によって前記第2の容量が形成されるようにした(5)又は(6)に記載の電子機器。

(8)

前記電気光学装置の前記画素回路は、

ゲート電極、第1電流端、及び第2電流端を備える第1のトランジスタと、
、

前記第1のトランジスタを介して供給される電流の大きさに応じた輝度で発光する発光素子と、

前記信号線と、前記第1のトランジスタの前記ゲート電極との間に接続された第2のトランジスタと、

前記第1のトランジスタの前記第1電流端と、前記第1のトランジスタの前記ゲート電極とを導通させるための第3のトランジスタと、

前記第1電流端及び発光素子の一方の端子間に挿入された第4のトランジスタと、

前記給電線と前記発光素子の一方の端子間に挿入された第5のトランジスタと

を有する(5)から(7)のいずれかに記載の電子機器。

符号の説明

[0050] 12・・・走査線、14, 14-1, 14-2, 14A, 14B・・・データ線、16・・・給電線、42・・・トランスミッションゲート、44・・・第1の容量、50・・・第2の容量、110・・・画素回路、116・・・給電線、121・・・第1トランジスタ、122・・・第2トランジスタ、123・・・第3トランジスタ、124・・・第4トランジスタ、125・・・第5トランジスタ、130・・・OLED、MT1・・・金属第1層、MT2・・・金属第2層、MT3・・・金属第3層、MT4・・・金属第4層、MT5・・・金属第5層

請求の範囲

- [請求項1] 走査線と、
信号線と、
低電位が供給される給電線と、
前記信号線と前記走査線とに対応して設けられた画素回路と、
前記画素回路を駆動する駆動回路と、
前記信号線に接続されたレベルシフトブロックと、
前記レベルシフトブロックに設けられた第1の容量と、
前記信号線及び前記給電線間の寄生容量によって構成される第2の容量と
を有し、
前記画素回路に対して前記第1の容量及び前記第2の容量の容量結合を介して映像信号電圧が書き込まれ、
前記信号線が第1の金属層によって形成され、
前記第1の金属層と幅がほぼ等しい第2の金属層によって前記給電線が形成され、
前記第1の金属層と前記第2の金属層によって、前記第1の容量及び前記第2の容量が形成された
電気光学装置。
- [請求項2] 前記第1の金属層の幅とほぼ等しい幅を有する第3の金属層が前記第1の金属層及び前記第2の金属層と同層で、且つ平行に設けられ、
前記第1の金属層及び前記第3の金属層の寄生容量によって前記第1の容量が形成され、
前記第2の金属層及び前記第3の金属層の寄生容量によって前記第2の容量が形成されるようにした請求項1に記載の電気光学装置。
- [請求項3] 前記第1の金属層の幅とほぼ等しい幅を有する第3の金属層が前記第1の金属層の上に配置され、
前記第3の金属層の上に前記第2の金属層が配置され、

前記第 1 の金属層及び前記第 3 の金属層の層間容量によって前記第 1 の容量が形成され、

前記第 3 の金属層及び前記第 2 の金属層の層間容量によって前記第 2 の容量が形成されるようにした請求項 1 に記載の電気光学装置。

[請求項4]

前記画素回路は、

ゲート電極、第 1 電流端、及び第 2 電流端を備える第 1 のトランジスタと、

前記第 1 のトランジスタを介して供給される電流の大きさに応じた輝度で発光する発光素子と、

前記信号線と、前記第 1 のトランジスタの前記ゲート電極との間に接続された第 2 のトランジスタと、

前記第 1 のトランジスタの前記第 1 電流端と、前記第 1 のトランジスタの前記ゲート電極とを導通させるための第 3 のトランジスタと、

前記第 1 電流端及び発光素子の一方の端子間に挿入された第 4 のトランジスタと、

前記給電線と前記発光素子の一方の端子間に挿入された第 5 のトランジスタと

を有する請求項 1 に記載の電気光学装置。

[請求項5]

請求項 1 に記載の電気光学装置を備える、
電子機器。

[請求項6]

前記電気光学装置は、

前記第 1 の金属層の幅とほぼ等しい幅を有する第 3 の金属層が前記第 1 の金属層及び前記第 2 の金属層と同層で、且つ平行に設けられ、

前記第 1 の金属層及び前記第 3 の金属層の寄生容量によって前記第 1 の容量が形成され、

前記第 2 の金属層及び前記第 3 の金属層の寄生容量によって前記第 2 の容量が形成されるようにした請求項 5 に記載の電子機器。

[請求項7]

前記電気光学装置は、

前記第 1 の金属層の幅とほぼ等しい幅を有する第 3 の金属層が前記第 1 の金属層の上に配置され、

前記第 3 の金属層の上に前記第 2 の金属層が配置され、

前記第 1 の金属層及び前記第 3 の金属層の層間容量によって前記第 1 の容量が形成され、

前記第 3 の金属層及び前記第 2 の金属層の層間容量によって前記第 2 の容量が形成されるようにした請求項 5 に記載の電子機器。

[請求項 8]

前記電気光学装置の前記画素回路は、

ゲート電極、第 1 電流端、及び第 2 電流端を備える第 1 のトランジスタと、

前記第 1 のトランジスタを介して供給される電流の大きさに応じた輝度で発光する発光素子と、

前記信号線と、前記第 1 のトランジスタの前記ゲート電極との間に接続された第 2 のトランジスタと、

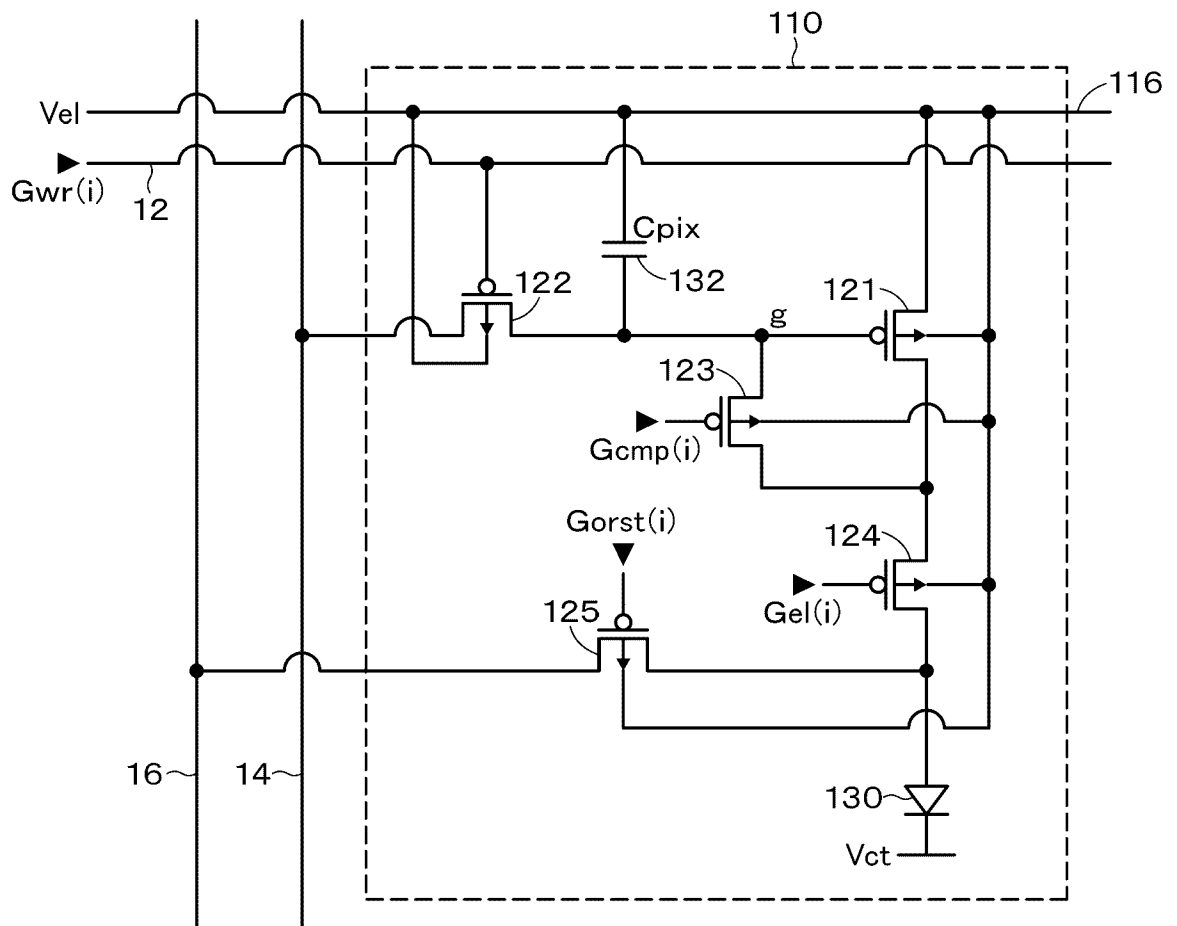
前記第 1 のトランジスタの前記第 1 電流端と、前記第 1 のトランジスタの前記ゲート電極とを導通させるための第 3 のトランジスタと、

前記第 1 電流端及び発光素子の一方の端子間に挿入された第 4 のトランジスタと、

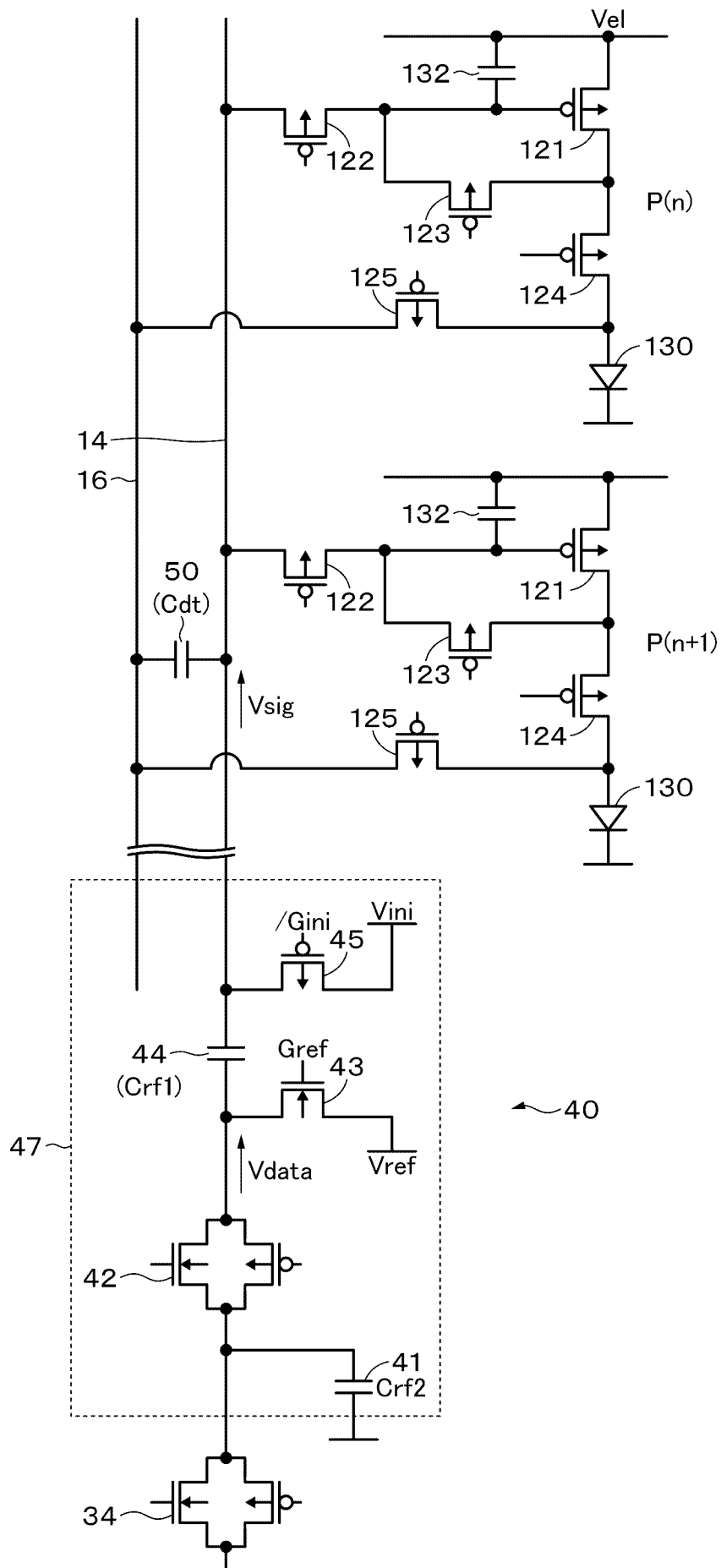
前記給電線と前記発光素子の一方の端子間に挿入された第 5 のトランジスタと

を有する請求項 5 に記載の電子機器。

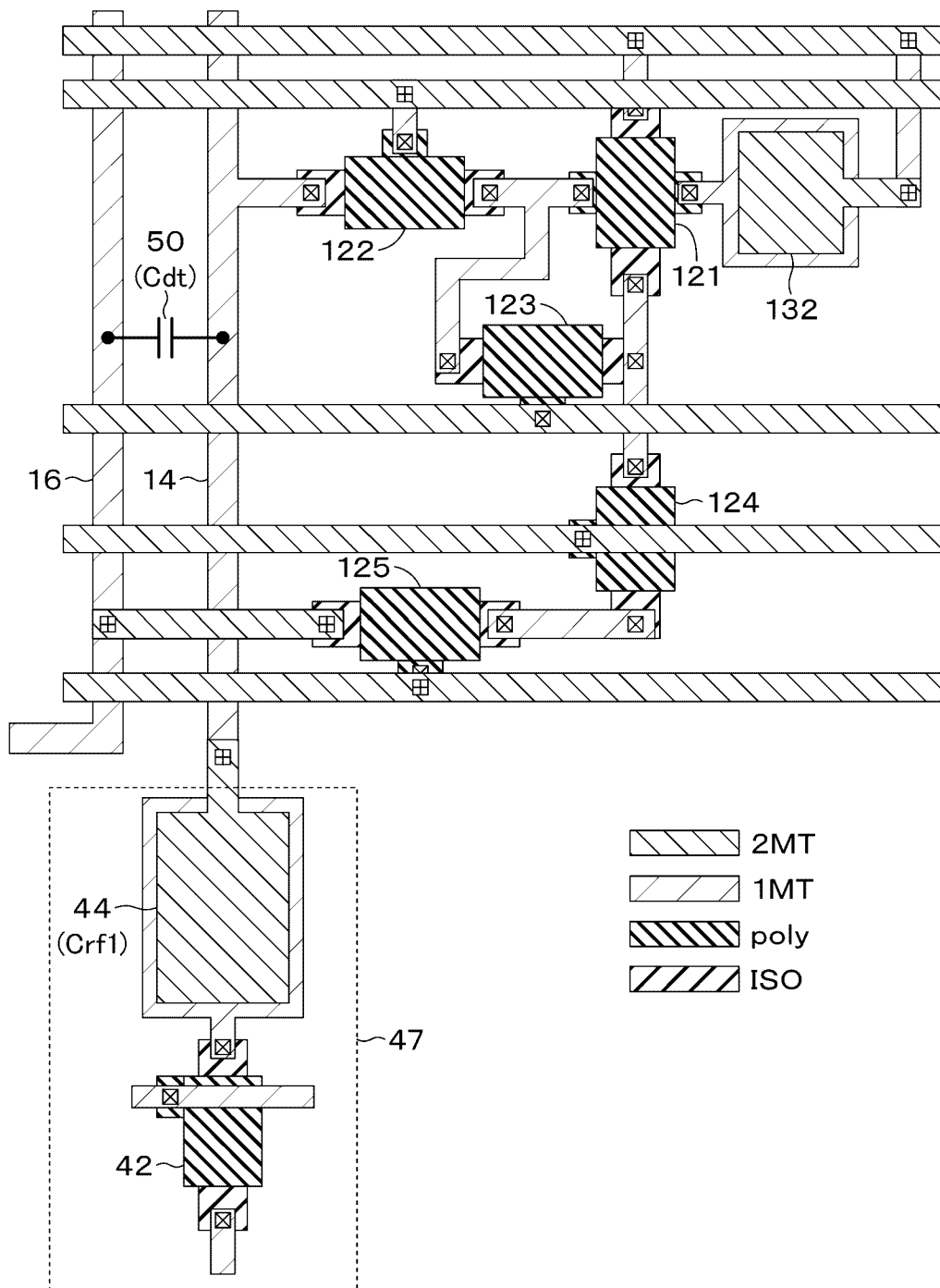
[図1]



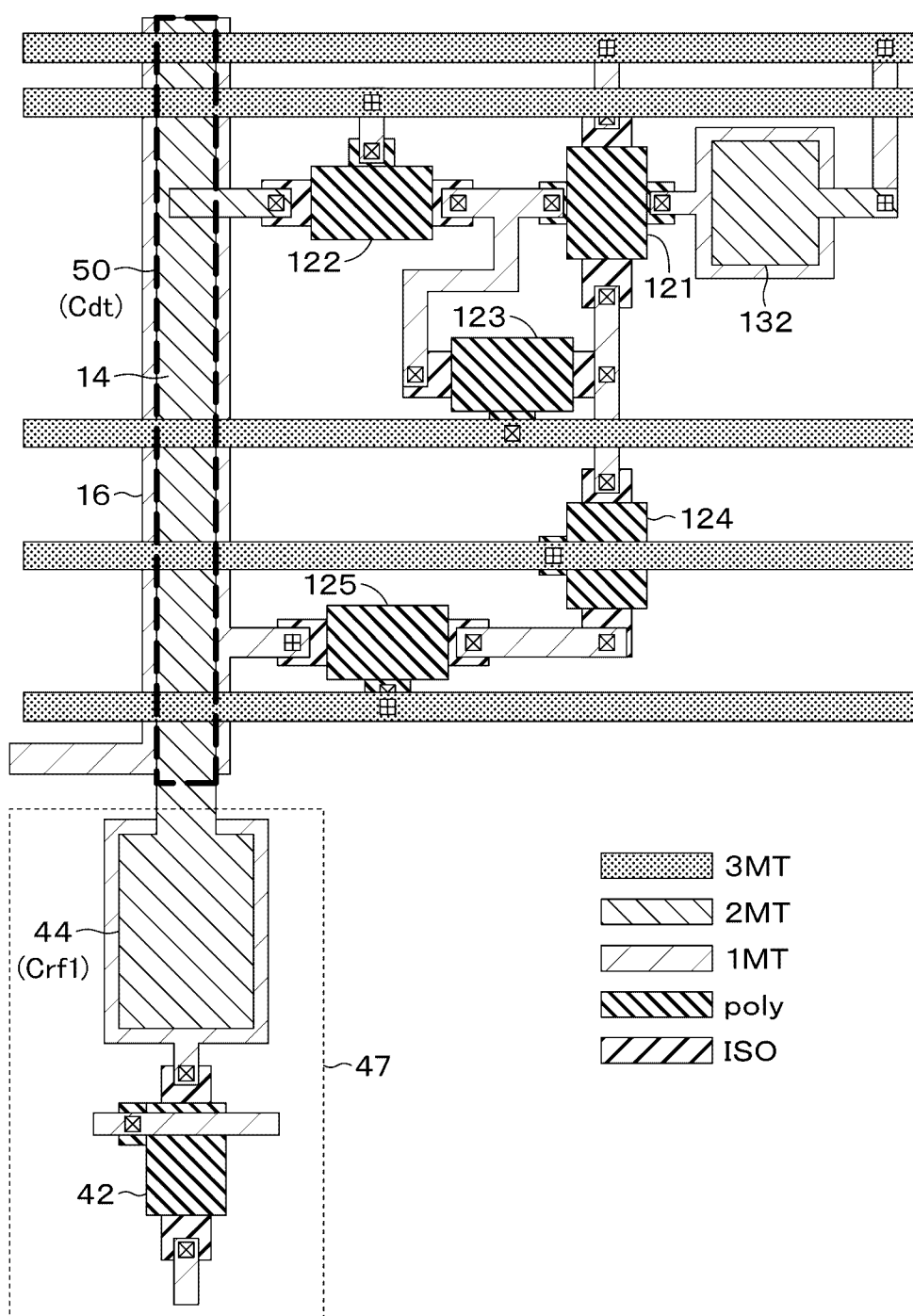
[図2]



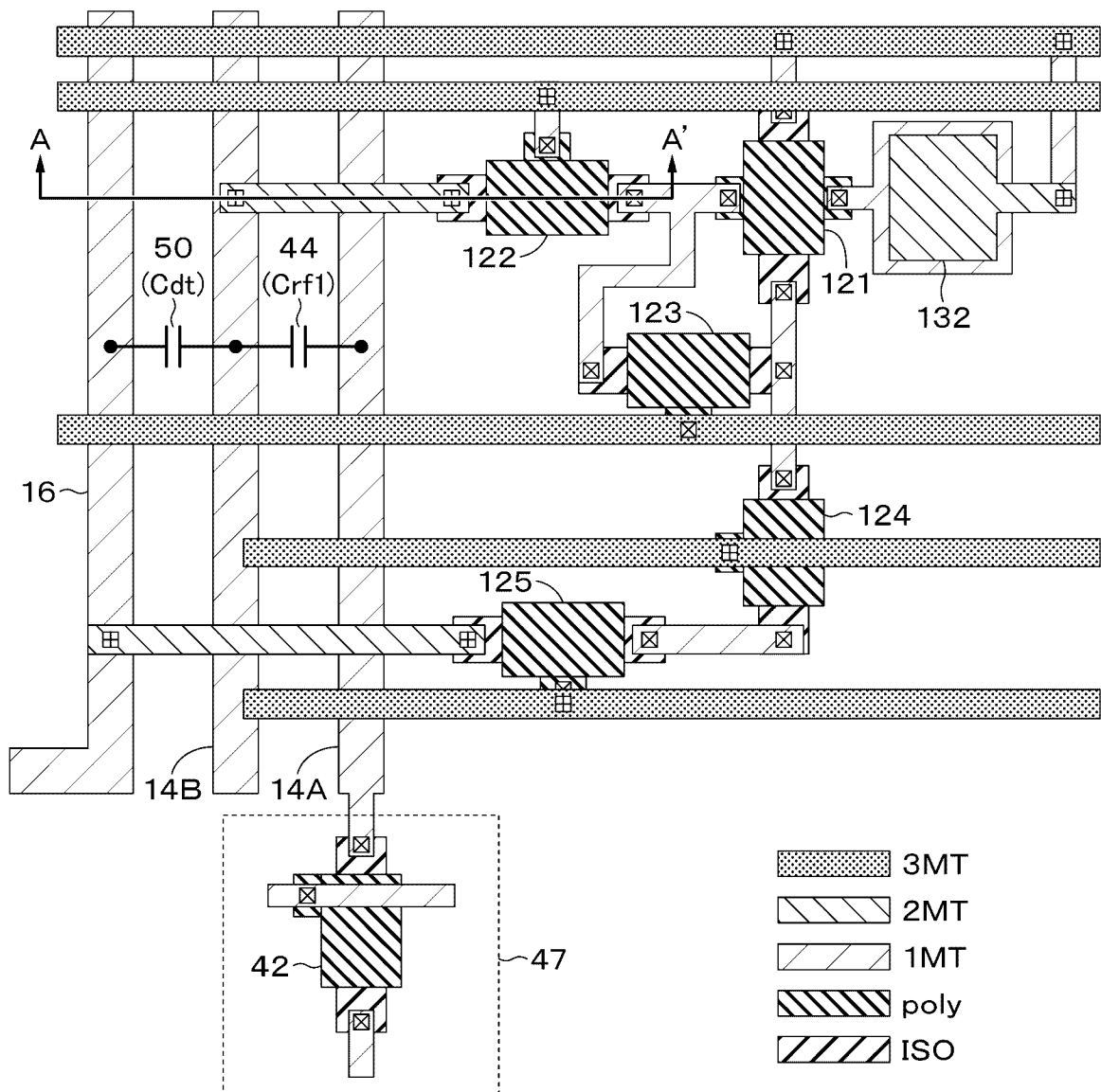
[図3]



[図4]

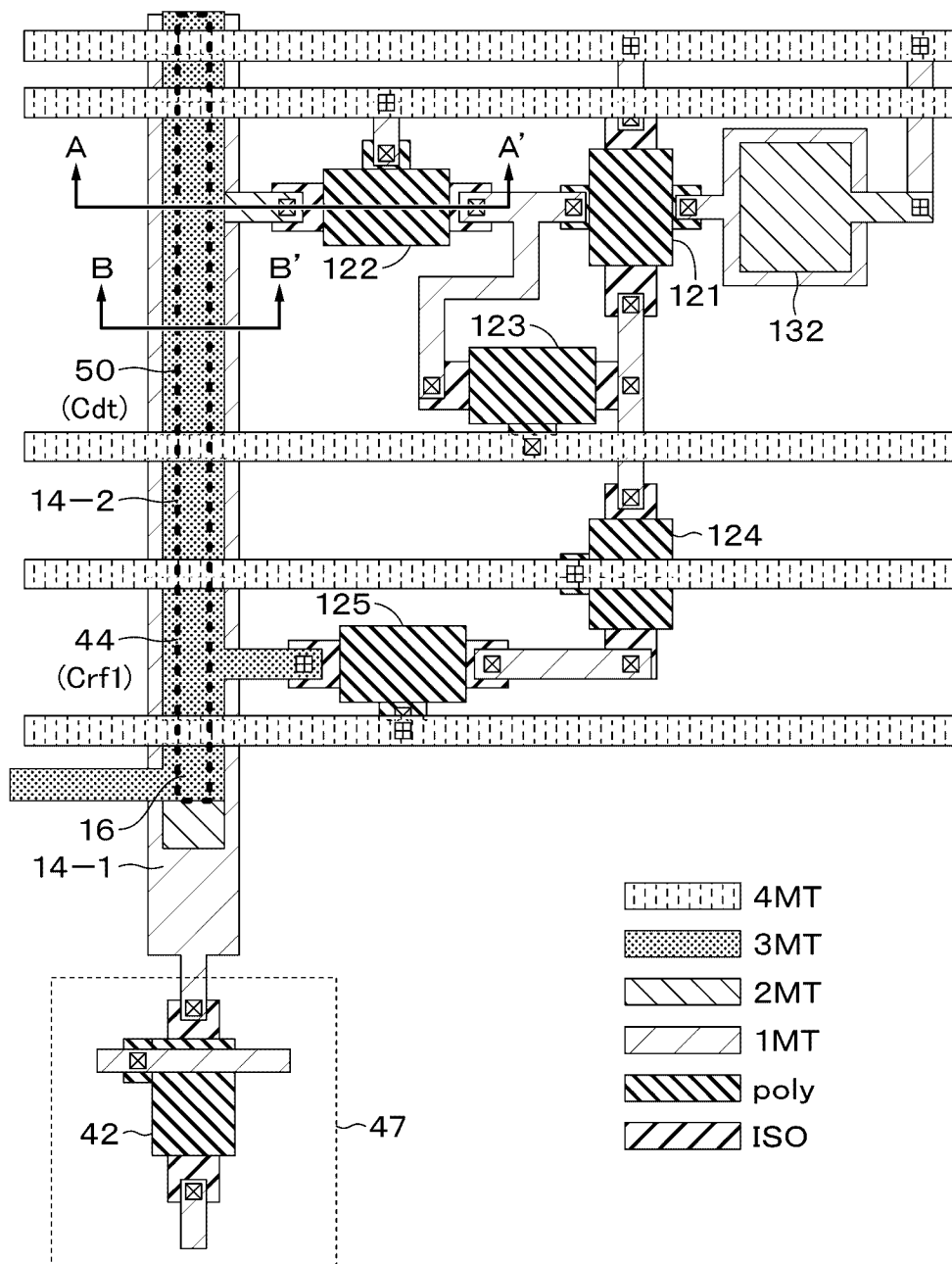


[図5]

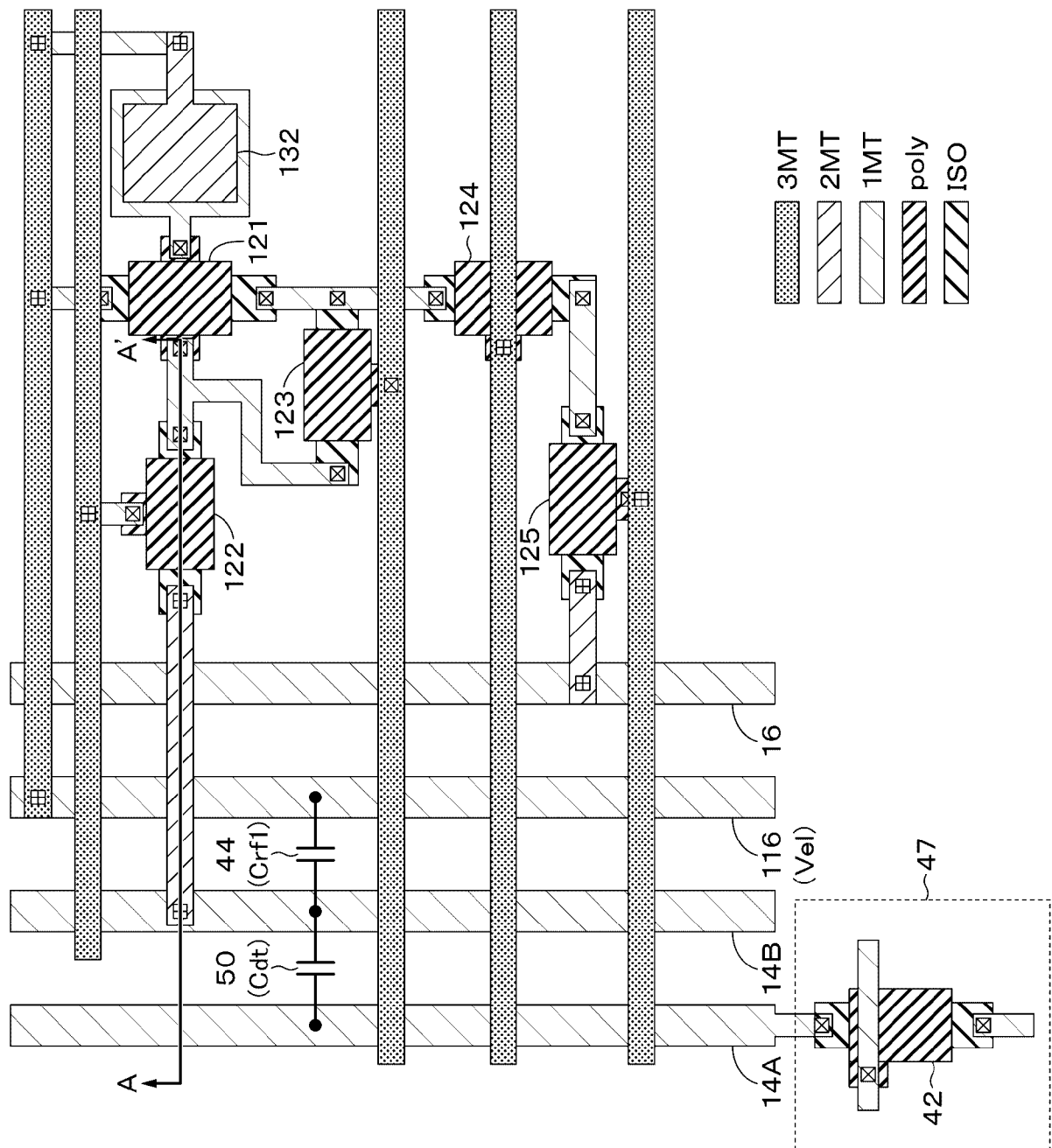


A cross-sectional view A-A' of a semiconductor device. The diagram shows several layers and structures. At the bottom is the Si基板 (Silicon substrate). Above it are STI (Shallow Trench Isolation) regions. A layer labeled 1MT is shown, containing various patterns. Above 1MT is another layer labeled 2MT. Various labels point to specific features: 16, 50 (Cdt), 14B, 44, 14A, STI, 122, and 2MT. The label 1MT points to two different regions. The label STI points to two different regions.

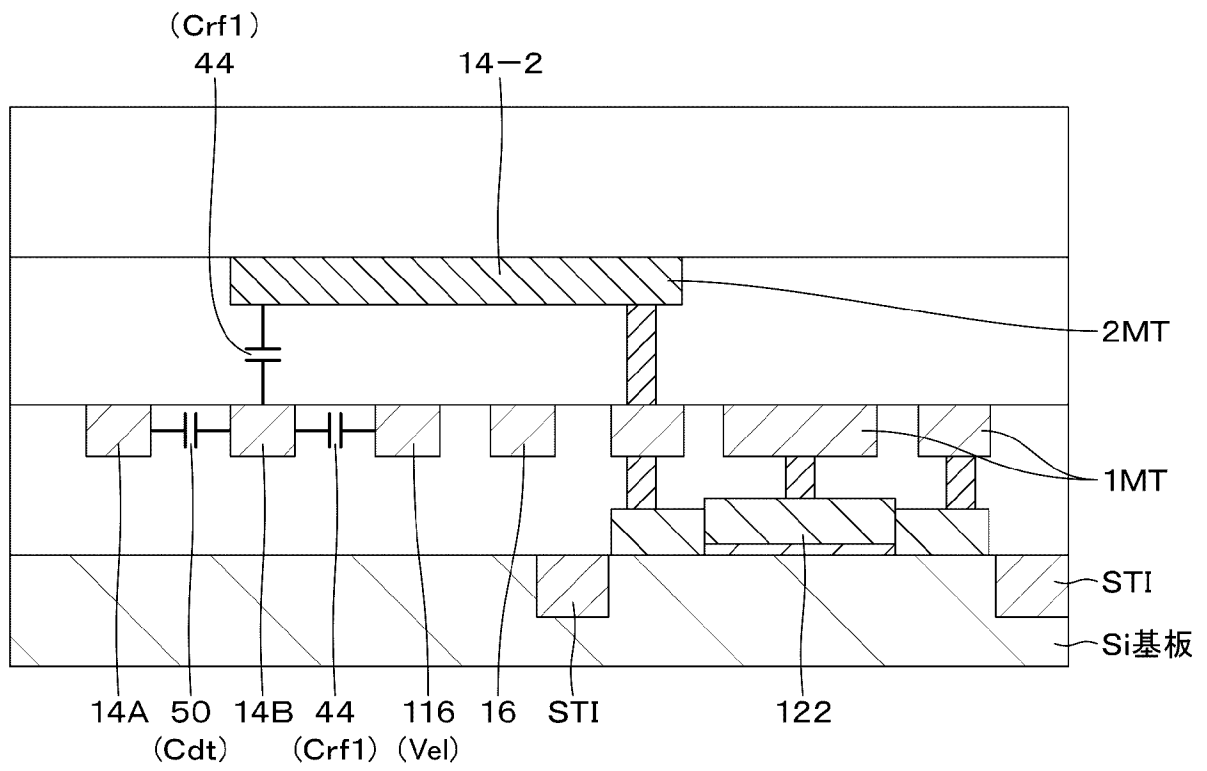
[図7]



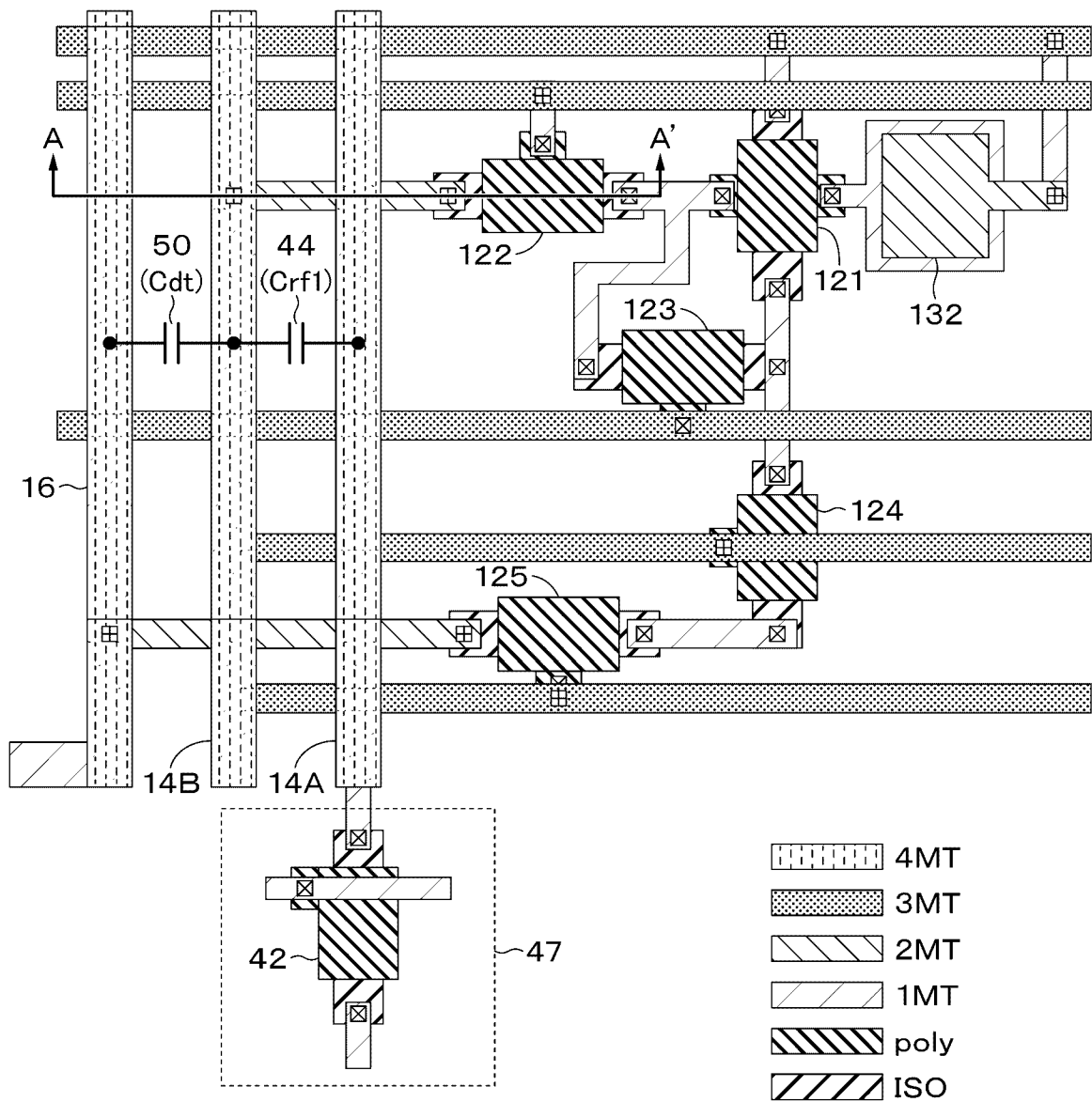
[図10]



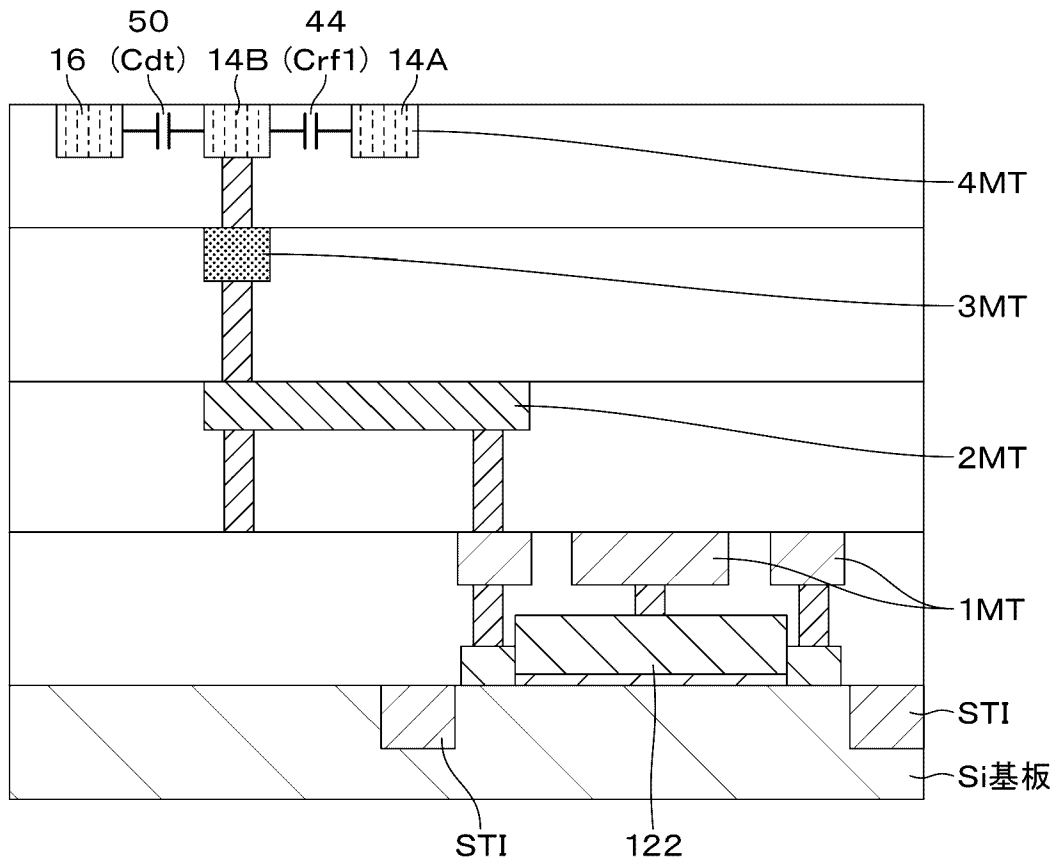
[図11]



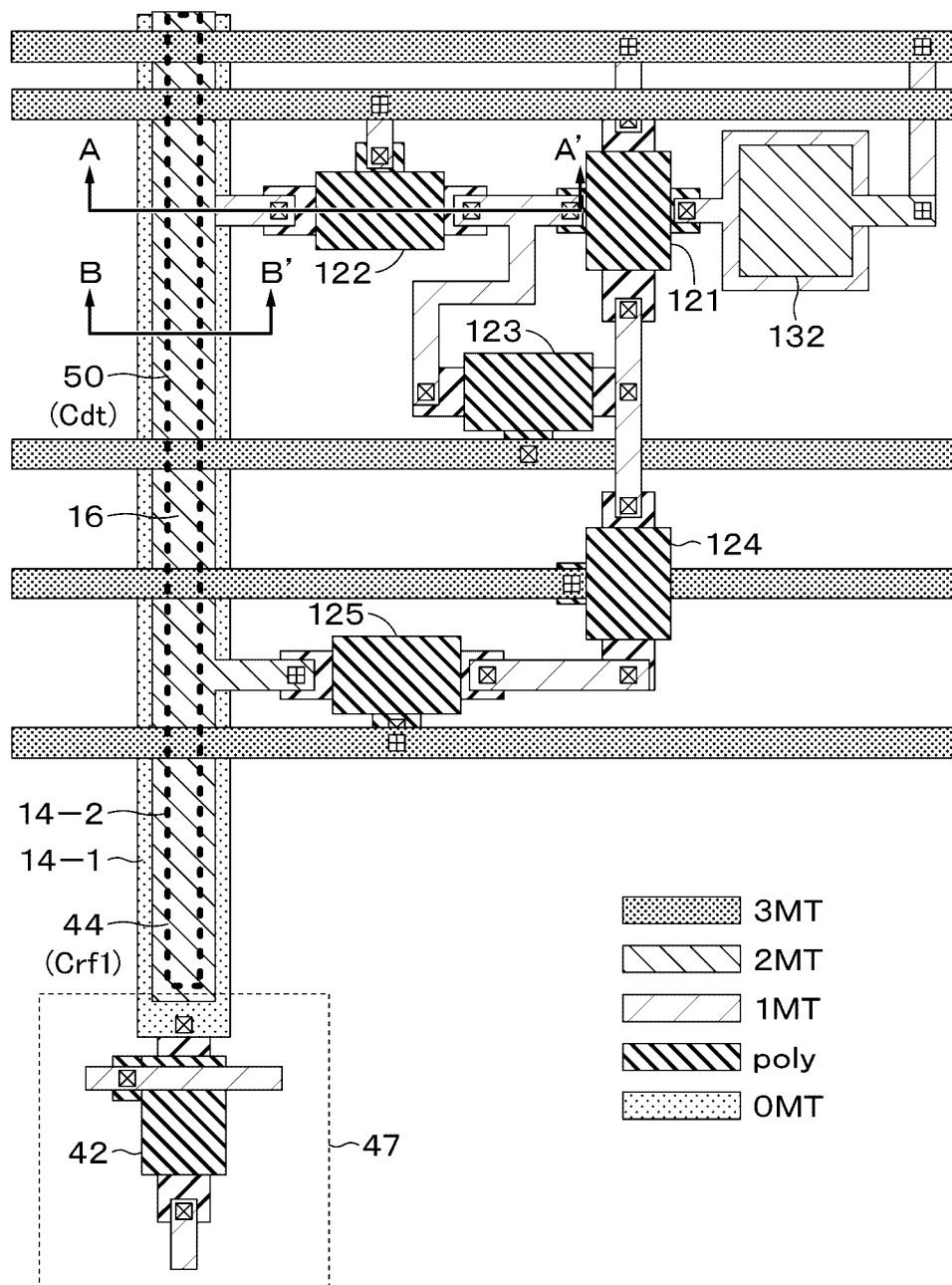
[図12]



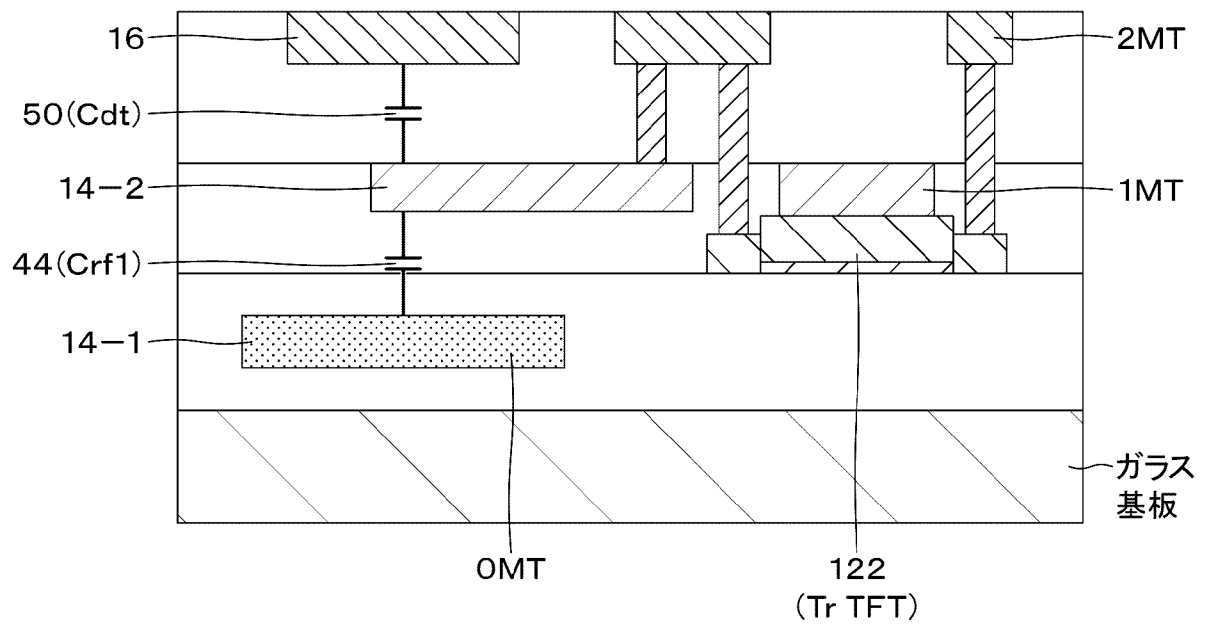
[図13]



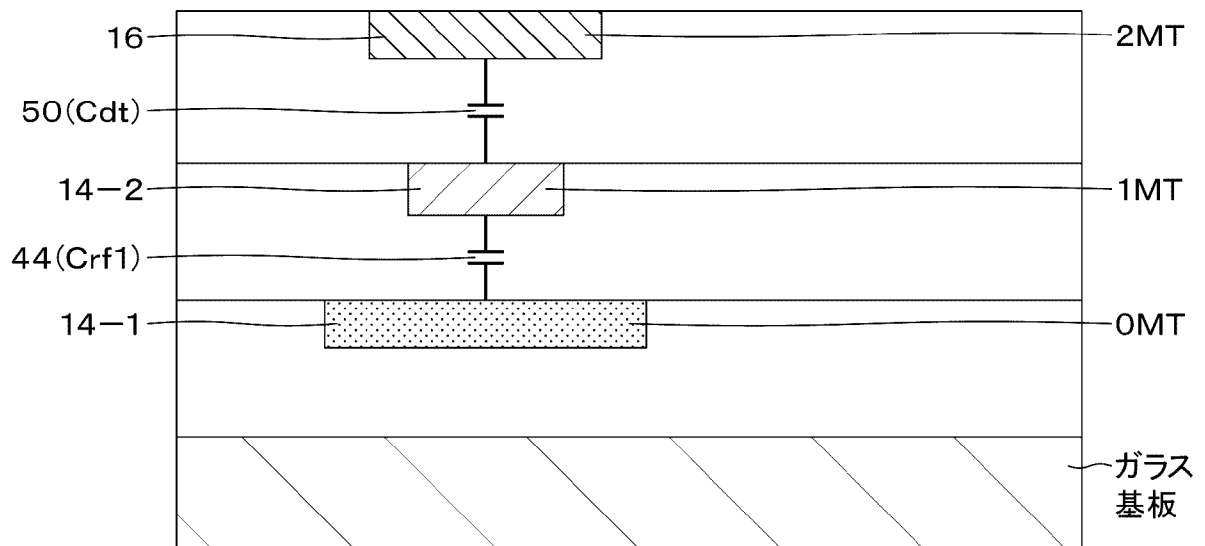
[図14]



[図15]



[図16]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/034572

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. G09G3/3291 (2016.01) i, G09F9/30 (2006.01) i, G09F9/33 (2006.01) i,
G09G3/20 (2006.01) i, G09G3/3233 (2016.01) i, H01L27/32 (2006.01) i,
H01L51/50 (2006.01) i, H05B33/02 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. G09G3/3291, G09F9/30, G09F9/33, G09G3/20, G09G3/3233,
H01L27/32, H01L51/50, H05B33/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2016-139078 A (SEIKO EPSON CORP.) 04 August 2016, paragraphs [0069]-[0114], fig. 5-10 (Family: none)	1, 4-5, 8 2-3, 6-7
Y A	JP 2017-83800 A (SEIKO EPSON CORP.) 18 May 2017, paragraphs [0159]-[0169], fig. 27-31 (Family: none)	1, 4-5, 8 2-3, 6-7

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
05 November 2019 (05.11.2019)

Date of mailing of the international search report
19 November 2019 (19.11.2019)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/034572

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2017-146336 A (SEIKO EPSON CORP.) 24 August 2017, paragraphs [0087]-[0166], fig. 13-22 & US 2017/0236885 A1, paragraphs [0138]-[0247], fig. 13-22 & CN 107086237 A	1-8
A	JP 2011-39269 A (SEIKO EPSON CORP.) 24 February 2011, entire text, all drawings (Family: none)	1-8
A	US 2015/0187274 A1 (LG DISPLAY CO., LTD.) 02 July 2015, entire text, all drawings & EP 2889867 A1 & KR 10-2015-0079315 A & CN 104751786 A	1-8
E, A	JP 2019-158988 A (SEIKO EPSON CORP.) 19 September 2019, entire text, all drawings (Family: none)	1-8

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. G09G3/3291(2016.01)i, G09F9/30(2006.01)i, G09F9/33(2006.01)i, G09G3/20(2006.01)i,
G09G3/3233(2016.01)i, H01L27/32(2006.01)i, H01L51/50(2006.01)i, H05B33/02(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. G09G3/3291, G09F9/30, G09F9/33, G09G3/20, G09G3/3233, H01L27/32, H01L51/50, H05B33/02

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2016-139078 A (セイコーエプソン株式会社) 2016.08.04, 段落 [0069] - [0114], [図5] - [図10] (ファミリーなし)	1, 4-5, 8 2-3, 6-7
Y A	JP 2017-83800 A (セイコーエプソン株式会社) 2017.05.18, 段落 [0159] - [0169], [図27] - [図31] (ファミリーなし)	1, 4-5, 8 2-3, 6-7

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

05.11.2019

国際調査報告の発送日

19.11.2019

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

西島 篤宏

21

9308

電話番号 03-3581-1101 内線 3273

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2017-146336 A (セイコーエプソン株式会社) 2017. 08. 24, 段落 [0087] - [0166], [図13] - [図22] & US 2017/0236885 A1, [0138]-[0247], 図13 - 図22 & CN 107086237 A	1-8
A	JP 2011-39269 A (セイコーエプソン株式会社) 2011. 02. 24, 全文, 全図 (ファミリーなし)	1-8
A	US 2015/0187274 A1 (LG DISPLAY CO., LTD.) 2015. 07. 02, 全文, 全図 & EP 2889867 A1 & KR 10-2015-0079315 A & CN 104751786 A	1-8
E, A	JP 2019-158988 A (セイコーエプソン株式会社) 2019. 09. 19, 全文, 全図 (ファミリーなし)	1-8