

申請日期： 92-9-22	IPC分類
申請案號： 92126127	H01L 27/108

(以上各欄由本局填註)

發明專利說明書 200411908

一、 發明名稱	中 文	具電容器之積體電路裝置及製造方法
	英 文	Integrated Circuit Arrangement with Capacitor and Fabrication Method
二、 發明人 (共5人)	姓 名 (中文)	1. 拉爾夫·布雷德羅夫 2. 傑西卡·哈特維希 3. 克利斯提昂·帕夏
	姓 名 (英文)	1. Ralf BREDERLOW 2. Jessica HARTWICH 3. Christian PACHA
	國 籍 (中英文)	1. 德國 DE 2. 德國 DE 3. 德國 DE
	住居所 (中 文)	1. 德國慕尼黑81827馮埃爾克特街27號 2. 德國諾伊比貝格85579下比貝格爾街25號 3. 德國慕尼黑81739阿森路12號
	住居所 (英 文)	1. Von-Erckert-Str. 27, 81827 Muenchen, Germany 2. Unterbiburger Str. 25, 85579 Neubiberg, Germany 3. Asenweg 12, 81739 Muenchen, Germany
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 億恆科技股份有限公司
	名稱或 姓 名 (英文)	1. Infineon Technologies AG
	國 籍 (中英文)	1. 德國 DE
	住居所 (營業所) (中 文)	1. 德國慕尼黑D-81669馬丁塊街53號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. St.-Martin-Str. 53, D-81669 Muenchen, Germany
	代表人 (中文)	1. 米夏埃爾·戈爾維茨爾; 2. 霍斯特·舍費爾
	代表人 (英文)	1. Michael Gollwitzer; 2. Dr. Horst Schaefer

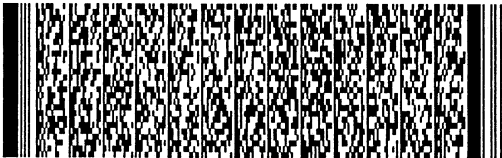


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共5人)	姓 名 (中文)	4. 沃夫岡·勒斯納 5. 湯瑪士·舒爾茨
	姓 名 (英文)	4. Wolfgang ROESNER 5. Thomas SCHULZ
	國 籍 (中英文)	4. 德國 DE 5. 德國 DE
	住居所 (中 文)	4. 德國奧托布魯恩85521蘇德騰街23號 5. 德國慕尼黑81737安內特寇爾伯安爾13/5號
	住居所 (英 文)	4. Sudetenstr. 23, D-85521 Ottobrunn, Germany 5. Annette-Kolb-Anger 13/5, D-81737 Muenchen, Germany
三、 申請人 (共1人)	名稱或 姓 名 (中文)	
	名稱或 姓 名 (英文)	
	國 籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	



一、本案已向

國家(地區)申請專利	申請日期	案號	主張專利法第二十四條第一項優先權
德國 DE	2002/10/18	102 48 722.7	有

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

無

寄存號碼：

☐熟習該項技術者易於獲得, 不須寄存。

五、發明說明 (1)

本發明關於一積體電路配置，其具有一電絕緣的絕緣區以及至少一個電容器。電容器係從一連串的区域被形成，其包含下列特定順序：

- 一電極區接近絕緣區，
- 一介電區，以及
- 一電極區遠離絕緣區。

電絕緣的絕緣區包含，例如，一電絕緣材料具有一電阻率大於 $10^{12} \Omega \text{cm}$ （歐母公分）於 20°C 室溫下，例如一氧化物，特別是二氧化矽。電極區包含有，經由範例，一金屬具有一電阻率小於 $10^{-4} \Omega \text{cm}$ 於 20°C 室溫下。如一選擇，電極區包含多晶矽，舉例來說，其係高摻雜的。介電區亦同樣包含一電絕緣材料，例如一氧化物，尤其是二氧化矽，其具有一介電常數約3.9。然而，具有一顯著較大介電常數的介電材料亦可被使用在介電區中。

本發明的目的係具體說明一簡單製造的具有一電容器之積體電路配置。目的是使電路配置可以用一特別小量的程序步驟來製造且特別是使用一小量的微影罩幕。再者，本發明的目的係說明一簡單製造的方法用於一積體電路配置具有一電容器。

關於電路配置之目的係藉由申請專利範圍第1項中所說明之一積體電路配置特徵被達成。發展係在附屬項中說明。根據本發明之電路配置中，絕緣區係為一絕緣層的部分而配置於一平面中。積體電路配置之電容器以及至少一個有效組件，較佳地所有積體電路配置之有效組件，位於絕緣



五、發明說明 (2)

層之相同側。再者，靠近絕緣區之電極區以及組件之有效區係被配置於一平面中，其平行於平面，其中絕緣層係被配置。

根據本發明之電路配置係以一簡單的方式被構成且可以一簡單方式被製造因為靠近絕緣區之電極區以及有效區係位於一平面中。再者，靠近絕緣區之電極區以及有效區係藉由一絕緣區被絕緣。自由地可選擇的電位可以因此被應用至電容器之兩個電極區。

電容器另外具有顯著的電子特性：

- 寄生電容以及電阻之比率關於有用的電容來說係為小的，不同的差異電容可歸因於間隙物電荷區域。在類比電容例子中，差異電容係為在操作點有效的電容，

- 漏電流小，

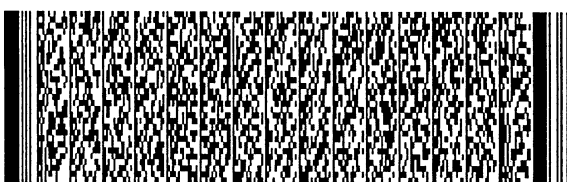
- 電容之差異非直線性小，

- 在一廣泛操作點範圍電容係為常數，

- 可被獲得之電容/面積的比例大，例如大於十飛法拉第每一平方微米或者甚至大於二十飛法拉第每一平方微米。

再者，沒有更進一步的層或者在一層的序列需要在有效組件以及電容器之間。這使其可能去降低所需要的層的數量以及增加積體電路配置之平面性。

在一發展中，接近絕緣區之電極區以及有效區係為半導體區，其包含一半導體材料，即一材料具有一電阻率介於 10^{-5} 以及 $10^{12} \Omega \text{cm}$ ，特別是介於 10^{-6} 以及 $10^{12} \Omega \text{cm}$ 之間，例如鍺，矽或者砷化鍺。電容器中靠近絕緣區之電極區的電阻



五、發明說明 (3)

率係藉由一摻雜在一組態中而被降低。

在電路配置之一發展中，靠近絕緣區之電極區以及有效區係為單晶區其係被摻雜的，如果適當。在單晶層中有效組件之電子特性特別地好。再者，電容器中一單晶電極之電阻率可藉由摻雜特別好地被降低。在一組態中，靠近絕緣區之電極區以及有效區具有一厚度小於一百奈米或者甚至小於五十奈米。在此薄半導體層中，具有一非常短頻道長度之有效組件可被製造以一特別簡單的方法。

在下一個發展中，絕緣層比鄰一載體基板，如具有一所謂的SOI基板的例子 (Silicon on Insulator)。此類的基板可以一簡單方法來製造。再者，電子電路配置於這些基板上具有特別好的電子特性。

在下一個發展中，介電區以及遠離絕緣區之電極區係被配置在至少兩側區域之靠近絕緣區之電極區。此措施使其可能以一簡單方法去增加電容器之電容。如果側面區域坐落在載體基板橫向，接著沒有或僅有一小的額外晶片區域被需求用以增加電容。一進一步的措施用以增加電容包含在具有一多重性的內部網狀網路之電極區。網狀組之高度係較佳地大於其寬度。

在另一發展中，有效組件係一場效電晶體：

- 場效電晶體之頻道區係為有效區。如果頻道區未摻雜，接著特別好的電子特性特別地造成所給予的非常短的頻道長度為10奈米，舉例來說。

- 場效電晶體之控制電極係一已圖樣化的電極層之一部份



五、發明說明 (4)

其中電容器之電極區其係遠離絕緣區亦被配置。控制電極以及遠離絕緣區之電極區包含相同的材料。這些區域的厚度以及摻雜的濃度亦一致。

- 在一組態中，場效電晶體之一控制電極絕緣區包含相同的材料如同電容器之介電區。這些區域的厚度亦一致。此措施指出僅有三層製造步驟被需求於製造電容器以及製造場效電晶體。場效電晶體之區域以及位於相同層之電晶體之區域可以被共同地圖樣化。一用於製造電晶體之附加的罩幕係僅當電容器之底部電極區被與場效電晶體之頻道區不同地摻雜時必須。再一附加罩幕僅當控制電極絕緣區以及電容器之介電區之材料以及/或絕緣層厚度不同時必須。儘管如此，無論如何，製造電路配置所需之罩幕數量仍然很小。

在下一個發展中，場效電晶體包含一網狀組織或者一鰭板。控制電極係被配置在網狀組織之彼此相反側。此造成一場效電晶體具有突出控制特性，例如一所謂的FinFET。在一發展中，有一連接區其電傳導地連接控制電極。在一組態中，連接區係從頻道區藉由一絕緣區被隔離，絕緣區之絕緣厚度係大於控制電極絕緣區之絕緣厚度。這些措施使其可能去避免在電晶體之控制期間之邊緣效應。

在另一組態中，控制電極比鄰一矽化物區。這個措施使其更簡單去與控制電極聯繫。聯繫電阻以及薄板電阻係同時被降低。

在根據本發明電路配置之下一個發展中，場效電晶體之端



五、發明說明 (5)

點區比鄰絕緣區。在一組態中，端點區亦同樣比鄰矽化物區。矽化物形成之充足的材料係存在當半導體層，在形成矽化物之前以及之後，在端點區之區域中比靠近絕緣區之電極區具有一較大厚度。

在下一個發展中，間隙物係被配置在控制電極的兩側，其間隙物亦具有一不同的材料或者包含一與電極層不同的材料，特別是一種在一附生方法期間不適合作為一附生層生長之一起始點的材料，其用於製造一半導體附生層，例如氮化矽。間隙物的使用表示控制電極的側面區域被覆蓋，因此沒有附生可從該處進行且短路電路被避免。

在一組態中，一間隙物係同樣地被配置在至少一側的遠離絕緣區之電極區。間隙物已經滿足如同配置在控制電極之間隙物相同的工作。如果一間隙物配置在閘極且一間隙物配置在電容器之一電極而彼此接觸，接著一覆蓋產生，藉由範例，防止一摻雜或另外一矽化在已遮蔽的區域。

在下一個發展中，場效電晶體之一端點區以及靠近絕緣區之電容器之電極區彼此比鄰且因此形成一電傳導連接。此造成一簡單結構的DRAM（動態隨機存取記憶體）記憶體胞元，而無需要額外的措施用於製造與靠近絕緣區之電極接觸。

在一發展中，電極區靠近絕緣區的那側其比鄰電晶體之端點區係比位於該側之橫向之電極區靠近絕緣區之一側較長，較佳地至少兩倍長或至少五倍長。在此例中，電晶體具有最小特徵尺寸之倍數的一電晶體寬度，較佳地多於三

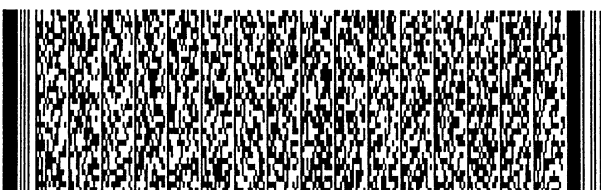


五、發明說明 (6)

倍或多於五倍。這些措施造成一特別低阻抗的連接在電晶體以及電容器之間。此導致電子特性的改良特別地在所謂的類比電路之類比電容中。此類比電路的例子為類比對數位的轉換器。另一個類比電容之範例係可以被使用來緩和電壓於一操作電壓線路或者一訊號線路中一所謂的分流電容。

在一可選擇的發展中，相較之下，靠近絕緣區之電極區的一側，其位於靠近比鄰端點區之絕緣區之電極區橫向位置，係比靠近端點區之那側長，較佳地至少兩倍長或者至少五倍長。在此例中，電晶體具有一電晶體寬度，其係小於最小特徵尺寸之三倍，較佳地小於兩倍的最小特徵尺寸。這個措施所達成的特別是在記憶體胞元的例子中，係為電容器底部電極之非反應的阻抗被增加且儲存電容之一快速排放係因此抵銷。

在另外的發展中，電路配置含有至少一個處理器具有邏輯開關功能之一多重性。如果，在一組態中，電路配置額外地包含有DRAM（動態隨機存取記憶體）記憶體單元之一多重性在處理器旁邊，接著一條條件係亦使用的為一嵌入式記憶體。為了製造此電路配置，除了方法步驟以及罩幕無論如何是需要用來製造邏輯，僅一小量的額外步驟以及額外罩幕為製造電容器或電晶體所需，其係彼此電傳導連接。本發明另外關於，以一另一個的觀點，關於一種用於製造一積體電路配置的方法，特別是用以製造根據本發明或者其發展之一的電路配置。根據本發明之方法中下列方法步



五、發明說明 (7)

驟係被執行而無任何說明順序的限制：

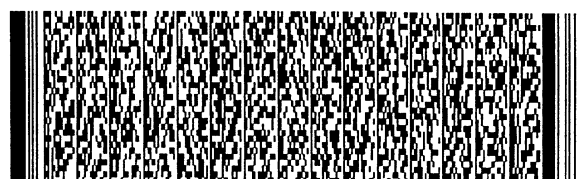
- 一基板之提供，其具有電絕緣材料所製之一絕緣層以及一半導體層，例如一SOI基板，
- 半導體層之圖樣化以形成至少一個電極區用於一電容器，以及為了形成一電晶體之至少一個有效區，
- 半導體層圖樣化之後，製造一介電層，
- 介電層製造之後，製造一電極層之製造，以及
- 形成電容器之一電極，其係遠離絕緣區且在電極層中形成電晶體之一控制電極。

根據本發明之方法特別適合用來製造一所謂的FinFET具有電容器。根據本發明之電路配置之上述技術效應以及其發展亦應用在根據本發明之方法以及其發展中。

本發明之實施例係被解釋如下藉由參考隨附的圖示，其中：

圖一A至圖十六B顯示在一積體記憶體胞元之製造中的製造階段，圖一A至圖十六B關於一斷面沿著斷面I，其位於相對於一場效電晶體之一頻道縱向，特別是關於在頻道中之電流方向縱向。在每一個例子中圖一B至圖十六B沿著一斷面II之關於切面，其位於頻道橫向。

記憶體胞元之製造開始從一SOI基板10進行，其包含由單晶矽所製造之一載體基板12，一所謂的埋入型絕緣層14由二氧化矽所製造，例如，以及一薄半導體層16由單晶矽製造。在實施例中，載體基板12之厚度為五百以及五十微米，絕緣層14之厚度為一百奈米以及半導體層16之厚度為



五、發明說明 (8)

五十奈米。在圖一A之製造階段中，沿著斷面I以及II尚未有不同的差異，分別地，見圖一B。

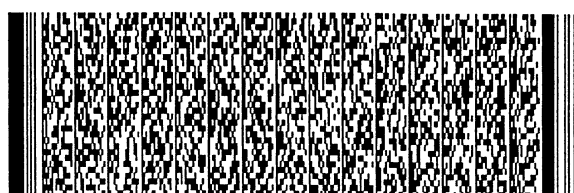
如圖二A以及二B所說明，一氮化矽層18係隨後被沉積入SOI基板10，例如藉由一CVD（化學氣相沉積）方法的輔助。在實施例中，氮化矽層18具有一厚度為五十奈米。二氧化矽層接著被沉積在氮化矽層18之整個區域上，例如一TEOS層20（四乙氧矽）藉由一TEOS方法的輔助。在實施例中，TEOS層20具有一厚度為七十五奈米。完全相同的狀況仍然存在沿著斷面I以及II，見圖二B。

在另一個實施例中，雙層包含氮化矽層18以及TEOS層20係由一單層取代。此造成一程序上的簡化。

如圖三A以及三B所示，一微影方法係接著被執行。在其終點，一光阻22係被提供在整個區域之上，依照一預先決定的佈局被曝光且顯影。之後，TEOS層20，氮化層18以及半導體層16係被圖樣化，例如藉由一乾式蝕刻的方法。此造成一層堆疊30或者錐形的平台，在斷面II的區域中，形成一網狀區，見圖三B，且接著再次被拓寬。場效電晶體之幾何學的製造以及電容器之幾何學可以被指定且因此彼此獨立地被最佳化。

光阻22係接著被移除。如一可選擇的一光微影方法，在另一實施例中，一電子束微影方法或者其他適合的方法係被執行。

如圖四A以及四B所示，一進一步的光微影方法係接著被執行，其中一附加的罩幕係需要用來製造電容器。一光阻層



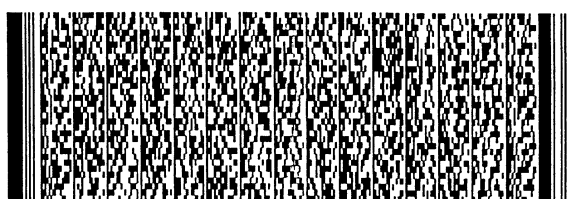
五、發明說明 (9)

32 係被應用，使用罩幕來曝光，顯影以及圖樣化。在圖樣化期間，TEOS 層 20 以及氮化矽層 18 在半導體層 16 中之電極區 34 之上係被移除。結果，堆疊 30 係被分割成一電晶體部分 30a 以及一電容器部分 30b。

之後，一離子佈植係被執行使用已圖樣化的光阻層 32，底部電極區 34 為深度 n- 摻雜，以 n++ 以及以佈植箭號 40 在圖四 A 中表示。半導體層 16 在提供電晶體之區域中係不被摻雜。底部電極區 34 取得低阻抗由於額外佈植的結果。由範例，摻雜密度量至 10^{20} 摻雜原子每一立方公分。摻雜密度較佳地位在介於 10^{19} 以及 10^{21} 個原子每一立方公分的範圍中。當摻雜密度增加，介電生長更迅速於在未摻雜或僅中度摻雜的區域。然而，當摻雜密度增加，所形成之間隙物電荷區域變小，因此寄生效應亦同樣變小。

之後電晶體的頻道區，特別是此頻道區的側面區，係被光阻層 32 保護，因此可能影響一摻雜之區域不滲入這些區域中。

如圖五 A 以及五 B 所示，光阻層 32 係接著被移除。一薄氧化物層係接著被製造在半導體層 16 之所有未覆蓋的側邊以及，特別是，亦在底部電極區 34 之未覆蓋的側面，該氧化物層形成閘極氧化物 42 以及 44 於電晶體區以及一介電層 46 於電容器區。由範例中，氧化物層為熱生長。在實施例中，氧化物層在未摻雜矽之區域中具有厚度為兩奈米。在另一選擇的實施例中，使用另一微影方法，由一不同材料所製造之一介電層以及/或具有與提供電晶體的區域一



五、發明說明 (10)

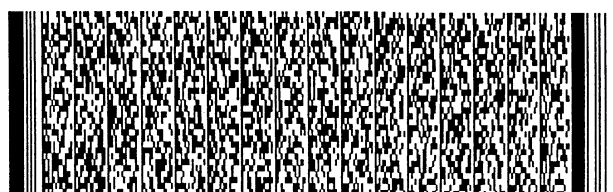
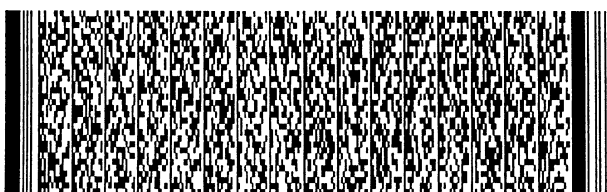
不同厚度的一介電層被製造於電容器的區域中。

如圖六A以及六B所示，在原處或者隨後被摻雜的多晶矽係接著被沉積，一聚矽層50被製造。聚矽層50具有，由範例，一厚度為一百奈米以及一摻雜物濃度為 10^{21} 個摻雜原子每立方公分。n傳導類型之重度摻雜係再次由n++的符號代表。磷原子，舉例來說，被使用來作為摻雜原子。

如圖七A以及七B所示，再一TEOS層52，其係比TEOS層20厚，係接著被沉積在聚矽層50之上。在實施例中，TEOS層50的厚度總計為一百奈米。

TEOS層52具有一雙重功能。如將被說明於下，TEOS層52首先作為一硬罩幕用於電晶體之控制電極（閘極）的圖樣化。之後，TEOS層52作為一佈植罩幕其預防閘極之重複摻雜。在此方法中，對於閘極以及源/汲極區域可能被不同地摻雜。閘極工作功能可因此被自由地選擇。

如圖八A以及八B所示，再一微影方法接著被執行用來圖樣化一閘極54。在其終點，一光阻層（未顯示於圖中）係再次被應用，曝光以及顯影。之後，TEOS層52以及聚矽層50被圖樣化，例如蝕刻。此造成在電晶體區域中之閘極54以及電容器區域中一覆蓋電極56。閘極54係被一TEOS層區域52a覆蓋。覆蓋的電極56係被一TEOS層區域52b覆蓋。蝕刻停止於TEOS層20。一顯著程度的過度蝕刻在蝕刻聚矽層50期間係被達成，用以移除所有在層堆疊30a側壁上寄生的聚矽間隙物。在蝕刻之後，側壁僅由薄氧化物層覆蓋。如圖九A以及九B所示，一薄氮化矽層60係接著被沉積在所



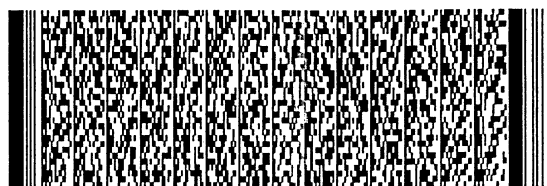
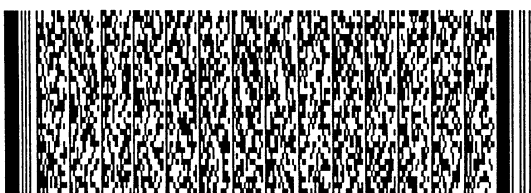
五、發明說明 (11)

有面積上，例如藉由一CVD法的輔助。在實施例中，氮化矽層60具有一厚度為五十奈米。

如圖十A以及十B所示，氮化矽層60係接著以一非等向性蝕刻方法被回蝕刻以形成間隙物60a於電晶體部分30a的側壁上，形成間隙物60b，60c於閘極54以及TEOS層區52a的側壁上，且亦形成一間隙物60d在覆蓋電極56以及TEOS區52b之側壁上。

如圖十一A以及十一B所示，薄TEOS層20接著被蝕刻而無使用一微影方法，即再一自身校準的方法中，例如藉由一RIE法（反應性離子蝕刻）。一TEOS層區50a係被製造於間隙物60b，60c之下且在閘極54之下。一TEOS層區20b係被製造於間隙物60d之下。在蝕刻期間，TEOS層區52a以及52b亦被削薄，例如二十五奈米。此製造削薄的TEOS層區52c在閘極54之上以及52d在覆蓋電極56之上。蝕刻的結果，此外，氮化矽層18在區域中未覆蓋其係不被TEOS層區20a所覆蓋。間隙物60a至60d矽不被TEOS層52之蝕刻所攻擊，因此他們稍微突出於被削薄的TEOS層區52c以及52d之範圍。

如圖十二A以及十二B所示，氮化層18係接著以一自身校準方法被圖樣化，該氮化矽層18之未覆蓋的區域係被移除。一氮化層區18a仍然在TEOS層區20a之下。一氮化層區18b仍然在TEOS層區20b之下。蝕刻係被作用例如藉由一RIE法（反應性離子蝕刻）。間隙物60a至60d在此程序中亦被縮短。層厚度以及蝕刻係被測量尺寸如此閘極54在氮化矽層



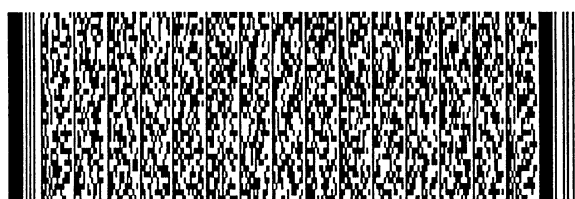
五、發明說明 (12)

18 蝕刻之後，側邊仍然被間隙物60b以及60c圍繞。從上，閘極54係此外被一足夠厚的TEOS層所覆蓋，例如一TEOS層52c具有一厚度為二十五奈米。源/汲極區在氮化矽層18蝕刻之後係未被覆蓋。

間隙物60b以及60c現在以TEOS區52c之上表面終止。間隙物60d以TEOS層區52d終止。

如圖十三A以及十三B所示，一選擇性的附生法係接著被執行。一單晶附生層生長僅在半導體層16之未覆蓋的源/汲極區之上。附生區62以及64係被製造於單晶矽上。附生區62以及64適當地向上延展至TEOS層區20a以及20b的一半高度。附生區62以及64亦被參考如"高層的"源/汲極區。附生區62以及64之附生層的厚度主要依賴半導體層16的厚度以及下列解釋的矽化。矽化消耗其所存在之矽，結果一一致的大量矽係被提供用於反應。此措施預防頻道端點於源/汲極區的區域中之一"撕開"。

如圖十四A以及十四B所示，在附生法之後，一離子佈植，例如n++，即重度n摻雜，係被執行以製造高度摻雜的源/汲極區70以及72，見佈植箭號80。一單幕此處係必須僅於分離在一CMOS法（互補金屬氧化物半導體）中具有互補的電晶體區域。附生區62，64以及在下方的半導體層16區域係為n++摻雜於低阻抗模式如佈植結果。再者，在此例中，一連接係被製造於源/汲極區72以及電容器之底部電極區34之間。在半導體層16中介於源/汲極區70以及72之間之一頻道區72維持未摻雜。



五、發明說明 (13)

TEOS 層區 52c 以及 52d 在佈植期間作為一佈植罩幕。閘極 54 以及覆蓋電極 56 之摻雜係因此在佈植期間不被改變。

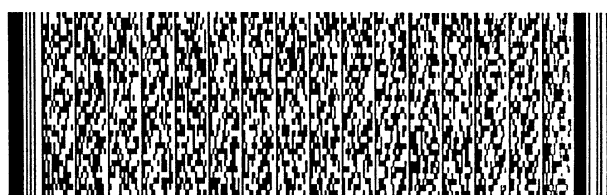
如圖十五A 以及十五B 所示，TEOS 層 52 的殘留物，即特別是 TEOS 層區 52c 以及 52d，係被蝕刻掉在 HDD（高密度汲取）佈植之後。一自身校準矽化法係接著被執行。在其終點，由範例，一鎳層係被沉積在整個區域之上。在 500℃ 溫度，舉例來說，矽化鎳形成在附生區 62，64 之上，在閘極 54 之上以及覆蓋電極 56 之上，見矽化區 90 至 96。代替鎳，亦可能使用一不同的金屬具有一熔點高於攝氏 1200 度，特別是一耐火的金屬，為了製造矽化鈦或者矽化鈷。

如圖十六A 以及十六B 所示，一鈍化層 100 係接著被應用，例如二氧化矽所製得的。接觸洞係被蝕刻進入鈍化層 100 且以鎢填滿，舉例來說，如此製造連接區域 102，104，106，108 以及 110，其導致依序矽化區為 90，94，96，以及 92，分別地。在另一個實施例中，僅一連接區域被提供代替兩個連接區 108 以及 110 而導致矽化區 92。連接區域 102 至 110 係接著亦被連接至一金屬化層之交互連接或者一複數的金屬化層之交互連接。一傳統的 CMOS 法，亦參考如"返回終點"，係被執行於此例中。

圖十七顯示記憶體胞元 120 之一平面圖，其包含有一 FinFET 122 以及一電容器 124。電容器 124 在所有的圖一A 至十七中係被顯示關於電晶體 122 縮小的尺寸。

電容器 124 之作用區域造成如下結果：

$$A = L \cdot B + H \cdot (2 \cdot L + B)$$



五、發明說明 (14)

其中A係為有效作用的區域，B係為電容器的寬度，L係為電容器的長度，以及H係為如圖十六A或描述底部電極區34之高度。

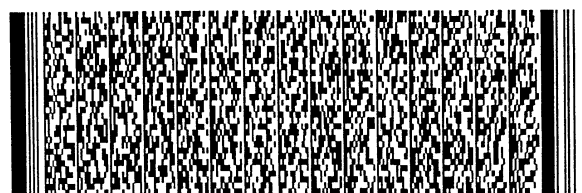
此一遷入是DRAM電容器應用之一較佳的區域為取代中尺寸的SRAM記憶體單元藉由一快速嵌入型DRAM，例如在微處理器記憶體集團之第二以及第三存取階級中，即在第二以及第三階級快取。由範例，至此一SRAM記憶體胞元已經具有一 $134F^2$ 的區域，其中F係為最小特徵尺寸。如果一介電層具有一介電常數 ϵ_r 相等於二十五係被使用，藉由範例，例如五氧化鉬，於是其可能去實現一典型遷入式DRAM電容CMEM為二十飛法拉第每記憶體胞元根據下列計算。氧化物電容總計為：

$$COX = \epsilon_r \epsilon_0 / t_{phys} = 110 \text{ fF} / \mu m^2$$

其中 t_{phys} 係為氧化物厚度，在實施例中總計為二奈米。此造成儲存電容之一所需區域AMEM為：

$$AMEM = CMEM / COX = 0.18 \mu m^2$$

對於一最小特徵尺寸F相等於五十奈米，此符合 $72F^2$ 之電容。此區域可被製造例如用一平行六面體的底部電極區34，其具有一基底區域為 $L \cdot B = 8F \cdot 6F$ ，其中高度H係相等於 $1F$ 。此符合一藉由相關於一平面SOI法百分之三十三的區域縮減。此區域獲得增加較高的高度H。包括存取電晶體，一 $68F^2$ 的所有區域的FinFET-電容配置造成，FinFET 122以一閘極接觸被實施。嵌入型DRAM記憶體胞元之區域係因此比SRAM胞元尺寸 $134F^2$ 小。



五、發明說明 (15)

在本發明的例子中，一電容係被整合進入FET平面，那就是說進入所謂的頂部矽於一SOI基板上。與具有平面之SOI-CMOS技術相比，完全地耗盡SOI電晶體，無論如何，一FinFET係被使用，其具有更好的控制特性由於兩個控制頻道在其側壁。SOI電容的製造需要僅僅一個額外的程序步驟如果特別是高品質的電晶體閘極介電層被利用作為電容器之介電層。

給予一有效的氧化物厚度為一奈米，閘極之一校正為0.8奈米以及頂部矽消耗以及由於量子機構效應，造成每一面積之一電容為：

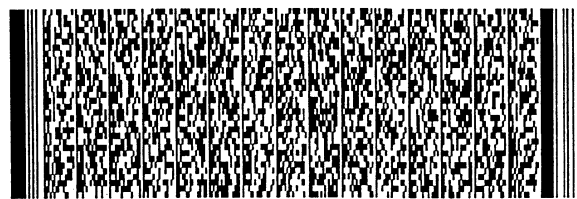
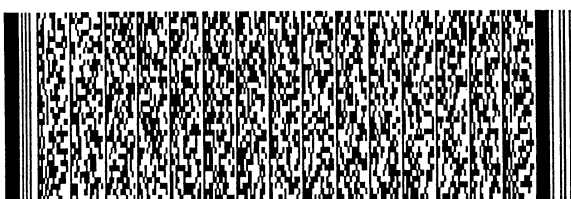
$$COX = 3.9 \epsilon_0 / t_{fox} = 19 \text{ fF} / \mu\text{m}^2$$

其中 t_{fox} 等於1.8奈米表示電有效的氧化物厚度以及 ϵ_0 表示自由間隙物之介電常數。若使用一金屬閘極，電有效氧化物厚度降低約0.4奈米因為閘極消耗不再存在，由於其，每面積之電容增加至：

$$COX = 3.9 \epsilon_0 / t_{fox} = 24 \text{ fF} / \mu\text{m}^2$$

根據本發明之電容亦使用作為所謂的分流電容器用於在積體電路配置之電壓供應中減弱所謂的電壓突增以及減弱干擾。他們亦高度適合作為類比電容，特別是在震盪器或者類比對數位轉換器中。電容亦被使用於所謂的混合訊號電路，即用於具有類比電容的電路以及例如在記憶體胞元中之儲存電容。

在其他實施例中，一分離的高-k DRAM介電層，該處 ϵ_r 大於一百係被使用取代閘極氧化物。例如一介電層包含鈦酸鋇



五、發明說明 (16)

鋇 (BST) 或者附生的鈦酸鋇鋇。面積的要求因此降低至約 $22F^2$ 。一第二附加的罩幕係被使用已定義高-k 值介電層在SOI堆疊上的區域。

前述技術概念所提供之更加有利的優點係一平面的轉變在純邏輯塊以及嵌入式DRAM塊之間。再者，深度通道以及接觸係被避免。

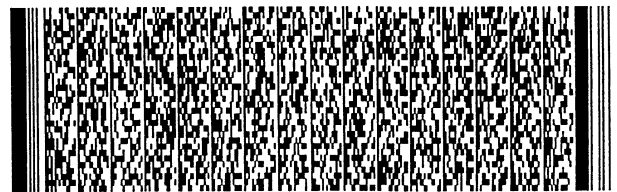
一低漏電流在FinFET電晶體中且亦較低寄生電容，其增加在全部電容中有用的電容比率，此外到製一更降低的CMEM之嵌入式DRAM電容等於10飛法拉第。

沒有LDD摻雜（輕微摻雜汲取）被執行於參考圖一A至十七所解釋之實施例中。在另一實施例中，除了HDD摻雜之外一LDD摻雜亦被執行。

在另一個實施例中，一電晶體以及電容器被配置佔有間隙物地彼此更加遠離且各自連接至專用的連接區域。

特別地在DRAM記憶體胞元的例子中僅具有一個電晶體，連接區域104係不被需要。間隙物60c以及60d可接著彼此接觸因此在端點區70摻雜期間以及選擇性矽化期間他們作為一罩幕。端點區接著形成在間隙物60c以及60d之下經由從底部電極區34過度擴散摻雜原子。

圖十八顯示一DRAM記憶體胞元200之一電路圖，其具有三個電晶體M1至M3且亦具有一電容器Cs，其已經藉由圖一A至十六A所解釋的方法步驟被製造。由於範例，圖十七中所示之電晶體122在第一例子中為電晶體M1。電容器124為電容器Cs。在第一例中，一電傳導連接從在半導體層16之



五、發明說明 (17)

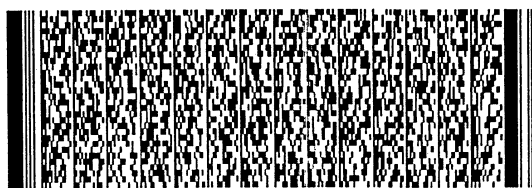
一比鄰底部電極區34之附加層墊引導或者從連接區域104至電晶體M2之閘極。

如一可選擇的，在一第二例之佈局係被選擇以使電晶體122符合電晶體M2，電容器124再次符合電容器Cs。在第二例中，覆蓋的電極56係電傳導地連接至電晶體M1之一端點區，以及連接至電晶體M2之閘極。

記憶體胞元200之電路包含一分支電路用以寫入以及一分支電路用以讀出，電容器Cs的電荷在讀出步驟期間不被改變，結果其亦不需要去更新此電荷在一讀取操作之後。

用來寫入之分支電路包含寫入電晶體M1以及電容器Cs。電晶體M1之閘極端點係被連接至一寫入字元線路WWL。電晶體M1的來源端係被連接至一寫入位元線路BL1。在一根據上述第一例具有特別好的電子特性之電路配置的例子中，電晶體M1之汲取端引導至一儲存節點X，其係藉由電容器34之底部電極34被形成。電容器Cs之覆蓋電極56係在一接地電位VSS。在根據第二例之另一選擇中，電晶體M1之汲取端引導至由電容器124之覆蓋電極56所形成之一儲存節點X。電容器Cs之底部電極34係在一接地電位VSS。

讀取之分支電路包含電晶體M2以及M3。電晶體M3之閘極端點係被連接至一讀取字元線路RWL。電晶體M3之汲取端係被連接至一讀取位元線路BL2，其係被充電至一操作電位VDD，例如，在讀取操作開始之前。電晶體M3之來源端係被連接至電晶體M2之一汲取端。電晶體M2之閘極端點係被連接至儲存節點X。電晶體M2之來源端係在接地電位VSS。



五、發明說明 (18)

電晶體M2執行一放大器的任務，因此可信的讀取係仍然可能即使在儲存節點X之電荷損失的狀況下。如果有一正電荷在儲存節點，接著電晶體M2在開關打開的狀態且預先充電的讀取位元線路BL2在讀取操作期間係被放電。

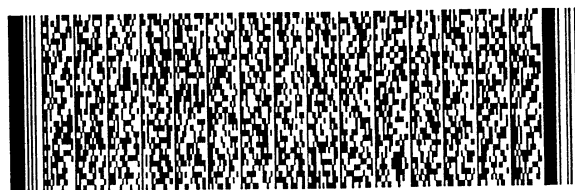
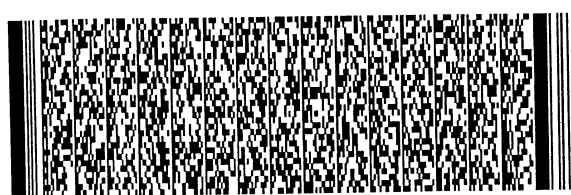
因為電晶體M2之閘極來源電容係與電容器Cs平行的方式被連接，有效的儲存電容Ceff增加：

$$C_{eff} = C_s + C_{GS}(M2)$$

其中Cs為電容器Cs的電容以及CGS為電晶體M2之閘極來源電容。由於製造方法，儲存電容Cs以及電晶體M2之每一面積之電容係例如為相同數量如果閘極氧化物以及電容器介電層係被製造以相同的介電層以及該層在所有點上具有相同層厚度。

記憶體胞元200之面積需求係由有效儲存電容Ceff製造需求來決定。給予低漏電流以及一高電晶體利益，其造成一高讀取電流，其係可能降低儲存電容Cs的尺寸。電容器Cs所需的面積以及其電子特性對於經濟上製造一記憶體單元具有一多重的記憶體胞元200係原則上的準則。一記憶體單元具有一多重記憶體胞元200亦適合於取代在一處理器記憶體集團中一SRAM。

在另一實施例，取代FinFET電晶體，使用一多重FinFET電晶體，其包含僅替代一網狀組織，一多重性的網路組織在其汲取端區以及來源端區之間而彼此平行配置。



圖式簡單說明

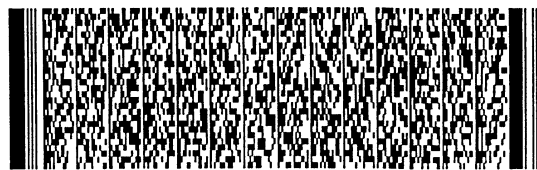
圖一A至圖十六B顯示製造一積體DRAM記憶體胞元之製造階段，

圖十七顯示記憶體胞元之一平面圖，以及

圖十八顯示一DRAM記憶體胞元具有三個電晶體之一平面圖。

元件符號說明：

I, II	斷面	10	SOI 基板	12	載體基板
14	絕緣層	16	半導體層	18	氮化矽層
18a, 18b	氮化層區	20	TEOS 層	30	層堆疊
20a, 20b	TEOS 層區	22	光阻層	32	光阻層
30a	電晶體部分	30b	電容器部分	42, 44	閘極氧化物
34	底部電極區	40	佈植	52	TEOS 層
46	介電層	50	聚矽層	56	覆蓋電極
52a 至 52d	TEOS 層區	54	閘極	60a 至 60d	間隙物
60	氮化矽層	70, 72	源/汲極區	72	頻道區
62, 64	附生區	100	鈍化層	120	記憶體胞元
80	佈植	124	電容器	L	長度
90 至 96	矽化物區	H	高度	A	面積
102 至 110	連接部分	200	記憶體胞元	M1 至 M3	電晶體
122	FinFET	BL1	寫入位元線	BL2	讀取位元線
B	寬度				
F	最小特徵尺寸				
Cs	電容器				



圖式簡單說明

RWL 讀取字元線

WWL 寫入字元線

X 儲存節點

VDD 操作電位

VSS 接地電位



四、中文發明摘要 (發明名稱：具電容器之積體電路裝置及製造方法)

一個說明係被提供，尤其，一積體電路配置 (120)，其包含一電晶體 (122)，較佳地為一所謂的 FinFET，以及一電容器 (124)。電容器 (124) 之底部電極於一SOI基板中係被配置與電晶體 (122) 之一頻道區域一起。該電路配置 (120) 係簡單製造且具有顯著的電子特性。

五、(一)、本案代表圖為：第____十七____圖

(二)、本案代表圖之元件代表符號簡單說明：

90至96 矽化物區	102至110 連接部分	
120 記憶體胞元	122 FinFET	124 電容器

六、英文發明摘要 (發明名稱：Integrated Circuit Arrangement with Capacitor and Fabrication Method)

An explanation is given, inter alia, of an integrated circuit arrangement (120), which contains a transistor (122), preferably a so-called FinFET, and a capacitor (124). The bottom electrode of the capacitor (124) is arranged together with a channel region of the transistor (122) on the SOI substrate. The circuit arrangement (120) is simple to fabricate and has outstanding electronic properties.



六、申請專利範圍

1. 一種積體電路配置 (120)，具有一電絕緣的絕緣區，且具有至少一連串的区域形成一電容器 (124) 以及其包含指定順序之：

一電極區 (34) 靠近該絕緣區，

一介電區 (46)，以及

一電極區 (56) 遠離該絕緣區，

該絕緣區係一配置於一平面中之絕緣層 (14) 的一部分，該積體電路配置之該電容器 (124) 以及至少一個有效的組件 (122) 係被配置於該絕緣層 (14) 之相同側，且接近該組件 (122) 之該絕緣區與該有效區 (82) 之該電極區 (34) 被配置於一平面中，其平行於該絕緣層 (14) 被配置之該平面，其中。

2. 根據申請專利範圍第1項所述之電路配置 (120)，其中靠近該絕緣區之該電極區 (34) 係一單晶區，較佳地為一摻雜半導體區域，

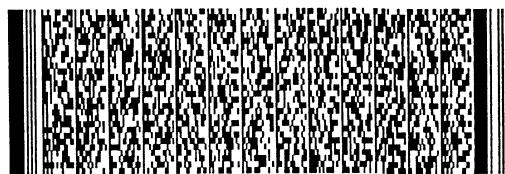
以及/或其中靠近該絕緣區以及/或該有效區 (82) 之該電極區 (34) 具有一厚度小於一百奈米或小於五十奈米，

以及/或其中該有效區 (82) 係一單晶區，較佳地為一摻雜或未摻雜之半導體區，

以及/或其中該絕緣層 (14) 在一側比鄰一載體基板

(12)，較佳地為一含有一半導體材料或者包含一半導體材料之載體基板，特別是矽或單晶矽，

以及/或其中該絕緣層 (14) 與該電極區 (34) 相鄰而靠近該絕緣區於另一側，



六、申請專利範圍

以及／或其中該分界區域較佳地完全位於兩個彼此平行的平面，

以及／或其中該絕緣層（14）含有一電絕緣的材料，或者包含一電絕緣的材料，較佳地為一氧化物，特別是二氧化矽，

以及／或其中該有效組件（122）係為一電晶體，較佳地為一場效電晶體，特別是一FinFET。

3. 根據申請專利範圍第1項或第2項所述之電路配置

（120），其中該介電區（46）含有二氧化矽或者包含二氧化矽，

以及／或其中該介電區（46）包含一具有一介電常數大於四或者大於十或者大於五十之材料，

以及／或其中遠離該絕緣區之該電極區（56）含有矽，較佳地為多晶矽，或者包含矽，較佳地為多晶矽，

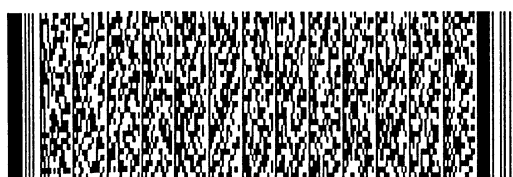
以及／或其中遠離該絕緣區之該電極區（56）含有一金屬或者包含一金屬，

以及／或其中遠離該絕緣區之該電極區（56）含有一低阻抗材料，較佳地為氮化鈦，氮化鉭，鈦或高摻雜的矽鍺，

以及／或其中遠離該絕緣區之該電極區（56）相鄰於一具有金屬半導體化合物之區域，特別是一矽化物區（96）。

4. 根據前述申請專利範圍中其中一項所述之電路配置

（120），其中該介電區（46）以及遠離該絕緣區之該電極區（56）係被配置在兩個，三個，四個或者在五個側面區域或者在比五個更多的接近該絕緣區之該介電區（34）



六、申請專利範圍

側面區域，

以及/或其中接近該絕緣區之該電極區(34)含有網狀組織高度較佳地大於網狀組織寬度之網狀組織之一多重性，較佳地至少兩倍大。

5. 根據前述申請專利範圍中其中一項所述之電路配置

(120)，其特徵在於至少一個場效電晶體(122)，其頻道區(82)係為有效區，該頻道區(82)較佳地為未摻雜，

以及/或其控制電極(54)含有與遠離該絕緣區之該電極區(56)相同材料以及/或該相同摻雜濃度之材料，

以及/或其控制電極絕緣區(42, 44)含有與該介電區(46)相同材料以及/或相同厚度之材料，

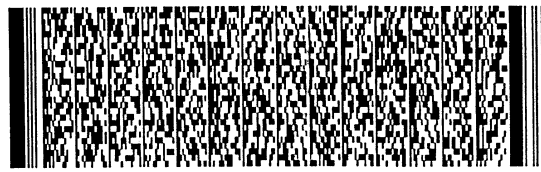
以及/或其控制電極絕緣區(42, 44)含有與該介電區(46)不同的材料以及/或不同厚度之材料。

6. 根據申請專利範圍第5項所述之電路配置(120)，其中該場效電晶體(122)含有至少一個網狀組織，

以及/或其中複數的控制電極(54)被配置在該網狀組織(30a)之彼此相對側，較佳地為兩個或三個控制電極，

以及/或其中至少一個控制電極(54)比鄰一包含金屬半導體化合物之區域，特別是一矽化物區(92)，

以及/或其中一連接區電連接該控制電極(54)，該連接區較佳地藉由一厚絕緣區(18, 20)從該頻道區隔離，該後絕緣區(18, 20)其較佳地具有一絕緣厚度大於控制電極絕緣區(42, 44)之厚度，



六、申請專利範圍

以及/或該連接區包含與該絕緣區之該電極區(56)相同材料以及/或具有相同摻雜程度如遠離。

7. 根據申請專利範圍第5項或第6項所述之電路配置(120)，其中該場效電晶體(122)之一端點區或者兩個端點區(70, 22)比鄰該絕緣層(14)，

以及/或其中至少一個端點區(70, 72)比鄰一包含一金屬半導體化合物之區域，較佳地為一矽化物區(90, 94)，

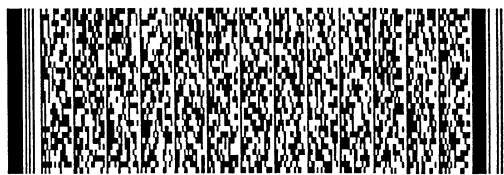
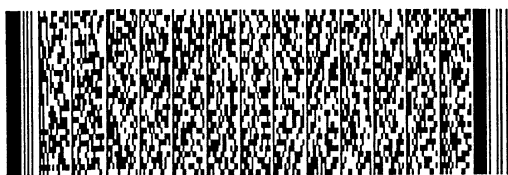
以及/或其中該端點區(70, 72)具有比該有效區(72)較大的厚度。

8. 根據申請專利範圍第5項至第7項其中一項所述之電路配置(120)，其中間隙物(60b, 60c)係被配置在該控制電極(54)之兩側，該間隙物較佳地含有與該電極層不同之材料，較佳地為氮化矽，或者該間隙物包含與該電極層不同之材料，較佳地為氮化矽，

以及/或其中一間隙物(60d)係被配置在遠離該絕緣區之該電極區(56)之至少一側，其間隙物含有一與該電極層(50)不同的材料，較佳地為氮化矽，或者包含一與該電極層(50)不同的材料，較佳地為氮化矽，

以及/或其中一間隙物(60c)被配置在一控制電極(54)以及一間隙物(60d)被配置在遠離該絕緣區之該電極區(56)彼此互相接觸。

9. 根據申請專利範圍第5項至第8項其中一項所述之電路配置(120)，其中場效電晶體(122)之一端點區(72)以



六、申請專利範圍

及該電容器(124)中鄰近該絕緣區之該電極區(34)彼此相鄰且在邊界具有一電傳導連接，

以及/或其中比鄰該電極區(34)之該端點區(72)不比鄰一含有一金屬半導體化合物之區域，

以及/或其中另一端點區(70)比鄰一含有一金屬半導體化合物之區域。

10. 根據申請專利範圍第9項所述之電路配置(120)，其中該電極區(34)靠近比鄰該端點區(72)之該絕緣區之側邊係大於該電極區(34)靠近橫過於該絕緣區之一側邊，較佳地至少兩倍長度或者至少五倍長度，

該電晶體(122)較佳地具有一電晶體寬度其係為最小特徵尺寸(F)之倍數，較佳地多於三倍或者多於五倍，

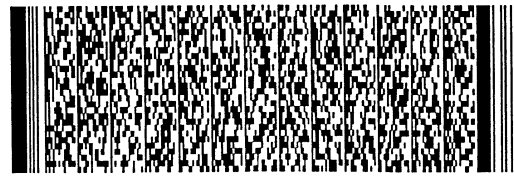
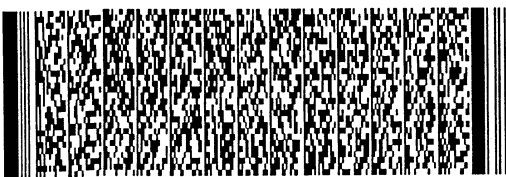
或者其中靠近絕緣區之該電極區(34)之一側係大於比鄰該端點區(72)之側，較佳地至少兩倍長度或者至少五倍長度，其中該絕緣區橫過於靠近比鄰該端點區(72)之絕緣區之該電極區(34)之側，

該電晶體(122)較佳地具有一電晶體寬度，其係三倍小於該最小特徵尺寸(F)，較佳地小於兩倍該最小特徵尺寸(F)。

11. 根據前述申請專利範圍其中一項所述之電路配置

(120)，其中該電路配置含有至少一個處理器，較佳地為一微處理器，

以及/或其中該電容器(124)以及該有效組件(122)形成一記憶體胞元(120)，特別是在一動態RAM記憶體單



六、申請專利範圍

元，

以及/或其中一記憶體胞元含有一電容器(122)以及僅有一電晶體(122)或者一電容器(Cs)以及多於一個的電晶體(M1至M3)，較佳為三個電晶體(M1至M3)。

12. 一種製造具有一電容器(124)之一積體電路配置(120)的方法，特別是如前述申請專利範圍其中一項所述之一電路配置(120)，

其中下列說明方法步驟係被執行而無任何順序限制：

一基板(10)之提供，其具有電絕緣材料所製之一絕緣層(14)以及一半導體層(16)，

半導體層(16)之圖樣化以形成一電容器之至少一個電極區(34)，以及為了形成一電晶體(122)之至少一個有效區(82)，

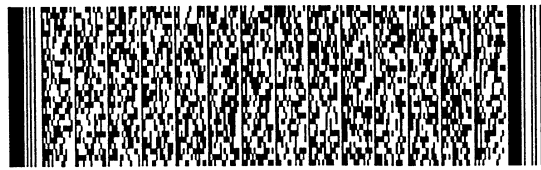
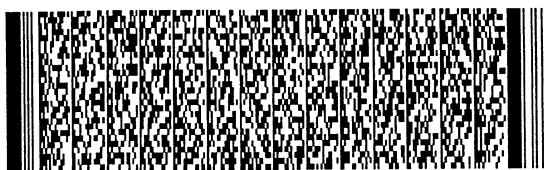
該半導體層(16)圖樣化之後，至少一個介電層(42，44，46)之製造，

介電層(42，44，46)製造之後，一電極層(50)之製造，

形成該電容器(124)之一電極(56)，其係遠離該電極層(50)之該絕緣區。

13. 根據申請專利範圍第12項所述之方法，其特徵在於下列步驟：

在圖樣化之前施加至少一個絕緣層(18，20)至該半導體層(16)，較佳為一氮化矽層(18)以及/或一氧化物層(20)具有一第一厚度，



六、申請專利範圍

以及 / 或 摻雜 靠近 該絕緣區之該電極 (34) , 較佳地在製造介電層 (42, 44, 46) 之前,

以及 / 或 製造該介電層 (42, 44, 46) 在一介電層在該電晶體 (122) 之該有效區 (82) 之同時,

以及 / 或 形成該電晶體 (122) 之一控制電極 (54) 在形成遠離該絕緣區之電極區 (56) 之同時。

14. 根據申請專利範圍第12項或第13項所述之方法, 其特徵在於下列步驟:

製造一輔助層 (52) 在製造該電極層 (50) 之後, 較佳地為一輔助層具有大於該氧化物層 (18, 20) 之厚度,

以及 / 或 使用該輔助層 (52) 作為一硬罩幕圖樣化遠離該絕緣區之該電極區 (56) 以及 / 或 該電晶體之一控制電極 (54) 。

15. 根據申請專利範圍第12至第14項其中一項所述之方法, 其特徵在於下列步驟:

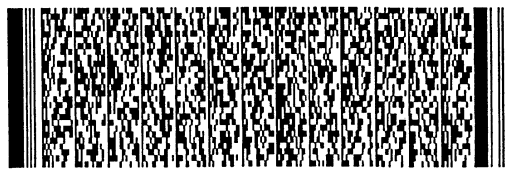
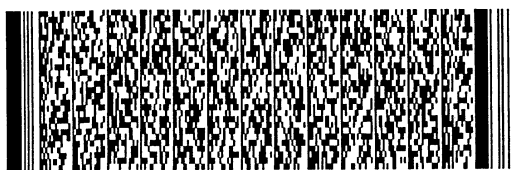
施加再一輔助層 (60) 在圖樣化該電晶體 (142) 之一控制電極 (54) 之後, 較佳地為一氮化矽層,

以及 / 或 非等向性蝕刻該再一輔助層 (60) 。

16. 根據申請專利範圍第12至第15向其中一項所述之方法, 其特徵在於下列步驟:

重複圖樣化該絕緣層 (18, 20) , 較佳為該輔助層 (52) 之厚度被減少以及 / 或 該輔助層 (52) 不被完全移除, 然而,

以及 / 或 非等向性蝕刻該再一輔助層 (60) 在該絕緣層



六、申請專利範圍

(20) 之圖樣化之後。

17. 根據申請專利範圍第12至第16向其中一項所述之方法，其特徵在於下列步驟：

執行一選擇性附生於半導體材料(16)所製造之未覆蓋的區域之上在形成遠離該絕緣區之該電極區(56)之後以及/或在圖樣化該電晶體(122)之一控制電極(54)之後，

以及/或摻雜該電晶體(122)之端點區(70, 72)在形成遠離該絕緣區之該電極區(56)之後，以及/或在圖樣化該控制電極(54)之後，且較佳地在該附生之後。

18. 根據申請專利範圍第12至第17向其中一項所述之方法，其特徵在於下列步驟：

移除該輔助層(52)，較佳地在圖樣化該絕緣層(18, 20)之後，以及/或在執行選擇性附生之後，

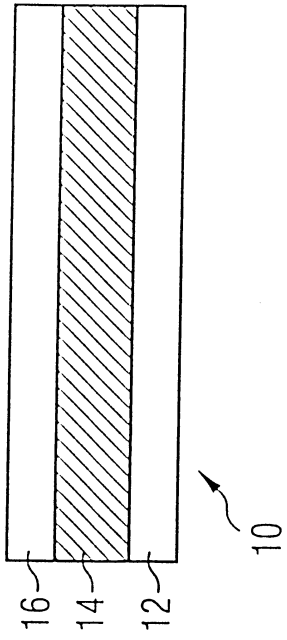
以及/或選擇性的形成一金屬半導體化合物，特別是選擇性的矽化物形成，在該電極層(54)以及/或在未覆蓋的半導體區(16)上。



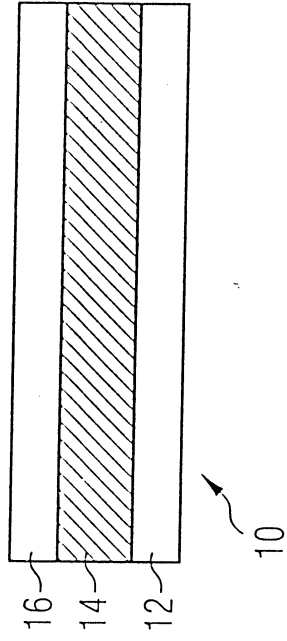
圖式

1/9

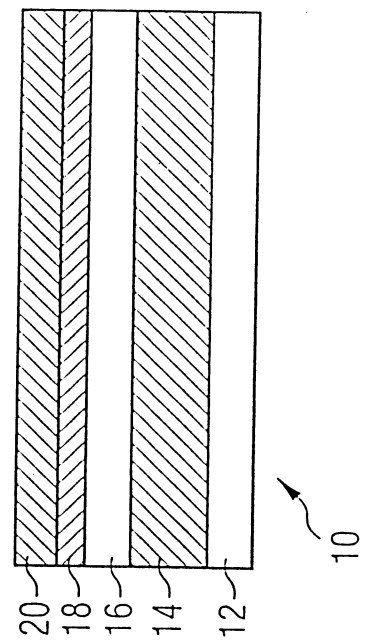
圖一 A



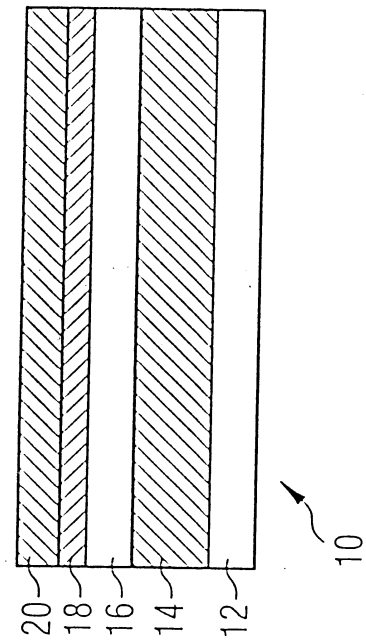
圖一 B

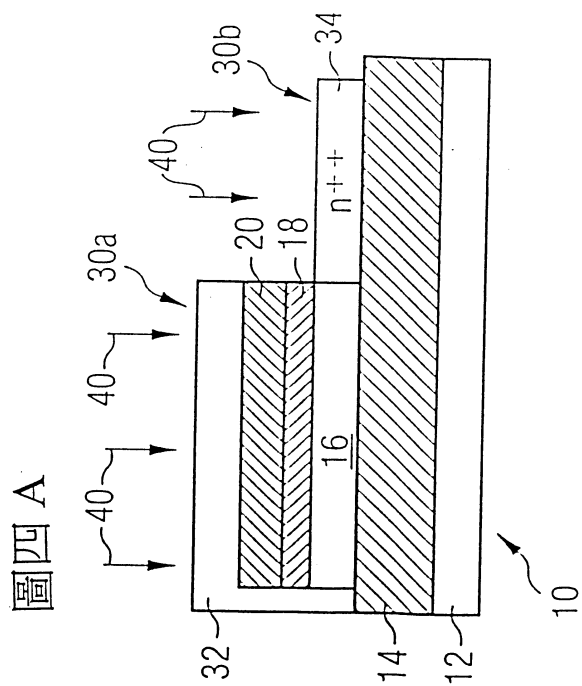
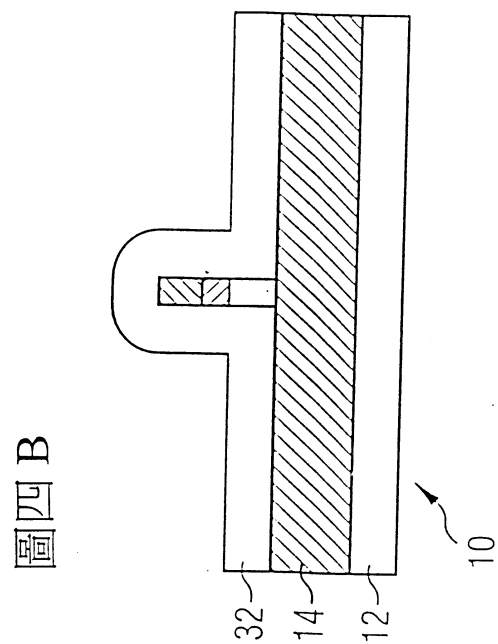
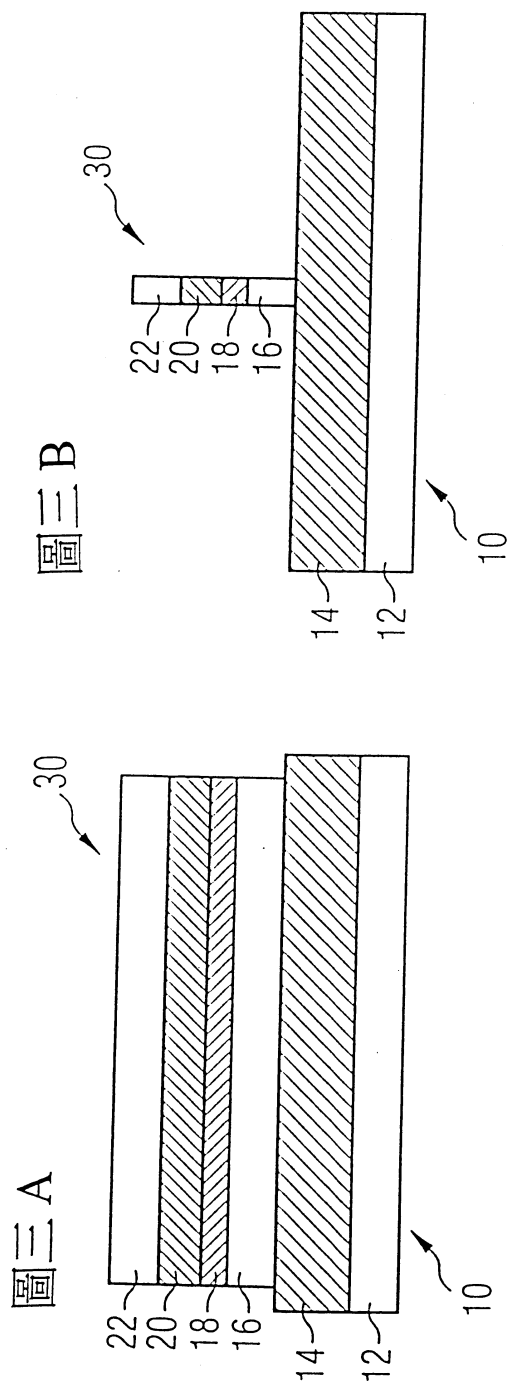


圖二 A



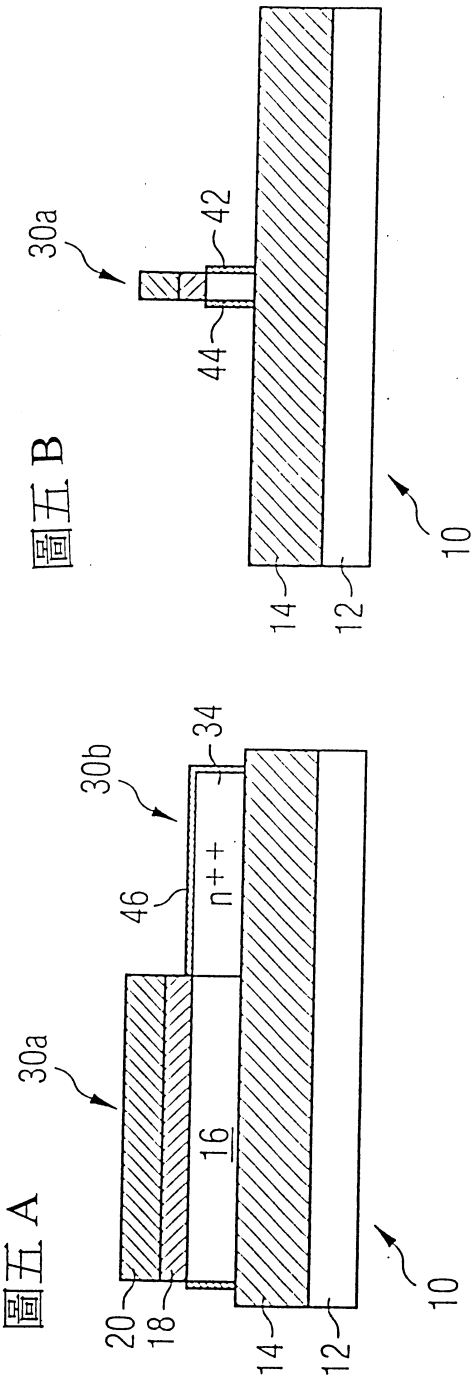
圖二 B



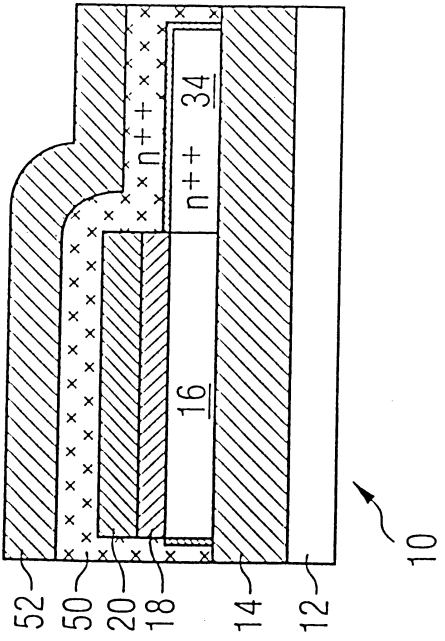


圖式

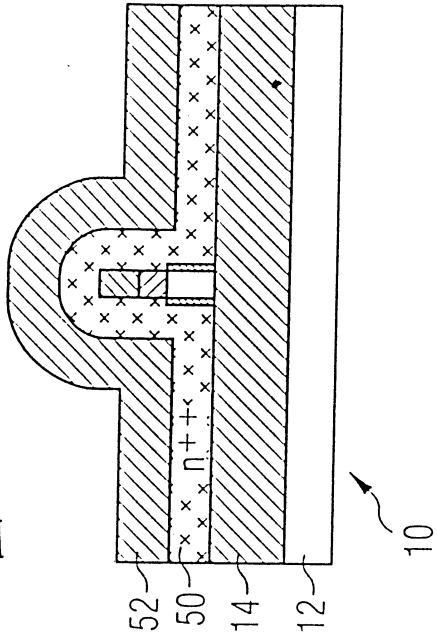
3/9



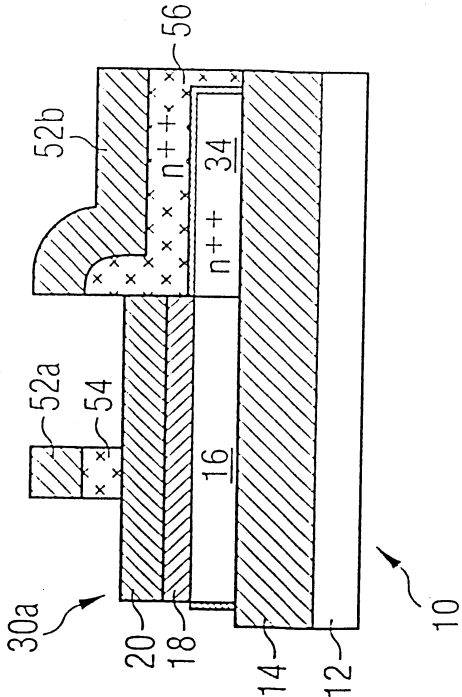
圖七 A



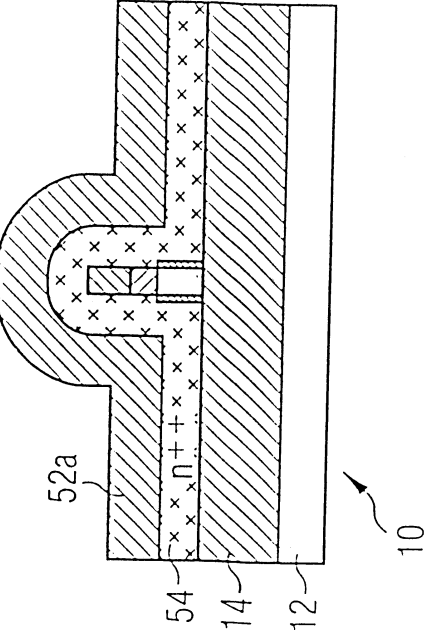
圖七 B



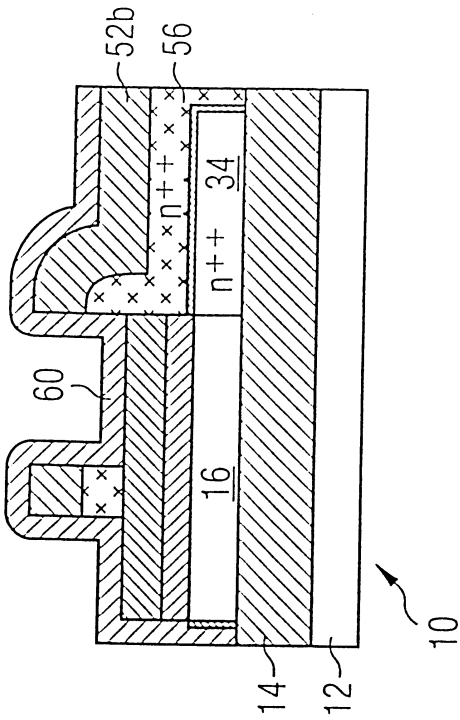
圖八 A



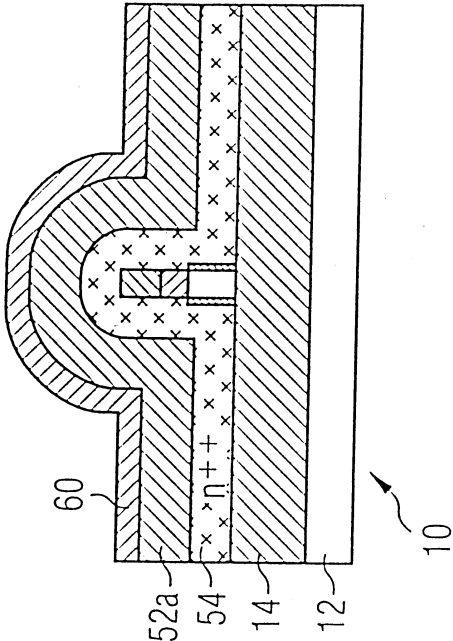
圖八 B



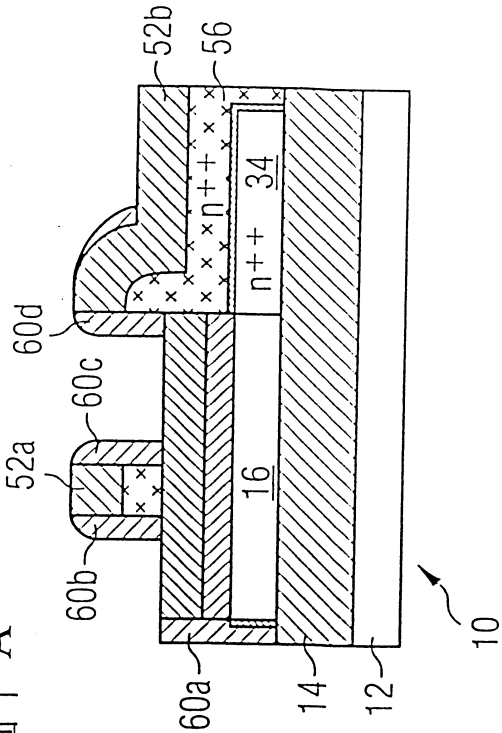
圖九 A



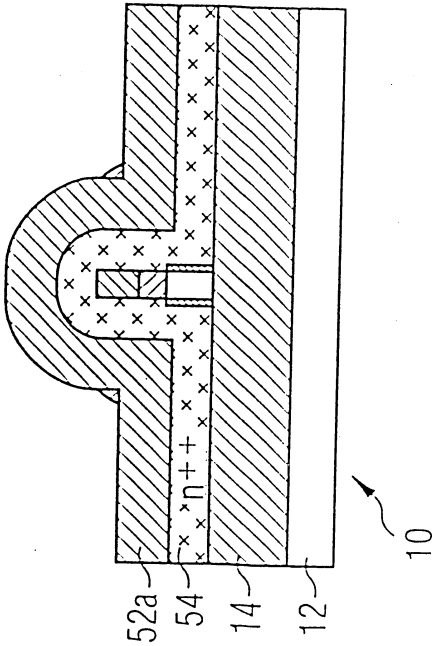
圖九 B

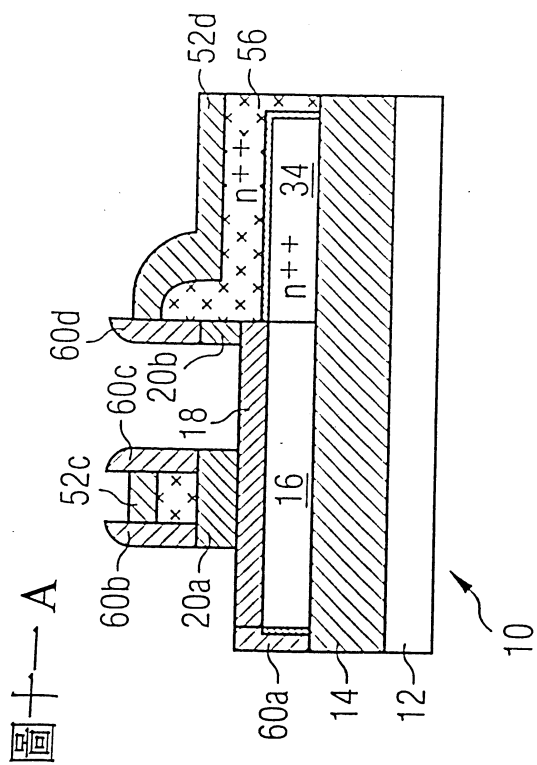


圖十 A

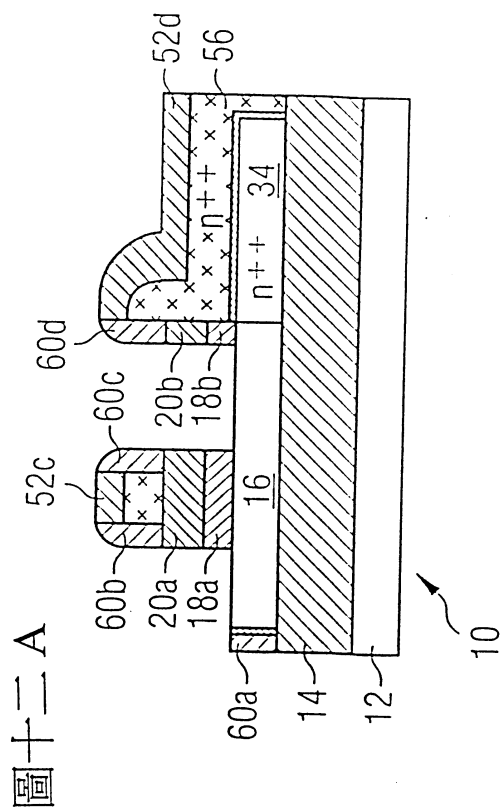


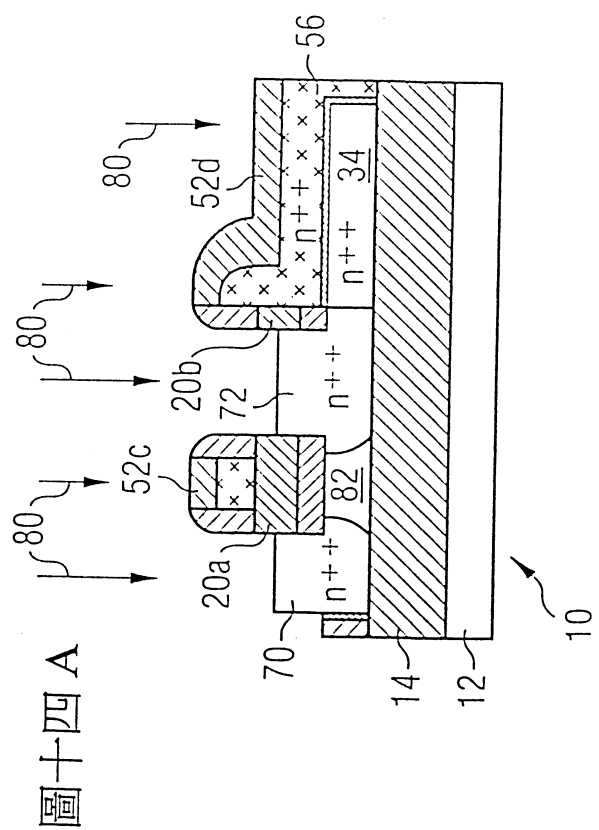
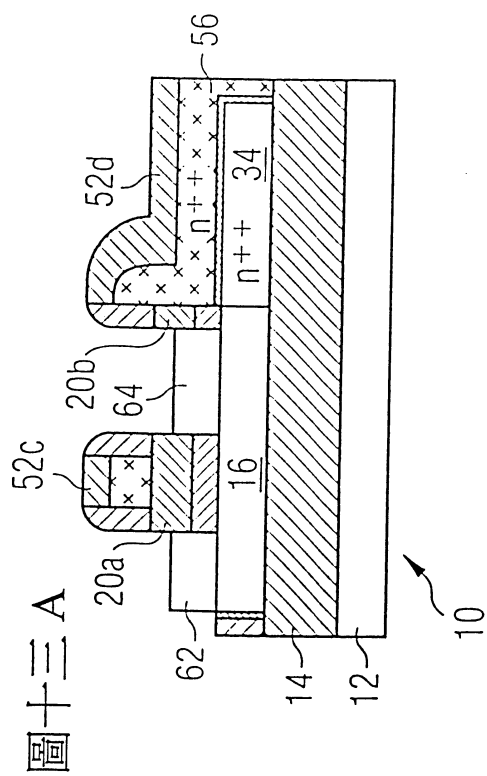
圖十 B





圖十 B





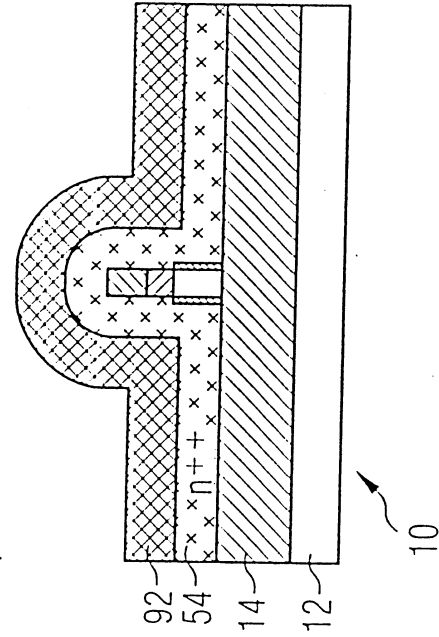
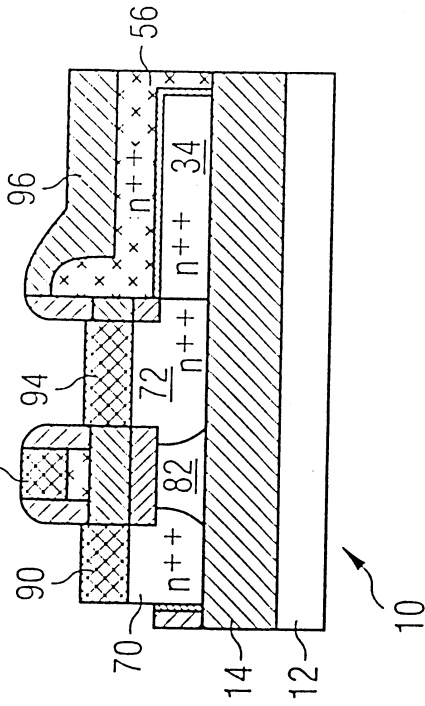
圖十四 B

圖式

8/9

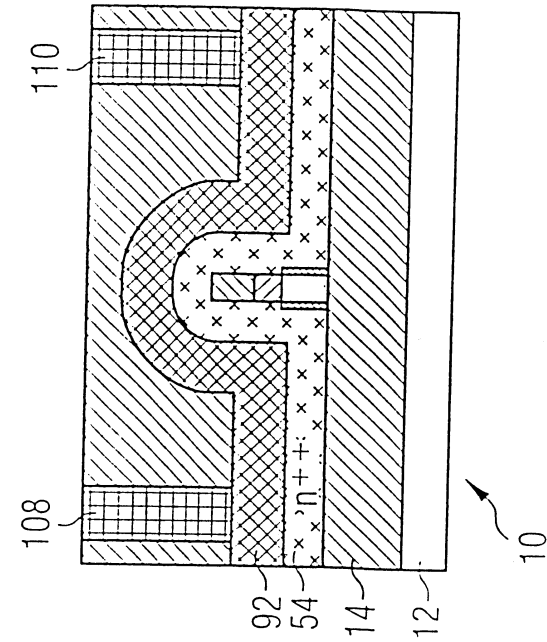
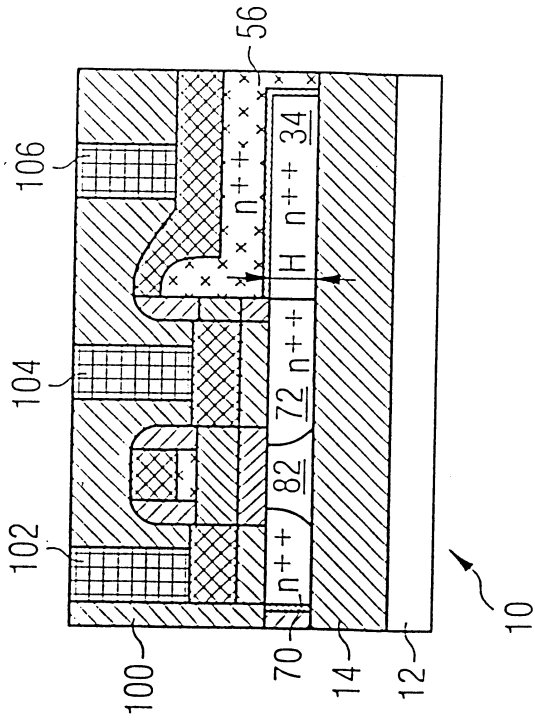
圖十五 A

圖十五 B



圖十六 A

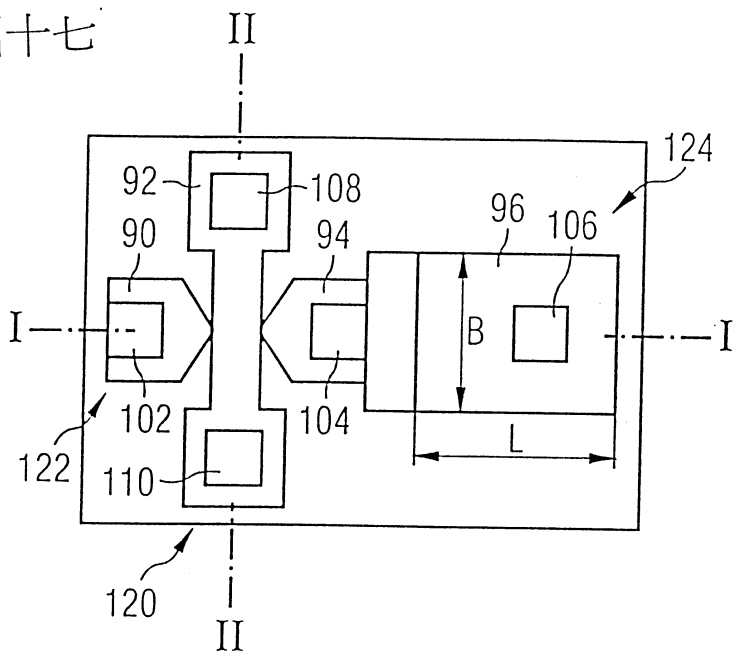
圖十六 B



圖式

9/9

圖十七



圖十八

