(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0020207
(43) 공개일자 2025년02월11일

(51) 국제특허분류(Int. Cl.)
*H10D 1/20* (2025.01)
(52) CPC특허분류
*H10D 89/611* (2025.01)
*H10D 89/911* (2025.01)
(21) 출원번호 10-2023-0101794
(22) 출원일자 2023년08월03일
심사청구일자 없음

(71) 출원인
**삼성전자주식회사**
경기도 수원시 영통구 삼성로 129 (매탄동)
**서강대학교산학협력단**
서울특별시 마포구 백범로 35 (신수동, 서강대학교)
(72) 발명자
**정진호**
서울특별시 마포구 백범로 35, 서강대학교 R703A (신수동)
**김형은**
서울특별시 마포구 백범로 35, 서강대학교 R703 (신수동)
(74) 대리인
**리앤목특허법인**

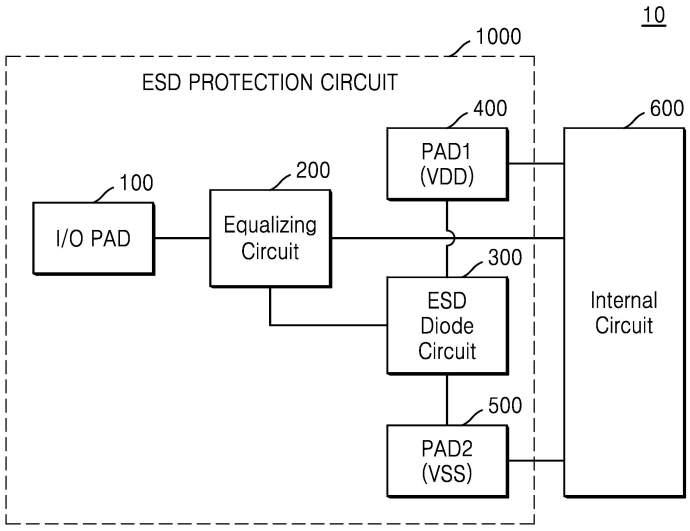
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 **ESD 보호 회로 및 이를 포함하는 장치**

## (57) 요 약

본 개시의 기술적 사상에 따른 ESD(Electrostatic Discharge) 보호 회로는, 제1 전압을 제공하도록 구성된 제1 패드, 제2 전압을 제공하도록 구성된 제2 패드, 제1, 제2 및 제3 인덕터에 기초한 다중 결합 인덕터 구조를 포함하는 등화 회로, 등화 회로와 연결되는 입출력 패드 및 제1 및 제2 다이오드를 포함하는 다이오드 회로를 포함할 수 있고, 제1 다이오드는, 일 단은 제1 패드에, 타 단은 등화 회로에 연결되고, 제2 다이오드는, 일 단은 등화 회로 및 제1 다이오드에, 타 단은 제2 패드에 연결될 수 있다.

*대 표 도* - 도1



(52) CPC특허분류
*H10D 89/931* (2025.01)

# 명 세 서

## 청구범위

### 청구항 1

제1 전압을 제공하도록 구성된 제1 패드;

제2 전압을 제공하도록 구성된 제2 패드;

제1 인덕터, 제2 인덕터 및 제3 인덕터에 기초한 다중 결합 인덕터 구조를 포함하는 등화 회로;

제1 다이오드 및 제2 다이오드를 포함하는 다이오드 회로를 포함하고,

상기 제1 다이오드의 일 단은 상기 제1 패드에, 타 단은 상기 등화 회로에 연결되고,

상기 제2 다이오드의 일 단은 상기 등화 회로 및 상기 제1 다이오드에, 타 단은 상기 제2 패드에 연결되는 것을 특징으로 하는 ESD 보호 회로.

### 청구항 2

제1항에 있어서,

상기 제1 인덕터, 상기 제2 인덕터 및 상기 제3 인덕터는 공통 노드를 가지는 3 단자 인덕터를 구성하고,

상기 제3 인덕터는 상기 제1 다이오드 및 상기 제2 다이오드에 연결되는 것을 특징으로 하는 ESD 보호 회로.

### 청구항 3

제1항에 있어서,

상기 다이오드 회로는 제1 가변 저항을 더 포함하고,

상기 제1 가변 저항은 상기 제1 다이오드와 병렬로 연결되는 것을 특징으로 하는 ESD 보호 회로.

### 청구항 4

제1항에 있어서,

상기 등화 회로는, 상기 제1 인덕터, 상기 제2 인덕터 및 상기 제3 인덕터와 공통 노드를 가지는 제4 인덕터를 더 포함하고,

상기 제4 인덕터는 상기 제1 다이오드와 직렬로 연결되고,

상기 제3 인덕터는 상기 제2 다이오드와 직렬로 연결되는 것을 특징으로 하는 ESD 보호 회로.

### 청구항 5

제2항에 있어서,

출력할 신호를 상기 등화 회로로부터 수신하도록 구성된 입출력 패드;를 포함하고,

상기 입출력 패드는, 상기 제2 인덕터와 직렬로 연결되는 것을 특징으로 하는 ESD 보호 회로.

### 청구항 6

제1항에 있어서,

상기 다이오드 회로는, 서로 직렬로 연결된 제3 다이오드 및 제4 다이오드를 더 포함하고,

상기 제3 다이오드는 상기 제1 패드와 연결되고,

상기 제4 다이오드는 상기 제2 패드와 연결되고,

상기 제3 다이오드 및 제4 다이오드는,

상기 제1 다이오드 및 상기 제2 다이오드와 병렬로 연결되고,

상기 제1 패드 및 상기 제2 패드에, 상기 제1 다이오드 및 상기 제2 다이오드가 연결된 것보다 가깝게 연결되는 것을 특징으로 하는 ESD 보호 회로.

**청구항 7**

제1 전압을 제공하도록 구성된 제1 패드;

제2 전압을 제공하도록 구성된 제2 패드;

제1 인덕터 및 제2 인덕터를 포함하는 등화 회로;

제1 다이오드, 제2 다이오드 및 가변 저항을 포함하는 다이오드 회로를 포함하고,

상기 제1 다이오드의 일 단은 상기 제1 패드에, 타 단은 상기 등화 회로에 연결되고,

상기 제2 다이오드의 일 단은 상기 등화 회로 및 상기 제1 다이오드에, 타 단은 상기 제2 패드에 연결되고,

상기 가변 저항은 상기 제1 다이오드에 병렬로 연결되는 것을 특징으로 하는 ESD 보호 회로.

**청구항 8**

제7항에 있어서,

상기 제1 인덕터 및 상기 제2 인덕터는 공통 노드를 통해 직렬로 연결되고,

상기 등화 회로는, 상기 공통 노드를 통해 상기 제1 다이오드 및 상기 제2 다이오드와 연결되는 것을 특징으로 하는 ESD 보호 회로.

**청구항 9**

제1 전압을 제공하도록 구성된 제1 패드;

제2 전압을 제공하도록 구성된 제2 패드;

제3 전압을 제공하도록 구성된 제3 패드;

제1 인덕터, 제2 인덕터 및 제3 인덕터에 기초한 다중 결합 인덕터 구조를 포함하는 제1 등화 회로;

제4 인덕터, 제5 인덕터 및 제6 인덕터에 기초한 다중 결합 인덕터 구조를 포함하는 제2 등화 회로;

상기 제1 등화 회로와 연결되어 제1 차동 신호를 수신하도록 구성된 제1 입출력 패드;

상기 제2 등화 회로와 연결되어 제2 차동 신호를 수신하도록 구성된 제2 입출력 패드; 및

제1 다이오드, 제2 다이오드, 제3 다이오드 및 제4 다이오드를 포함하는 다이오드 회로를 포함하고,

상기 제1 다이오드의 일 단은 상기 제1 패드에, 타 단은 상기 제1 등화 회로에 연결되고,

상기 제2 다이오드의 일 단은 상기 제1 등화 회로 및 상기 제1 다이오드에, 타 단은 상기 제2 패드에 연결되고,

상기 제3 다이오드의 일 단은 상기 제2 등화 회로에, 타 단은 상기 제2 패드에 연결되고,

상기 제4 다이오드의 일 단은 상기 제3 패드에, 타 단은 상기 제2 등화 회로 및 상기 제3 다이오드에 연결되는 것을 특징으로 하는 ESD 보호 회로.

**청구항 10**

제9항에 있어서,

상기 다이오드 회로는 가변 저항을 더 포함하고,

상기 가변 저항의 일 단은 상기 제1 다이오드 및 상기 제2 다이오드의 공통 노드에 연결되고,

타 단은 상기 제3 다이오드 및 상기 제4 다이오드의 공통 노드에 연결되는 것을 특징으로 하는 ESD 보호 회로.

## 발명의 설명

### 기 술 분 야

[0001] 본 개시의 기술적 사상은 반도체 장치에 관한 것으로서, 상세하게는 ESD(Electrostatic Discharge) 보호 회로 및 이를 포함하는 반도체 장치에 관한 것이다.

### 배 경 기 술

[0002] 반도체 회로는 외부에서 발생된 정전 방전(또는 정전기)으로부터 유입되는 고전압에 대하여 매우 민감하게 영향을 받을 수 있다. 이러한 정전 방전(Electrostatic Discharge; 이하 ESD 라고 함) 현상으로 인해 순간적으로 고전압이 칩 내로 유입될 경우, 유입된 고전압이 회로 내에 형성된 얇은 절연막을 파괴 또는 채널에 악영향을 미쳐 칩의 성능 저하를 야기할 수 있다. ESD에 대한 보호 회로는 순간적으로 유입되는 고전압 또는 고전류가 다른 회로들로 유입되지 않도록 사전에 방전시킴으로써 다른 회로들을 보호할 수 있다.

[0003] 한편, 등화(Equalizing) 회로는 반도체 장치가 원활하게 신호를 송수신할 수 있도록 신호를 등화할 수 있다.

[0004] 최근 반도체 기술이 고도화되고 집적도가 높아짐에 따라, 반도체 장치 내에서 보다 효율적이고 효과적으로 ESD 보호 회로 및/또는 등화 회로를 구현하는 기술의 필요성이 증대되고 있다.

## 발명의 내용

### 해결하려는 과제

[0005] 본 개시의 기술적 사상이 해결하고자 하는 과제는, ESD 보호 회로를 이용하여 회로 내에 등화 기능을 포함시킴으로써, 이퀄라이징 특성을 개선하고, 설계 및 동작에 소모되는 비용을 감소시키는 ESD 보호 회로 및 장치를 제공하는 데 있다.

### 과제의 해결 수단

[0006] 본 개시의 기술적 사상의 일 측면에 따른 ESD(Electrostatic Discharge) 보호 회로는, 제1 전압을 제공하도록 구성된 제1 패드, 제2 전압을 제공하도록 구성된 제2 패드, 제1, 제2 및 제3 인덕터에 기초한 다중 인덕터 구조를 포함하는 등화 회로, 등화 회로와 연결되는 입출력 패드 및 제1 및 제2 다이오드를 포함하는 다이오드 회로를 포함하고, 제1 다이오드는, 일 단은 제1 패드에, 타 단은 등화 회로에 연결되고, 제2 다이오드는, 일 단은 등화 회로 및 제1 다이오드에, 타 단은 제2 패드에 연결될 수 있다.

[0007] 본 개시의 기술적 사상의 일 측면에 따른 ESD 보호 회로는, 제1 전압을 제공하도록 구성된 제1 패드, 제2 전압을 제공하도록 구성된 제2 패드, 제1 인덕터 및 제2 인덕터를 포함하는 등화 회로, 등화 회로와 연결되는 입출력 패드 및 제1 가변 저항, 제1 및 제2 다이오드를 포함하는 다이오드 회로를 포함하고, 제1 다이오드의 일 단은 제1 패드에, 타 단은 등화 회로에 연결되고, 제2 다이오드의 일 단은 등화 회로 및 제1 다이오드에, 타 단은 제2 패드에 연결되고, 제1 가변 저항은 제1 다이오드에 병렬로 연결될 수 있다.

[0008] 본 발명의 기술적 사상의 일 측면에 따른 ESD 보호 회로는, 제1 전압을 제공하도록 구성된 제1 패드, 제2 전압을 제공하도록 구성된 제2 패드, 제3 전압을 제공하도록 구성된 제3 패드, 제1, 제2 및 제3 인덕터에 기초한 다중 결합 인덕터 구조를 포함하는 제1 등화 회로, 제4, 제5 및 제6 인덕터에 기초한 다중 결합 인덕터 구조를 포함하는 제2 등화 회로, 제1 등화 회로와 연결되어 제1 차동 신호를 수신하도록 구성된 제1 입출력 패드, 제2 등화 회로와 연결되어 제2 차동 신호를 수신도록 구성된 제2 입출력 패드, 제1 내지 제4 다이오드를 포함하는 다이오드 회로를 포함할 수 있고, 제1 다이오드의 일 단은 제1 패드에, 타 단은 제1 등화 회로에 연결되고, 제2 다이오드의 일 단은 제1 등화 회로 및 제1 다이오드에, 타 단은 제2 패드에 연결되고, 제3 다이오드의 일 단은 제2 등화 회로에, 타 단은 제2 패드에 연결되고, 제4 다이오드의 일 단은 제3 패드에, 타 단은 제2 등화 회로 및 제3 다이오드에 연결될 수 있다.

### 발명의 효과

[0009] 본 발명의 기술적 사상의 예시적 실시예에 따른 ESD 보호 회로 및 이를 포함하는 장치는, ESD 보호 회로의 구조를 이용하여 ESD 보호 기능을 수행함과 동시에 등화 기능을 수행할 수 있다. 따라서, 이퀄라이저와 같은 별도의 장치가 추가적으로 요구되지 않으므로, 소모되는 전력 및 회로 면적이 크게 감소될 수 있다.

[0010] 또한, 본 발명의 기술적 사상의 예시적 실시예에 따른 ESD 보호 회로 및 이를 포함하는 장치는, 등화 회로 및/또는 ESD 다이오드 회로가 다양한 구조를 가질 수 있고 상황에 따라 다양하게 구현될 수 있으므로, 보다 향상된 이퀄라이징 특성 및 ESD 감내 특성을 가질 수 있다.

[0011] 본 개시의 예시적 실시예들에서 얻을 수 있는 효과는 이상에서 언급한 효과들로 제한되지 아니하며, 언급되지 아니한 다른 효과들은 이하의 기재로부터 본 개시의 예시적 실시예들이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 도출되고 이해될 수 있다. 즉, 본 개시의 예시적 실시예들을 실시함에 따른 의도하지 아니한 효과들 역시 본 개시의 예시적 실시예들로부터 당해 기술분야의 통상의 지식을 가진 자에 의해 도출될 수 있다.

## *도면의 간단한 설명*

[0012] 도 1은 본 개시의 예시적인 실시예에 따른 반도체 장치를 개략적으로 나타내는 블록도이다.

도 2는 본 개시의 예시적인 실시예에 따른 ESD(Electrostatic Discharge) 보호 회로를 나타낸 도면이다.

도 3은 본 개시의 예시적인 실시예에 따른 등화 회로의 일 예시를 나타내는 회로도이다.

도 4는 본 개시의 예시적인 실시예에 따른 ESD 다이오드 회로의 일 예시를 나타내는 회로도이다.

도 5는 본 개시의 예시적인 실시예에 따른 ESD 보호 회로의 일 예시를 나타내는 회로도이다.

도 6은 본 개시의 예시적인 실시예에 따른 ESD 보호 회로의 일 예시의 등가 회로를 나타내는 회로도이다.

도 7은 본 개시의 예시적인 실시예에 따른 ESD 보호 회로의 주파수에 따른 특성을 나타내는 그래프이다.

도 8은 본 개시의 예시적인 실시예에 따른 ESD 보호 회로의 일 예시를 나타내는 회로도이다.

도 9는 본 개시의 예시적인 실시예에 따른 ESD 보호 회로가 수신단에서 구현된 일 예시를 나타내는 회로도이다.

도 10은 본 개시의 예시적인 실시예에 따른 ESD 보호 회로가 송신단에서 구현된 일 예시를 나타내는 회로도이다.

도 11은 본 개시의 예시적인 실시예에 따른 ESD 보호 회로의 일 예시를 나타내는 회로도이다.

도 12는 본 개시의 예시적인 실시예에 따른 ESD 보호 회로의 일 예시를 나타내는 회로도이다.

## *발명을 실시하기 위한 구체적인 내용*

[0013] 이하, 첨부한 도면을 참조하여 본 개시의 실시예들에 대해 상세히 설명한다.

[0014] **도 1은 본 개시의 예시적인 실시예에 따른 반도체 장치를 개략적으로 나타내는 블록도이다.**

[0015] 도 1을 참조하면, 반도체 장치(10)는 ESD 보호 회로(1000) 및 내부 회로(600)를 포함할 수 있다. ESD 보호 회로(1000)는, 입출력 패드(I/O PAD)(100), 등화 회로(200), ESD(Electrostatic Discharge) 다이오드 회로(300), 제1 패드(400) 및 제2 패드(500)를 포함할 수 있다.

[0016] ESD 보호 회로(1000)는 정전기가 발생한 경우, 즉 ESD가 발생한 경우 ESD 보호 회로(1000) 내의 구성들에 기초하여 반도체 장치(10)의 내부 회로(600)를 보호할 수 있다. 예를 들어, 양(positive)의 정전기가 인가된 경우, 양의 정전기는 ESD 다이오드 회로(300)의 적어도 하나의 다이오드의 순방향(forward)으로 흘러 제1 전압(예를 들어, 전원 전압(VDD))이 인가되는 단자(예를 들어, 제1 패드(400))로 흐를 수 있다. 이 경우, ESD 다이오드 회로(300)의 나머지 다이오드 중 적어도 하나는 역방향(reverse)으로 바이어스 될 수 있고, 양의 정전기는 이에 의해 역방향으로 흐르지 못하도록 차단될 수 있다. 또는, 예를 들어 음(negative)의 정전기가 인가된 경우, ESD 다이오드 회로(300)의 적어도 하나의 다이오드의 순방향으로 흘러 제2 전압(예를 들어, 접지 전압(VSS))이 인가되는 단자(예를 들어, 제2 패드(500))로 흐를 수 있다. 이 경우, ESD 다이오드 회로(300)의 나머지 다이오드 중 적어도 하나는 역방향으로 바이어스 될 수 있고, 음의 정전기는 이에 의해 역방향으로 흐르지 못하도록 차단될 수 있다.

[0017] 이를 통해 ESD 보호 회로(1000)는, ESD로 인한 전류 경로가 입출력 패드(100)와 제1 패드(400) 사이에 형성되도록 하거나, 또는 입출력 패드(100)와 제2 패드(500) 사이에 형성되도록 할 수 있다. 즉, ESD 보호 회로(1000)는 ESD로 인한 전류를 다른 전류 경로를 통해 방출시킴으로써, ESD로 인한 전류가 내부 회로(600)로 흐르지 않도록 보호할 수 있다.

[0018] 반도체 장치(10)는 입출력 패드(100)를 통해 신호를 입출력하는 반도체 칩 형태로 구현될 수 있다. 예를 들어, 입출력 패드(100)는 신호(또는, 신호 전압)를 수신하여 내부 회로(600)로 전송(또는, 인가)할 수 있다.

[0019] 등화 회로(200)는 등화 동작에 기초하여, 입출력 패드(100)를 통해 수신한 신호를 내부 회로(600)로 전송할 수 있다. 즉, 등화 회로(200)는 이퀄라이저(equalizer)로 기능할 수 있다. 또한, 여러 도면들을 참조하여 후술할 바와 같이 등화 회로(200)는 기생 커패시턴스 등으로 인한 특성 저하를 개선할 수 있도록 하는 다양한 구조로 구현될 수 있다. 일부 실시예들에 있어서, 구체적으로 후술할 바와 같이, 상기 등화 동작은 등화 회로(200) 및/또는 ESD 다이오드 회로(300)에 기초하여도 이루어질 수 있다. 또한, 전술한 바와 같이 정전기로부터의 보호를 위해, 등화 회로(200)는 ESD 다이오드 회로(300)와 연결될 수 있다.

[0020] ESD 다이오드 회로(300)는 적어도 2개의 다이오드를 포함할 수 있다. ESD 다이오드 회로(300)는 여러 도면들을 참조하여 후술할 바와 같이 ESD 현상으로부터 내부 회로(600)를 보호할 수 있도록 하는 다양한 구조로 구현될 수 있다. 예를 들어, 2개의 다이오드 각각은 동일 방향으로 연결된 구조를 가질 수 있다. 일부 실시들에 있어서, 구체적으로 후술할 바와 같이 ESD 보호 회로(300)의 각 다이오드는 등화 회로(200)와, 제1 패드(400) 또는 제2 패드(500)와 연결되어 전술한 ESD 보호 동작을 수행할 수 있다.

[0021] 제1 패드(400)는 제1 전압을 제공할 수 있고, 제2 패드(500)는 제2 전압을 제공할 수 있다. 일부 실시예들에 있어서, 제1 전압은 전원 전압(VDD)으로 설정될 수 있고, 제2 전압은 접지 전압(VSS)으로 설정될 수 있다. 제1 패드(400) 및 제2 패드(500)에 설정된 전압들은, 레일(rail), 트레이스(trace), 스트랩(strap), 와이어(wire) 등의 전도성 물질을 통해 인가될 수 있다.

[0022] 내부 회로(600)는 ESD로부터 보호가 필요한 모든 종류의 소자를 포함할 수 있다. 예를 들어, 내부 회로(600)는 DRAM(Dynamic random access memory), 플래시(flash) 등의 다양한 메모리 소자, 제어 회로를 구성하는 논리 소자, 데이터 통신을 위한 인터페이스 소자 등의 다양한 반도체 소자를 포함할 수 있다. 또는, 내부 회로(600)는 반도체 장치(10)의 내부 연산을 통해 데이터를 생성하거나, 외부로부터 제공되는 데이터를 처리하는 회로일 수 있다. 예를 들어, 내부 회로(600)는 데이터 처리 회로로서, CPU, 프로세서, 멀티-코어 프로세서(multi-core processor)의 각 코어, 메모리, USB(universal serial bus), PCI(peripheral component interconnect), 디지털 신호 프로세서(digital signal processor(DSP)), 와이어드 인터페이스(wired interface), 무선 인터페이스(wireless interface), 컨트롤러(controller), 코덱(codec), 비디오 모듈(예컨대, 카메라 인터페이스(camera interface), JPEG(Joint Photographic Experts Group) 프로세서, 비디오 프로세서(video processor), 또는 믹서(mixer) 등), 3D 그래픽 코어(3-dimensional graphic core), 오디오 시스템(audio system), 또는 드라이버(driver) 등을 의미할 수 있다.

[0023] 본 개시의 예시적 실시예에 따른 ESD 보호 회로(1000)는, ESD 다이오드 회로(300)와 등화 회로(200)를 통해, ESD 보호 기능을 수행함과 동시에 등화 기능을 수행할 수 있다. 즉, ESD 보호 회로(1000)가 동시에 이퀄라이저 회로로서 동작할 수 있다. 본 개시의 예시적 실시예에 따른 ESD 보호 회로(1000)는 추가적인 이퀄라이저 없이 등화 동작을 수행할 수 있으므로, 부가적인 회로로 인한 소비 전력을 감소시킬 수 있고, 회로 면적도 감소시킬 수 있다.

[0024] **도 2는 본 개시의 예시적인 실시예에 따른 ESD(Electrostatic Discharge) 보호 회로를 나타낸 도면이다.**

[0025] 도 2를 참조하면, 등화 회로(200a)는 제1 인덕터(L1), 제2 인덕터(L2) 및 제3 인덕터(L3)를 포함할 수 있고, ESD 다이오드 회로(300a)는 제1 다이오드(Diode_1) 및 제2 다이오드(Diode_2)를 포함할 수 있다.

[0026] 일부 실시예들에 있어서, 등화 회로(200a)는 제1 인덕터(L1), 제2 인덕터(L2) 및 제3 인덕터(L3)에 기초하여 구성될 수 있다. 제1 내지 제3 인덕터(L1, L2, L3)에 기초한 등화 회로(200a)의 구조는 목적에 따라 다양한 양태로 구현될 수 있다. 예를 들어, 제1 내지 제3 인덕터(L1, L2, L3)는 서로 병렬로 연결될 수 있거나, 직렬로 연결될 수도 있다. 또는, 제1 내지 제3 인덕터(L1, L2, L3)에 기초한 회로 구조는 직렬 및 병렬 연결이 혼합된 구조일 수 있다. 또는, 예를 들어, 제1 내지 제3 인덕터(L1, L2, L3)는 다중 결합  인덕터 구조를 가질 수도 있다. 등화 회로(200a)는 다양한 연결 구조가 가능함을 시사하기 위해 연결 구조를 명확히 도시하지는 않았으나, 본 개시는 이에 한정되지 않는다

[0027] 일부 실시예들에 있어서, 등화 회로(200a)는 상기 구조에 기초하여 등화 동작을 수행할 수 있다. 등화 회로(200a)는 입출력 패드(100)로부터 신호를 수신하여 제1 내지 제3 인덕터(L1, L2, L3)를 통해 등화 동작을 수행할 수 있고, 등화된 신호를 내부 회로(600)로 전송할 수 있다. 또한, 전술한 바와 같이, ESD 현상으로부터 내부 회로(600)를 보호하기 위해 등화 회로(200a)는 ESD 다이오드 회로(300a)와 연결될 수 있다.

[0028] 일부 실시예들에 있어서, ESD 다이오드 회로(300a)는 제1 다이오드(Diode_1) 및 제2 다이오드(Diode_2)에 기초하여, 도 1을 참조하여 전술한 바와 같은 ESD 보호 동작을 수행할 수 있다. 구체적으로는, 예를 들어, 제1 다이오드(Diode_1)의 일 단(예를 들어, 캐소드(Cathode) 단자)에 제1 패드(400)가 연결될 수 있고, 타 단(예를 들어, 애노드(Anode) 단자)에 등화 회로(200a)가 연결될 수 있다. 한편, 제2 다이오드(Didoe_2)의 일 단(예를 들어, 캐소드 단자)에 등화 회로(200a)가 연결될 수 있고, 타 단(예를 들어, 애노드 단자)에 제2 패드(500)가 연결될 수 있다. 즉, ESD 다이오드 회로(300a)는 ESD 현상으로 인한 전류를 제1 다이오드(Diode_1) 및 제2 다이오드(Diode_2)에 기초하여 다른 전류 경로를 통해 방출시킴으로써, ESD로 인한 전류가 내부 회로(600)로 흐르지 않도록 보호할 수 있다. 즉, 등화 회로(200a)는 입출력 패드(100)로부터 신호를 수신하여 등화 동작을 통해 내부 회로(600)로 신호를 전송할 수 있음과 동시에, ESD 다이오드 회로(300a)와 연결됨으로써 ESD 현상으로부터 내부 회로(600)를 보호할 수 있다.

[0029] 한편, ESD 다이오드 회로(300a)의 구성 및/또는 구조는 본 도면에 국한되지 않고 다양한 양태로 구현될 수 있다. 예를 들어, ESD 다이오드 회로(300a)는 추가적으로 다이오드를 더 포함할 수 있으며, 이에 기초하여 더블 다이오드(Double Diode) 구조를 형성할 수 있다. 더블 다이오드는 복수 개로 형성될 수 있다. 또는, ESD 다이오드 회로(300a) 내에 포함되는 다이오드들 각각은 다양한 구조, 예를 들어, P형 다이오드 구조 또는 N형 다이오드 구조를 가질 수 있다. 또한, ESD 다이오드 회로(300a) 내에 포함되는 다이오드들 중 적어도 하나는 TVS(Transient Voltage Suppressors) 다이오드로 구현될 수도 있다.

[0030] 결과적으로, 본 개시의 예시적 실시예에 따른 ESD 보호 회로는, 다수의 인덕터들을 포함하는 등화 회로 및 ESD 다이오드 회로를 이용하여 등화 동작을 수행함과 동시에, 상기 등화 회로가 ESD 다이오드 회로와 연결되므로 ESD 보호 동작 또한 수행할 수 있다.

[0031] **도 3은 본 개시의 예시적인 실시예에 따른 등화 회로의 일 예시를 나타내는 회로도이다.**

[0032] 도 3을 참조하면, 등화 회로(200b)는 제1 인덕터(L1), 제2 인덕터(L2) 및 제3 인덕터(L3)를 포함할 수 있고, 이들에 기초하여 다중 결합 인덕터 구조를 포함할 수 있다.

[0033] 일부 실시예들에 있어서, 제1 인덕터(L1), 제2 인덕터(L2) 및 제3 인덕터(L3)는 3단자 인덕터로 구성될 수 있다. 도시된 바와 같이, 제1 인덕터(L1), 제2 인덕터(L2) 및 제3 인덕터(L3)의 일 단은 공통 노드(c_node)에 연결될 수 있다. 제1 인덕터(L1)와 제2 인덕터(L2)의 커플링 계수는 $k_{12}$, 제2 인덕터(L2)와 제3 인덕터(L3)의 커플링 계수는 $k_{23}$, 제1 인덕터(L1)와 제3 인덕터(L3)의 커플링 계수는 $k_{13}$으로 표시될 수 있다. 각 인덕터의 전압의 극성은 점 규약(dot convention)으로 표기될 수 있다. 일부 실시예들에 있어서, 신호가 송수신되는 채널의 특성, 주파수 대역의 특성 및/또는 회로의 특성 등 다양한 요인에 기초하여 각 인덕터들의 인덕턴스 및 커플링 계수가 조절될 수 있다. 예를 들어, 채널의 손실을 보상하기 위해 인덕턴스 값이 조절될 수 있다. 등화 회로(200b)는 상기와 같은 등화 동작에 기초하여, 등화된 신호를 내부로 전송할 수 있다.

[0034] 도 1을 참조하여 전술한 바와 같이, 등화 회로(200b)는 ESD 다이오드 회로(300)에 연결될 수 있다. 예를 들어, 제3 인덕터(L3)는 제1 다이오드(Diode_1)의 애노드 단자 및 제2 다이오드(Diode_2)의 캐소드 단자에 연결될 수 있다.

[0035] 등화 회로(200b)의 구조는 본 실시예에 국한되지 않고 다양한 양태로 구현될 수 있다. 즉, 본 도면에서는 등화 회로(200b)가 3 단자 인덕터에 기초하여 구현되었지만, 제1 다이오드(Diode_1) 및 제2 다이오드(Diode_2)의 기생 커패시턴스로 인한 특성 저하를 개선할 수 있도록 하는 다양한 구조(예를 들어, 도 5 또는 도 8에서 제시되는 구조 등)에 기초한 등화 회로가 구현될 수 있다.

[0036] 본 개시의 예시적 실시예에 따른 ESD 보호 회로는 다중 결합 인덕터에 기초하여 등화 동작을 수행함과 동시에, ESD 감내 특성을 가질 수 있다. 또한, 본 개시의 예시적 실시예에 따른 ESD 보호 회로는 상술한 바와 같이 인덕터들 간의 다양한 상호 자기적 결합을 이용할 수 있으므로, 보다 향상된 이퀄라이징 특성을 구현할 수 있다.

[0037] **도 4는 본 개시의 예시적인 실시예에 따른 ESD 다이오드 회로의 일 예시를 나타내는 회로도이다.**

[0038] 도 4를 참조하면, ESD 다이오드 회로(300b)는 제1 다이오드(Diode_1), 제2 다이오드(Diode_2) 및 제1 가변 저항(R1)을 포함할 수 있고, 제1 패드(400) 및 제2 패드(500)에 연결되어 ESD 보호 동작을 수행할 수 있다.

[0039] 등화 회로(200)는 ESD 다이오드 회로(300b)와 연결될 수 있고, ESD로 인한 전류는 제1 패드(400), 제2 패드(500) 및 ESD 다이오드 회로(300b)에 기초한 전류 경로로 방출될 수 있다.

[0040] 일부 실시예들에 있어서, ESD 다이오드 회로(300b)의 제1 가변 저항(R1)을 통해 등화 회로(200)의 이퀄라이징 특성이 보다 향상될 수 있다. 즉, 등화 회로(200) 및 ESD 다이오드 회로(300b)는 상호 작용을 통해 등화 동작 및 ESD 보호 동작을 모두 수행할 수 있다. 일부 실시예들에 있어서, 제1 가변 저항(R1)은 제1 다이오드(Diode_1)와 병렬로 연결될 수 있다. 제1 가변 저항(R1)의 저항 값을 조정함으로써, 이퀄라이징 특성이 적절하게 조정될 수 있다. 보다 구체적으로는, 예를 들어 제1 가변 저항(R1)의 저항 값의 조정을 통해, 저주파 대역을 조절함으로써 고주파 대역 손실(예를 들어, 감쇄 특성)을 보상할 수 있는 이퀄라이징 회로가 구현될 수 있다.

[0041] 즉, 본 개시의 예시적 실시예에 따른 ESD 보호 회로는, ESD 보호에 이용되는 다이오드와 가변 저항을 병렬로 연결함으로써, 상기 다이오드의 기생 커패시턴스와 가변 저항의 저항 값에 기초하여 이퀄라이징 특성을 보다 향상시킬 수 있고, 다양한 상황에 맞게 이퀄라이징을 조절할 수 있다. 따라서 본 개시의 예시적 실시예에 따른 ESD 보호 회로는 ESD 보호와 향상된 이퀄라이징 동작을 하나의 회로에 결합함으로써, 소비 전력 및 회로 면적을 크게 감소시킬 수 있다.

[0042] **도 5는 본 개시의 예시적인 실시예에 따른 ESD 보호 회로의 일 예시를 나타내는 회로도이다.**

[0043] 도 5를 참조하면, 등화 회로(200c)는 제1 인덕터(L1) 및 제2 인덕터(L2)를 포함할 수 있고, 제1 패드(400) 및 제2 패드(500)와 연결되는 ESD 다이오드 회로(300b)는 제1 다이오드(Diode_1), 제2 다이오드(Diode_2) 및 제1 가변 저항(R1)을 포함할 수 있다. 각 회로의 구성, 특성 및 효과에 대하여 전술한 바와 중복되는 부분은 생략하도록 하겠다.

[0044] 도 4를 참조하여 전술한 바와 같이, 등화 회로(200c)는 다양한 구조로 구현될 수 있고, 일부 실시예들에 있어서, 등화 회로(200)는 제1 인덕터(L1) 및 제2 인덕터(L2)가 결합된 구조로 구현될 수 있다. ESD 보호 회로(1000)는, 등화 회로(200c)의 제1 인덕터(L1) 및 제2 인덕터(L2)에 기초하여(예를 들어, 제1 인덕터(L1) 및 제2 인덕터(L2)의 인덕턴스 및 상호 간 커플링 계수 $k_{12}$에 기초하여) 등화 동작을 수행할 수 있다. 나아가, ESD 보호 회로(1000)는 ESD 다이오드 회로(300b)의 제1 가변 저항(R1)의 저항 값을 조절함으로써, 이퀄라이징 특성을 더욱 향상시킬 수 있다. 동시에, 등화 회로(200c)를 통해 수신되는 신호는 ESD 다이오드 회로(300b)에 기초한 전류 경로를 통해 흐를 수 있으므로, ESD 보호 회로(1000)는 ESD 감내 특성 또한 가질 수 있다.

[0045] **도 6은 본 개시의 예시적인 실시예에 따른 ESD 보호 회로의 일 예시의 등가 회로를 나타내는 회로도이다. 도 7은 본 개시의 예시적인 실시예에 따른 ESD 보호 회로의 주파수에 따른 특성을 나타내는 그래프이다.**

[0046] 도 3 및 도 4를 참조하면, 본 개시의 예시적 실시예에 따른 ESD 보호 회로는 제1, 제2 및 제3 인덕터(L1, L2, L3)로 구성된 3 단자 인덕터 및 제1 가변 저항(R1)에 기초하여 등화 동작을 수행할 수 있고, 다이오드들(Diode_1, Diode_2)에 기초하여 ESD 보호 동작을 수행할 수 있다.

[0047] 도 6을 참조하면, ESD 다이오드 회로에 포함되는 다이오드들에 의해 형성되는 기생 커패시턴스는 $C_{diode}$로 나타낼 수 있고, 이에 기초하여 상기 ESD 보호 회로의 등가 회로를 구성할 수 있다. 저주파 대역에서, 인덕터는 낮은 임피던스를 가지므로 제1 내지 제3 인덕터(L1, L2, L3)의 임피던스는 상대적으로 작은 값을 가질 수 있다. 반면, 커패시터는 높은 임피던스를 가지므로 병렬로 연결된 제1 가변 저항(R1)의 저항 값이 지배적으로 작용될 수 있다. 따라서, 저주파 대역의 손실은 제1 가변 저항(R1)의 저항 값에 따라 조절될 수 있다.

[0048] 도 7을 참조하면, 제1 가변 저항(R1)의 저항 값에 따라 저주파 대역에서의 손실 변화가 파악될 수 있다. 도시된 바와 같이, 제1 가변 저항(R1)의 저항 값이 증가함에 따라 저주파 대역에서의 손실이 개선될 수 있다. 또한, 제1 가변 저항(R1)의 저항 값에 따라 고주파 대역에서의 피킹(peaking)을 이용하여 채널의 특성 등으로 인한 손실이 보상될 수 있다. 이와 같이, 가변 저항의 값을 조정함으로써, 다양한 특성 및 상황에 따라 회로의 동작이 더욱 효과적으로 조절될 수 있다.

[0049] **도 8은 본 개시의 예시적인 실시예에 따른 ESD 보호 회로의 일 예시를 나타내는 회로도이다.**

[0050] 도 8을 참조하면, 등화 회로(200d)는 제1 내지 제4 인덕터(L1, L2, L3, L4)를 포함할 수 있고, ESD 다이오드 회로(300c)는 제1 및 제2 다이오드(Diode_1, Diode_2), 제2 및 제3 가변 저항(R2, R3)을 포함할 수 있다. 각 회

로의 구성, 특성 및 효과에 대하여 전술한 바와 중복되는 부분은 생략하도록 하겠다.

[0051] 일부 실시예들에 있어서, 등화 회로(200d)는 4 단자 인덕터 구조를 포함할 수 있다. 제1 내지 제4 인덕터(L1, L2, L3, L4)는 하나의 노드를 공유하며 연결될 수 있다. 등화 회로(200d)는 제1 내지 제4 인덕터(L1, L2, L3, L4) 각각의 인덕턴스 및/또는 상호 간의 커플링 계수에 기초하여 등화 동작을 수행할 수 있다.

[0052] 한편, 제4 인덕터(L4)는 제1 다이오드(Diode_1)의 애노드 단자에 연결될 수 있고, 제3 인덕터(L3)는 제2 다이오드(Diode_2)의 캐소드 단자에 연결됨으로써, 등화 회로(200d)는 ESD 다이오드 회로(300c)와 연결될 수 있다. 제1 다이오드(Diode_1)의 캐소드는 제1 패드(400)에, 제2 다이오드(Diode_2)의 애노드는 제2 패드(500)에 연결됨으로써, ESD 다이오드 회로(300c)는 ESD 보호 동작을 수행할 수 있다.

[0053] 일부 실시예들에 있어서, 도 4를 참조하여 전술한 바와 같이, 제2 가변 저항(R2)은 제1 다이오드(Diode_1)에 병렬로 연결될 수 있고, 제3 가변 저항(R3)은 제2 다이오드(Diode_2)에 병렬로 연결될 수 있다. 마찬가지 방식으로, 제2 가변 저항(R2)의 저항 값 및/또는 제3 가변 저항(R3)의 저항 값을 조정함으로써, 이퀄라이징 특성이 보다 향상될 수 있다. 예를 들어, 상기 저항 값들에 기초하여 채널 등으로 인한 손실이 보상될 수 있다.

[0054] 즉, 본 개시의 예시적 실시예에 따른 ESD 보호 회로는 인덕터들 간의 다양한 상호 자기적 결합에 기초하여 보다 향상된 이퀄라이징 특성을 얻을 수 있고, 나아가 가변 저항을 다이오드와 병렬로 연결시킴으로써 이퀄라이징 특성을 다양하게 조절하고 개선할 수 있다. 또한, 본 개시의 예시적 실시예에 따른 ESD 보호 회로는 4 단자 인덕터를 통해 방전 경로를 분리함으로써, 감내 특성을 더욱 개선할 수 있다.

[0055] **도 9는 본 개시의 예시적인 실시예에 따른 ESD 보호 회로가 수신단에서 구현된 일 예시를 나타내는 회로도이다.**
**도 10은 본 개시의 예시적인 실시예에 따른 ESD 보호 회로가 송신단에서 구현된 일 예시를 나타내는 회로도이다.**

[0056] 도 9 및 도 10을 참조하면, 반도체 장치의 송수신단에서 본 개시의 예시적 실시예에 따른 ESD 보호 회로가 적용될 수 있다. 일부 실시예들에 있어서, 등화 회로(200b)는 등화 동작을 수행하기 위해 다양한 구조로 구현될 수 있고, 예를 들어, 도 3을 참조하여 전술한 바와 같은 3 단자 인덕터 구조를 포함할 수 있다. 또한, 도 4를 참조하여 전술한 바와 같이 제1 가변 저항(R1)은 ESD 보호 동작을 수행하기 위한 제1 다이오드(Diode_1)에 병렬로 연결되어 이퀄라이징 특성을 개선할 수 있다. 회로의 구성, 특성 및 효과에 대하여 전술한 바와 중복되는 부분은 생략하도록 하겠다.

[0057] 일부 실시예들에 있어서, 도 9를 참조하면, 입출력 패드(100)는 외부로부터 신호(또는 신호 전압)를 수신할 수 있고, 상기 신호를 등화 회로(200b)로 전송할 수 있다. 등화 회로(200b)는 입출력 패드(100)로부터 신호를 수신하여 등화 동작을 수행할 수 있다. 등화 회로(200b)는 등화된 신호(S_input)를 내부 회로(600)로 전송할 수 있다. 즉, 본 개시의 예시적 실시예에 따른 ESD 보호 회로는 반도체 장치의 수신단에 위치하여 반도체 장치의 내부 회로(600)로 전송할 신호를 등화함과 동시에, ESD로 인한 전류 발생시 제1 및 제2 다이오드(Diode_1, Diode_2)에 기초하여 내부 회로(600)를 보호할 수 있다.

[0058] 일부 실시예들에 있어서, 도 10을 참조하면, 등화 회로(200b)는 내부 회로(600)로부터, 외부로 출력할 신호(또는 신호 전압)을 수신할 수 있다. 이때, 등화 회로(200b)는 제1 다이오드(Diode_1) 및 제2 다이오드(Diode_2)의 기생 커패시턴스로 인한 대역폭 제한을 개선하기 위해 활용될 수 있다. 등화 회로(200b)는 출력할 신호(S_output)를 입출력 패드(100)로 전송할 수 있다. 즉, 본 개시의 예시적 실시예에 따른 ESD 보호 회로는 반도체 장치의 송신단에 위치함으로써 대역폭 특성을 개선함과 동시에, ESD로 인한 전류 발생시 제1 다이오드(Diode_1) 및 제2 다이오드(Diode_2)에 기초하여 내부 회로(600)를 보호할 수 있다.

[0059] **도 11은 본 개시의 예시적인 실시예에 따른 ESD 보호 회로의 일 예시를 나타내는 회로도이다.**

[0060] 도 11을 참조하면, ESD 보호 회로는 제1 다이오드(Diode_1), 제2 다이오드(Diode_2), 제3 다이오드(Diode_3) 및 제4 다이오드(Diode_4)에 기초하여 ESD 보호 기능을 수행할 수 있다. 도 2를 참조하여 전술한 바와 같이, 제1 다이오드(Diode_1) 및 제2 다이오드(Diode_2)는 각각 제1 패드(400) 및 제2 패드(500)에 연결됨으로써 전류 경로를 형성할 수 있고, 이를 통해 ESD 전류로부터 내부 회로(600)를 보호할 수 있다.

[0061] 일부 실시예들에 있어서, ESD 보호 회로는 제3 다이오드(Diode_3) 및 제4 다이오드(Diode_4)를 추가적으로 포함함으로써 ESD 보호 기능을 향상시킬 수 있다. 구체적으로는, ESD 보호 소자 즉, 제3 다이오드(Diode_3) 및 제4 다이오드(Diode_4)가 등화 회로(200)로부터 분리되어 배치될 수 있다. 예를 들어, 제3 다이오드(Diode_3)의 일단(예를 들어, 캐소드 단자)에 제1 패드(400)가 연결될 수 있고, 타 단(예를 들어, 애노드 단자)에 제4 다이오

드(Didoe_4)의 일 단(예를 들어, 캐소드 단자)가 연결될 수 있다. 제4 다이오드(Diode_4)의 타 단(예를 들어, 애노드 단자)에 제2 패드(500)가 연결될 수 있다. 즉, 본 개시의 예시적 실시예에 따른 ESD 보호 회로는 추가적인 ESD 보호 소자들을, 제1 패드(400) 및 제2 패드(500)와의 연결에 있어서, 등화 회로(200)에 연결되어 있는 다이오드들(Diode_1, Diode_2)보다 더 가깝게 배치함으로써 분리 배치할 수 있고, 이를 통해, 반사 손실 뿐만 아니라 ESD 감내 특성도 개선할 수 있다.

[0062] **도 12는 본 개시의 예시적인 실시예에 따른 ESD 보호 회로의 일 예시를 나타내는 회로도이다.**

[0063] 도 12를 참조하면, ESD 보호 회로는 차동(differential) 신호를 수신하여 처리하도록 구성될 수 있다. ESD 보호 회로는 제1 차동 등화 회로(201) 및 제2 차동 등화 회로(202)를 포함하는 등화 회로, ESD 다이오드 회로(300d), 제1 패드(400), 제2 패드(500) 및 제3 패드(410)를 포함할 수 있고, ESD 현상으로부터 내부 회로(600)를 보호할 수 있다. 회로들 각각의 구성, 동작 방법, 특성 및 효과 등에 대한 구체적인 설명은 전술한 바와 중복되므로 생략하도록 하겠다.

[0064] 일부 실시예들에 있어서, 제1 차동 등화 회로(201)는 제1 내지 제3 인덕터(L1, L2, L3)를 포함할 수 있다. 제1 내지 제3 인덕터(L1, L2, L3)는 다양한 결합 구조를 통해 등화 회로를 구성할 수 있다. 예를 들어, 제1 내지 제3 인덕터(L1, L2, L3)는 하나의 노드에 공통으로 연결되어 3 단자 인덕터를 구성할 수 있다. 이 때, 제1 내지 제3 인덕터(L1, L2, L3) 상호 간의 커플링 계수는 $k_{12}$, $k_{23}$, $k_{13}$으로 표시될 수 있다. 인덕터들 각각의 인덕턴스 및/또는 커플링 계수를 조정함으로써 이퀄라이징 특성이 조절될 수 있다. 제1 차동 등화 회로(201)는 제1 수신단(110)(예를 들어, 입출력 패드)으로부터 제1 차동 신호(RXP)를 수신하여 전술한 바와 같은 등화 동작을 수행할 수 있고, 등화된 신호를 내부 회로(600)로 전송할 수 있다. 제1 차동 등화 회로(201)는 제1 수신단(110) 등에서 발생하는 ESD 현상으로부터 내부 회로(600)를 보호하기 위해 ESD 다이오드 회로(300d)와 연결될 수 있다.

[0065] 제2 차동 등화 회로(202)는 제4 내지 제6 인덕터(L4, L5, L6)를 포함할 수 있다. 제4 내지 제6 인덕터(L4, L5, L6)는 다양한 결합 구조를 통해 등화 회로를 구성할 수 있다. 예를 들어, 제4 내지 제6 인덕터(L4, L5, L6)는 하나의 노드에 공통으로 연결되어 3 단자 인덕터를 구성할 수 있다. 이 때, 제1 내지 제3 인덕터(L1, L2, L3) 상호 간의 커플링 계수는 $k_{12}$, $k_{23}$, $k_{13}$으로 표시될 수 있다. 인덕터들 각각의 인덕턴스 및/또는 커플링 계수를 조정함으로써 이퀄라이징 특성이 조절될 수 있다. 제2 차동 등화 회로(202)는 제2 수신단(120) (예를 들어, 입출력 패드)으로부터 제2 차동 신호(RXN)를 수신하여 전술한 바와 같은 등화 동작을 수행할 수 있고, 등화된 신호를 내부 회로(600)로 전송할 수 있다. 제2 차동 등화 회로(202)는 제2 수신단(120) 등에서 발생하는 ESD 현상으로부터 내부 회로(600)를 보호하기 위해 ESD 다이오드 회로(300d)와 연결될 수 있다.

[0066] 일부 실시예들에 있어서, ESD 다이오드 회로(300d)는 제1 다이오드(Diode_1), 제2 다이오드(Diode_2), 제3 다이오드(Diode_3) 및 제4 다이오드(Diode_4)를 포함할 수 있고, 이들에 기초하여 전술한 바와 같은 ESD 보호 동작을 수행할 수 있다. 예를 들어, 제1 다이오드(Diode_1)의 일 단(예를 들어, 캐소드 단자)에 제1 패드(400)가 연결될 수 있고, 타 단(예를 들어, 애노드 단자)에 제1 차동 등화 회로(201)가 연결될 수 있다. 제2 다이오드(Didoe_2)의 일 단(예를 들어, 캐소드 단자)에 제1 차동 등화 회로(201)가 연결될 수 있고, 타 단(예를 들어, 애노드 단자)에 제2 패드(500)가 연결될 수 있다. 한편, 제3 다이오드(Didoe_3)의 일 단(예를 들어, 캐소드 단자)에 제2 차동 등화 회로(202)가 연결될 수 있고, 타 단(예를 들어, 애노드 단자)에 제2 패드(500)가 연결될 수 있다. 제4 다이오드(Diode_4)의 일 단(예를 들어, 캐소드 단자)에 제3 패드(410)가 연결될 수 있고, 타 단(예를 들어, 애노드 단자)에 제2 차동 등화 회로(202)가 연결될 수 있다.

[0067] 이를 통해, ESD 다이오드 회로(300d)는 ESD 현상으로 인한 전류를 제1 내지 제4 다이오드(Diode_1, Diode_2, Diode_3, Diode_4)에 기초하여 다른 전류 경로를 형성하여 ESD 현상으로 인해 발생한 전류를 방출시킴으로써, 내부 회로(600)를 보호할 수 있다. 즉, ESD 보호 회로는 수신단들(110, 120)을 통해 수신된 차동 신호들(RXP, RXN)이 내부 회로(600)로 원활하게 전송될 수 있도록 등화 동작을 수행할 수 있음과 동시에, ESD 현상으로부터 내부 회로(600)를 보호할 수 있다.

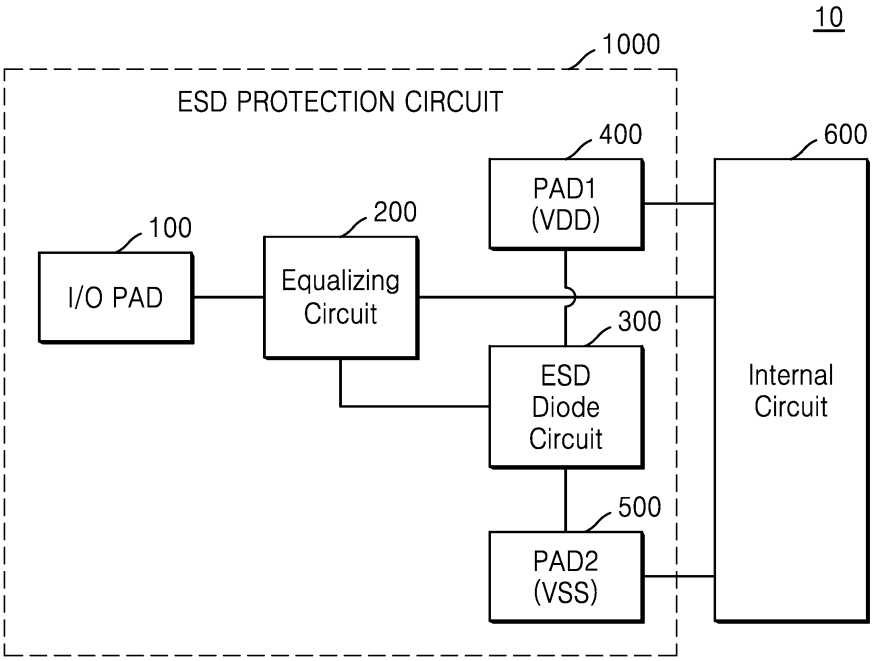
[0068] 일부 실시예들에 있어서, 도 4를 참조하여 전술한 바와 같이 ESD 다이오드 회로(300d)는 제1 가변 저항(R1)을 더 포함할 수 있고, 제1 가변 저항(R1)을 통해 이퀄라이징 특성이 보다 향상될 수 있다. 예를 들어, 제1 가변 저항(R1)의 일 단은 제1 다이오드(Diode_1)의 애노드 단자와 연결될 수 있고, 타 단은 제4 다이오드(Diode_4)의 애노드 단자와 연결될 수 있다. 이 경우, 제1 가변 저항(R1)이 제2 패드(500)(예를 들어, 접지 전압 VSS)에 직접적으로 연결되지 않으므로 가변 저항으로 인한 영향을 감소시킬 수 있다. 또한, 제1 가변 저항(R1)의 저항 값을 크게 설정함으로써 가변 저항으로 흐르는 누설 전류(Leakage current) 또한 감소시킬 수 있다.

[0069] 즉, 본 개시의 예시적 실시예에 따른 ESD 보호 회로는 차동 신호에 기초하여 전송되는 데이터 처리 방식에도 적용될 수 있으며, 등화 회로와 ESD 다이오드 회로를 적절하게 설정하고 구성함으로써 이퀄라이징 특성, ESD 감내 특성 뿐만 아니라 차동 방식에서의 성능도 향상시킬 수 있고, 누설 전류도 개선할 수 있다.

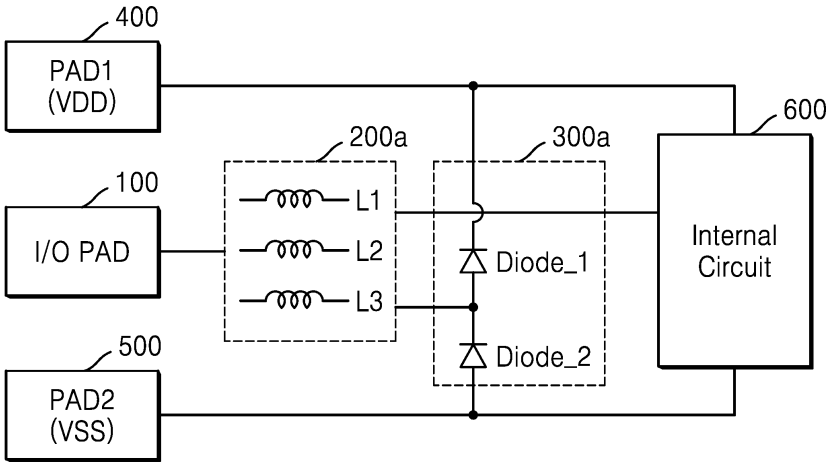
[0070] 이상에서와 같이 도면과 명세서에서 예시적인 실시예들이 개시되었다. 본 명세서에서 특정한 용어를 사용하여 실시예들을 설명되었으나, 이는 단지 본 개시의 기술적 사상을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특허청구범위에 기재된 본 개시의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 개시의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

## 도면

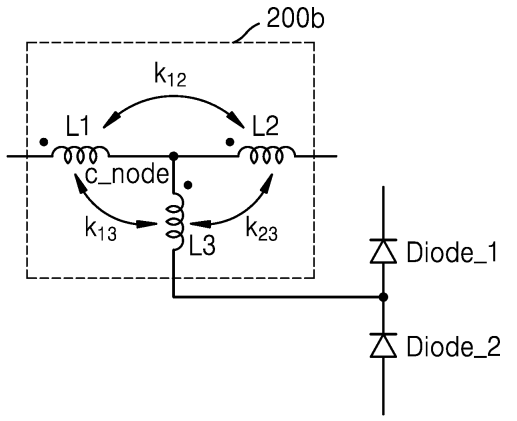
### 도면1



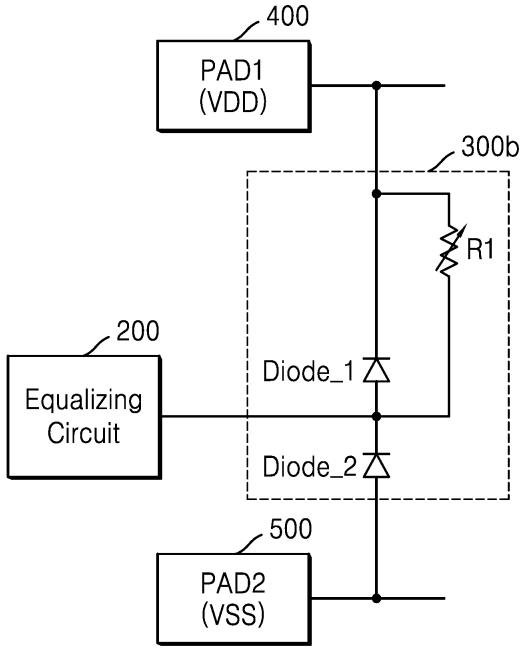

### 도면2



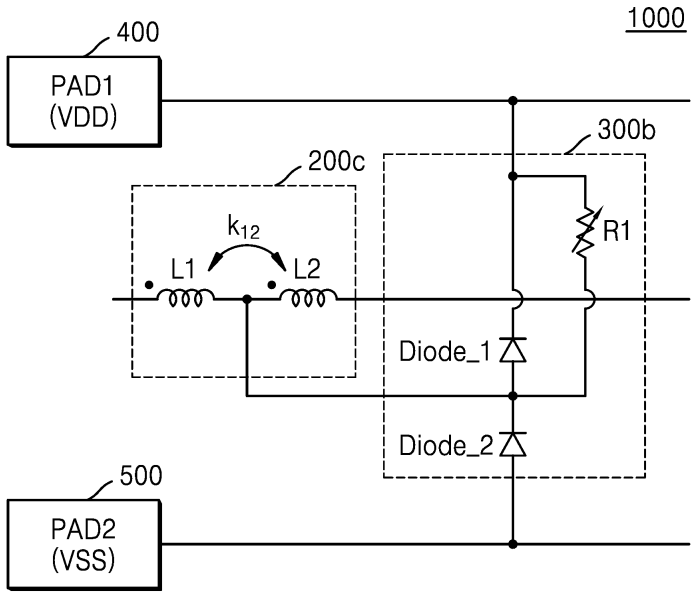
도면3


200b
k12
L1
L2
c_node
k13
k23
L3
Diode_1
Diode_2

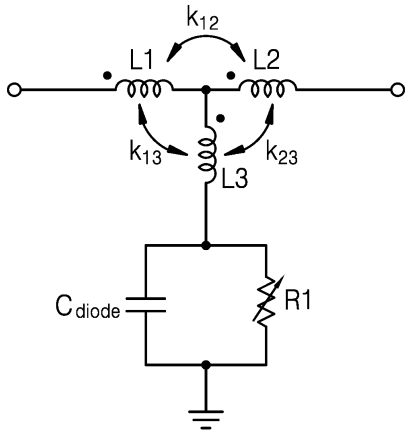
도면4


400
PAD1
(VDD)
300b
R1
200
Equalizing
Circuit
Diode_1
Diode_2
500
PAD2
(VSS)

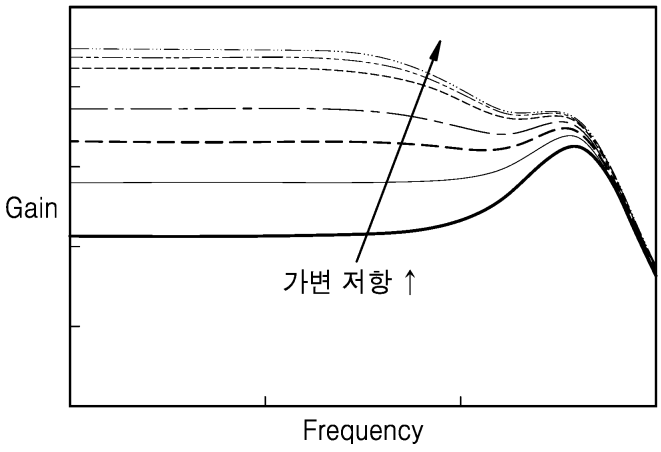
도면5


1000
400
PAD1
(VDD)
300b
200c
k12
L1
L2
R1
Diode_1
Diode_2
500
PAD2
(VSS)

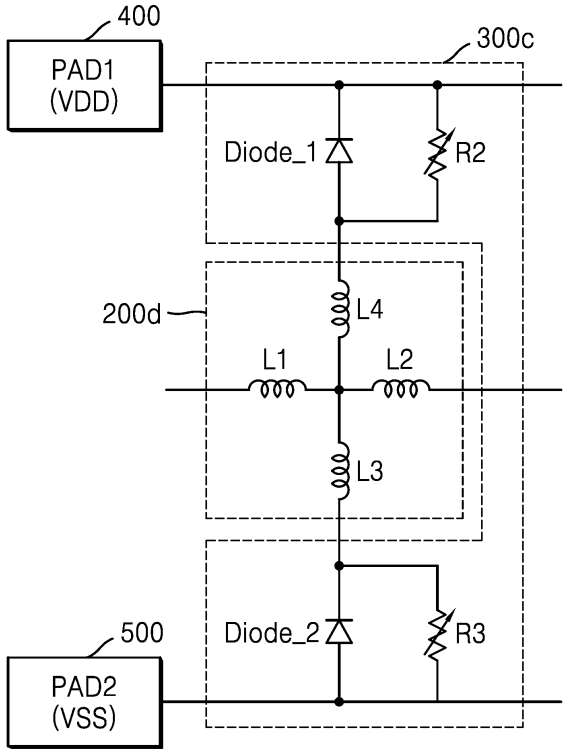
도면6


k12
L1
L2
k13
k23
L3
Cdiode
R1

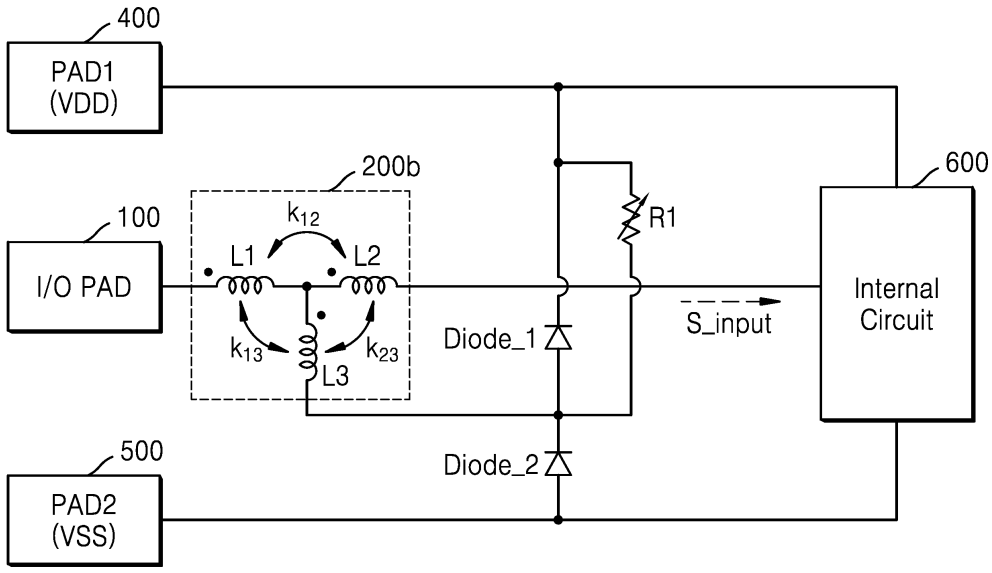
도면7


Gain
가변 저항 ↑
Frequency

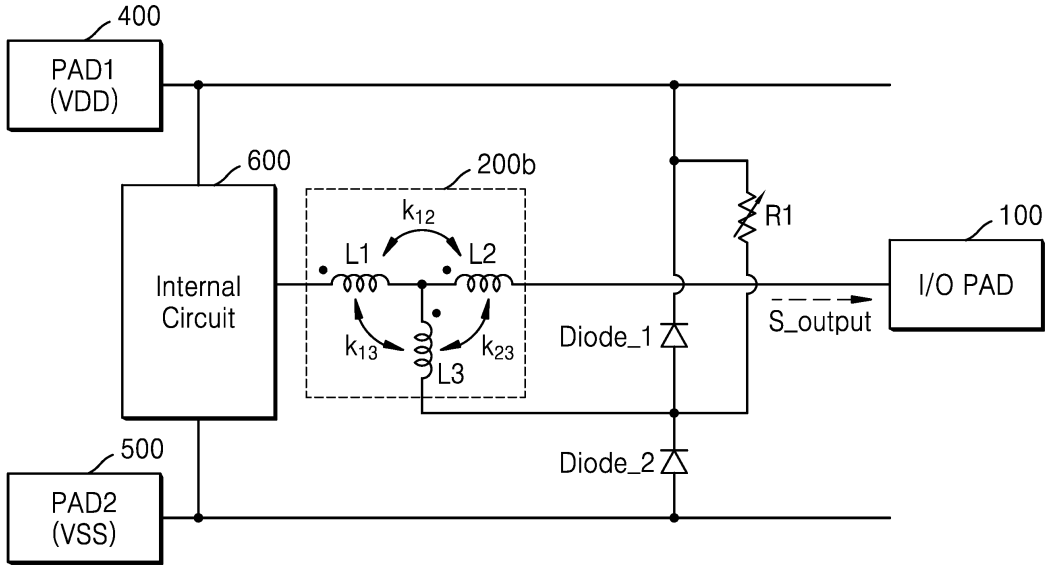
도면8


400
PAD1
(VDD)
300c
Diode_1
R2
200d
L4
L1
L2
L3
500
PAD2
(VSS)
Diode_2
R3

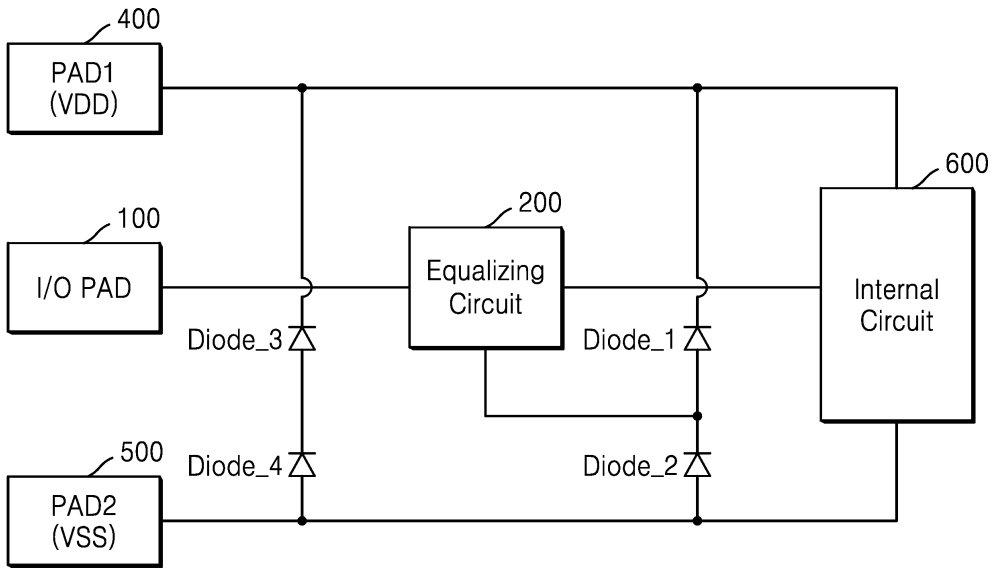
도면9


400
PAD1
(VDD)
200b
100
I/O PAD
k12
L1
L2
k13
k23
L3
R1
600
Internal
Circuit
S_input
Diode_1
Diode_2
500
PAD2
(VSS)

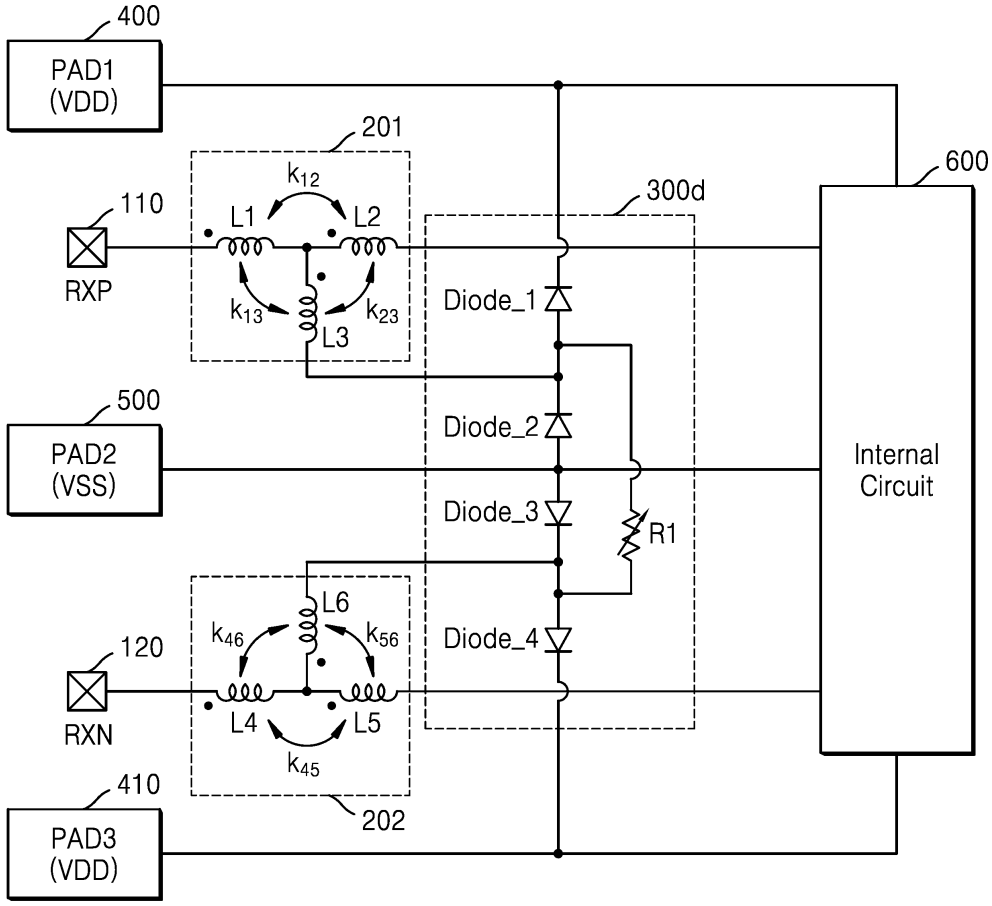
도면10


400
PAD1
(VDD)
600
Internal
Circuit
200b
k12
L1
L2
k13
k23
L3
R1
100
I/O PAD
S_output
Diode_1
Diode_2
500
PAD2
(VSS)

도면11


400
PAD1
(VDD)
100
I/O PAD
Diode_3
Diode_4
500
PAD2
(VSS)
200
Equalizing
Circuit
Diode_1
Diode_2
600
Internal
Circuit

도면12


400
PAD1
(VDD)
201
k12
L1
L2
110
RXP
k13
k23
L3
300d
600
Diode_1
Diode_2
Diode_3
R1
Internal
Circuit
500
PAD2
(VSS)
L6
k46
k56
Diode_4
120
RXN
L4
L5
k45
410
PAD3
(VDD)
202