

發明專利說明書 200308079

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：92104783

※ 申請日期：92.7.6

※IPC 分類：H01L 27/10

壹、發明名稱：(中文/英文)

半導體元件及使用其之半導體記憶體 /

Semiconductor Device and Semiconductor Memory Using the Same

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

伊諾鐵克股份有限公司 / Innotech Corporation

代表人：(中文/英文)

川島良一

住居所或營業所地址：(中文/英文)

日本神奈川縣橫濱市港北區新橫濱 3 丁目 17 番 6 號

17-6, Shin-Yokohama 3-chome, Kouhoku-ku, Yokohama, Kanagawa,

222-8580 JAPAN

國 籍：(中文/英文) 日本 / Japan

參、發明人：(共 1 人)

姓 名：(中文/英文)

三井田 高 / MIIDA, Takashi

住居所地址：(中文/英文)

日本神奈川縣橫濱市港北區新橫濱 3 丁目 17 番 6 號

伊諾鐵克股份有限公司內

c/o Innotech Corporation, 17-6, Shin-Yokohama 3-chome, Kouhoku-ku,

Yokohama, Kanagawa, 222-8580 JAPAN

國 籍：(中文/英文) 日本 / Japan

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項 ☐ 第一款但書或 ☐ 第二款但書規定之期間，其日期為： 年 月 日。

◎本案申請前已向下列國家（地區）申請專利 ☒ 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 日本；2002.03.27；2002-089744
2. 日本；2003.02.14；2003-036005
- 3.
- 4.
- 5.

☐ 主張國內優先權（專利法第二十五條之一）：

【格式請依：申請日；申請案號數 順序註記】

- 1.
- 2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

本發明有關於一種半導體元件及一種半導體記憶體，且更特別地，有關於一種用以連接二電晶體彼此間之源極/汲極區之實用技術。

【先前技術】

今日，包含各種 EEPROM(可電性拭去可程式唯讀記憶體)之非揮發性記憶體係廣泛利用至例如行動電話之應用中。例如，一 EEPROM 依據一電荷是否出現於其浮動閘極(以下稱為浮閘)以使各儲存格電晶體中只允許儲存一位元資訊。然而，為了促使元件尺寸下降，較佳配置應是一儲存格電晶體之多位元架構，以允許在該儲存格電晶體中儲存二或更多位元資訊。

在過去提出各種形式之一多位元電晶體時，本案之發明人已致力於發展一種多位元電晶體，其包含有複數個凹槽之矽基底及在該凹槽側壁上所形成之浮閘。有關此種多位元電晶體細節，可參考例如日本專利號 3249811 及 3249812。

在上述多位元電晶體中，源極/汲極區形成於該凹槽底部上，而一通道區被形成於該矽基底表面上。因此該源極/汲極區及通道區定位在彼此不同之階層。本架構係完全不同於傳統之 MOS(金屬氧化物半導體)電晶體架構，其一具有定位在一基底表面上之源極/汲極區及一通道區。

大體上，一半導體記憶體不只包含儲存格電晶體，也

包含擷取電晶體以選擇該電晶體或記憶庫。該擷取電晶體通常以配置成 MOS 電晶體。該儲存格電晶體的源極/汲極區及該擷取電晶體的源極/汲極區係連接在一起，以使任一擷取電晶體選擇該儲存格電晶體或導通時連接其上的記憶庫。然而，如上述，該擷取電晶體的源極/汲極區被形成於一基底表面上，而該儲存格電晶體的源極/汲極區被形成於該凹槽底部上。更特別地，此二不同類型電晶體的源極/汲極區彼此間具有不同階層，也就是，不在同平面中。因此，技術上，難以將該二型電晶體的源極/汲極區彼此間互連且至今尚未能實施。

【發明內容】

本發明之一目的為提供一種半導體元件及一種半導體記憶體，以使一電晶體之之源極/汲極區，其相異於同一電晶體之通道區的階層，以輕易地被連接至其它電晶體的源極/汲極區。

根據本發明，一半導體元件包含一第一及一第二電晶體。該第一電晶體係在比其通道區部分為低的階層處形成源極/汲極區。該第二電晶體以在實質上與第一電晶體之源極/汲極區相同之階層形成一通道區域以及源極/汲極。該第一電晶體的源極/汲極區其中之一及該第二電晶體的源極/汲極區其中之一在實質上相同之平面上彼此間電性互連。

同時，根據本發明，一半導體記憶體包含形成有複數

個凸部之一傳導類型半導體基底。一反傳導類型位元線係形成於相近凸部之間的半導體基底的主要表面上。儲存格電晶體係於每一列方向及行方向配置成複數個矩陣，且每一儲存格電晶體將該位元線用做一源極區及一汲極區中任一者。該通道區至少形成於一凸部之頂部上。一擷取電晶體係以一通道區及源極／汲極區形成，其在用以選擇位元線之位元線實質上相同的階層處。該擷取電晶體之源極／汲極區其中之一及位元線係在實際相同平面中彼此間電性交互連接。

本發明之目的及特徵將由下列配合附圖所做之詳細說明中變得顯而易見。

【實施方式】

參考至圖式之第 1 圖，係說明本發明具體實施之一半導體記憶體中所包含之一儲存格電晶體。如所示，命名為 TC 之儲存格電晶體被形成於一為傳導型半導體基底之 P 型矽基底 12 上。一 P 型井 13 係形成於該 P 型矽基底 12 上。複數個凸部 13a(只示一個)自該 P 型矽基底 12 之主要表面中伸出。

位元線 BL1 及 BL2 係形成於該凸部 13a 兩側之 P 型井 13 表面上。更特別地，相對於施加傳導型至該 P 型井 13，一 N 型雜質離子被植入該 P 型井 13 表面中想要形成該位元線 BL1 及 BL2 的所在位置。該位元線 BL1 及 BL2 係並行配置於一記憶體格矩陣之列方向中而延伸於每一行方向中。

一閘極絕緣層或第一絕緣層 15c 係形成於該凸部 13a 之頂部 13c 上。該凸部 13a 具有彼此對立的一對側壁 13b，相對於施加傳導型至該凸部 13a，形成於其上者為反傳導型之 N 型區 17。選擇該 N 型區 17 之雜質濃度使之落於 1/100 及 1/10,000 之間，如高如該位元線 BL1 及 BL2 之 1/1,000 更佳。

通道絕緣層或第二絕緣層 15a 各自涵蓋該側壁 13b 及位元線 BL1 與另一側壁 13b 及位元線 BL2 其中之一。該位元線 BL1 及 BL2 作用如源極/汲極區，如後述。本情況下，該位元線 BL1 及 BL2 有時會稱之為源極/汲極區。

浮閘 FG1 及 FG2 經由它們鄰接之通道絕緣層 15a 各自面對該源極/汲極區 BL1 及 BL2 與該凸部 13a 之相對側壁 13b。每一多晶絕緣夾層或第三絕緣層 15b 係形成於該浮閘 FG1 及 FG2 其中之一上。在該實施示例中，該通道絕緣層 15a、多晶絕緣夾層 15b 及閘極絕緣層 15c 全部由氧化矽形成。

一控制閘 CG 經由該多晶絕緣夾層 15b 來面對該浮閘 FG1 及 FG2 並經由該閘極絕緣層 15c 來面對該凸部 13a 之頂部 13c。另外，該控制閘 CG 可包括具有插入於其間之多晶絕緣夾層 15b 之浮閘 FG1 及 FG2 所面對之各片段及具有插入於其間之閘極絕緣層 15c 之頂面 13c 之一片段。在另一例中，上述各片段會被電性隔開且分別受到電性控制。

該浮閘 FG1 及 FG2 及控制閘 CG 全部由多晶矽形成。

實務上，複數個控制閘 CG 係配置於行方向中而延伸於每一列方向中，如後專述。該控制閘 CG 分別扮演字線 WL0、WL1 及等等的角色。

在該實施示例中，一通道區 330 係以一三度空間架構形成於該凸部 13a 之相對立側壁 13b 及頂部 13c 之表層上。它遵守著該通道區 330 及該源極/汲極區 BL1 及 BL2 彼此係在不同階層或高度中，也就是，部分後者的位置比前者低。本架構係完全不同於稍早所述之一具有形成於一基底表面上之源極/汲極區與一通道區兩者之典型 MOS 電晶體架構。

第 2 圖說明一代表該儲存格電晶體 TC 並包含與其相關之各種電容之等效電路。該電容係表示一在該控制閘 CG 及該凸部 13a 頂部 13c 間之電容器 C_{CG} 、一在彼此面對之控制閘 CG 及浮閘 FG1(FG2)間之電容器 $C_{CF1}(C_{CF2})$ 、一在彼此面對之浮閘 FG1(FG2)及凸部 13a 側壁 13b 間之電容器 $C_{FG1}(C_{FG2})$ 及一在彼此面對之浮閘 FG1(FG2)及源極/汲極區 BL1(BL2)之電容器 $C_{FS}(C_{FD})$ 。

一種用以驅動該儲存格電晶體 TC 之方法將述於後。第一，對第 3 圖所產生之參考用來說明如何將二位元資料寫入至該儲存格電晶體 TC 中。在該實施示例中，電子可被選擇性地注入定位在該凸部 13a 對立側之浮閘 FG1 及 FG2 任一者中。如第 3 圖所示，為了藉由示例注入電子至圖中之右邊浮閘 FG2 中，施加一例如 2.2V 之閘極電壓 V_G 至該控制閘 CG，同時施加一例如 6V 之電壓 V_{DD} 至應注入

電子的源極/汲極區 BL2。同時，將該基底 12 及另一源極/汲極區 BL1 接地。結果，一用於寫入之電位差，也就是，在該源極/汲極區 BL1 及 BL2 間施加 6V 電壓。

在第 3 圖所示狀況中，施加至該控制閘 CG 之正電位使一逆向層 13d 形成於凸部 13a 之頂部 13c 表面中。因此所出現之逆向層 13d 使該 N 型區 17 彼此間電性互連。因為每一 N 型區 17 接觸到該 N 型源極/汲極區 BL1 及 BL2 其中之一，該 N 型源極/汲極區 1 BL1 及 BL2 它們本身係電性互連。結果，在本實施示例中之電子載體流經由箭頭 50 及 52 所示之路徑。

注意沿著該頂部 13c 流動之電子，該浮閘 FG2 就定位在圖中流動方向之右手邊。因此，這些電子可直接向前注入至該浮閘 FG2，而不是如傳統結構般地操縱。這使得用以吸引電子朝向浮閘之閘極電壓(寫入電壓) V_G 可製造的比傳統閘極電壓低。

又，形成於該凸部 13a 側壁 13b 上之 N 型區 17 用於降低該側壁 13b 電阻，藉以阻止該側壁 13b 上之壓降。結果，稍低於一介於該源極/汲極區 BL1 及 BL2 間之 6V 電壓之一較高電壓被施加至該頂部 13c 反側，使該頂 13c 強迫性地加速電子。結果，電子被有效地注入第 3 圖箭頭 52 所示之浮閘 FG2。本方式中，該 N 型區 17 也用於降低該寫入電壓 V_G 。

當電子只注入至第 3 圖右邊浮閘 FG2 時，只有在施加至該源極/汲極區 BL1 及 BL2 中的電壓可互換時，電子才

可被注入至左邊的浮閘 FG1。因此，本實施示例配置第 4A 至 4D 圖中所示之四種不同狀態。第 4A 圖說明一儲存位元狀態 (1,1)，其中，未注入電子至該浮閘 FG1 及 FG2 任一者中。第 4B 及 4C 圖分別說明儲存狀態 (1,0) 及 (0,1)，其中，每一階段的電子被注入至該浮閘 FG1 及 FG2 任一者中。第 4D 圖說明一狀態 (0,0)，其中，電子被注入至該浮閘 FG1 及 FG2 兩者中；例如，電子可被注入右邊浮閘 FG2 並接著被注入至左邊浮閘 FG1。本方式中，該實施示例允許選擇性寫入二位元資料 (1,1) 至 (0,0) 到單一儲存格電晶體 TC 中。

該實施示例包含二浮閘 FG1 及 FG2 並允許電子如上述地各自分開存在於浮閘 FG1 及 FG2 中。因此，相較於習知結構，即使在儲存格大小減少的應用中，可明確地辨別該浮閘 FG1 及 FG2 所包含的主要電子類型。

將參考至第 5A 及 5B 來說明如何將二位元資料自該儲存格電晶體 TC 中讀出。首先，如第 5A 圖所示，施加例如 2.2V 之閘極電壓 V_G 至該控制閘 CG。接著，施加例如 6V 之電壓 V_{DD} 至一源極/汲極區 BL2，同時另一源極/汲極區 BL1 及基底 12 係接地。結果，一用於讀取之電位差，也就是，1.6V，被施加於該源極/汲極區 BL1 及 BL2 之間。在產生的電位分佈中，隨著該逆向層 13d 被形成在該凸部 13a 頂部 13c 上這結果，該控制閘 CG 電位係為正值。因此，一汲極電流流動於一由第 5A 圖箭頭所示的方向中。

結果，如第 5B 圖所示，施加至該源極/汲極區 BL1 及 BL2 之電壓彼此間在該閘極電壓 V_G 同樣維持於 2.2V 下而可互換。因此，介於該源極/汲極區 BL1 及 BL2 間之電位差被反轉，使得一第二汲極電流 I_{d2} 流入第 5B 圖箭頭所示之方向中。

在該實施示例中，測量因施加至該源極/汲極區 BL1 及 BL2 之電壓互換性而輪流流動之汲極電流 I_{d1} 及 I_{d2} 。如後專述，根據各狀態，該汲極電流 I_{d1} 及 I_{d2} 值是不同的。因而可將該電流組(I_{d1} , I_{d2})一對一地與各狀態做比較，以決定該儲存格係為那一種狀態。在不同狀態(1,1)至(0,0)下流動之汲極電流將詳述於後。

第 6A 及 6B 圖展示如何自該儲存格電晶體 TC 中感測到該狀態(1,0)。如第 6A 圖所示，以相同於第 5A 圖之方式施加電壓至該儲存格電晶體 TC 之構件，以使該汲極電流 I_{d1} 流動。在本狀況中，雖然右邊浮閘 FG2 之電位因電子注入而被降低，但它卻利用電容 C_{CF2} 及 C_{FD} 往該控制閘 CG 之正電位(2.2V)及該源極/汲極區 BL2 之正電壓(1.6V)增加。結果，該浮閘 FG2 之壓降係有限的，使得環繞該閘極 FG2 四周的通道電阻不是如此地高。因此，該汲極電流 I_{d1} 具有一相當大的值。

尤其，接觸該源極/汲極區 BL2 之 N 型區 17 具有一實際上等於該源極/汲極區 BL2 電位的電位。該浮閘 FG2 的電位因此也由電容 C_{CF2} 往該源極/汲極區 BL 側增加，再降低環繞該閘極 FG2 四周的電阻。結果，該汲極電流

I_{d1} 值又增加。

接著，如第 6B 圖所示，施加至該源極/汲極區 BL1 及 BL2 的電壓可互換以使該汲極電流 I_{d2} 流動。本例中，右邊浮閘 FG2 的電位因電子注入而降低。再者，因為右邊源極/汲極區 BL2 接地，該浮閘 FG2 的電位透過在該閘極 FG2 及該區域 BL2 間之電容 F_D 往該地電位降低。結果，該浮閘 FG2 電位在第 6B 圖中比在第 6A 圖中低而使環繞該閘極 FG2 四周的通道電阻增加。因此，該汲極電流 I_{d2} 係小於前汲極電流 I_{d1} 。

尤其，該 N 型區 17 使得右邊浮閘 FG2 也由該電容 C_{FG2} 往接地側降低，使得該汲極電流 I_{d2} 值又降低。如上述，該狀態 (1,0) 可依 $(I_{d1}, I_{d2}) = (\text{大}, \text{小})$ 來辨別。為了辨別該汲極電流 I_{d1} 及 I_{d2} 中較大一者，一稍後將述及之感測放大器將它們每一個與一參考電流做比較。

為了自該儲存格電晶體 TC 中感測到狀態 (0,1)，注入電子至在右邊浮閘 FG2 相對的左邊浮閘 FG1 中。因此，以與上述相同的方式來估測該汲電流 I_{d1} 及 I_{d2} ，使得它們維持在 $(I_{d1}, I_{d2}) = (\text{小}, \text{大})$ 。

至於自該儲存格電晶體 TC 中所感測之狀態 (1,1)，未注入電子至該浮閘 FG1 及 FG2 任一者。本例中，因該浮閘 FG1 電位或該浮閘 FG2 電位未被電子降低，該汲極電流 I_{d1} 及 I_{d2} 係大的。這種狀況係對稱於左右方向中，也就是，該汲極電流 I_{d1} 及 I_{d2} 彼此間未有不同； $(I_{d1}, I_{d2}) = (\text{大}, \text{大})$ 。再者，至於該狀態 (0,0)，因注入電子至該浮閘 FG1 及

FG2 兩者，對稱性係建立於左右方向中。因此，維持在 $(I_{d1}, I_{d2}) = (\text{小}, \text{小})$ ，代表該汲極電流 I_{d1} 及 I_{d2} 彼此間未有不同。

一種特別方法，其將實施示例中注入該浮閘 FG1 及 FG2 的有效電子放電，也就是，刪除儲存資料，將會述於後。如第 7 圖所示，為了拉出電子，施加一例如 12V 之高電位至該控制閘 CG，同時將該基底 12 及源極/汲極區 BL1 及 BL2 接地。本例中，該電位差可對應設立於該控制閘 CG 及該源極/汲極區 BL1 及 BL2 之間。例如，該控制閘 CG 及該源極/汲極區 BL1 及 BL2 可分別供應 6V 及 -6V 電壓。

在所產生的電位分佈結果中，該控制閘 CG 如自該浮閘 FG2 (FG1) 來看具有較高電位，使得電子透過多晶絕緣夾層 15b 被拉至該控制閘 CG。當然，有可能將電子拉至該基底 12，以使該基底 12 的電位高於該控制閘 CG。

該實施示例中的寫入、讀取及刪除操作係根據在該記憶體儲存格矩陣中的儲存格電晶體 TC 被選取之假設來顯示及說明。然而，實務上，該儲存格電晶體 TC 有時未被選取。即使在該儲存格電晶體 TC 未被選取時，也施加該驅動電壓 V_{DD} 至該位元線 BL1 以選擇另一儲存格電晶體 TC。本例中，未選取儲存格電晶體 TC 之浮閘 FG1 電位因一介於該閘極 FG1 及該位元線 BL1 間之大電容 C_{FS} 而被拉向該位元線 BL1 的電位。如此，減少介於該浮閘 FG1 及該源極/汲極區 BL1 間之電位差，以使介於該閘極 FG1 及該

源極/汲極區 BL1 間之通道絕緣層 15a 免於曝露於上述強電場中。結果，成功地阻止會惡化該通道絕緣層 15a 的一通道電流 FG2 流過該層 15a。

值得注意的，介於該浮閘 FG1(FG2)及該源極/汲極區 BL1(BL2)間之電容 C_{FS} (C_{FD})扮演一重要角色，以得到如同未選取狀況般有關寫入、讀取及刪除所述之優勢。本實施示例中，該浮閘 FG1(FG2)定位於該源極/汲極區 BL1(BL2)上以降低該浮閘 FG1 及 FG2 間的距離，藉以減少元件大小並增加電容 C_{FD} 及 C_{FS} 。超過彼此面對的浮閘 FG1(FG2)及源極/汲極區 BL1(BL2)之區域係開放以提供選擇。當上述區域變大時，上述優勢係較易達到，然即使該區域為小的，它們也一樣可達到的。

將參考至第 8 圖以說明一本發明半導體記憶體的整體電路配置。在第 8 圖中，一儲存格電晶體 $TC_{i,j}$ 為一位在第 i 列及第 j 行且以前述方式來架構及操作之儲存格電晶體。每一儲存格電晶體 $TC_{i,j}$ 屬於一特定(1 行) x (n 列)記憶庫 BNK_j ($j=0, 1, 2, \dots$)；(n 列)的 n 表示一公開提供選擇的自然數，而 BNK_j 的 j 表示屬於該記憶庫 BNK_j 之一儲存格電晶體 $TC_{i,j}$ 中所有共享的一行數。

每一擷取電晶體 $STE_{i,j}$ 及 $STO_{i,j}$ 係連接至一特定記憶庫 BNK_j ($j=0, 1, 2, \dots$)以選擇該記憶庫 BNK_j 。更特別地，該擷取電晶體 $STE_{i,j}$ 係用以選擇偶數記憶庫 BNK_j ($j=0, 2, 4, \dots$)且此後有時將稱之為偶記憶庫擷取電晶體。另一擷取電晶體 $STO_{i,j}$ 係用以選擇奇數記憶庫 BNK_j ($j=1, 3, 5$

、...)且此後有時將稱之為奇記憶庫擷取電晶體。

隔行上的偶記憶庫擷取電晶體 $STE_{i,m}$ 具有如所示之互連源極/汲極區其中之一。每一虛擬地線 $VG_i (i=0、2、4、...)$ 係連接至上述源極/汲極區互連所在之節點 A、D 及 E 其中之一。除了源極/汲極區互連所在之每一節點係如所示地自該偶記憶庫擷取電晶體 $STE_{i,j}$ 移位一行外，其它則相同於奇記憶庫擷取電晶體 $STE_{i,j}$ 。

將每一偶記憶庫擷取電晶體命名 $STE_{i=1,j} (j=0、1、2、...)$ 以在第 $(i-1)$ 記憶庫之行方向計數來選擇一偶數記憶庫。同樣地，將每一奇記憶庫擷取電晶體命名以在第 $(i+1)$ 記憶庫之行方向計數來選擇一奇數記憶庫。

該虛擬地線 $VG_i (i=0、2、4、...)$ 係由鋁或類似金屬所形成，用以具有降低的電阻。另一方面，位元線 $BL_i (i=0、1、2、...)$ 係配置成具有遠大於該虛擬地線 VG_i 電阻之擴散層。

第 8 圖所示之半導體記憶體操作將述於後。該半導體記憶體未藉一字線及一位元線之結合來選擇一儲存格電晶體，而是先選擇一組偶記憶庫 $BNK_j (j=0、2、4、...)$ 及一組奇記憶庫 $BNK_j (j=1、3、5、...)$ 中任一者並接著選擇屬於所選偶或奇記憶庫 BNK_j 之儲存格電晶體 $TC_{i,j}$ 其中之一。

例如，假設屬於偶記憶庫 BNK_0 之儲存格電晶體 $TC_{0,0}$ 要被選擇。接著，使一偶記憶庫選擇線 SE_i 走高以選擇一組偶記憶庫 $BNK_j (j=0、1、2...)$ ，藉此導通該偶記憶庫擷取電晶體 $STE_{i,j} (j=0、2、4...)$ 。同時，使其它選擇線 SE_{i-1} 、

SO_i 及 SO_{i+1} 走低，藉此關閉其閘極被連接至這類選擇線之所有電晶體。在所產生的電壓分佈中，在開狀態中的偶記憶庫擷取電晶體 $STE_{i,0}$ 及 $STE_{i,1}$ 分別選擇位元線 BL_0 及 BL_1 ，並將它們分別電性連接至虛擬地線 VG_0 及 VG_2 。同樣地，連接至其它偶記憶庫 BNK_2 及 BNK_4 之位元線被引至該虛擬地線以電性相接。在本方式中，係選擇一組偶記憶庫 $BNK_j(j=0、2、4\dots)$ 。

接著，為了在讀取模式中選擇該儲存格電晶體 $TC_{0,0}$ ，該儲存格電晶體 $TC_{0,0}$ 所連接之位元線 BL_0 被引至接地電位，同時施加 1.6V 至該位元線 BL_1 作為該電壓 V_{DD} 。之後，施加 2.2V 至該字線 WL_0 作為該讀取電壓 VG 。要注意，這類電壓係自一資料線/地線選擇器 302 經一記憶庫選擇器 300 來輸出。

上述電壓使一第一汲極電流 I_{d1} 流過該儲存格電晶體 $TC_{0,0}$ ，如同前面參考第 5A 圖所述及的。該第一汲極電流 I_{d1} 接著自一感測放大器 304 開始流動，依序經過資料線/地線選擇器 302、記憶庫選擇器 300、虛擬地線 VG_2 、節點 D、節點 C、偶記憶庫擷取電晶體 $STE_{i,1}$ 、位元線 BL_1 、儲存格電晶體 $TC_{0,0}$ 、位元線 BL_0 、偶記憶庫擷取電晶體 $STE_{i,0}$ 、節點 B、節點 A、虛擬地線 VG_0 、記憶庫選擇器 300 及資料線/地線選擇器 302。這時，該記憶庫選擇器 300 不會選擇目標偶記憶庫 BNK_0 之外的其它偶記憶庫 $BNK(BNK_2、BNK_4\dots)$ 的電晶體，以避免該汲極電流流至未用偶記憶庫的儲存格電晶體。

之後，在其它電壓維持相同時，介於該位元線 BL1 及 BL2 間的電位差係可互換。因此，一第二汲極電流 I_{d2} 如參考第 5B 圖所述地流過該儲存格電晶體 $TC_{0,0}$ 。該第二汲極電流 I_{d2} 流過一與該第一汲極電流路徑相反的路徑。

前述程序使該感測放大器 304 可測量流過該儲存格電晶體 $TC_{0,0}$ 第一及第二汲極電流 I_{d1} 及 I_{d2} ，藉此決定四種狀態“(1,1)”至“(0,0)”中的那一種被存入該儲存格電晶體中 $TC_{0,0}$ 。

在第 8 圖所示電路中，該第一汲極電流 I_{d1} 不是固定流過配置成擴散層之高電阻位元線 BL1 及 BL2，但卻固定流過由鋁所構成低電阻之虛擬地線 VG_2 ，到達該目標記憶庫 BNK_0 並接著流過該位元線 BL1。接著，流過該儲存格電晶體 $TC_{0,0}$ 的汲極電流 I_{d1} 經由該位元線 BL0 流過該虛擬地線 VG_0 。

因此，在該第一汲極電流 I_{d1} 流過上述路徑時之電阻係低於在它固定流過該位元線 BL1 及 BL2 時之電阻。因此，該實施示例可在高速下感測到該第一汲極電流 I_{d1} 及該第二汲極電流 I_{d2} 。接著添加一混雜序列以重複該測量：

在上述特定程序中，選擇屬於該偶記憶庫 BNK_0 之儲存格電晶體 $TC_{0,0}$ 。另一方面，為了選擇屬於該奇記憶庫 BNK_j ($j=1, 3, 5, \dots$) 之電晶體 $TC_{i,j}$ ，該奇記憶庫選擇線因而走高藉此導通該奇記憶庫擷取電晶體 $STE_{i,j}$ ($j=0, 1, 2, \dots$)。其它選擇線 SE_i 、 SE_{i-1} 及 SO_{i+1} 因而走低。使得其閘極被連接至那些選擇線之電晶體全被關閉。其餘程序係

與有關該偶記憶庫選擇所述之程序一樣，故為了免於重複而不會另述。選擇上述一儲存格電晶體之方法有時稱之為一虛擬接地系統並特別教示於日本專利公告號 3-179775 號。

第 9 圖為一說明該實施示例之半導體記憶體之部分剖面透視圖。在第 9 圖中，與上述結構元件一樣之結構元件係指定為相同號碼。如所示，一傳導插塞 63 被埋入一未顯示之夾層絕緣薄膜。該虛擬地線 VG_4 係形成於該夾層絕緣薄膜並電性連接至該傳導插塞 63。對應至第 8 圖節點 E，該傳導插塞 63 係電性連接至該偶記憶庫擷取電晶體 $STE_{i,2}$ 及 $STE_{i,4}$ 之源極/汲極互連所在交點。每一字線 WL_0 及 WL_1 係利用在列方向延伸之第 1 圖控制閘 CG 來配置。

該儲存格電晶體 $TC_{0,1}$ 具有由一凸部 13a 之相對立側壁 13b 及頂部 13c 所形成之通道區及具有定位在由該頂部 13a 形成之部分通道區下之源極/汲極區 BL2。另一方面，該偶記憶庫擷取電晶體 $STE_{i,2}$ 為一具有源極/汲極區 50 及一位在實際上同平面之通道區 51 之傳統 MOS 電晶體。

如第 9 圖所示，該偶記憶庫擷取電晶體不是位於該矽基底 12 表面所定位之傳統階層 L_1 上，而是位在一比該階層 L_1 低之階層 L_2 上。該階層 L_2 實際上係相同於該儲存格電晶體 $TC_{0,1}$ 源極/汲極區 BL2 的階層。接著，該二電晶體 $STE_{i,2}$ 及 $TC_{0,1}$ 之源極/汲極區 50 及 BL2 分別實際地落在同平面中，因而可在水平方向輕易地電性互連。本方法成功地克服前述有關該源極/汲極區互連方面的技術困難。

參考至第 10 至 35 圖，將說明一種用以製造該實施示例之半導體記憶體之方法。首先，如第 10 圖所示，利用一傳統方法將隔離用之溝渠 12a(該實施示例中之 STI(淺溝渠隔離))形成於該 P 型矽基底 12 的主要表面中。接著，將氧化矽層或類似絕緣體 10 埋入該溝渠 12a 中。該基底 12 表面接著進行熱氧化作用，藉以形成一氧化矽薄膜 18。為了備製該 P 型矽基底 12，可將一具有硼濃度約為 $1.0 \times 10^{15} \text{ cm}^{-3}$ 之 P 型磊晶層形成於一具有硼濃度約為 $4.0 \times 10^{18} \text{ cm}^{-3}$ 之 P^+ 型基底上。

如第 11 圖所示，在第 10 圖步驟後，離子被植入該矽基底 12 中以在該基底 12 中形成該 P 型井 13。更特別地，在下列條件下連續植入四次離子。一離子種子 BF_2 (氟化硼)係用於該第一及第二次離子植入而 B(硼)係用於該第三及第四次離子植入。第一次離子植入之加速能量為 15 電子伏特，第二次離子植入之加速能量為 45 電子伏特，第三次離子植入之加速能量為 20 電子伏特，以及第四次離子植入之加速能量為 40 電子伏特。又，第一次離子植入之劑量為 $5.0 \times 10^{11} \text{ cm}^{-2}$ ，第二次離子植入之劑量為 $5.0 \times 10^{11} \text{ cm}^{-2}$ ，第三次離子植入之劑量為 $6.0 \times 10^{12} \text{ cm}^{-2}$ ，第四次離子植入之劑量為 $5.0 \times 10^{12} \text{ cm}^{-2}$ 。

接著，如第 12 圖所示，利用蝕刻法將整個氧化矽薄膜 18 移除。如第 13 圖所示，再將該基底 12 表面進行熱氧化作用以形成其為一氧化矽層之閘極絕緣層 15c。該閘極絕緣層 15c 約為 10 nm 厚。之後，一約為 10 nm 厚的氮

化矽層 25、一約為 4 nm 厚的氧化矽層 26 及一約為 50 nm 厚的氮化矽層 27 接著依序形成於該閘極絕緣層 15c 上。上述各層係利用 CVD(化學氣相沉積法)來形成。堆疊於該基底 12 上之各層功能將自下列連續步驟說明中變得顯而易見。

如第 14 圖所示，將一光阻層 45 塗佈於位在第 13 圖所示之疊層頂部上之氮化矽層 27 上。接著利用微影成像術將該光阻層 45 圖案化成長條狀。接著，該閘極絕緣層 15c、氮化矽層 25、氧化矽層 26、氮化矽層 27、絕緣體 10 及 P 型井 13 係透過該圖案化光阻或光罩 45 進行蝕刻。因此，溝渠 28 係形成於稍後將形成之儲存格電晶體(此後稱之為記憶體儲存格部分 332)所在位置上。各溝渠 28 係開放供選擇，本實施示例約為 380 nm。相鄰溝渠 28 間之距離約為 160 nm。

再者，上述蝕刻使得在稍後將形成擷取電晶體(此後稱之為擷取電晶體部分 334)之所在位置下，該 P 型井 13 及絕緣體 10 在實際上彼此為相同平面係曝露於外。蝕刻後，該光阻層 45 利用去灰法移除。

接著，如第 15 圖所示，一約為 20 nm 厚的氧化矽層 29 係利用 CVD 來形成於第 14 圖所示疊層的整個露出表面上。如第 16 圖所示，接著異向蝕刻厚度方向的氧化矽層 29 並保留各溝渠 28 側。該異向蝕刻可利用例如 RIE(反應性離子蝕刻法)來實現。

在第 16 圖步驟後，一光阻 16 係以長條形狀形成於該

選擇性電晶體部分 334。接著，透過該光阻長條或光罩 60 將砷離子植入，藉此在該 P 型井 13 中形成該位元線 BL1 至 BL4。在此時，留在各溝渠 28 側之氧化矽層 29 阻止砷離子植入。同時，當做光罩用之凸部 13a 可使該位元線 BL1 至 BL4 以一自我對準方式形成於該溝渠 28 底部上。一用於上述離子植入之離子種子為 As(砷)。該離子植入係以 15 電子伏特加速能量及 $2.0 \times 10^{14} \text{ cm}^{-2}$ 劑量來實現。

在第 18 圖中，該光阻長條 60 係以虛線表示以清楚地指出如平面圖中所見之位元線 BL1 至 BL4 架構。

如第 19 圖所示，蝕刻各溝渠 28 側之氧化矽層 29 約 10 nm 以形成超薄膜，儘管這類薄膜並未被顯示。接著，如第 20 圖所示，砷離子被植入各凸部 13a 之側壁 13b，藉此形成 N 型區域 17。為了在側壁 13b 中植入砷離子，該 P 型矽基底 12 應只向植入方向傾斜。在該實施示例中，一正交於該基底 12 之線條 n_1 係向離子植入 n_0 方向傾斜約 ± 20 度。

在第 20 圖中之離子植入係以一 As 離子種子、10 電子伏特加速能量及 $5.0 \times 10^{11} \text{ cm}^{-2}$ 劑量來實現。又，留在各凸部 13a 側壁 13b 上之氧化矽層 29 阻止砷離子超額植入該側壁 13b 中。在本離子植入後，該光阻層 60 係利用去灰法移除。

想配置該元件通道於該溝渠 28 表層，以使該表層特性在該元件特徵曲線上具有關鍵性影響。因此，需要保護該溝渠 28 表面不受下列步驟之污染。基於此目的，如第

21 圖所示，該實施示例利用熱氧化作用在該溝渠 28 側壁及底部上形成一約 4 nm 厚之犧牲性氧化矽層 31。該犧牲性氧化矽層 31 成功地保護該溝渠 28 表面免受污染。甚至，用此層 31 來移除一晶格缺陷，尤指該溝渠 28 表層，藉此阻止該元件特徵曲線的衰落。要注意，該犧牲性氧化矽層 31 係也形成於該擷取電晶體部分 334 中未涵蓋光阻長條 60 的位元線 BL1 至 BL4 部分上。

接著，一約為 60 nm 厚的氮化矽層 30 係利用 CVD 形成於包含該溝渠 28 之疊層之整個露出表面上。接著在對應至該擷取電晶體部分 334 的氮化矽層 30 部分上以長條形狀塗佈一光阻層 61。

如第 22 圖所示，該氮化矽層 30 在厚度方向進行異向蝕刻，以在該溝渠 28 之層 30 中形成溝槽 30a。另一方面，在該擷取電晶體部分 334 中，做為光罩的光阻層 61 圖案被轉譯至該氮化矽層 30。

在第 23 圖步驟後，該犧牲性氧化矽層 31 及每一位元線 BL1 至 BL4 部分被選擇性地蝕刻具有當做光罩用的氮化矽層 30。因此，一約為 10 nm 深的凹部 32 被形成於每一位元線 BL1 至 BL4 中。

接著，如第 24 圖所示，砷離子係經由該溝槽 30a 植入該位元線 BL1 至 BL4 中以降低該位元線 BL1 至 BL4 的電阻。如此植入砷離子之所在部分 33 構成高濃度區，也就是，降低行方向中位元線 BL1 至 BL4 電阻的 n^+ 區域。本植入係利用一 As 離子種子、30 電子伏特加速能量及 $3.0 \times$

10^{15} cm^{-2} 劑量來實現。

如第 25 圖所示，透過該氮化矽層或光罩 30 對該凹部 32 進行選擇性熱氧化作用，藉以形成選擇性氧化層 15d。在該擷取電晶體部分 334 中，未涵蓋該氮化矽層 30 之位元線 BL1 至 BL4 部分也被氧化，以在那裡形成該選擇性氧化層 15d。

在該選擇性氧化層 15d 已被形成後，利用去灰法將該光阻層 61 移除，並接著利用去灰法將該氮化矽層 27 及 30 移除。在此蝕刻期間，該氧化矽層 26 及犧牲性氧化層 31 扮演一蝕刻停阻物角色。接著，利用蝕刻至完全移除該層 26 但留下該選擇氧化層 15d 的這種程度來移除該氧化矽層 26。在此蝕刻期間，該氮化矽層 25 扮演一蝕刻停阻物角色。第 26 圖說明所產生的堆疊架構。

如第 27 圖所示，在第 26 圖所示條件中，再將該溝渠 28 底部及側壁進行熱氧化作用，藉此形成約 5 nm 厚的通道絕緣層 15a。因為它們的特性對該元件操作具有關鍵性影響，故該通道絕緣層 15a 最好應提供具有優良特性。基於此目的，該實施示例由使用一放射線插槽天線之微波激發高密度電漿元件所配置並在該電漿元件中引入一氪(Kr)及氧氣(O_2)混合氣體來產生一電漿作用以形成該通道絕緣層 15a。

在上述電漿元件中，由一微波所激發之 Kr 撞擊氧氣，藉此產生大量原子狀態氧 O^* 。該原子狀態氧 O^* 可輕易地進入該溝渠 28 表層並在與該平面方向無關下，以實際

上相同速率氧化該溝渠 28 底部及側壁。因此，形成具有均勻厚度之通道絕緣層 15a，如圓圈中之放大圖所示之溝渠 28 角落部分。有關該電漿氧化作用之細節，可參考至例如日本第 48 期應用物理工程師聯合大會的第 29p-YC-4 號報告 (Paper No. 29p-YC-4, The 48th Joint Meeting of Engineers of Applied Physics of Japan)及日本專利公告號 2001-160555。要注意，該通道絕緣層 15a 係也形成於該擷取電晶體部分 334 中未涵蓋該選擇性氧化層 15d 之位元線 BL1 至 BL4 部分上。

第 28 圖說明一在第 27 圖步驟後之步驟。如所示，一多晶矽層 34 係形成於該通道絕緣層 15a 及氮化矽層 25 上。該多晶矽層 34 約為 50 nm 厚並預先以一現場製程摻入磷(P)。

接著，如第 29 圖所示，該多晶矽層 34 係在該厚度或深度方向進行異向蝕刻。因此，移除第 27 圖氮化矽層 25 上的多晶矽層 34，但保留該溝渠 28 側的通道絕緣層 15a 上的多晶矽層 34。留在該溝渠 28 側的多晶矽層 34 構成該浮閘 FG1 及 FG2。之後，利用蝕刻法來移除第 28 圖的氮化矽層 25。

注意力應放在該氮化矽層 25 將扮演該角色直到生產階段。該氮化矽層 25 係已形成於該閘極絕緣層 15c 並保護該閘極絕緣層 15c 直達第 29 圖步驟。

如第 30 圖所示，在第 29 圖步驟後，該疊層整個露出表面藉由前述電漿氧化作用來氧化。因此，在該閘極絕緣

層 15c 下的矽被氧化，以增加該層 15c 的厚度。同時，該浮閘 FG1 及 FG2 表面被氧化，以形成多晶絕緣夾層 15b，且每一個各具有約 8 nm 的厚度。

該浮閘 FG1 及 FG2 係由多晶矽所形成，因而許多不同平面方向的晶粒被形成於該浮閘 FG1 及 FG2 的表面。然而，電漿氧化作用能均勻形成一與平面方向無關的氧化矽層。這個消除該多晶絕緣夾層 15b 局部性變薄並使變薄部分的絕緣特徵變差的情形發生。即使將多晶矽摻雜著磷離子，一樣可得到上述優點。

如第 31 圖所示，在第 30 圖步驟後，一多晶矽層 37 係形成於該疊層的整個曝露表面上。接著，WSi(矽化鎢)層 36 及一配置做為一氧化矽層之蓋頂層 38 係接著依序形成於該多晶矽層 37 上。之後，一個位在另一個上方的這類疊層被圖案化以形成字線 WL_0 及 WL_1 與偶記憶庫選擇線 SE_i 及 SE_{i-1} 。使用該 WS_i 層 36 以減少上述各線 WL_0 、 WL_1 、 SE_i 及 SE_{i-1} 的電阻。

如第 32 圖所示，在第 31 圖步驟後，一光阻層 39 被塗佈於該疊層的整個表面上並接著進行微影成像，用以只保留字線 WL_0 及 WL_1 與擷取電晶體部分 334。

接著，如第 33 圖所示，未涵蓋字線 WL_0 及 WL_1 的多晶絕緣夾層 15b 部分係利用蝕刻法以該光阻層 39 當做一光罩來移除。此時，在字線 WL_0 及 WL_1 間之閘極絕緣層 15c 也稍為被蝕刻到。又，未涵蓋字線 WL_0 及 WL_1 的浮閘 FG1 及 FG2 部分係使用一不同蝕刻劑經由蝕刻法移除。

如第 34 圖所示，在第 33 圖步驟後，一絕緣區 40 係形成於未涵蓋字線 WL_0 及 WL_1 的每一凸部 13a 側壁 13b 及頂部 13c 上。當該側壁 13b 及頂部 13c 在相關字線 WL_0 及 WL_1 下形成一通道區時，該絕緣區 40 電性隔離相近字線 WL_0 及 WL_1 下的這類通道。為了形成該隔離區 40，透過該光阻層或光罩 39 植入硼離子。此時，該基底 12 相對於該植入方向係傾斜的，以在該凸部 13a 側壁 13b 上形成該絕緣區。在該實施示例中，正交於該 P 型矽基底 12 的線 n_1 如稍早所述地相對於該植入方向 n_0 約傾斜 ± 20 度。更特別地，在一 $1.0 \times 10^{13} \text{ cm}^{-2}$ 劑量中以 20 電子伏特加速能量將一 BF_2 種子植入。

如第 35 圖所示，在第 34 圖步驟後，利用去灰法將光阻層 39 移除。接著，將低濃度砷離子植入 P 型井的每一偶記憶庫選擇線 SE_i 及 SE_{i-1} 兩側。接下來一步驟為利用一傳統方法在每一偶記憶庫選擇線 SE_i 及 SE_{i-1} 兩側上形成側壁絕緣層 62，其可以是氧化矽層。之後，利用該側壁絕緣層 62 當做一光罩來將高濃度砷離子植入，藉此形成該偶記憶庫擷取電晶體 $STE_{i,j}$ ，每一電晶體各具有含一 LDD(低濃度摻雜汲極)結構的源極/汲極區 50。在每一偶記憶庫擷取電晶體 $STE_{i,j}$ 中，該通道絕緣層 15a 扮演一閘極絕緣層角色。

再參考至第 9 圖，在第 35 圖步驟後，一未顯示的氧化矽層或類似絕緣夾層被形成於該整體疊層上。接著，一接觸孔被形成於該絕緣夾層及選擇性氧化層 15d 中，並接

著將該傳導插塞 63 埋入該接觸孔中。所提供之傳導插塞 63 係以一 TiN(氮化鈦)及 W(鎢)雙層結構為示例。之後，在該絕緣夾層上形成一鋁層並接著圖案化以形成電性連接至該插塞 63 的虛擬地線 VG_4 。經由上述各步驟順序，完成該實施示例半導體記憶體。

本發明另一實施例將述於後。在該另一實施例中，與前一實施例的結構性元件一樣的結構性元件係指定為一樣的參考號且不再特別說明以避免贅言。

大體上，一半導體記憶體包含用以驅動儲存格電晶體的驅動電晶體。在該實施示例中，儘管該驅動電晶體係位在距該擷取電晶體 STE 及 STO 不同階層或高度處，前者與後者係以相同步驟來形成。同時，在該實施示例中，保護用的絕緣層係形成於行方向的凸部側壁上。這些絕緣層係利用與位在該半導體記憶體所包含之 LDD 電晶體，也就是，該實施示例中的驅動電晶體及擷取電晶體 STE 及 STO 上之側壁絕緣層相同步驟來形成。

又，在該實施示例中，於列方向中配置成複數個陣列之儲存格電晶體 TC 被分割成複數個方塊。一元件隔離區 STIa(見於第 36 圖)係位在相近儲存格電晶體方塊之間。又，每一金屬接線(此後稱之為第一金屬接線)分別於列方向延伸並連接至複數個元件隔離區 STIa 的控制閘 CG。本架構中，資料可被寫入或讀出平行排列中屬於不同方塊的複數個儲存格電晶體 TC。

在該實施示例中，如前一實施例，屬於每一記憶庫的

儲存格電晶體分享一通道區。元件隔離區 STIb 係位在每一記憶庫側面，以使相近記憶庫係互相隔離。該實施示例也使用該虛擬接地系統。更特別地，金屬接線，也就是，每一虛擬地線(此後有時將稱之為第二金屬接線)分別於列方向延伸並連接至該源極/汲極區中分配給一記憶庫的複數個連接部分。

該實施示例另包含金屬接線或第三金屬接線 306(見於第 37 圖)，每一接線係於行方向延伸。該第三金屬接線 306 係連接至相近各控制閘間的源極/汲極區，藉此減少行方向中配合該虛擬地線的源極/汲極區電阻。

將參考第 36 及 37 圖以進一步說明三種不同類型金屬接線的安排。第 36 圖為一說明使用本實施示例虛擬接地系統並同時具有第 8 圖電路架構的一半導體記憶體透視圖。除了構成第 8 圖所示之記憶庫 BNK 的儲存格電晶體 TC 外，第 36 圖還顯示元件隔離區 STIa 及連接至該元件隔離區 STIa 控制閘 CG 的第一金屬接線 38。在第 36 圖中，顯示行方向凸部側的元件隔離區 STIb，但基於簡化說明的理由，而未顯示用於保護該區域 STIb 側的絕緣層。在該擷取電晶體 STE 及 STO 上的側壁絕緣薄膜也基於相同理由而未顯示。未顯示於第 36 圖中的這類結構元件將詳述於後。

基於下列理由該元件絕緣區 STIa 係重要的。該儲存格電晶體 TC 被分割成複數個方塊 212 應是較佳的，用以更快速寫入及讀出。該元件絕緣區 STIa 係位在每個在列方向

延伸的相近方塊 212 之間。每一方塊 212 包含例如其源極及汲極 BL 係串接於列方向之 32 或 64 儲存格電晶體 TC。在每一方塊中，複數個儲存格電晶體 TC 的控制閘 CG 係互連的。

其後將進一步說明該元件絕緣區 STIa 的重要性。假設複數個儲存格電晶體 TC 的源極及汲極 BL 係串接的。接著，當資料同時被寫入某些上述電晶體 TC 時，很有可能資料被寫至錯誤的儲存格電晶體中。若利用該元件絕緣區 STIa 將該儲存格電晶體 TC 分割成複數個方塊 212 且只允許資料同時被寫入至屬於不同方塊 212 的儲存格電晶體 TC 中時，這個問題就可解決。此外，本架構維持高寫入速度。又，若只從屬於不同方塊 212 的儲存格電晶體 TC 中同時讀出資料，則可排除一電流流至錯誤儲存格電晶體 TC 的情形發生。

該元件絕緣區 STIa 最好應配置為佔用最少面積的 STI 區，因而降低半導體記憶體的整體尺寸。

在該實施示例中，前述第一金屬接線或導體 38 係由例如鋁所構成，且每一個將複數個儲存格電晶體 CT 的控制閘 CG 彼此間互相連接。每一接觸物 54 連接一條鋁線 38 至相對應的控制閘 CG 並定位於該元件絕緣區 STIa 上。使用該導體 38 來減少該控制閘 CG 電阻。也以該 STI 結構來提供之元件絕緣區 STIb 被配置在行方向，且將每一個插在相近記憶庫 BNK 中間。該虛擬地線 VG 係連接至位元線 BL 的接點 218。

第 37 圖進一步顯示三種類型的金屬接線 VG、38 及 306。該金屬接線 VG、38 及 306 全由例如鋁所構成。如所示，該第二金屬接線 VG 被配置在該第一金屬接線 38 下面一層，而該第三金屬接線 306 被配置在該第二金屬接線 VG 下面一層。因此，該第一金屬接線 38 及第三金屬接線 306 如來自該基底表面所測量地分別位在最高階層 308 及最低階層 313，而該第二金屬接線 310 係位在中間階層 310。

每一第一金屬接線 38 係經由一在各方塊 212 反側的插塞 54 連接至一特定控制閘 CG。每一第二金屬接線 VG 係經由插塞 312 連接至特定擷取電晶體 STE 及 STO。每一第三金屬接線 306 係經由插塞 314 連接至位在相近控制閘 CG 之間的特定源極/汲極區 BL。儘管第三金屬接線 306 係如所示只位在該方塊 212 側面的一位元線 BL 上，當然，它們也位在其它位元線 BL 上。

該實施示例與前一實施例一樣的地方在於在列方向中互相連接的儲存格電晶體 CT 分享插在它們中間的相同源極/汲極區及與該源極/汲極區相同傳導性的一高濃度區域插在該源極/汲極區中間並由配置在行方向的複數個儲存格電晶體所分享。

本實施示例中的一種用以製造該半導體記憶體之程序將參考第 38A 至 47B 來做說明。在該實施示例中，該儲存格電晶體可隨由該驅動電晶體所構成之 CMOS 電晶體同步製造。基於此理由，一種用以製造 CMOS 電晶體之程序將

與一種用以製造該儲存格電晶體之程序一起說明。在各圖形中，一 CMOS 電晶體部分 CM 參考至想要形成一 CMOS 電晶體的所在位置，而一儲存格電晶體部分 CT 參考至想要形成一儲存格電晶體的所在位置。如何形成該元件隔離區 STIb 將與上述程序一起說明。

第 38A 及 38B 圖分別顯示下列三剖面。左邊剖面為一如列方向所示之剖面，其顯示該儲存格電晶體部分 CT。中間剖面為一如第 36 圖方向 AA 所示之剖面，其顯示行方向中的元件隔離區 STIb。右邊剖面為一如第 36 圖方向 BB 所示之剖面，其顯示行方向中的記憶體庫擷取電晶體 STO 或 STE。第 39A 至 57 圖同時與該儲存格電晶體部分 CT 一起以剖面方式顯示該元件隔離區 STIb 及記憶體庫擷取電晶體 STO 或 STE。

首先，如第 38A 圖所示，備製一 P-型或一傳導性類型矽基底 12。在該實施示例中，該基底 12 的硼濃度為 $1.0 \times 10^{16} \text{ cm}^{-3}$ 。在一矽熱氧化層 18 已形成於該基底 12 主要表面上後，一氮化矽薄膜 19 係形成於該氧化層 18 上。第 38A 至 40B 圖所示之步驟被實現以分別在列及行方向中形成該元件隔離區 STIa 及 STIb。

接著，如第 38B 圖所示，一光阻層 100 係塗佈在該氮化矽層 19 上並接著利用顯影及曝光法進行圖案化。該氮化矽層 19 藉由所產生的光阻圖案來進行圖案化以形成開口 19a 至 19d。該開口 19a 係形成於該 CMOS 電晶體部分 CM 之 CMOS 電晶體之間的元件隔離區中。該開口 19b 係

形成於該 CMOS 電晶體部分 CM 及該儲存格電晶體部分 CT 之間的元件隔離區中。該開口 19c 係形成於該儲存格電晶體部分 CT 之列方向延伸的元件隔離區 STIa 中。又，該開口 19d 係形成於該儲存格電晶體部分 CT 之行方向延伸的元件隔離區 STIb 中。

第 39A 圖顯示第 38B 圖步驟後之一步驟。如所示，在已移除該光阻圖案 100 後，利用該圖案氮化矽層 19 做為一光罩來蝕刻該氧化矽層 18 及矽基底 12，以形成開口 102a 至 102d。接著，如第 39b 圖所示，利用 CVD 將元件隔離用之氧化矽 104 沉積至例如 400 nm 厚度，以埋在該開口 102a 至 102d。

如第 40A 所示，在第 39B 圖步驟後，利用 CMP(化學機械研磨法)來拋光該氧化矽層 104，藉此進行平坦化。該研磨法係停止於該氮化層 19 內。之後，如第 40B 圖所示，移除該氮化層 19，並平坦化該氧化層 18。

如第 41A 所示，在第 39B 圖步驟後，一光阻層 20 被塗佈於該疊層整個表面上並接著曝光及顯影以在該 CMOS 電晶體部分 CM 中形成一開口 20a。接著，砷離子及磷離子各自被植入以在該開口 20a 下形成一 N 型井 21。此時，將該砷離子及磷離子分別植入至一深位置及一淺位置。

如第 41B 所示，在該 N 型井 21 形成後，移除該光阻層 20。接著，一新光阻層 22 被塗佈在該疊層整個表面上並接著曝光及顯影以在該 CMOS 電晶體部分 CM 中形成一開口 22a。之後， BF_2 離子及硼離子各自透過該光阻層及光

罩 22 來植入，藉以在該開口 22a 下形成一 P 型井 23。此時，該硼離子及 BF_2 離子分別被植入至一深位置及一淺位置。在該 P 型井 23 形成後，移除該光阻層 22。

接著，如第 42A 圖所示，一光阻層 24 被塗佈在該疊層整個表面上並接著曝光及顯影以在該儲存格電晶體部分 CT 中形成一開口 24a。之後， BF_2 離子及硼離子各自透過該光阻層及光罩 24 來植入，以分別在一淺位置及一深位置形成一 P 型井 106 及一 P^+ 型層 108。硼離子及 BF_2 離子分別被植入至一深位置及一淺位置。更特別地，在一 $4.0 \times 10^{11} \text{ cm}^{-2}$ 劑量中以 35 電子伏特加速能量來植入其為種子的 BF_2 離子，而在一 $2.0 \times 10^{12} \text{ cm}^{-2}$ 劑量中以 20 電子伏特加速能量來植入也是種子的 B(硼)離子。該 P 型層 106 形成該電晶體通道。利用該 P^+ 型層以保護該儲存格電晶體免於穿透。

如第 42B 圖所示，在已移除該光阻層 24 後，利用蝕刻法移除該氧化矽層 18。

如第 43A 圖所示，在第 42B 圖步驟後，再熱氧化該基底 12 表面以形成一約 3 nm 厚之閘極絕緣層 15c。接著，其為一氮化矽層之一約 20 nm 厚的閘極絕緣層 15e、一約 20 nm 厚的氧化矽層 110a、一約 20 nm 厚的氮化矽層 110b、一約 4 nm 厚的氧化矽層 110c、一約 100 nm 厚的氮化矽層 110d 及一約 50 nm 厚的氧化矽層 110e 接著依序堆疊在該閘極絕緣層 15c 上。這些層的功能將從接著之步驟說明中變得顯而易見。這類疊層全利用 CVD 來形成。

如第 43B 圖所示，在第 43A 圖步驟後，一未顯示的光阻層被塗佈在該疊層頂部的氧化矽層 110e 上並接著曝光及顯影以形成未顯示的類長條狀開口。接著，經由上述開口蝕刻該氧化矽層 110e，藉以形成類長條狀開口 45a 及 45b。該開口 45a 係形成於該儲存格電晶體源極/汲極區將形成之所在位置。該開口 45b 係形成於該元件隔離區 ST1b 及記憶體庫擷取電晶體 STO 或 STE 將形成之所在位置。

如第 44A 圖所示，在已移除第 43B 圖步驟所使用之光阻層後，經由該開口 45a 及 45b 利用異向蝕刻來移除該氮化矽層 110d。接著下列步驟為以 RIE 蝕刻該氧化矽層 110e 及 110c、移除該氮化矽層 110b，並接著蝕刻該氧化矽層 110a。又，在利用 RIE 移除該氧化矽層 110e 後，在該 P 及 P⁺型層 106 及 108 中形成其為矽層之溝渠 28。在開放每一溝渠 28 的尺寸做選擇時，它在該實施示例中約為 40 nm 深。同時，相近溝渠 28 間的距離，也就是，每一凸部 13a 的寬度約為 130 nm。

如第 44B 圖所示，在第 44A 圖步驟後，利用 CVD 在該疊層整個露出表面上形成氧化矽層 29。

如第 45A 圖所示，該氧化矽層 29 係利用 RIE 於厚度方向進行異向蝕刻，因而移除除了該凸部 13a 側壁 13b 所涵蓋部分以外的氧化矽層 29。接著利用熱氧化作用以在該溝渠 28 底部上形成 3 nm 厚的氧化矽層 114。

接著，如第 45B 圖所示，使用一光罩以在該疊層上塗佈一光阻層 112 並接著曝光及顯影。因此，排除出現於該

CMOS 電晶體部分的各部分及位在右手邊的 STI 部分外，其餘光阻層 112 被移除。之後，透過該光阻層或光罩 112 植入二次砷離子，藉以在該溝渠 28 底部上形成構成該位元線 BL1、BL2 等等的 N^+ 型層。更特別地，砷離子係在一 $1.5 \times 10^{14} \text{ cm}^{-2}$ 劑量中以 10 電子伏特加速能量來植入並接著在一 $1.0 \times 10^{14} \text{ cm}^{-2}$ 劑量中以 30 電子伏特加速能量來植入。此時，留在該凸部 13a 側壁 13b 上的氧化矽層 29 阻止砷離子被植入該側壁 13b 中。又，做為一光罩的凸部 13a 藉由一自我對準使該位元線 BL1、BL2 等等可形成於該溝渠 28 底部上。

如第 46A 圖所示，在第 45B 圖步驟後，利用蝕刻移除凸部 13a 側壁 13b 上的氧化矽層 29 及底部上的氧化矽層 114。接著，如第 46B 圖所示，砷離子被植入側壁 13b 中，藉以形成逆向傳導性型的 N 型區域 17。又，為了在側壁 13b 中植入砷離子，該基底 12 應只相對於該離子植入方向傾斜。在該實施示例中，正交於該 P 型矽基底 12 的線條 n_1 相對於該離子植入方向約傾斜 ± 20 度。更特別地，砷離子係在一 $2.0 \times 10^{12} \text{ cm}^{-2}$ 劑量中以 15 電子伏特加速能量植入。

又，期待該溝渠 28 表面層配置該元件通道，以使該表面層特性對該元件特徵曲線具有關鍵性影響。因此，需要保護該溝渠 28 表面免受接下來的步驟所污染。基於此目的，如第 47A 圖所示，該實施示例利用熱氧化作用於該溝渠 28 側壁及底部上形成一約 4 nm 厚的犧牲性氧化矽層

31。該犧牲性氧化矽層 31 成功地保護該溝渠 28 表面免受污染。甚至，用此層 31 來移除一晶格缺陷，尤指該溝渠 28 表層，藉此阻止該元件特徵曲線的衰落。

接著，如第 47B 圖所示，一約為 60 nm 厚的氮化矽層 30 係利用 CVD 形成於包含該溝渠 28 內部之疊層之整個露出表面上。之後，如第 48A 圖所示，塗佈一光阻層 116 並接著移除它對應至該儲存格電晶體部分 CT 的源極/汲極區的部分。接著一步驟為透過該光阻層或光罩 116 異向蝕刻該氮化矽層 30，藉以形成延伸於行方向之狹長開口 30a。要注意，該狹長開口 30a 的寬度係比該溝渠 28 小。在該開口 30a 形成後，該位元線 BL1、BL2 的犧牲性氧化矽層 31 及一部分與類似者使用該氮化矽薄膜 30 做為一蝕刻光罩以選擇性地蝕刻，而於該位元線 BL1、BL2 與類似者中形成凹部 32。每一凹部 32 約為 10 nm 深。

在上述選擇性蝕刻後，砷離子經由該狹長開口 30a 植入該位元線 BL1、BL2 與類似者中。在第 48A 圖中，砷離子所植入的部分，也就是， N^+ 型區域被標示為 33。更特別地，一 As 種子係在一 $5.0 \times 10^{15} \text{ cm}^{-2}$ 劑量中以 40 電子伏特加速能量植入。

如第 48B 圖所示，在 As 植入後，移除該光阻層 116。接著，該凹部 32 係使用該氮化矽薄膜 30 做為一蝕刻光罩進行選擇性熱氧化作用，以形成選擇性氧化層 234。之所以利用這類氧化作用將該氧化層 234 增長及變厚的原因在於因為該控制閘 CG 及源極/汲極區 BL 彼此間在那裡是最

接近的，故應該要提高該氧化層 234 崩潰電壓。

如第 49A 圖所示，在第 48B 圖步驟後，利用蝕刻法移除該氮化矽層 30 及 110d。此時，該氧化矽層 110c 及犧牲性氧化矽層 31 扮演一蝕刻停阻物角色。接著，如第 49B 圖所示，利用蝕刻法移除該氧化矽層 110c 及犧牲性氧化矽層 31。此時，該氮化矽層 110b 扮演一蝕刻停阻物角色。將本蝕刻實施至該氧化矽層 110c 及犧牲性氧化矽層 31 完全被移除卻保留該選擇性氧化層 234 的程度。

如第 50A 圖所示，在第 49B 圖步驟後，約 3 nm 厚的通道絕緣層或電漿氧化層 15a 及約 3 nm 厚的通道絕緣層或電漿氮化層 15d 被形成於該溝渠 28 底部及側壁。所提供的通道絕緣層應具有想要的特性是較佳的，因為它們對於元件操作具有關鍵性的影響。這就是為什麼該二電漿氧化層 15a 及 15d 被堆疊的原因。為了形成該電漿氧化層 15a，可由使用一放射線插槽天線之微波激發高密度電漿元件所構成。

在上述電漿元件中，一 Kr 及 O₂ 混合氣體被引入該元件。氮被一發自該放射線插槽天線的微波所激發而撞擊 O₂ 以產生大量原子狀態氧 O*。該原子狀態氧 O* 輕易地進入該溝渠 28 表面層並以與平面方向無關的實質相等速率氧化該溝渠 28 底部及側壁。在該氧化層已被形成後，停止饋入混合氣體及發射微波。

接著，該電漿氮化層 15d 係使用例如使用一放射線插槽天線的微波激發高密度電漿元件來形成於該電漿氧化層

15a 上。本例中，一 Kr 及氨(NH_3)混合氣體被引入該元件。Kr 被一發自該放射線插槽天線的微波所激發而撞擊 NH_3 以產生氮自由基 NH^* 。該氮自由基 NH^* 在該溝渠 28 表面上形成電漿氮化層，而與該矽平面方向無關。

如第 50B 圖所示，在該通道絕緣層 15d 形成後，一多晶矽層或傳導層 34 被形成於該通道絕緣層 15d 及氮化矽層 110b。該多晶矽層 34 預先以一現場製程摻入磷(P)。之所以將該多晶矽層 34 摻入 P 在於想要構成浮閘 FG1 及 FG2，且最好將電阻降低。該多晶矽層 34 約為 60 nm 厚。

接著，在厚度方向異向蝕刻該多晶矽層 34，使得它消失於該氮化矽層 110b，但保留於該溝渠 28 側的通道絕緣層 15d 上。該溝渠 28 側的多晶矽層 34 頂部係位在一高於該凸部 13a 頂部的階層。留在溝渠 28 側的多晶矽層 34 構成該浮閘 FG1 及 FG2。

如第 51A 圖所示，在該浮閘 FG1 及 FG2 已被形成後，利用蝕刻移除該氮化矽層 110b 及氧化矽層 110a。應注意第 50B 圖之氮化矽層 110b 及氧化矽層 110a 會扮演該角色直到生產階段。該氮化矽層 110b 及氧化矽層 110a 已於第 43A 圖步驟中被形成在該閘極絕緣層 15e 上以保護該閘極絕緣層 15e 直到第 50B 圖步驟。

該閘極絕緣層 15e 對於元件操作具有關鍵性影響。為此，該氮化矽層 110b 及氧化矽層 110a 保護該閘極絕緣層 15e 以在包含離子植入、蝕刻及不同類型各層堆疊的各種製程時的元件操作不變差。

接著，如第 51B 圖所示，該疊層整個露出表面由稍早所述之電漿氧化作用所氧化。如此，該浮閘 FG1 及 FG2 表面被氧化變成多晶絕緣夾層 15b。此時，少量氮與該氧化層混合，因而也形成氮層。這些氮層使得該多晶絕緣夾層 15b 變的較厚，因而阻止硼漏出。又，一氧化層 108 係形成於延伸於行方向之元件隔離區 ST1b 及該記憶體擷取電晶體 STO 或 STE。每一多晶絕緣夾層 15b 約為 12 nm 厚。

如第 52A 圖所示，在第 51B 圖步驟後，一光阻層 35 被塗佈在該疊層整個表面上並接著被曝光及顯影，藉以在該 CMOS 電晶體部分 CM 上形成一開口 35a。接著，在該 CMOS 電晶體部分 CM 上的閘極絕緣層 15e 及 15c 透過該光阻層或光罩 35 被蝕刻，使得該 CMOS 電晶體的 N 型井 21 及 P 型井 23 表面曝露於外。之所以如此蝕刻該閘極絕緣層 15e 及 15c 在於該閘極絕緣層 15c 已於前面步驟中被消毀。

如第 52B 圖所示，在該光阻層 35 已被移除後，約 3 nm 厚閘極絕緣層 120 係由電漿氧化作用來形成於該 CMOS 電晶體的 N 型井 21 及 P 型井 23 表面上。此時，電漿氧化作用另用來轉換可能被留在該多晶夾層 15b 表面上因而出現於該光阻層 35 中的碳(C)成為二氧化碳，藉此移除該光阻層 35。

如第 53A 圖所示，在第 52B 圖步驟後，利用 CVD 形成一多晶矽層 CG 並接著利用 CMP 拋光它的表面，由此進行平坦化。在一 WSi 層已被形成後，一氧化矽層 36 被形

成在該 WSi 層上。在第 53A 圖中，該多晶矽層 CG 及在它上方的 WSi 層統一標示為 CG。經由第 53A 圖步驟，各自延伸於列及行方向的複數個控制閘 CG 被形成。此時，閘極電極 41 被形成於該 CMOS 電晶體部分的 P 型井 23 及 N 型井 21 上。該閘極電極 41 主要係由多晶矽層 37 構成並利用該 WSi 層來降低電阻。該 WSi 層也形成於該控制閘 CG 上，因此也降低該控制閘 CG 電阻。

該氧化矽層 36 如上述地形成於該多晶矽層 CG 上，以使用該氧化矽層 36 做為一光罩來圖案化該多晶矽層 CG。使用一光阻層做為一光罩以比圖案化該多晶矽層 CG 係更好的。該多晶矽層 CG 係以下列程序來圖案化。

如第 53B 圖所示，在一光阻層 127 已被塗佈並接著以一預選圖案進行曝光及顯影後，該氧化矽層 36 係利用該圖案化光阻層 27 做為一光罩進行圖案化。接著，該多晶矽層 CG 係利用該圖案化氧化矽層 36 做為一光罩進行圖案化。如圖示，該多晶矽層 CG，也就是，該控制閘 CG 在指定給該 CMOS 電晶體部分 CM 的部分 129a、指定給延伸於行方向的儲存格電晶體部分 CT 的元件隔離區 ST1b 的一部分 129b、指定給該記憶體庫擷取電晶體 STO 或 STE 的源極/汲極區的一部分 129c 及第 34 圖中延伸於列方向之每一控制閘 CG 間的區域 40 被移除。

接著，留在未覆蓋該控制閘 CG 部分，也就是，第 34 圖中出現於該元件絕緣區 ST1b 的凸部 13a 側及出現於該元件隔離區 40 的凸部 13a 側的多晶絕緣夾層 138 及多晶矽層

140 被移除。更特別地，如第 54A 圖所示，在該光阻層 127 已被移除後，一光罩 130 被形成並接著使用做為一光罩以移除該多晶絕緣夾層 138 及多晶矽層 140。一特別蝕刻劑被用於多晶絕緣夾層 138 及多晶矽層 140 中的每一個。在本方式中，該浮閘 FG1 及 FG2 係自未覆蓋該控制閘 CG 的部分中移除。如此，該通道絕緣層 15d 被曝露至相近控制閘 CG 間的外部。在該多晶矽層 140 移除後，該氮化矽層 15d 的各角落 132 經由氧化作用而變圓，也就是，一氧化物被形成於各角落 132 上。

至於區域 134，只有第 54A 圖於列方向以剖面方式，也就是，沿著第 36 圖線條 CC 顯示該元件隔離區 40，而第 38 至 47 圖於列方向以剖面方式，也就是，沿著第 36 圖線條 DD 顯示指定給該儲存格電晶體部分 CT 的源極/汲極區的區域。

第 54B 圖顯示跟在第 54A 圖步驟後的一步驟且被實施以同時形成該 CMOS 電晶體部分 CM 的一 N 型 MOS 123 及一 P 型 MOS 124 與記憶庫擷取電晶體 STO 或 STE。經由本步驟，另在該凸部 13a 側形成該保護絕緣薄膜 318 及在該 N 型 MOS 123 及 P 型 MOS 124 上形成側壁絕緣薄膜 136b。

更特別地，如第 54B 圖所示，在該光阻層 130 已被移除後，一光阻層 138 被塗佈並接著被曝光及顯影，使得該 N 型 MOS 123 及記憶庫擷取電晶體 STO 或 STE 所對應之層 138 的各部分形成開口。接著，砷離子經由該光阻層

138 所產生的開口植入，藉此形成 LDDs 136c。此時，該氧化矽層 36 也當做一光罩使用。

接著，如第 55A 圖所示，LDDs 136c 係以與第 54B 圖的相同方式形成於 P 型 MOS 124。之後，配置為氮化矽層的側壁絕緣薄膜 136b 係形成於出現在該 P 型 MOS 124、N 型 MOS 123、記憶庫擷取電晶體 STO 或 STE 及元件隔離區 STIb 中的凸部 13a 上。

如第 55B 圖所示，在第 55A 圖步驟後，一光阻層 240 被塗佈在該疊層上並接著被曝光及顯影，使得該 N 型 MOS 123 及記憶庫擷取電晶體 STO 或 STE 所對應之層 140 的各部分形成開口。接著，砷離子經由該光阻層 140 所產生的開口植入，藉此形成該源極/汲極區 136a。該氧化矽層 36 在本步驟同時扮演一光罩角色。同樣地，該源極/汲極區 136a 係形成於該 P 型 MOS 124 中。在本方式中，形成該 CMOS 電晶體部分 CM 的一 N 型 MOS 123 及一 P 型 MOS 124 與記憶庫擷取電晶體 STO 或 STE。

如第 56A 圖所示，在第 55B 圖步驟後，一 BPSG(硼磷矽玻璃)層 36 被形成於該疊層整個表面上並被使用以平坦化鋁線表面。更特別地，在該 BPSG 層 36 已以高溫加熱以減少該表面不規則後，利用 CMP 將該 BPSG 層 36 表面弄平。

接著，如第 56B 圖所示，使用一未顯示光罩將孔洞形成於矽 BPBS 或氧化矽層 36 中。在鎢插塞或接觸部 54、320 及 322 已被埋入孔洞後，利用 CMP 將該疊層表面弄平

。該鎢插塞 54、320 及 322 連接該儲存格電晶體部分 CT 中的控制閘 CG 及 A1 層 38，也連接該 CMOS 電晶體部分 CM 及記憶庫擷取電晶體 STO 或 STE 中的源極/汲極區與鋁層 324 及 326。

更特別地，如第 57 圖所示，在該鋁層 38、324 及 326 已藉由蒸發作用沉積並接著圖案化後，接著依序形成一氧化矽層 56 及一保護層 58。雖未示於第 57 圖中，但該第二及第三金屬接線 VG 及 306 係形成於該凸部層 58 之前。這是製造該實施示例半導體記憶體的最後程序。

如上述，在該實施示例中，該驅動電晶體係以與該擷取電晶體相同的步驟所形成，儘管前者在階層或高度上與後者是不同的，用以減少製造步驟數量。

當該 LDD 側壁絕緣層在該電晶體上形成時，保護絕緣層同時形成於行方向的凸部 13 側，也就是，未仰賴一額外步驟。

該儲存格電晶體係以列方向分割成方塊，而控制閘被連接至延伸於列方向相近方塊間的每一 STI 區域中的金屬接線。此實實在在地降低列方向中的控制閘電阻。又，該儲存格電晶體分享每一記憶庫中的通道區，而該記憶庫係如稍早所述地由位在每一記憶庫側的元件隔離區 STIb 所隔開。本架構使它可經由記憶庫來控制該儲存格電晶體。

該虛擬地線 VG 係如稍早所述地連接至與該記憶庫相關的連接部分 218 中的源極/汲極區，使得在行方向的源極/汲極區電阻真地被降低。

同時自屬於不同方塊的複數個儲存格電晶體中寫入或讀取資料係成功的增加整個半導體記憶體的讀與寫速度。

再者，延伸於行方向的每一第三金屬接線被連接至在行方向中互相鄰接的控制閘間的源極/汲極區。本架構實實在在地降低行方向中的源極/汲極區電阻。

甚至，列方向中互相鄰接的儲存格電晶體分享它們之間的源極/汲極區。與該源極/汲極區相同傳導類型的高濃度區 33 存在於該源極/汲極區的中間部分並由配置於行方向的複數個儲存格電晶體所共享。該高濃度區 33 它本身具有低電阻，因而實實在在地降低行方向中的源極/汲極區電阻。

雖然所示及說明之實施示例中所提供之浮閘 FG1 及 FG2 各具有一扇狀外形，然這類外形只供說明的。本發明中浮閘 FG1 及 FG2 不為扇狀的其它實施例將述於後。

第 58 圖顯示配置成一快閃記憶體 200 的本發明另一實施例。如所示，該快閃記憶體 200 包含形成具有反向側壁 13b 之凸部 13a 之 P 型半導體基底、形成於該凸部 13a 頂部 13c 上的閘極絕緣層 15c、形成於凸部 13a 反側的基底表面上的 N 型源極/汲極區 BL1 及 BL2、以及涵蓋該側壁 13b 及源極/汲極區 BL1 及 BL2 的通道絕緣層 15a。該浮閘 FG1 及 FG2 經由該通道絕緣層 15a 面對該凸部 13a 及源極/汲極區 BL1 及 BL2 的側壁 13b。該多晶絕緣夾層 15b 係形成於該浮閘 FG1 及 FG2 上。至少部分控制閘 CG 經由該多晶絕緣夾層 15b 面對該浮閘 FG1 及 FG2 並經由該閘極

絕緣層 15c 面對該凸部 13a 頂部 13c。

面對該浮閘 FG1 及 FG2 的控制閘 CG 部分及面對該凸部 13a 頂部 13c 的相同部分可各自獨立地電性形成及控制。

在該實施示例中，浮閘 FG1 及 FG2 實際上如垂直於行方向之剖面所示地分別為長方形。長方形連續兩側的其中之一經由該通道絕緣層 15a 面對該凸部 13a 某一側，而另一側經由該通道絕緣層 15a 面對該源極/汲極區 BL1 或 BL2。面對該源極/汲極區 BL1 或 BL2 的長方形另一側經由該多晶絕緣夾層 15b 面對該控制閘 CG。因為浮閘 FG1 及 FG2 實際上分別為正方形，此後令該實施示例記憶體被稱之為一 S(正方形)型記憶體。

在該實施示例中，該多晶絕緣夾層 15b 被配置成由一氧化矽層 202a、一氮化矽層 202b 及一氧化矽層 202c 構成之堆疊。除該些層 202a 至 202c 外，該閘極絕緣層 15c 還包含一氧化矽層 204a 及一位在該些層之下的氮化矽層 204b。

該氧化矽層 204a 可由一量身定做以具有一閘極絕緣層(熱氧化層)之方法所形成。此亦具有由該多晶絕緣夾層 15b 構成之該些層 202a 至 202c。又，該些層 202a 至 202c 係形成於利用 CMP 將面對該控制閘 CG 的浮閘 FG1 及 FG2 表面弄平之後，以得到高崩潰電壓。一旦該絕緣薄膜 15b 被形成於例如具有一粗面的多晶矽上並使用於該浮閘 FG1 及 FG2，該絕緣層 15b 之崩潰電壓可被降低至一關鍵程度

。因為個別步驟係為傳統式，故該實施示例快閃記憶體 200 可以最小風險來製造。

值得注意的是該正方形浮閘 FG1 及 FG2 具有一比第 1 圖所示之扇狀浮閘 FG1 及 FG2 低的耦合比值 CR。一耦合比值參考至比值 $C_{CF1}/(C_{FG1}+C_{FS})$ 或 $C_{CF2}/(C_{FG2}+C_{FD})$ ，其中， C_{CF1} 、 C_{CF2} 等等指示稍早參考第 2 圖所示之不同電容器。更特別地，第 1 圖所示之儲存格電晶體具有一約為 0.37 的耦合電容 CR，而該實施示例電晶體基於下列理由可得到一耦合比值為 0.35 或更低或 0.32 左右。第 1 圖的浮閘 FG1 及 FG2 分別具有大體上一中心角度為 90 度的扇狀外形。相對地，該實施示例浮閘 FG1 及 FG2 分別具有一正方形外形，因而減少與該控制閘 CG 的接觸區域。

有關讀出時的感測特徵可期待為一低電容比值 CR。更特別地，因為該浮閘 FG1 及 FG2 與源極/汲極區 BL1 及 BL2 被如此緊密地耦接，故該源極/汲極區 BL1 及 BL2 電位足以影響到該浮閘 FG1 及 FG2 電位。因此，目前視窗被加寬並促進快速讀出。

用以減少該電容比值 CR 的一些不同方案係可得的。例如，該通道絕緣層 15a 可被製造的比該多晶絕緣夾層 15b 更薄。另外，在每一浮閘 FG1 或 FG2 面對該控制閘 CG 以上的區域儘可能製造的比該浮閘面對該源極/汲極區 BL1 或 BL2 以上的區域小。為了降低上述區域，可提供每一浮閘 FG1 或 FG2 一梯形外形，其透過一小區域面對該控制閘 CG，並透過一大區域面對該源極/汲極區 BL1 或 BL2

。

關於該電容比值 CR 及空乏區之間的關係，當電子應自該浮閘 $FG1$ 或 $FG2$ 放電至該控制閘 CG 時，該電容比值最好儘可能地小，以降低該源極/汲極區 $BL1$ 或 $BL2$ 及該控制閘 CG 間的電位差。這是因為一小的電容比值讓該浮閘 $FG1$ 或 $FG2$ 及該控制閘 CG 之間易於建立起一電位差。反之，若要自該浮閘 $FG1$ 或 $FG2$ 拉出電子至該源極/汲極區 $BL1$ 或 $BL2$ 時的電容比值 RC 係小的，則必須增加該源極/汲極區 $BL1$ 或 $BL2$ 及該控制閘 CG 間的電位差。這是因為無法在該浮閘 $FG1$ 或 $FG2$ 及該控制閘 CG 之間輕易地建立起一電位差。

在該實施示例中，複數個儲存格電晶體被配置於該源極/汲極區 $BL1$ 及 $BL2$ 一個接著一個定位的方向。如第 58 圖所示，基於下列理由，一絕緣層 15f 係位在相近儲存格電晶體其中一個的浮閘 $FG1$ 與另一儲存格電晶體的浮閘 $FG2$ 之間。

在第 1 圖所示架構中，該控制閘 CG 及位元線 $BL2$ 在列方向互相結合之儲存格電晶體之間的一部分 234 中互相面對面。因此，各類操作期間恐怕有一漏電流流動於該部分中的控制閘 CG 及位元線 $BL2$ 之間。就此，較佳的，將該選擇氧化層或第四絕緣層 4 連接至該通道絕緣層 15a 以使前者比後者厚，藉以仰賴該選擇氧化層 34 的厚度來消除上述漏電流。基於這個目的，在第 1 圖中，該第四絕緣層係利用選擇性氧化作用形成。

在該 S 型記憶體中，在該浮閘 FG1 及 FG2 利用蝕刻以使彼此間分開但相鄰接被形成之後，一絕緣體填入該浮閘 FG1 及 FG2 之間的空間中，以形成該絕緣層 15f。接著，該控制閘 CG 被形成於該浮閘 FG1 及 FG2 與絕緣層 15f 之上。本架構中，該浮閘 FG1 及 FG2 只在出現多晶絕緣夾層 15b 的部分面對該控制閘 CG。

資料以與參考第 1 圖所述之完全相同方式自該實施示例儲存格電晶體寫入、讀出或刪除。在該刪除模式中，將電子自該浮閘 FG1 或 FG2 撤回至該源極/汲極區 BL1 或 BL2 應是較佳地。第 60 圖顯示在寫入、讀取及刪除模式中指定給該浮閘 FG1 及 FG2 與控制閘 CG 的特定電壓。

參考至第 59 圖以說明本發明又一實施例，其亦被配置成一快閃記憶體 206。如所示，該快閃記憶體 206 包含形成具有反向側壁 13b 之凸部 13a 之 P 型半導體基底、形成於該凸部 13a 頂部 13c 上的閘極絕緣層 15c、形成於凸部 13a 反側的基底表面上的 N 型源極/汲極區 BL1 及 BL2、以及涵蓋該側壁 13b 及源極/汲極區 BL1 及 BL2 的通道絕緣層 15a。該浮閘 FG1 及 FG2 經由該通道絕緣層 15a 面對該凸部 13a 及源極/汲極區 BL1 及 BL2 的側壁 13b。該多晶絕緣夾層 15b 係形成於該浮閘 FG1 及 FG2 上。至少部分控制閘 CG 經由該多晶絕緣夾層 15b 面對該浮閘 FG1 及 FG2 並經由該閘極絕緣層 15c 面對該凸部 13a 頂部 13c。

又，面對該浮閘 FG1 及 FG2 的控制閘 CG 部分及面對該凸部 13a 頂部 13c 的相同部分可各自獨立地電性形成及

控制。

在該實施示例中，每一浮閘 FG1 或 FG2 具有一表面 208，其經由該多晶絕緣夾層 15b 面對該控制閘 CG，且如垂直於該行方向之剖面所示，比經由該通道絕緣層 15a 以面對該源極/汲極區 BL1 或 BL2 之一表面具有較大區域。尤其，在該實施示例中，每一浮閘 FG1 或 FG2 大體上係配置成一字母 L 的形式；該字母 L 的側面及底部經由該通道絕緣層 15a 分別面對該凸部 13a 側壁 13b 及該源極/汲極區 BL1 或 BL2。又，該字母 L 頂部經由該多晶絕緣夾層 15b 面對該控制閘 CG。令本儲存格電晶體被稱為一 L 型記憶體。

在該實施示例中，該多晶絕緣夾層 15b 係利用電漿氧化作用配置成一氧化矽層。除該多晶絕緣夾層 15b 外，該閘極絕緣層 15c 還包含一氧化矽層 210a 及一位在該閘極層 15b 下之氮化矽層 210b。該通道絕緣層 15a 也利用電漿氧化作用配置形成一氧化矽層。

電漿氧化作用可形成一均勻氧化矽層而不管(100)及(111)兩平面的平面方向。當包含一水平表面及一垂直表面之通道絕緣層 15a 須由單一步驟形成時係令人期待的。又，一由電漿氧化作用形成之氧化層具有一代表一氧化層對 TDDDB(依時介電質崩潰測試)之電阻之高 Q_{BD} 值及一代表電阻對介電質崩潰之低 SILC(受壓漏電流)。

又在該實施示例中，該多晶絕緣夾層 15b，也就是，該層 210c 係形成於面對該控制閘 CG 之浮閘 FG1 及 FG2

表面已經由 CMP 弄平之後，以得到高崩潰電壓。一旦該絕緣薄膜 15b 被形成，也就是多晶矽具有一粗糙表面且被使用於該浮閘 FG1 及 FG2，該絕緣層的崩潰電壓可被降低至一關鍵程度。該實施示例的快閃記憶體 206 也因該個別步驟係為傳統的而可用最小風險來製造。

該 L 狀浮閘 FG1 及 FG2 具有一比第 1 圖及第 58 圖所示的浮閘低的耦合比值。更特別地，第 1 圖的儲存格電晶體及第 58 圖的 S 型記憶體各具有約 0.37 及 0.32 的耦合比值 CR，該實施示例得到一 0.20 或更小的耦合比值，甚至可降至約 0.17。這是因為大體上為 L 型的每一浮閘 FG1 或 FG2 表面 208 所面對的控制閘 CG 係為小的。

如前述，有關讀出時的感測特徵係期待一低電容比值。更特別地，該電容比值越小則該電流窗口越寬，因此該資料讀取速度越快。該實施示例使該電容比值比第 1 及 58 圖所示之實施例更易於降低，以實現讀取速度的進一步增加。

至於刪除，利用這類小電容比值 CR，如前述理由中所了解的，只有在施加一相對低電壓時，該實施示例才能使電子自該浮閘 FG1 及 FG2 拉回至該控制閘 CG。

又，在該浮閘 FG1 及 FG2 利用蝕刻以使彼此間分開但相鄰接被形成之後，一絕緣體可被填入該浮閘 FG1 及 FG2 間的空間以形成該絕緣層。本例中，該控制閘 CG 也被形成於該浮閘 FG1 及 FG2 與絕緣層 15f 之上。本架構中，該浮閘 FG1 及 FG2 只在出現多晶絕緣夾層 15b 的部分面對該

控制閘 CG。

可增加每一絕緣層 15f 尺寸以實際移除該 L 型浮閘 FG1 或 FG2 底部，以架構該浮閘 FG1 或 FG2 為字母 I 型式。這類例子中，雖然減少分別位於該浮閘 FG1 及 FG2 與該位元線 BL1 及 BL2 間的電容， C_{FS} 及 C_{FD} ，然在保留該實施示例優點時，該記憶體可被進一步整合。

資料自該實施示例儲存格電晶體中以與參考第 1 圖所示之完全一樣的方式被寫入、讀出及刪除。在該刪除模式中，電子最好是自該浮閘 FG1 或 FG2 拉至該控制閘 CG。第 61 圖顯示於寫入、讀取及刪除模式中指定給該源極/汲極區 BL1 及 BL2 與控制閘 CG 的特定電壓。

要注意，本發明不只可應用至所示及所述的半導體記憶體，也可應用至任何其它半導體元件中。在該實施示例中一傳導類型及反傳導類型分別被假設為 P 型及 N 型時，理所當然地，它們是可互換的。

總之，本發明提供一種半導體元件及一種具有下列各種無前例優點之半導體記憶體。一第一及第二電晶體具有位在實質同平面，也就是，同階層之源極/汲極區，因而在該同平面中可輕易地將之連接一起。這個尤其是克服傳統源極/汲極區互連的技術困難。

驅動電晶體及擷取電晶體彼此係位在不同階層，但可利用單一步驟同時形成，以消除一額外步驟的需求。同時，保護用的絕緣層係與 LDD 側壁絕緣層同時形成於行方向中的凸部側，進而減少所需製造步驟數量。

儲存格電晶體於列方向被分割成複數個方塊，而在相近方塊間插入一隔離區，延伸於列方向之導體被連接至控制閘。這個實質降低列方向中的控制閘電阻。又，在每一記憶庫中，該儲存格電晶體分享一通道區。結合利用位在該記憶庫兩側之一元件隔離區將記憶庫彼此隔離的這個事實使該儲存格電晶體可以一記憶庫接著一記憶庫地受到控制。

在行方向延伸並以連接部分 218 連接至該源極/汲極區的虛擬地線實質降低行方向中的源極/汲極區電阻。

資料同時被寫入或讀出屬於不同方塊的複數個儲存格電晶體，以使整個半導體記憶體寫入速度及讀取速度增加。

於行方向延伸之第三導體被連接至彼此於行方向相鄰接之控制閘間的源極/汲極區，以實質減少行方向中的源極/汲極區電阻。

分別於 2002 年 3 月 27 日及 2003 年 2 月 24 日提申之日本專利申請號 2002-89744 及 2003-36005 的全部揭示，包含該揭示的說明書、申請專利範圍、附圖及摘要，在此全文一併整合參考之。

雖然本發明已參考該些特定實施示例做說明，但本發明並不限於該些實施例。應了解，那些熟知此項技術之人士可改變或修改該些實施例但不偏離本發明範圍及精神。

【圖式簡單說明】

(一) 圖式部分

第 1 圖係一說明本發明具體實施之儲存格電晶體的片段剖面圖；

第 2 圖說明代表第 1 圖儲存格電晶體之等效電路；

第 3 圖係一展示用以將資料寫入該實施示例儲存格電晶體中之寫入模式的剖面圖；

第 4A 至 4D 圖係說明利用該實施示例儲存格電晶體可得之四種不同狀態之剖面圖；

第 5A 及 5B 圖說明用以自該實施示例儲存格電晶體中讀出資料之讀取模式的剖面圖；

第 6A 及 6B 圖說明用以了解如何自該實施示例儲存格電晶體中感測到一狀態(1,0)之剖面圖；

第 7 圖係一剖面圖，其用以了解植入浮閘中之放電電子之特定方法，其浮閘係形成儲存格電晶體之部分；

第 8 圖係一方塊圖，其概要說明該實施示例半導體記憶體之整體架構；

第 9 圖係一部分剖面之片段立體圖，其說明該實施示例半導體記憶體；

第 10 至 35 圖係部分剖面之片段立體圖，其展示製造該實施示例半導體記憶體之一系列步驟；

第 36 圖係一立體圖，其說明根據本發明半導體記憶體另一實施例；

第 37 圖係一立體圖，其說明該另一實施例中所包含之三種不同類型金屬接線；

第 38A 至 57 圖係剖面圖，其展示製造該另一實施例半導體記憶體之一系列步驟；

第 58 圖係一剖面圖，其說明代表本發明另一實施例之 S 型記憶體之特定架構；

第 59 圖係一剖面圖，其說明代表本發明又一實施例之 L 型記憶體之特定架構；

第 60 圖一特定電壓列表，其顯示一指定給第 58 圖實施例中每一個寫入模式、讀取模式及刪除模式之源極/汲極區 BL1 及 BL2 與控制閘 CG；以及

第 61 圖說明一特定電壓列表，其顯示指定給第 59 圖實施例中每一個寫入模式、讀取模式及刪除模式之源極/汲極區 BL1 及 BL2 與控制閘。

(二)元件符號代表

10 絕緣體

12 基底

12a、28 溝渠

13、23 P 型井

13a 凸部

13b 側壁

13c 頂表面

15a 通道絕緣層

15b、138 多晶絕緣夾層

15c、15e 閘極絕緣層

4、15d、34、234 選擇氧化層

- 17 N 型 區 域
- 18 氧 化 矽 薄 膜
- 19c-19d、20a、22a、24a、45a-45b、102a-102d 開 口
- 20、22、24、35、39、45、61、112、127、138 光 阻 層
- 21 N 型 井
- 25、27、30、110b、110d、202b、204b 氮 化 矽 層
- 26、29、36、56、104、110a、110c、110e、
114、202a、202c、204a 氧 化 矽 層
- 30a 溝 槽
- 31 犧 牲 性 氧 化 矽 層
- 32 凹 部
- 33 高 濃 度 區
- 34、37、140 多 晶 矽 層
- 36 硼 磷 矽 玻 離 層
- 38、306、310 金 屬 接 線
- 40、STIa、STIb 元 件 隔 離 區
- 54、63、320、322 傳 導 插 塞
- 55、56 基 板 接 觸 窗
- 60 光 阻 長 條
- 62 側 壁 絕 緣 層
- 100 光 阻 圖 案
- 106 P 型 層
- 108 P⁺ 型 層
- 123 N 型 MOS

- 124 P 型 MOS
- 127 圖案化光阻層
- 129a-129c 部分
- 130 光罩
- 132 角落
- 136c 輕度摻雜汲極
- 200、206 快閃記憶體
- 208 表面
- 212 方塊
- 218 接點
- 300 記憶體選擇器
- 302 資料線/地線選擇器
- 304 感測放大器
- 324、326 鋁層
- 330 通道區
- 332 儲存格部分
- 334 擷取電晶體部分
- A、B、C、D 節點
- BL1-BL4 位元線
- BNK 記憶體
- C_{CF1} 、 C_{CF2} 、 C_{FG1} 、 C_{FG2} 、 C_{FS} 、 C_{FD} 電容器
- CG 控制閘
- CM、CMOS 電晶體部分
- FG1、FG2 浮閘

STE、STO 擷取電晶體

TC 儲存格電晶體

VG 虛擬地線

WL0、WL1 字線

伍、中文發明摘要：

本發明揭示一種儲存格電晶體(TC)包含在一比其通道區部分低的階層處所形成之源極/汲極區(BL)。一種擷取電晶體(STE)具有一通道區及在與該儲存格電晶體(TC)之源極/汲極區(BL)實際相同階層處所形成之源極/汲極區(BL)。該儲存格電晶體(TC)之源極/汲極區(BL)其中之一及該擷取電晶體(STE)之源極/汲極區(BL)其中之一在實際相同平面中彼此間係電性互連。

陸、英文發明摘要：

A cell transistor (TC) includes source/drain regions (BL) formed at a lower level than part of its channel region. A select transistor (STE) has a channel region and source/drain regions formed at substantially the same level as the source/drain regions (BL) of the cell transistor (TC) and one of the source/drain regions of the select transistor (STE) are electrically interconnected to each other in substantially the same plane.

拾、申請專利範圍：

1.一種半導體元件，其特徵包括：

一第一電晶體(TC)，其在比該第一電晶體(TC)之一部分通道區為低的階層處形成有源極/汲極區(BL1、BL2)；及

一第二電晶體(STE、STO)，其在與該第一電晶體(TC)之源極/汲極區(BL1、BL2)實際上同一階層處形成有一通道區及源極/汲極區；

其中，該第一電晶體(TC)之源極/汲極區(BL1、BL2)其中之一及該第二電晶體(STE、STO)之源極/汲極區其中之一係在實質上同一平面中電性互連。

2.一種半導體記憶體，其特徵包括：

一傳導類型半導體基板(12)，其形成有複數個凸部(13a)；

一反傳導類型位元線(BL1、BL2)，其形成於該複數個凸部(13a)中相近者之間的半導體基板(12)之一主表面上；

儲存格電晶體(TC)，其在每一列方向及行方向配置成複數個陣列，且每一陣列利用該位元線(BL1、BL2)做為一源極區及一汲極區中任一者，一通道區至少形成在該複數個凸部(13a)其中之一頂部上；及

一擷取電晶體(STE、STO)，其在與該位元線(BL1、BL2)實質上同一階層處形成有一通道區及源極/汲極區，以選擇該位元線(BL1、BL2)；

其中，該擷取電晶體(STE、STO)之源極/汲極區其中

之一及該位元線係在實質上同一平面中電性互連。

3.根據申請專利範圍第 2 項之半導體記憶體，其特徵在於每一凸部(13a)包括彼此面對面的一對側壁(13b)，且該每一儲存格電晶體(TC)包括：

一第一絕緣層(15c)，形成於該凸部(13a)其中之一頂部(13c)上；

第二絕緣層(15a)，形成於該凸部(13a)之側壁(13b)及該源極/汲極區；

一對浮閘(FG1、FG2)，分別形成於該凸部(13a)之側壁(13b)上之該第二絕緣層(15a)上並經由該第二絕緣層(15a)分別面對該側壁(13b)及該源極/汲極區；

第三絕緣層(15b)，其每一者係形成於該浮閘(FG1、FG2)其中之一上；及

一控制閘(CG)，其經由該第三絕緣層(15b)面對該對浮閘(FG1、FG2)並經由該第一絕緣層(15c)面對該凸部(13a)之頂部(13c)。

4.根據申請專利範圍第 2 或 3 項之半導體記憶體，其特徵在於該儲存格電晶體(TC)被分割成複數個記憶庫(BNK)，每一個包含一單行及一些預選列，且

該擷取電晶體(STE、STO)經由一虛擬接地系統選擇奇數列記憶庫(BNK)及偶數列記憶庫(BNK)其中之一。

5.根據申請專利範圍第 2 或 3 項之半導體記憶體，其特徵更包括一驅動電晶體(CM)以驅動該儲存格電晶體(TC)，其中，該驅動電晶體(CM)位在一與該擷取電晶體(STE、

STO)不同的階層並利用單一步驟與該擷取電晶體(STE、STO)同時形成。

6.根據申請專利範圍第 2 或 3 項之半導體記憶體，其特徵更包括用以保護之絕緣層，其形成於行方向中的凸部(13a)側，其中，該絕緣層係與該半導體記憶體中所包含之電晶體上所提供之側壁絕緣層同時形成，且每一絕緣層具有一 LDD(輕度摻雜汲極)結構。

7.一種包括配置於列方向之複數個儲存格電晶體(TC)之半導體記憶體，其特徵在於：

該複數個儲存格電晶體(TC)中的每一者包括位在一比該儲存格電晶體(TC)之一部分通道區低的階層處之源極/汲極區(BL1,BL2)及一控制閘(CG)，

該複數個儲存格電晶體(TC)分享該控制閘(CG)，

分割該複數個儲存格電晶體(TC)成為複數個方塊(212)，及

該半導體記憶體更包括插入至該複數個方塊(212)中相近者之間的一絕緣隔離區(STIa)及延伸於列方向以連接至複數個絕緣隔離區(STIa)之控制閘(CG)之一導體(38)。

8.根據申請專利範圍第 7 項之半導體記憶體，其特徵在於該儲存格電晶體(TC)係配置於行方向及列方向中，

配置於行方向的儲存格電晶體(TC)被分割成複數個組群並且分享該複數個組群中每一者之一通道區，及

該半導體記憶體更包括位在該複數個組群終端之絕緣隔離區(STIb)，以隔離該複數個組群中相近者。

9.一種包括配置於列方向及行方向之複數個儲存格電晶體(TC)之半導體記憶體，其特徵在於：

該複數個儲存格電晶體(TC)中每一者包括位在一比該儲存格電晶體(TC)之一部分通道區低的階層處之源極/汲極區(BL1、BL2)及一控制閘(CG)，

配置於列方向之儲存格電晶體(TC)分享該控制閘(CG)

將配置於列方向之複數個儲存格電晶體(TC)分割成複數個方塊(212)，

該半導體記憶體更包括絕緣隔離區(STIa)，每一絕緣隔離區插在該複數個方塊(212)中相近者之間，

配置於行方向的儲存格電晶體(TC)被分割成複數個組群並且該複數個組群中的每一者分享一通道區，及

該半導體記憶體更包括位在該複數個組群終端之絕緣隔離區(STIb)，藉以隔離該複數個組群中相近者。

10.根據申請專利範圍第 7-9 項中任一項之半導體記憶體，其特徵在於將資料同步寫入或讀出屬於該複數個方塊中不同方塊之複數個儲存格電晶體(TC)。

11.一種包括配置於行方向之複數個儲存格電晶體之半導體記憶體，其特徵在於：

該複數個儲存格電晶體(TC)中每一個係在一比該儲存格電晶體(TC)之一部分通道區低的階層處形成有源極/汲極區(BL1、BL2)並被分割成複數個組群，行方向之儲存格電晶體(TC)中相近者至少在該複數個組群的每一組群中分享

該源極/汲極區(BL1、BL2)其中之一，及

該半導體記憶體更包括指定給該複數個組群的複數個連接部分及延伸於該行方向以連接至該源極/汲極區(BL1、BL2)的該複數個連接部分的一導體(306)。

12.根據申請專利範圍第 11 項之半導體記憶體，其特徵在於屬於同一組群的儲存格電晶體(TC)分享該通道區，及

該半導體記憶體更包括位在該組群終端之絕緣隔離區(ST1b)，藉以將該群組彼此隔離。

13.一種包括配置於列方向及行方向之複數個儲存格電晶體(TC)之半導體記憶體，其特徵在於：

該複數個儲存格電晶體(TC)中每一者包括一控制閘(CG)，配置於行方向之儲存格電晶體(TC)分享該控制閘(CG)，

該複數個儲存格電晶體(TC)中每一者係在一比該儲存格電晶體(TC)之一部分通道區低的階層處形成有源極/汲極區(BL1、BL2)，行方向之儲存格電晶體(TC)中相近者分享該源極/汲極區(BL1、BL2)其中之一，及

該半導體記憶體更包括延伸於該行方向以連接至行方向中彼此相鄰接的控制閘(CG)之間之該源極/汲極區(BL1、BL2)的一導體(306)，藉此，該行方向中的該源極/汲極區(BL1、BL2)電阻實質上降低。

14.一種包括配置於列方向及行方向之複數個儲存格電晶體(TC)之半導體記憶體，其特徵在於：

該複數個儲存格電晶體(TC)中每一者係在一比該儲存格電晶體(TC)之一部分通道區低的階層處形成源極/汲極區(BL1、BL2)，行方向之儲存格電晶體(TC)中相近者分享該源極/汲極區(BL1、BL2)其中之一，及

列方向之儲存格電晶體(TC)中相近者分享在該相近者之間的源極/汲極區(BL1、BL2)，與該源極/汲極區(BL1、BL2)相同傳導性的一高濃度區(33)係形成於該源極/汲極區(BL1、BL2)的中間部分，及

配置於該行方向之儲存格電晶體(TC)分享該高濃度區(33)。

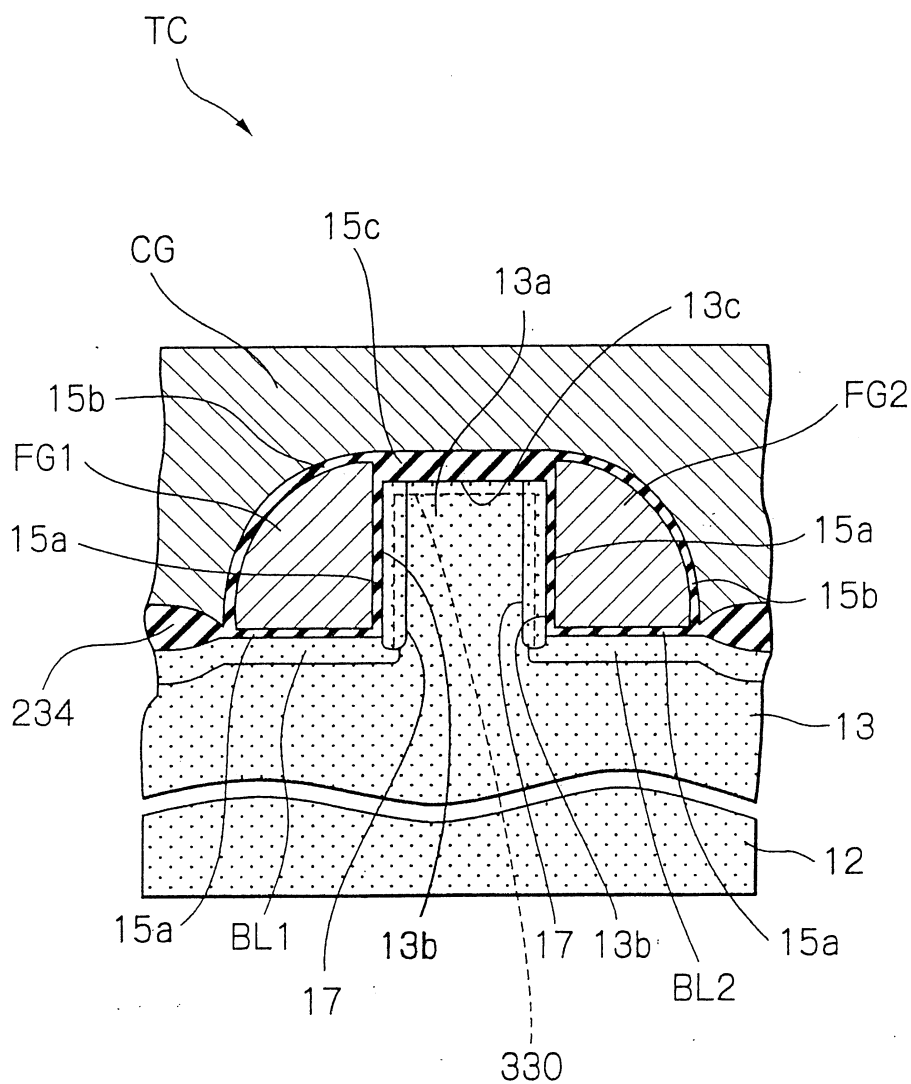
拾壹、圖式：

如次頁

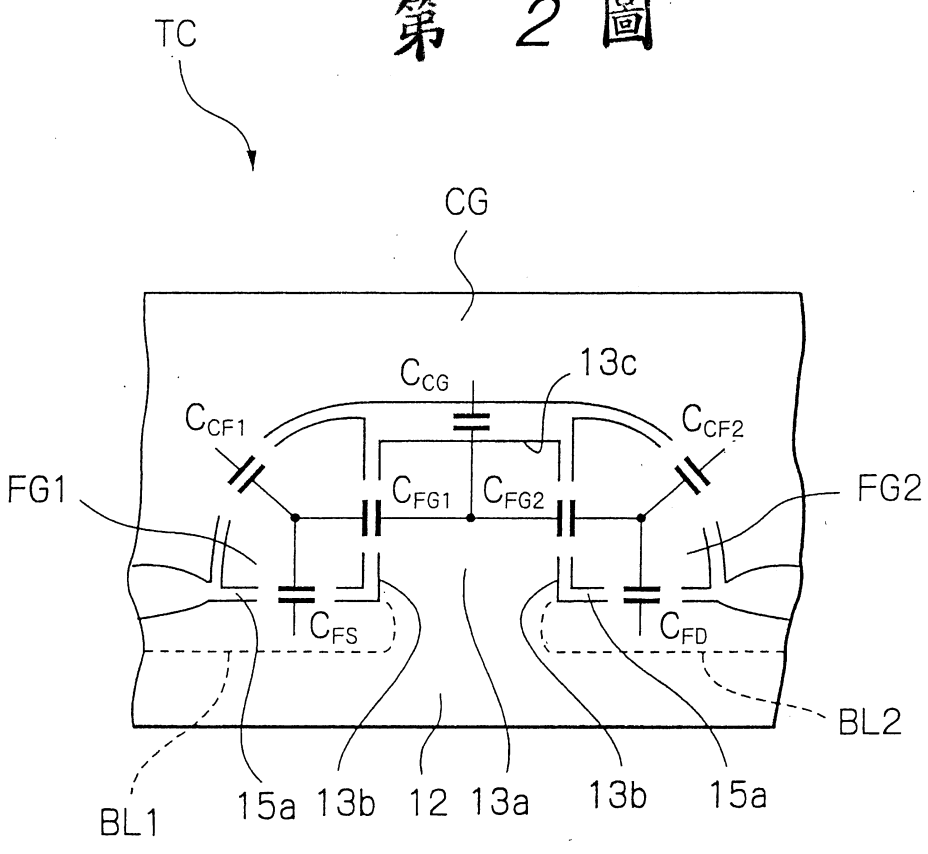
9-104783

$$\frac{1}{57}$$

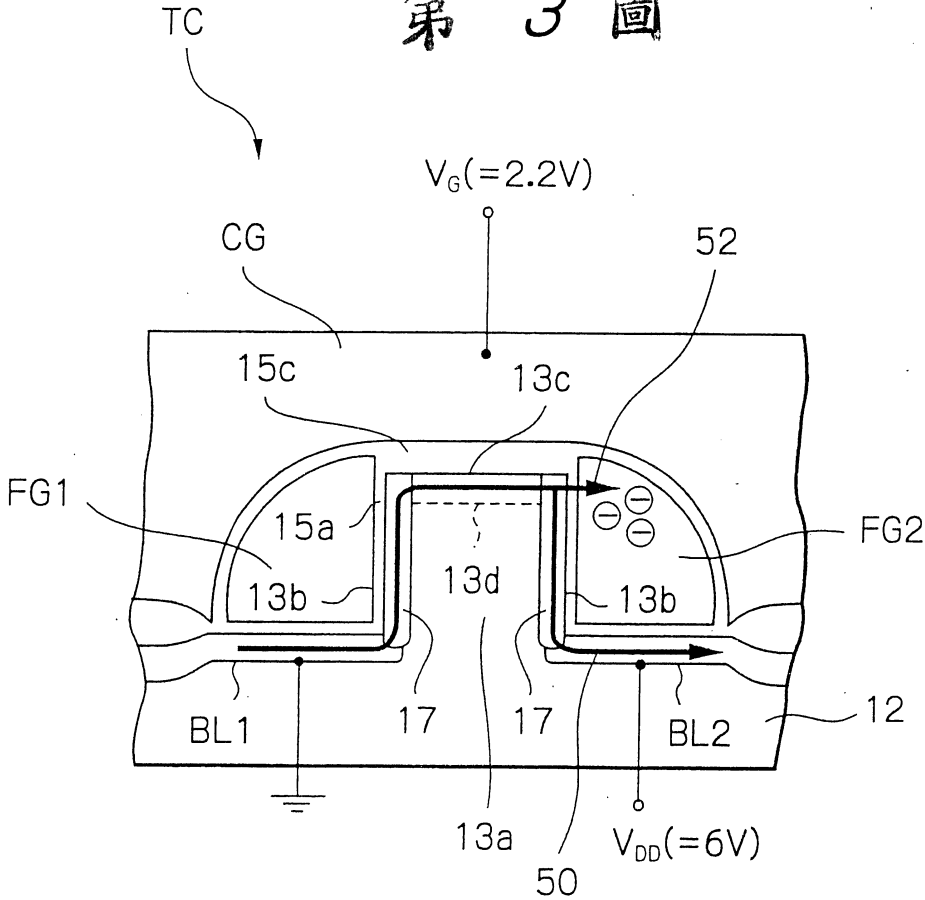
第 1 圖



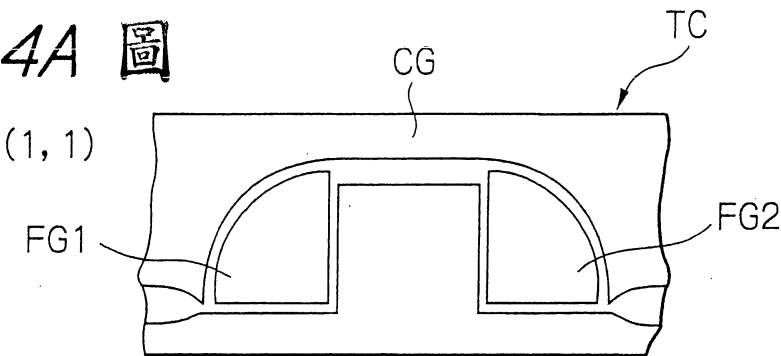
第 2 圖



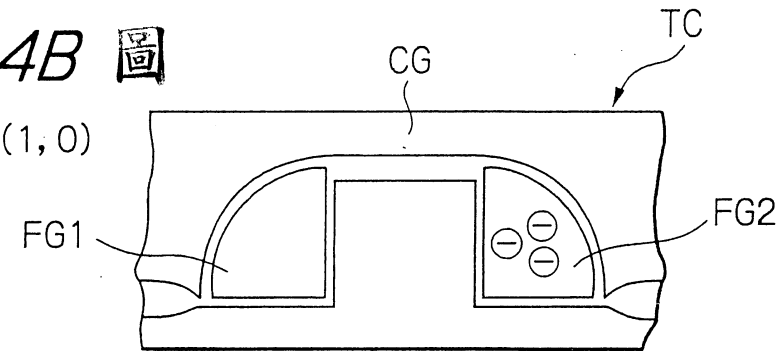
第 3 圖



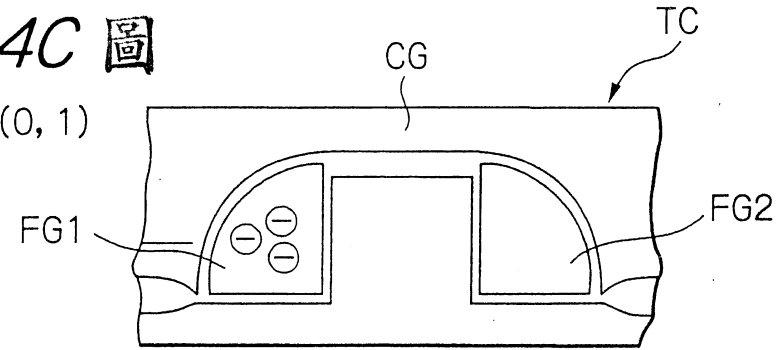
第 4A 圖



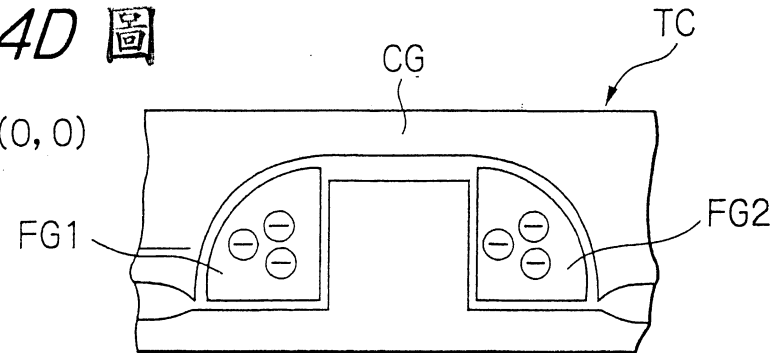
第 4B 圖



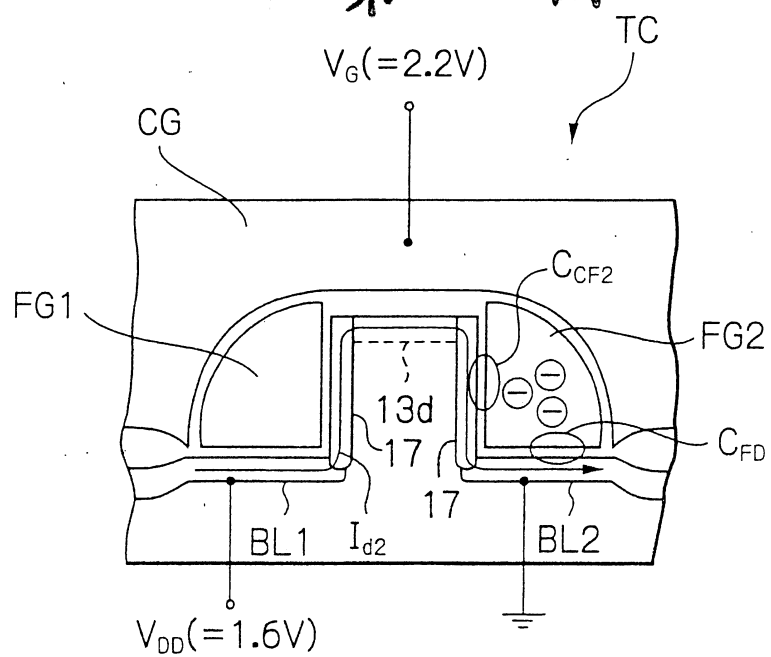
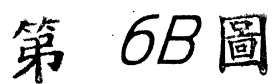
第 4C 圖



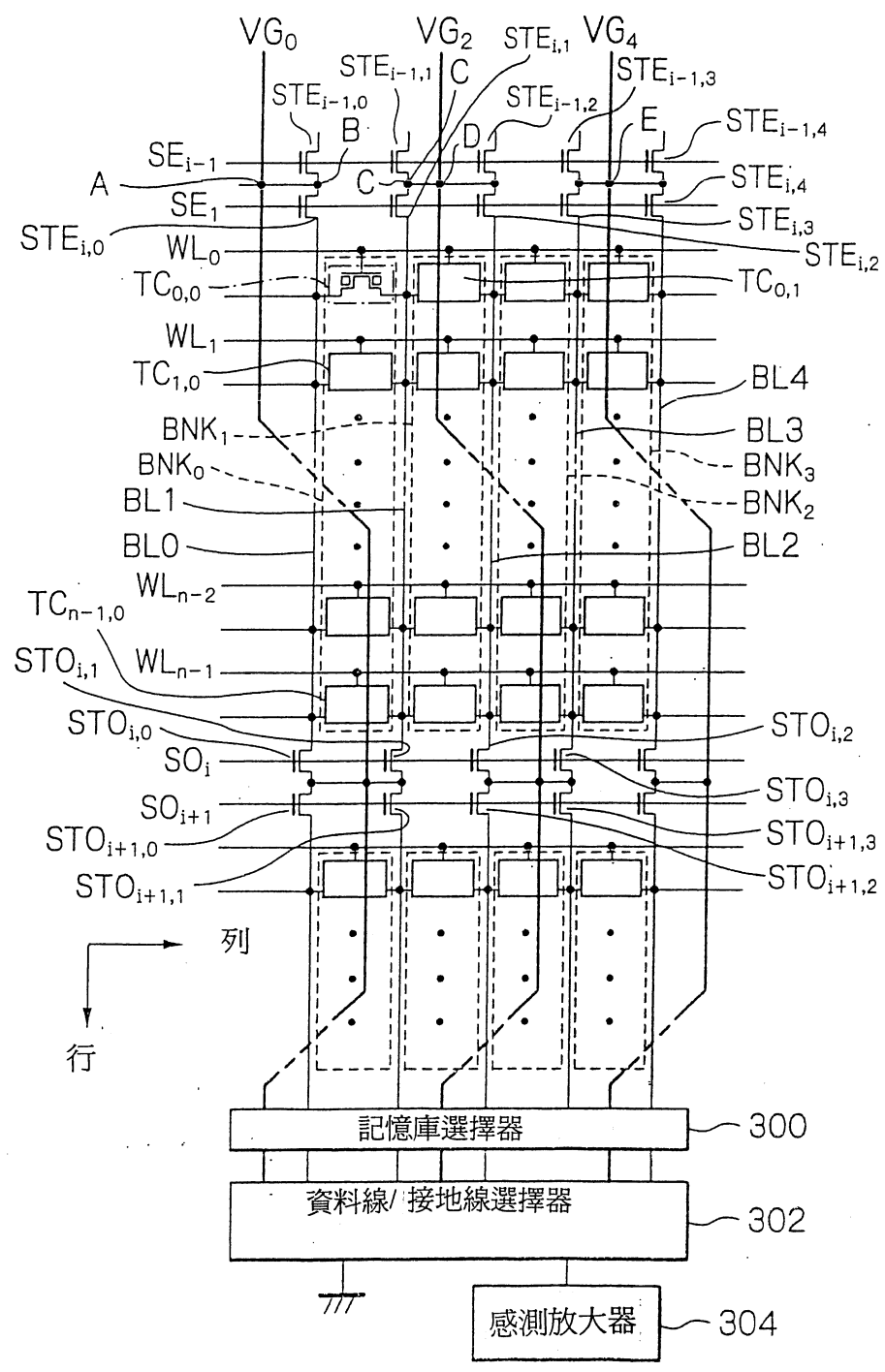
第 4D 圖

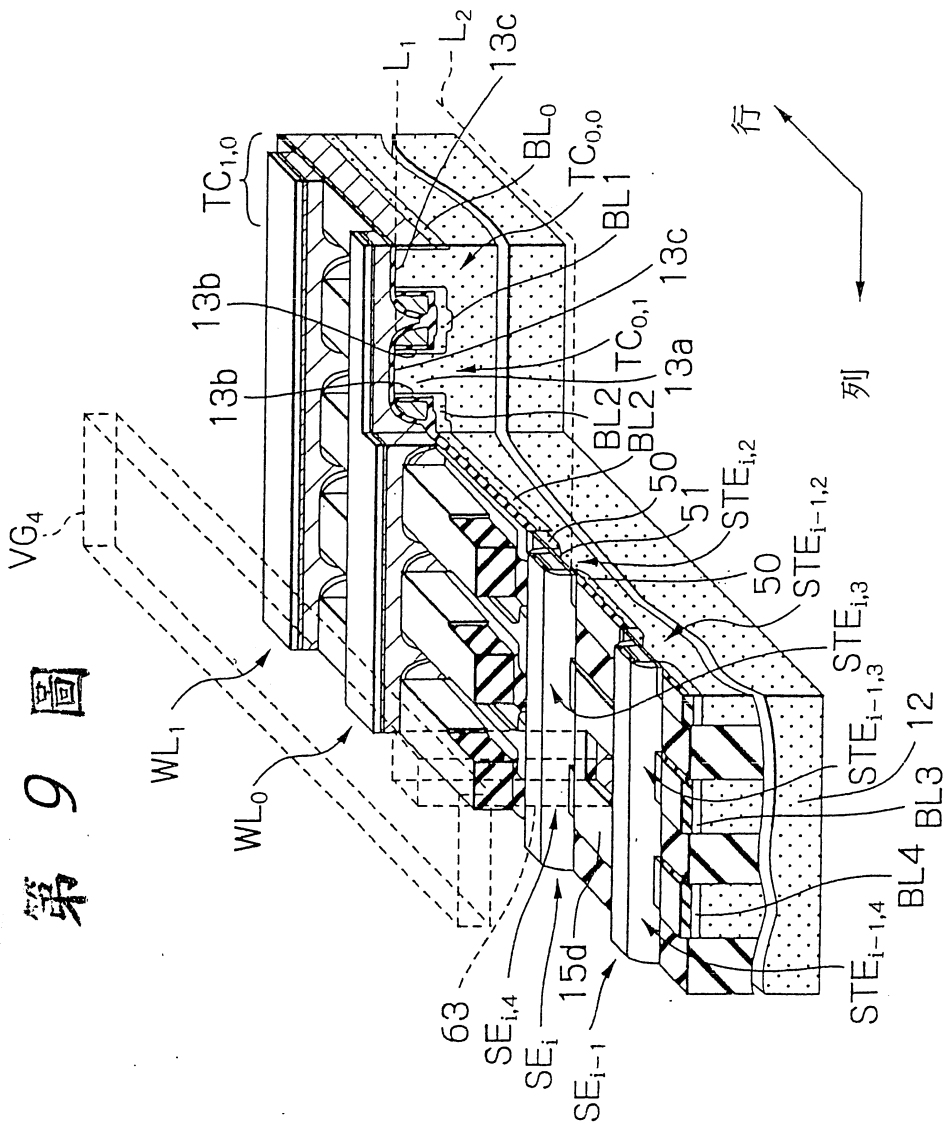


A cross-sectional view of a semiconductor device. A central gap is formed in the substrate. On either side of the gap, there is a structure labeled 17, which is a gate stack. The gate stack on the left is labeled 17 and the gate stack on the right is labeled 17. The gap between the two gate stacks is labeled 13d. The substrate is labeled CG. The top surface of the substrate is labeled TC. The bottom surface of the substrate is labeled BL1 and BL2. The bottom surface is connected to a ground symbol. The gate voltage is labeled $V_G (= 2.2V)$ and the drain voltage is labeled $V_{DD} (= 1.6V)$. The current flowing through the device is labeled I_{d2} . The device is labeled FG1 and FG2.

$V_G (= 2.2V)$ 

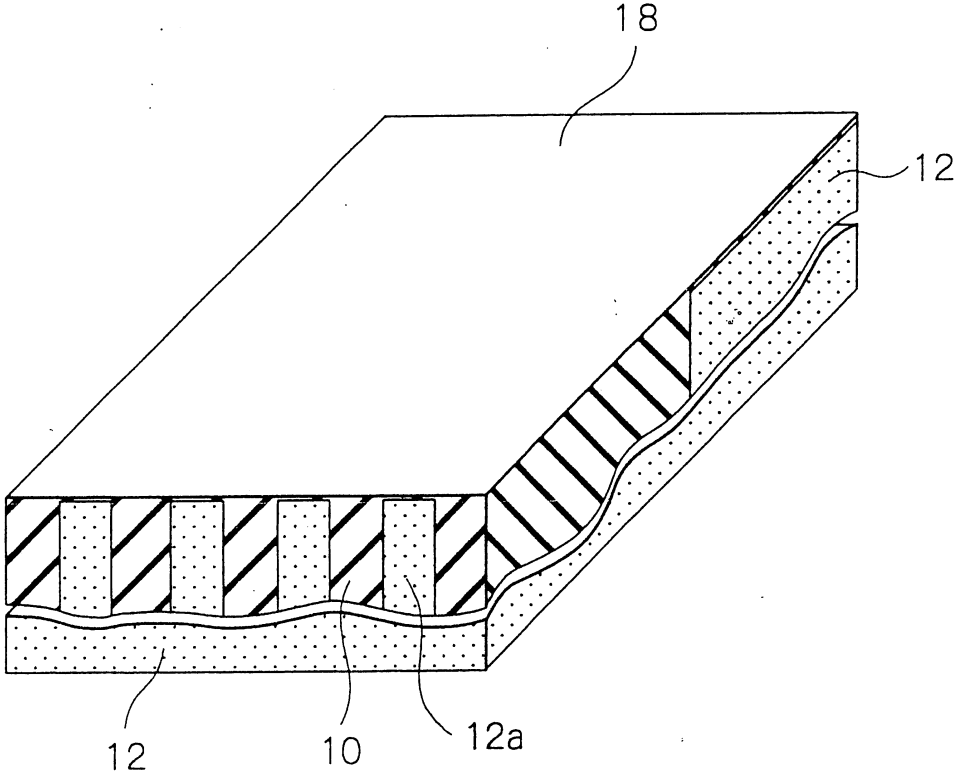
第 8 圖





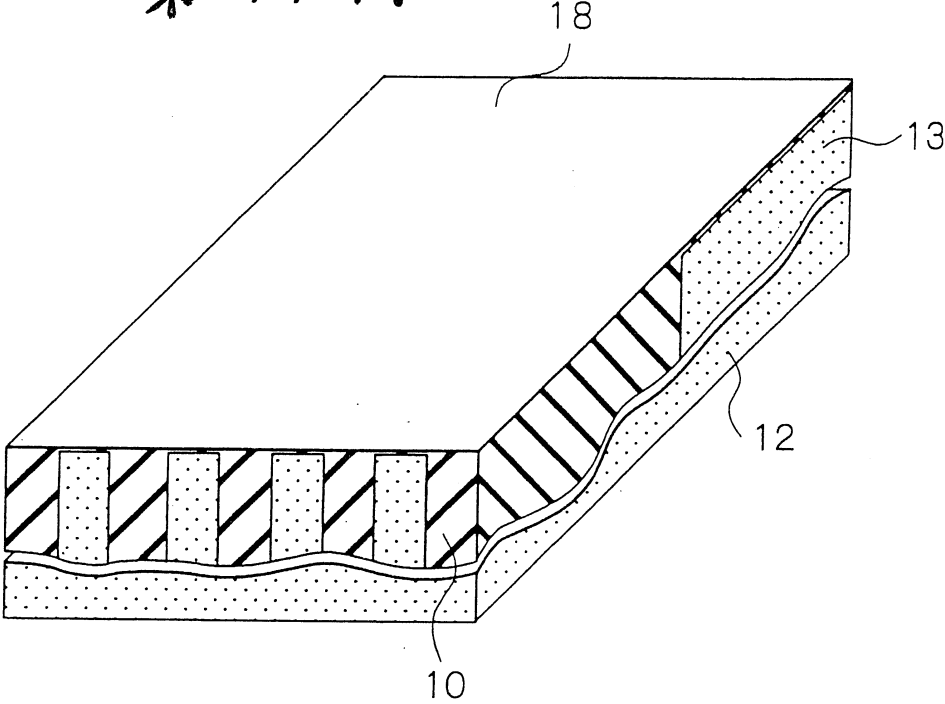
第 9 圖

第 10 圖

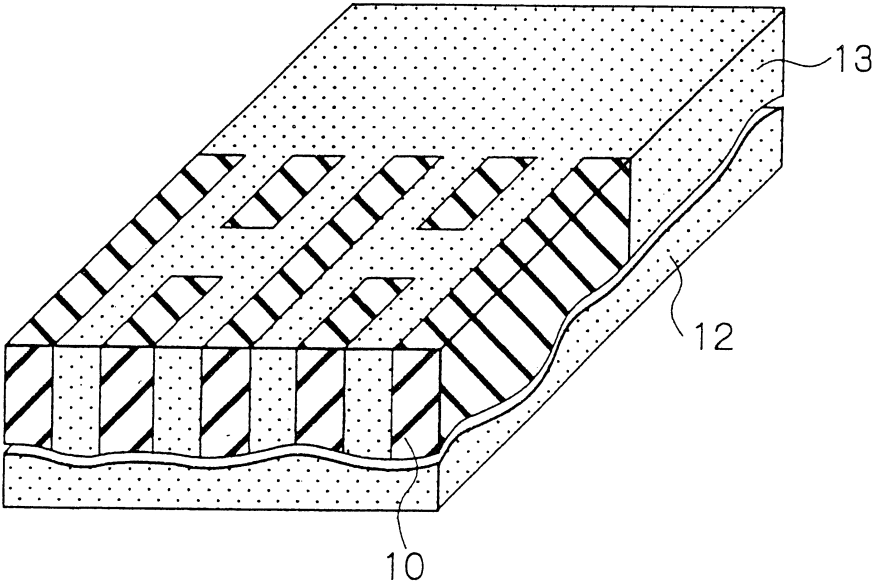


11/57

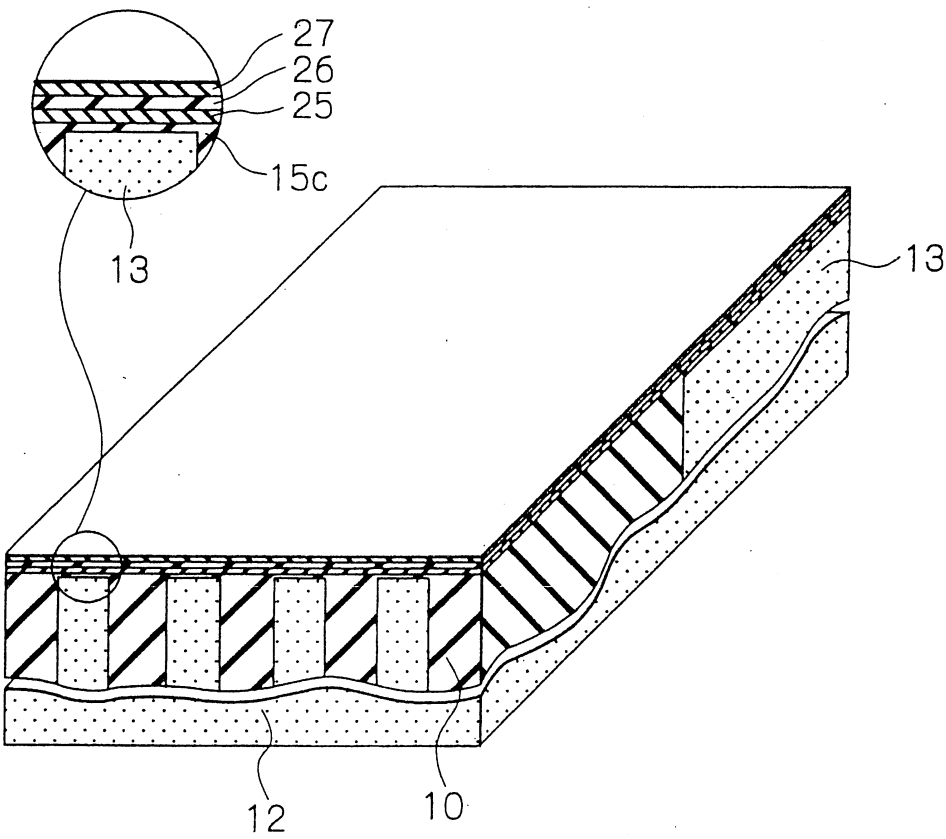
第 11 圖



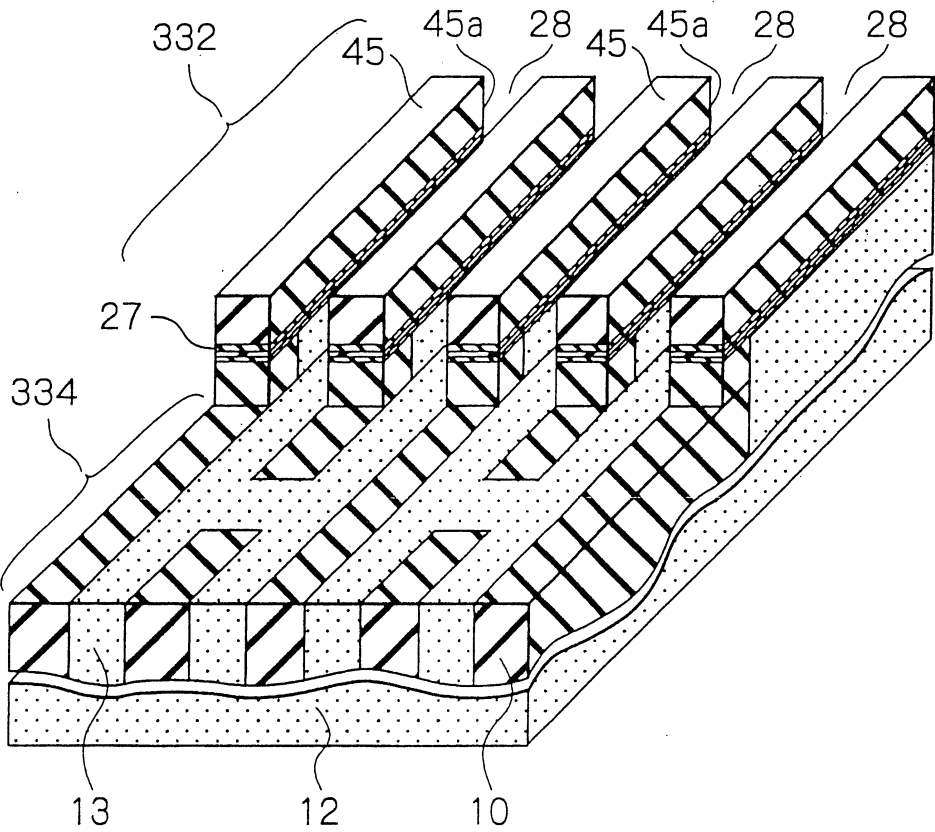
第 12 圖



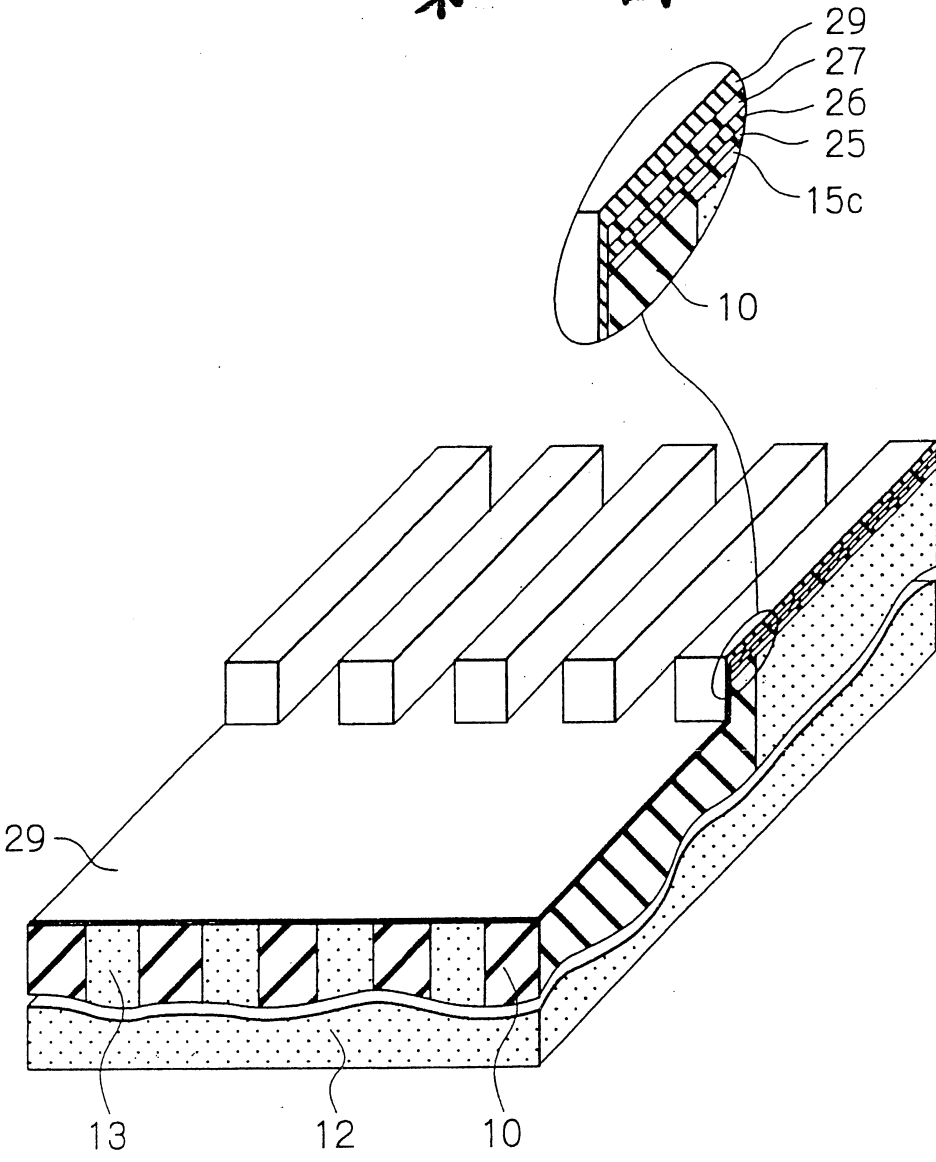
第 13 圖



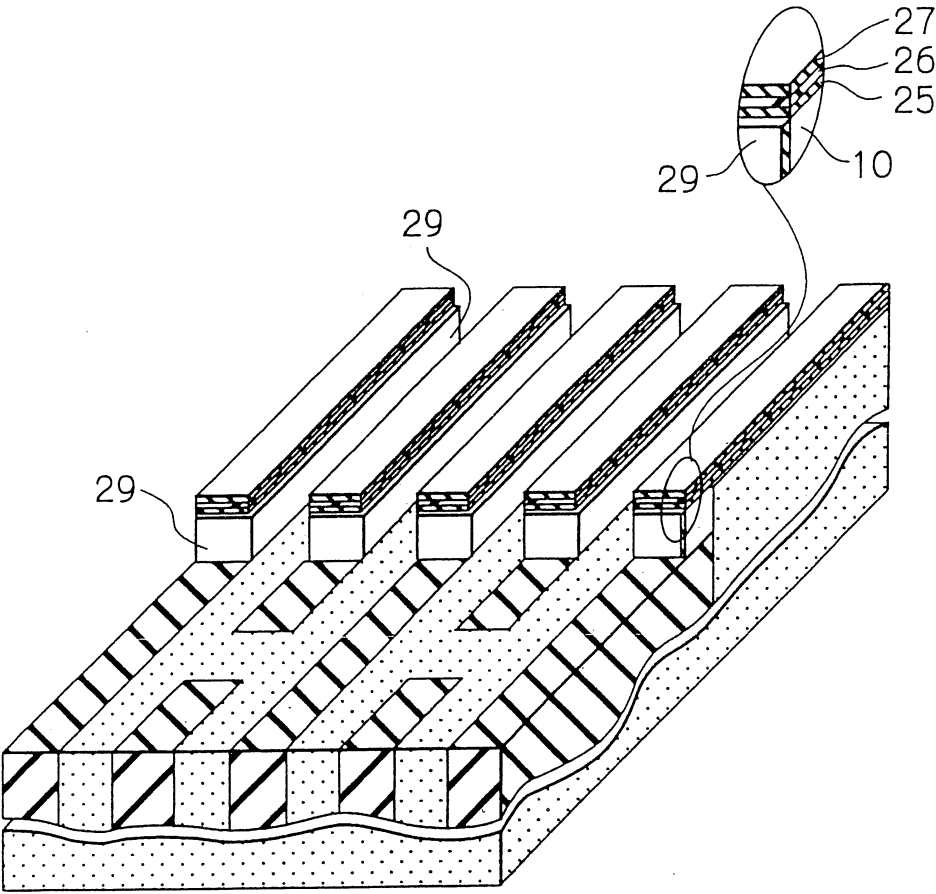
第 14 圖



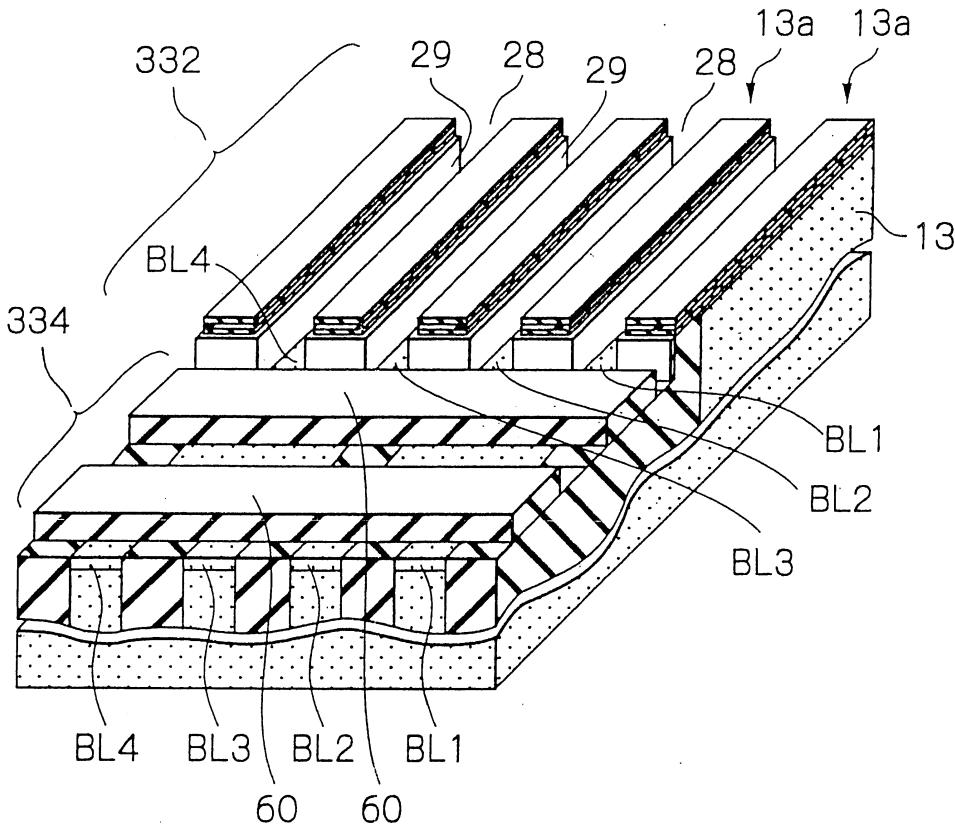
第 15 圖



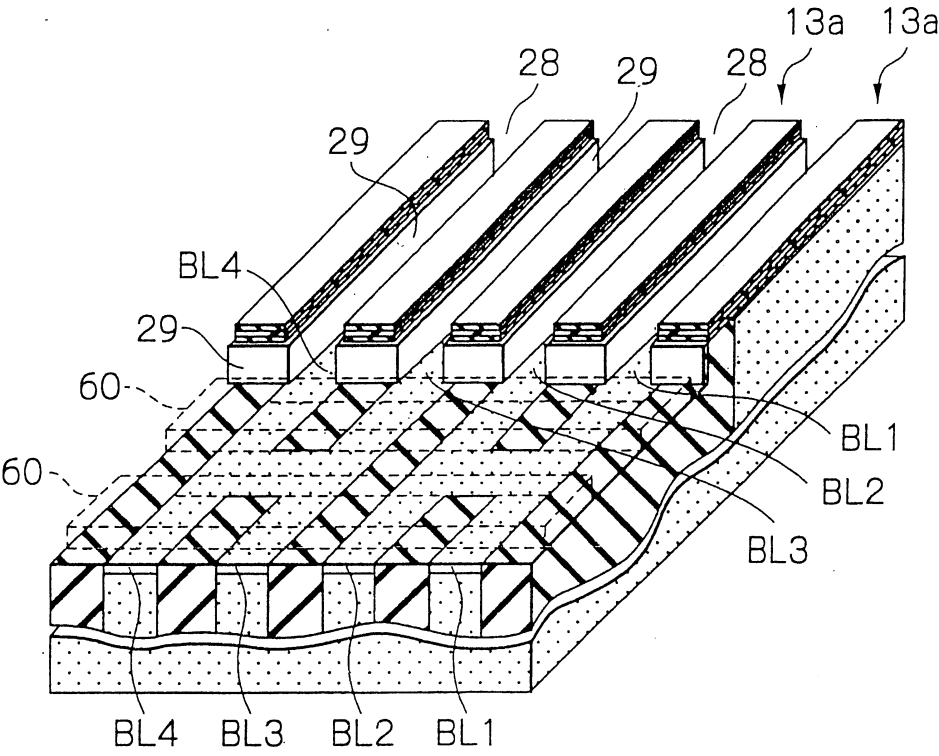
第 16 圖



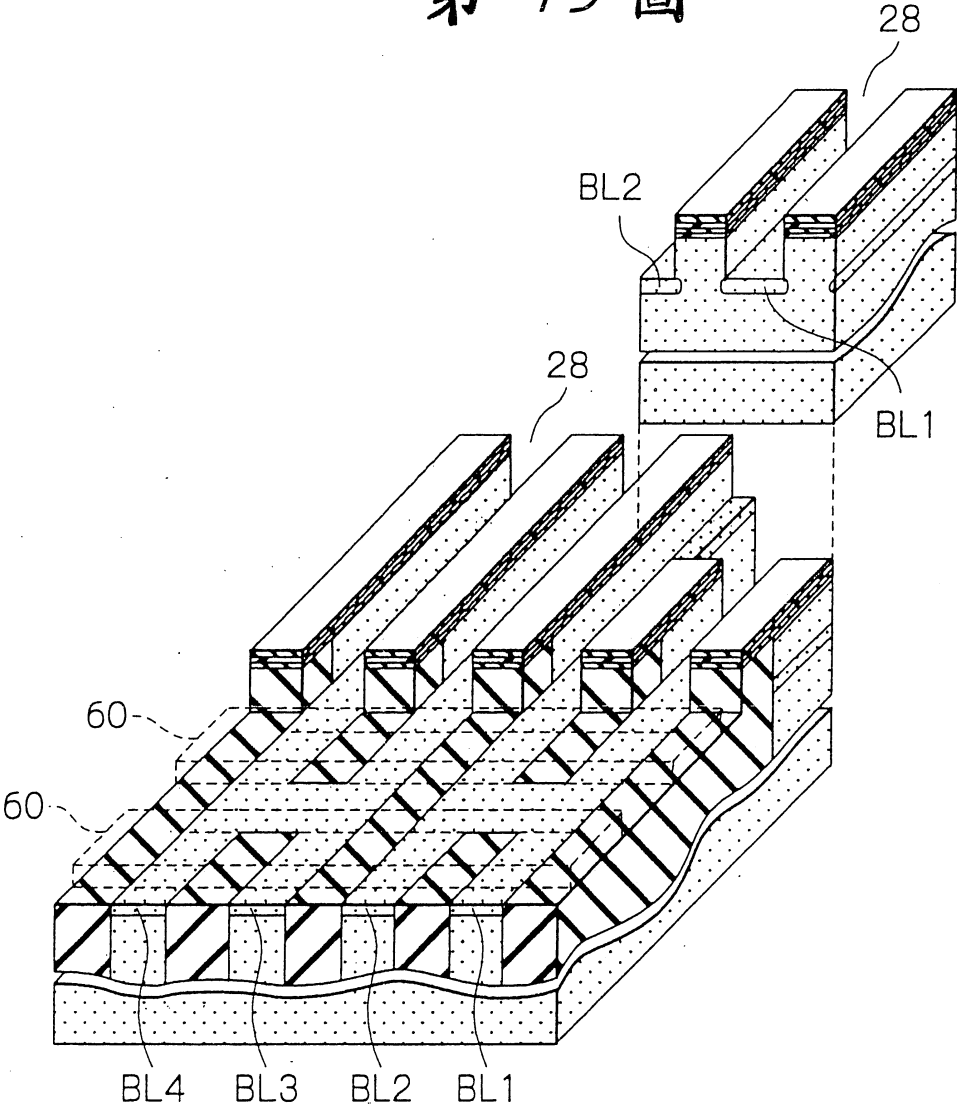
第 17 圖



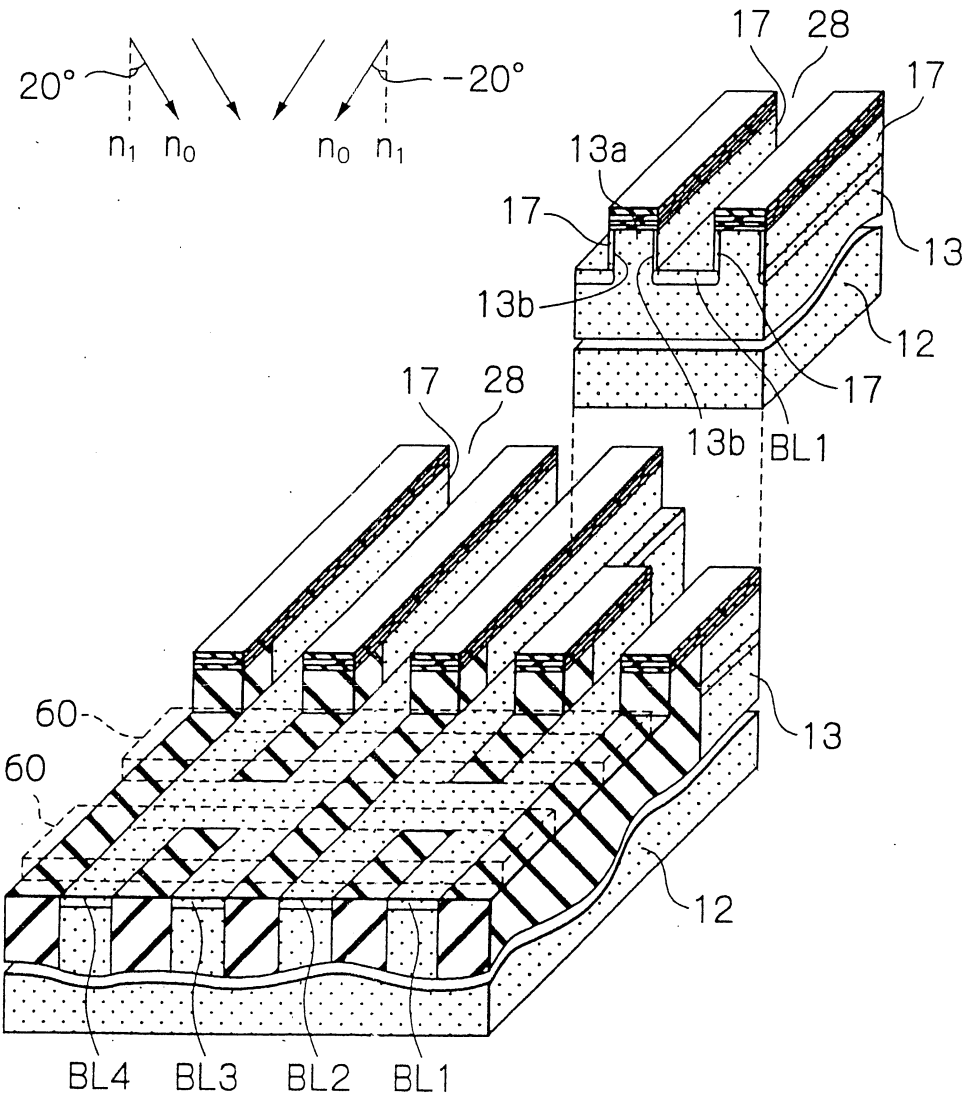
第 18 圖



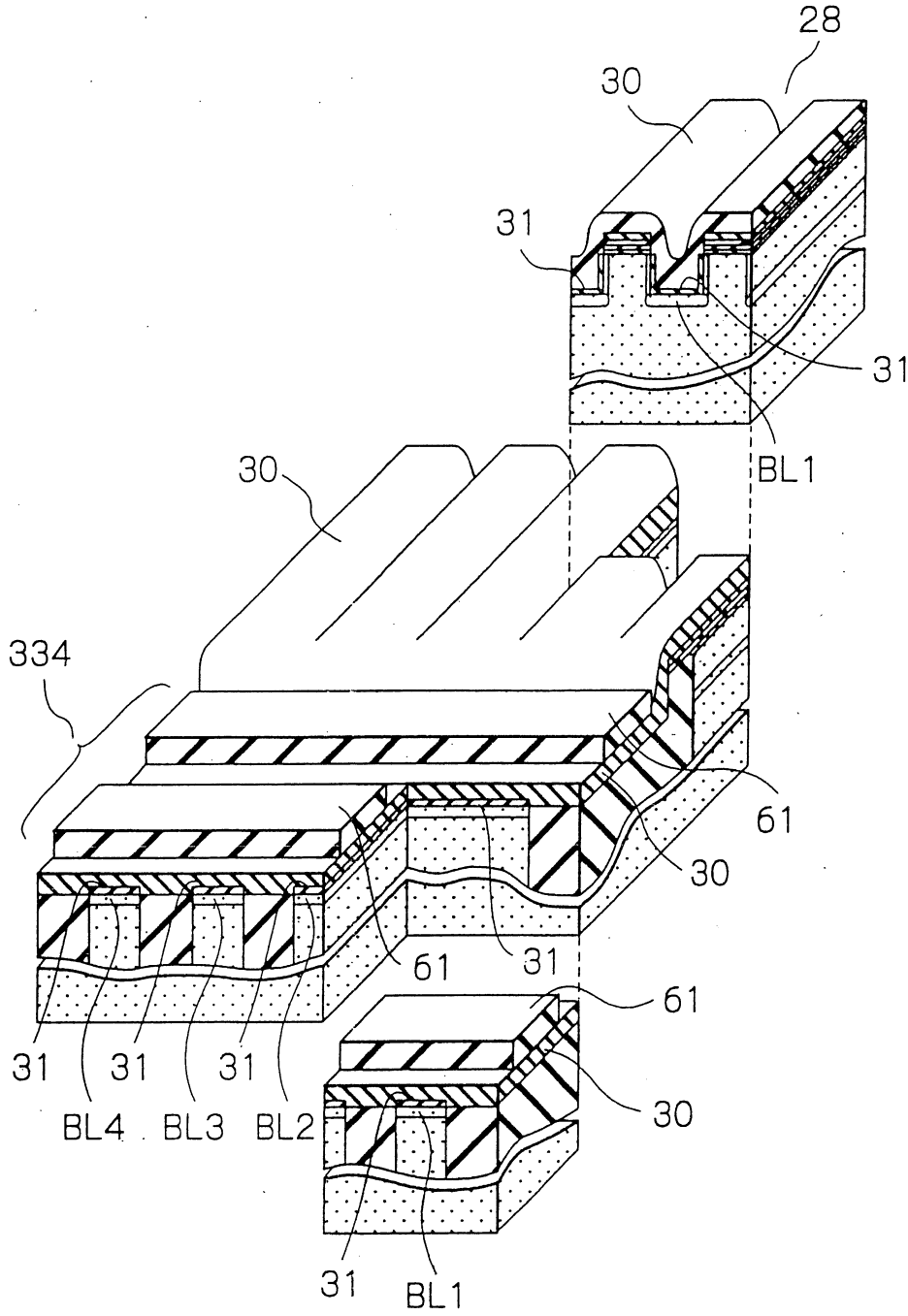
第 19 圖



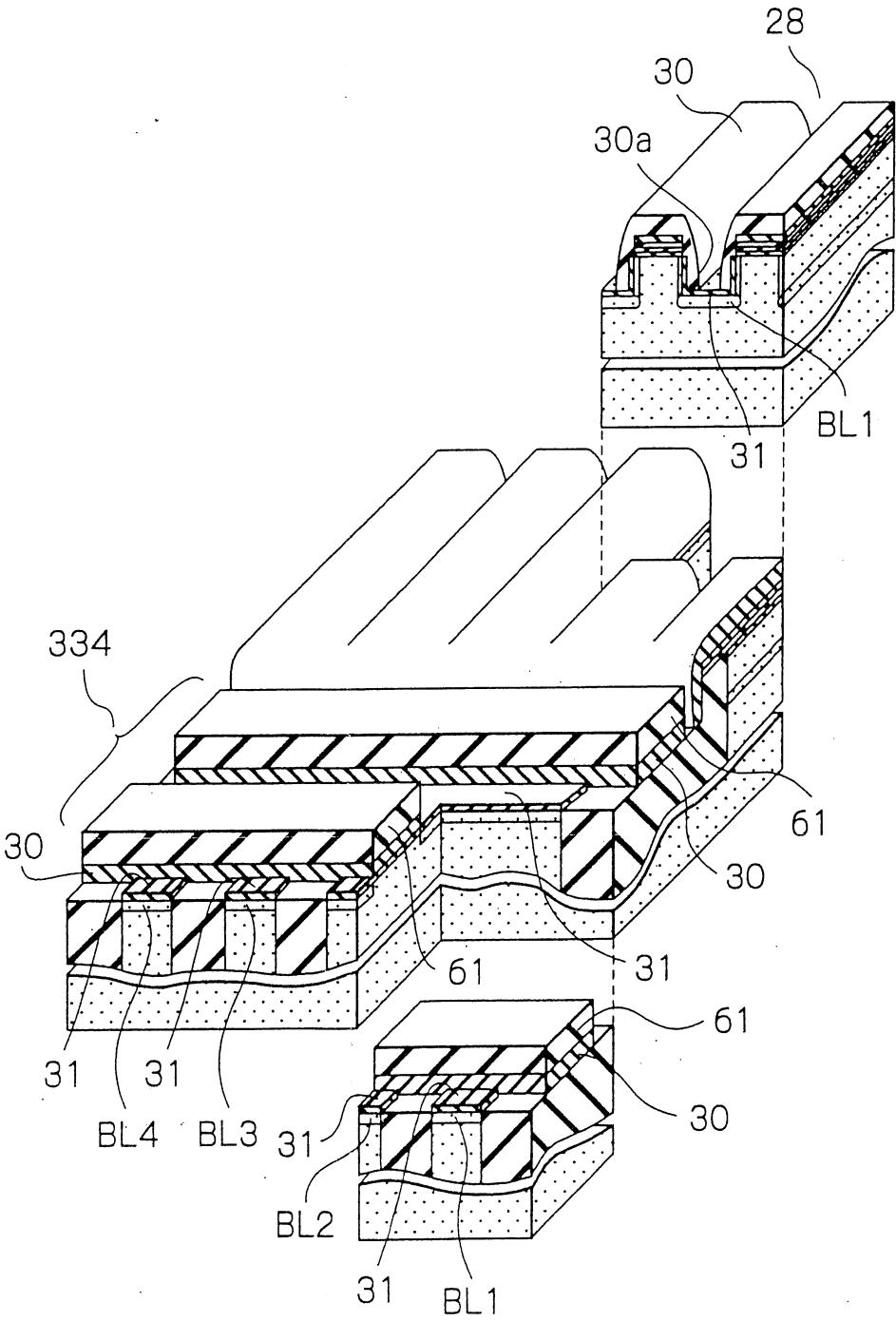
第 20 圖



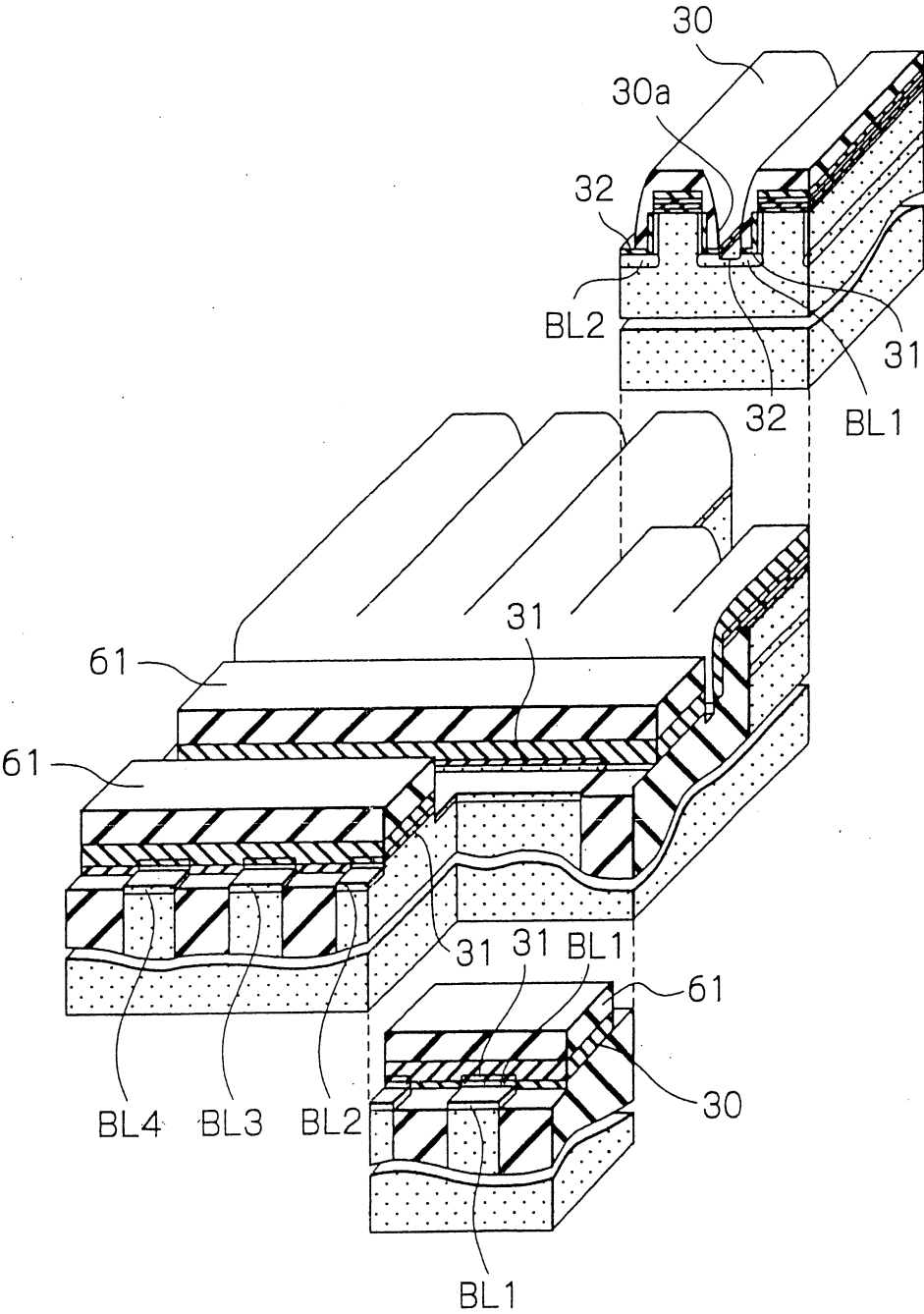
第 21 圖



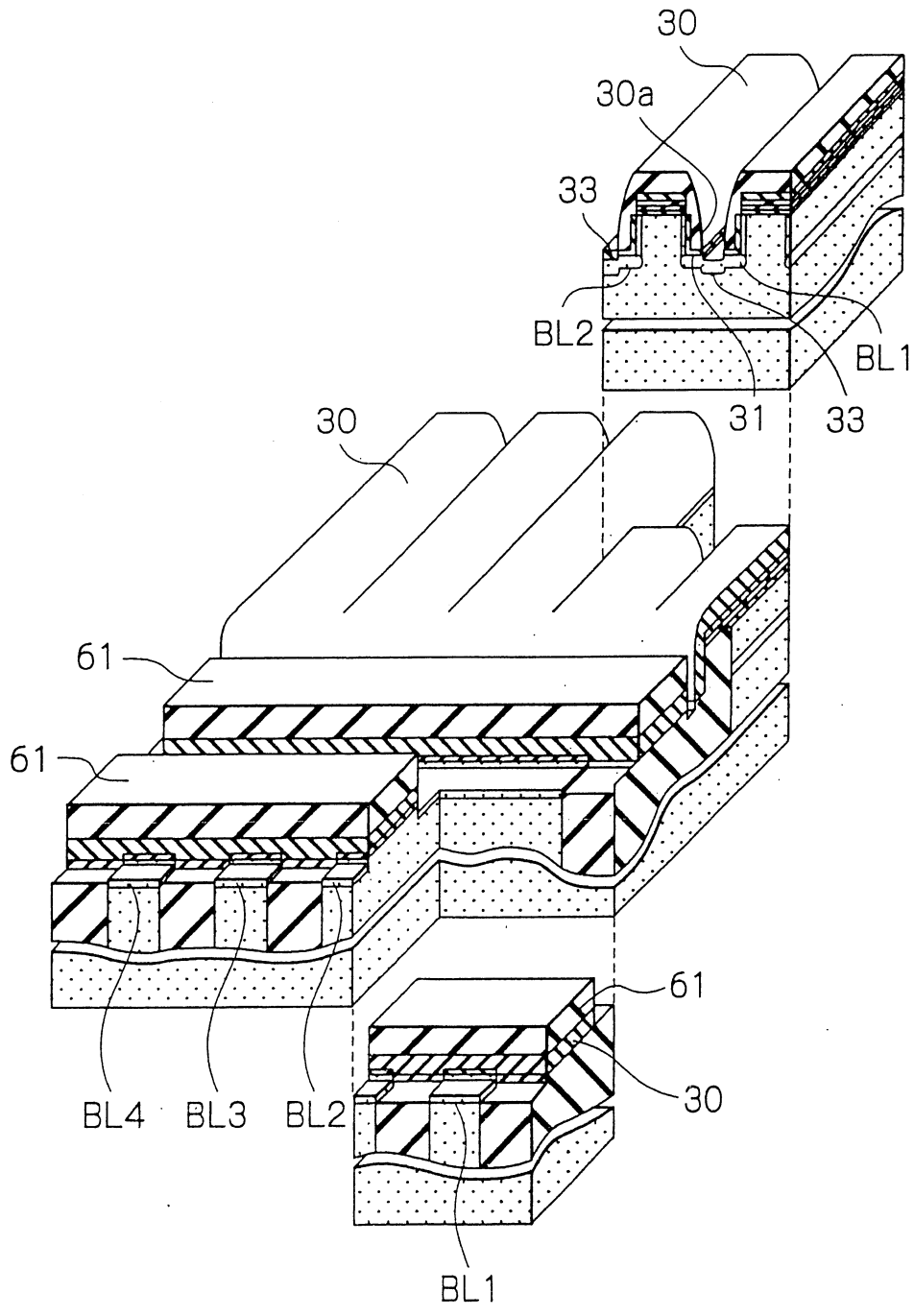
第 22 圖



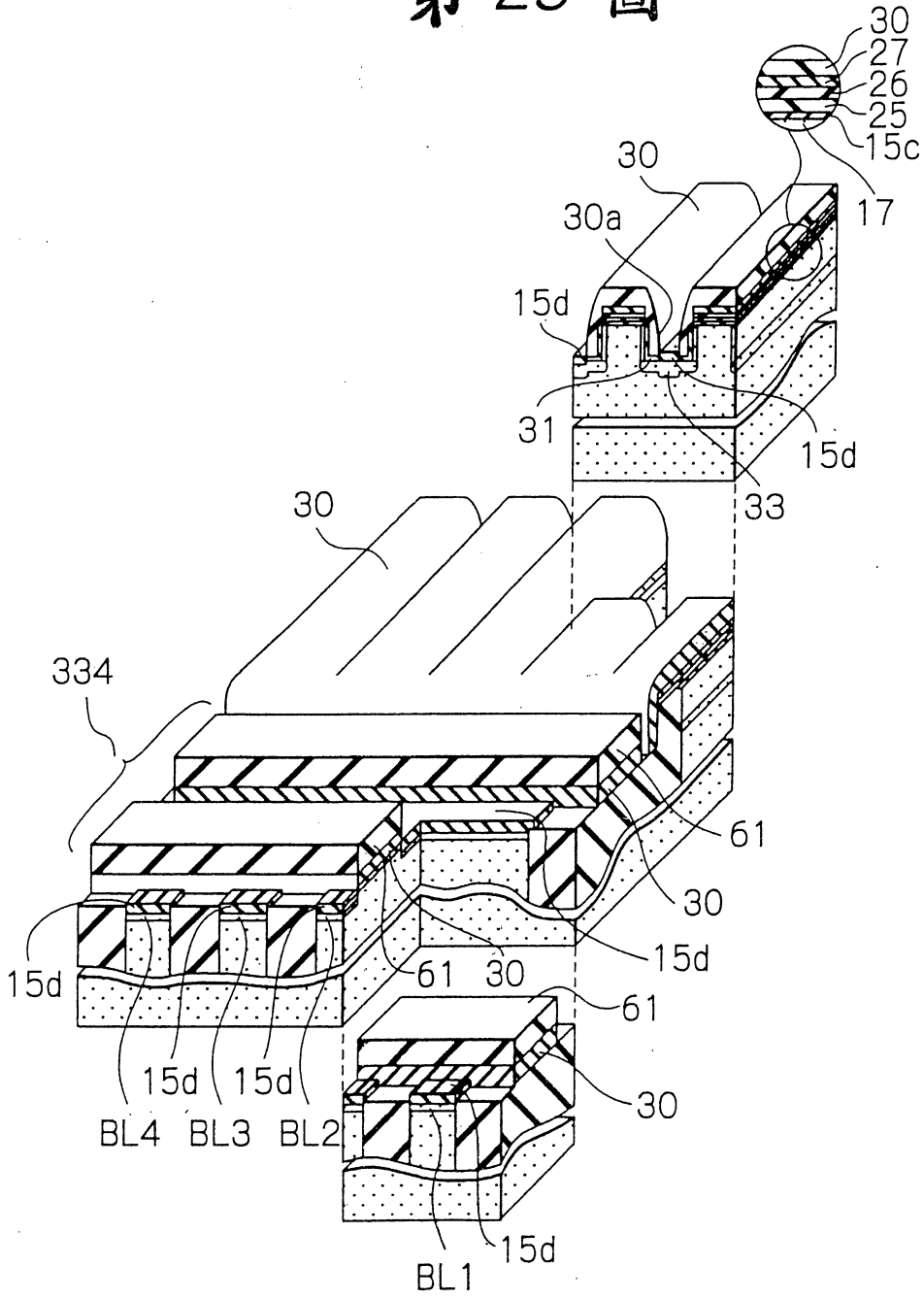
第 23 圖



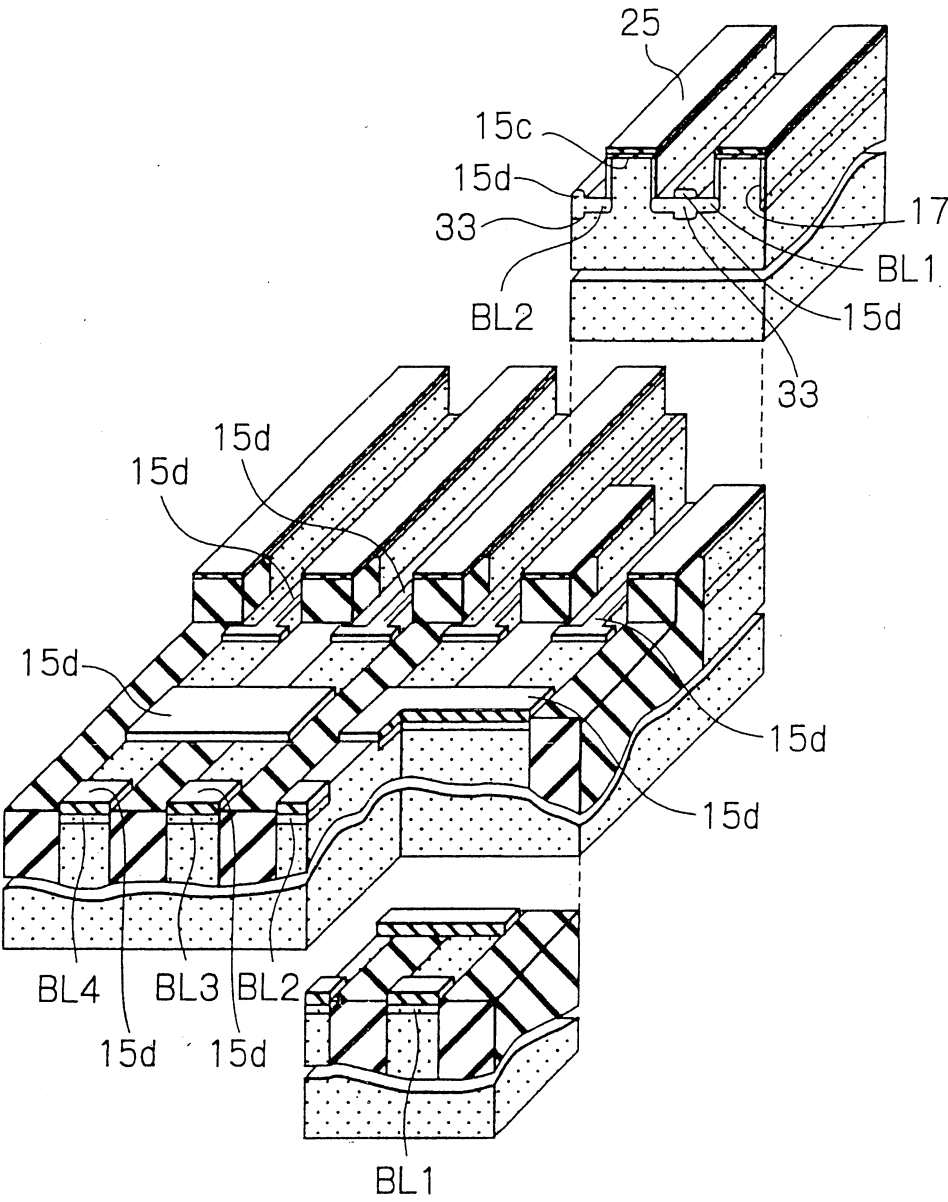
第 24 圖



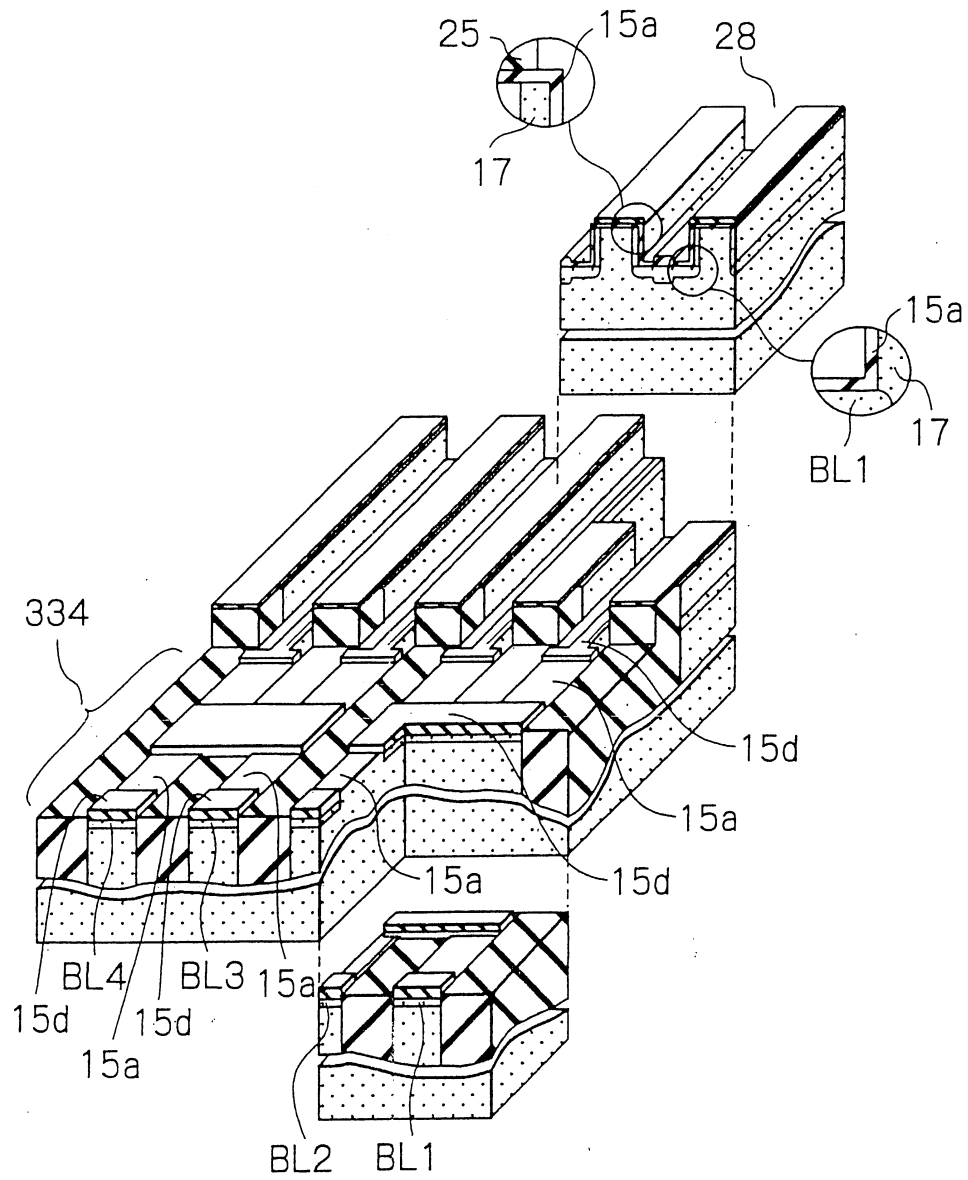
第 25 圖



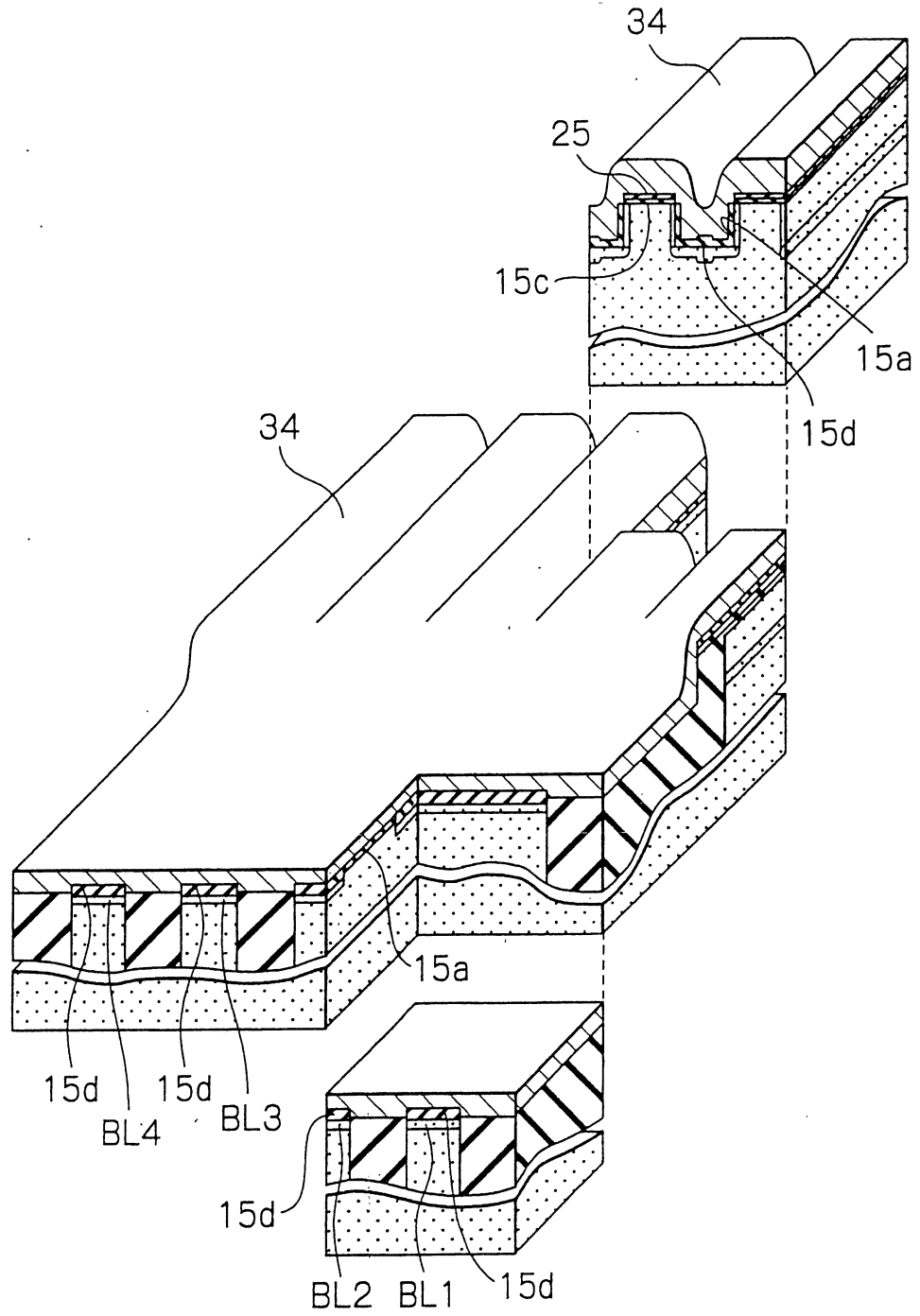
第 26 圖



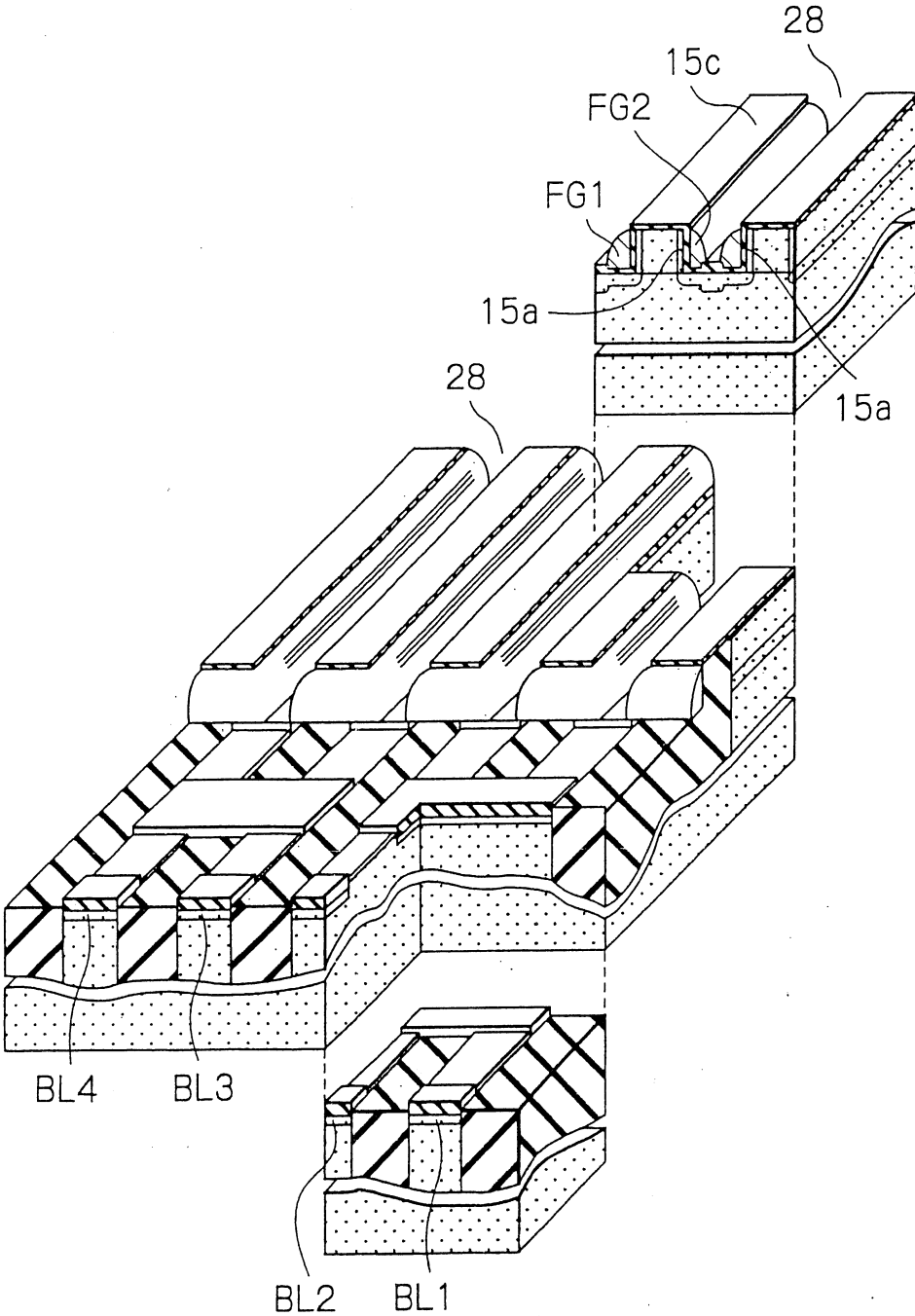
第 27 圖



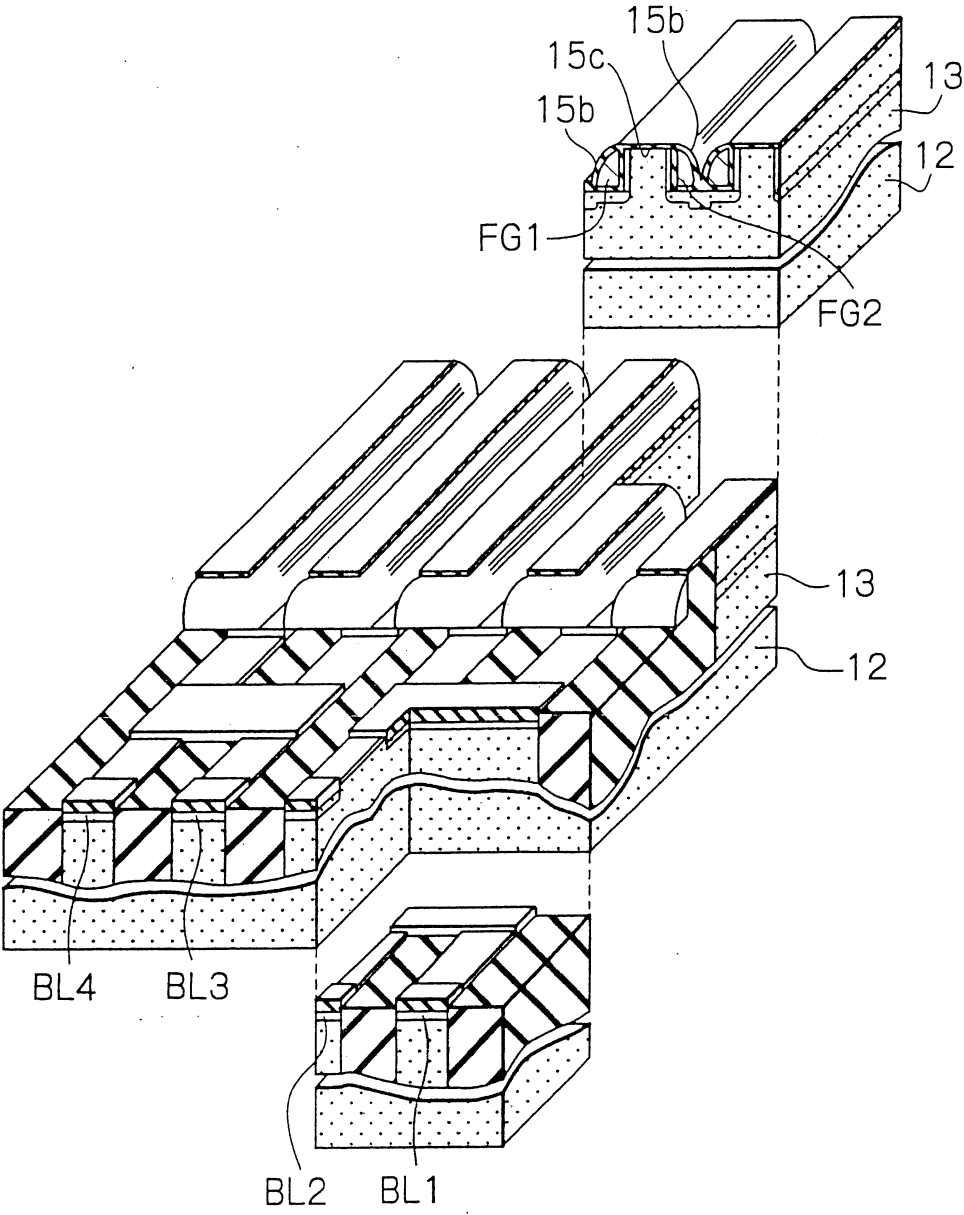
第 28 圖



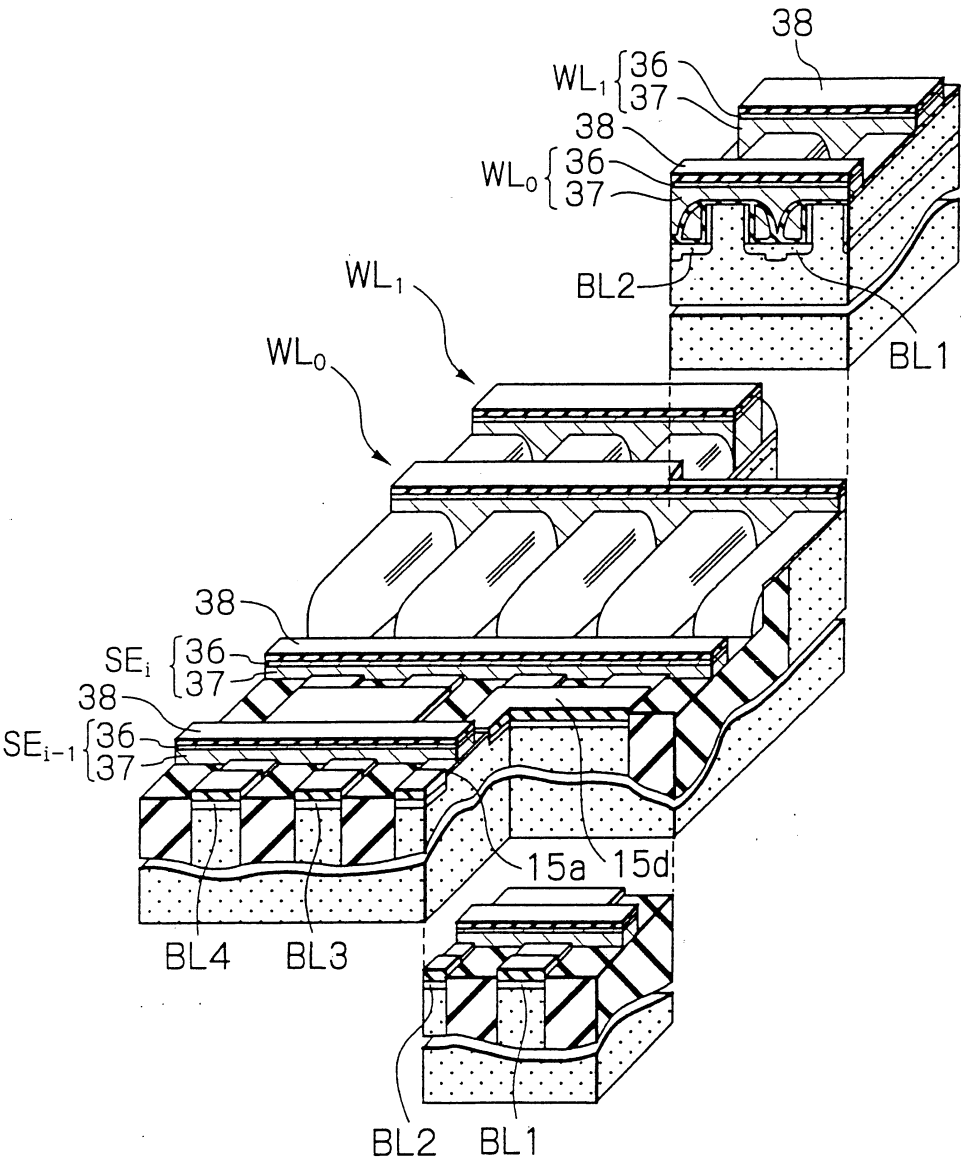
第 29 圖



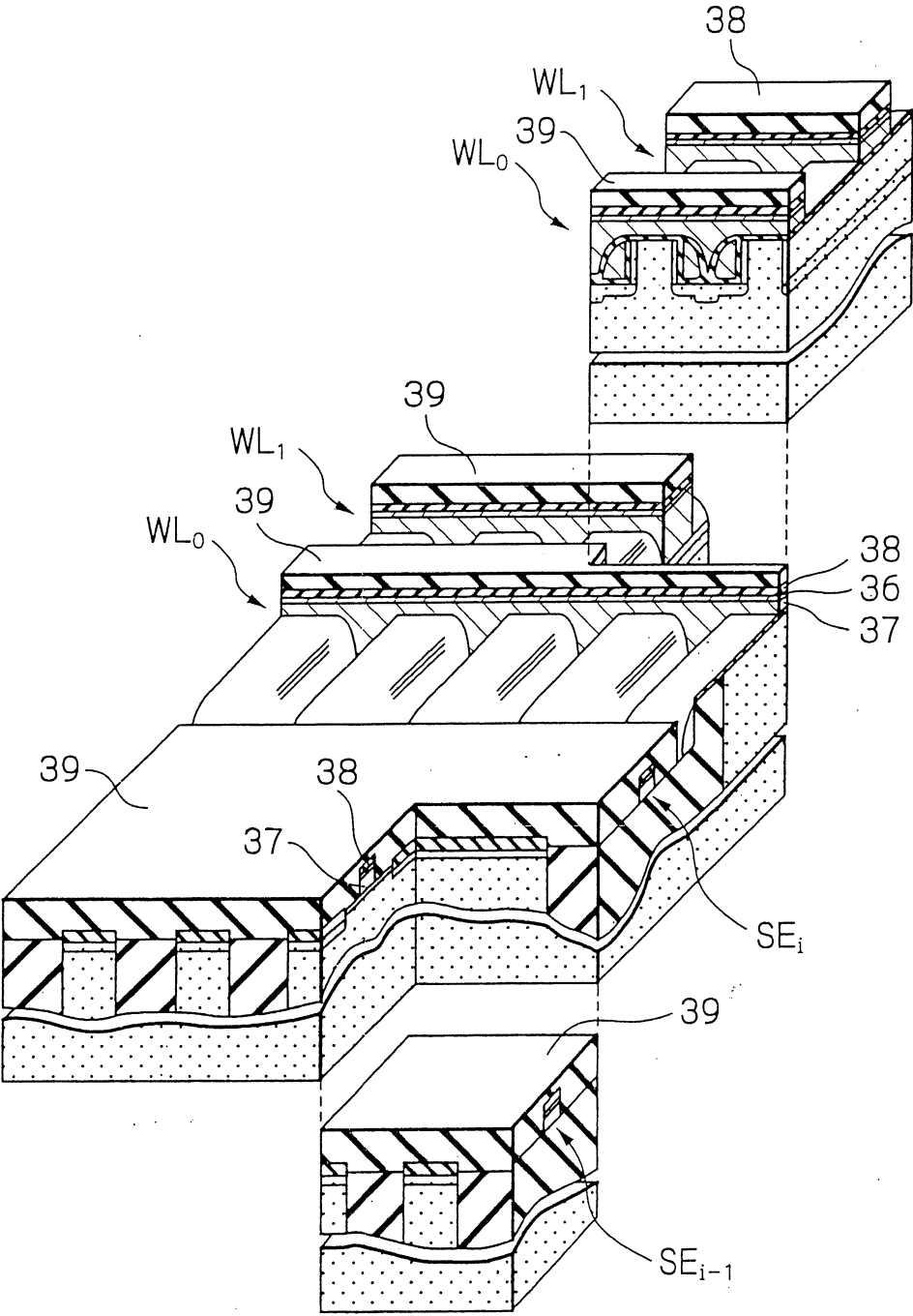
第 30 圖



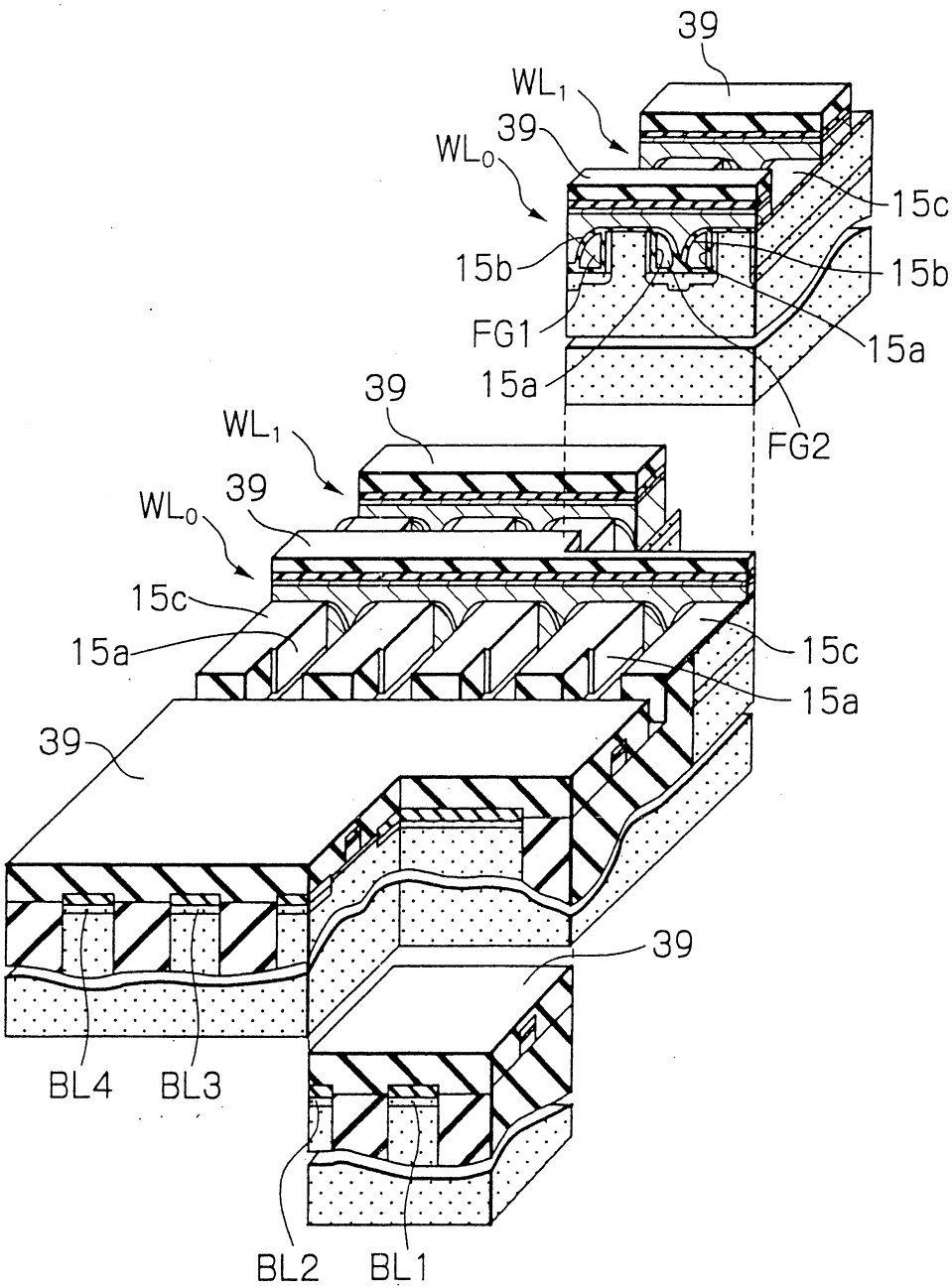
第 31 圖



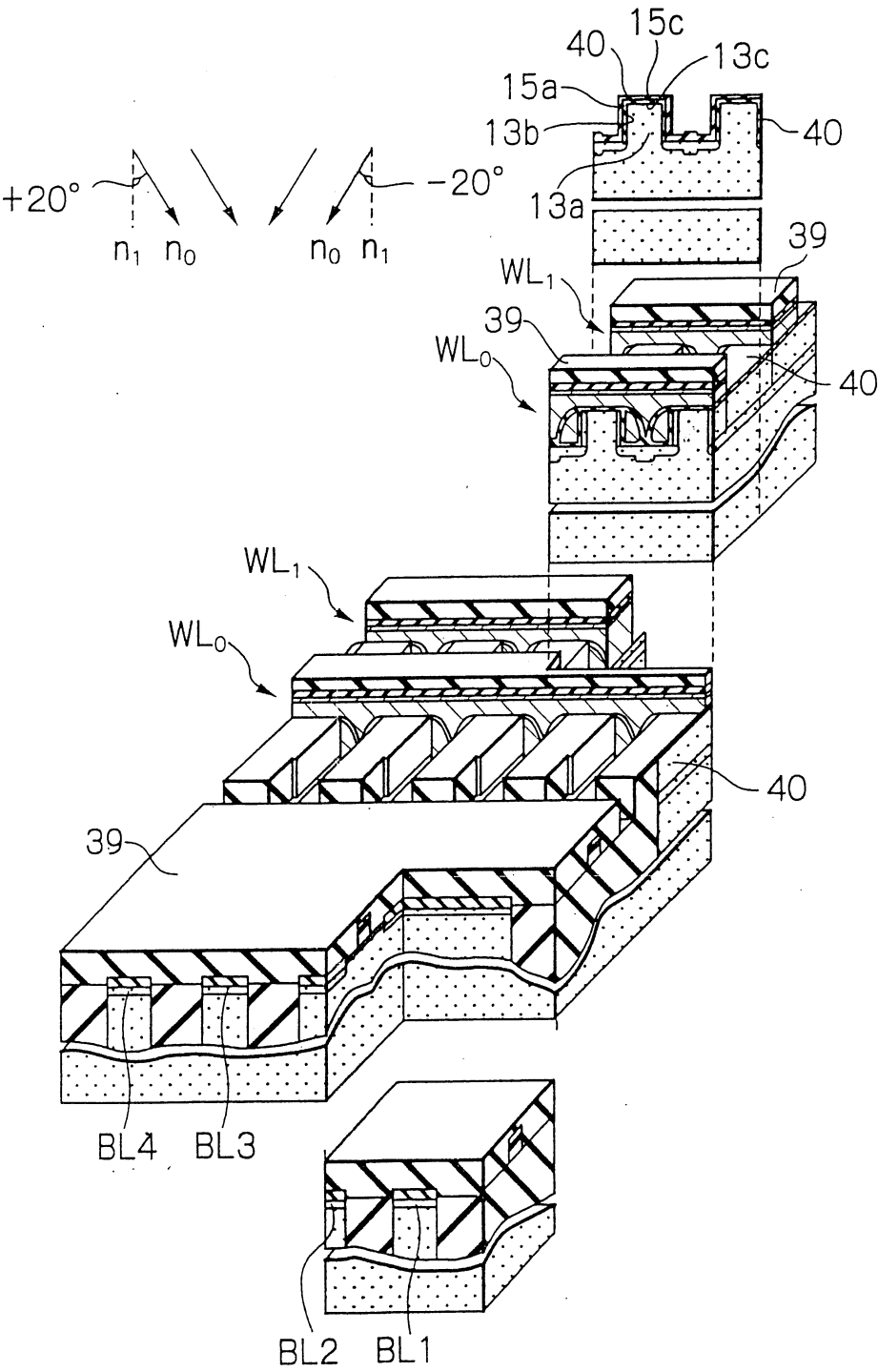
第 32 圖



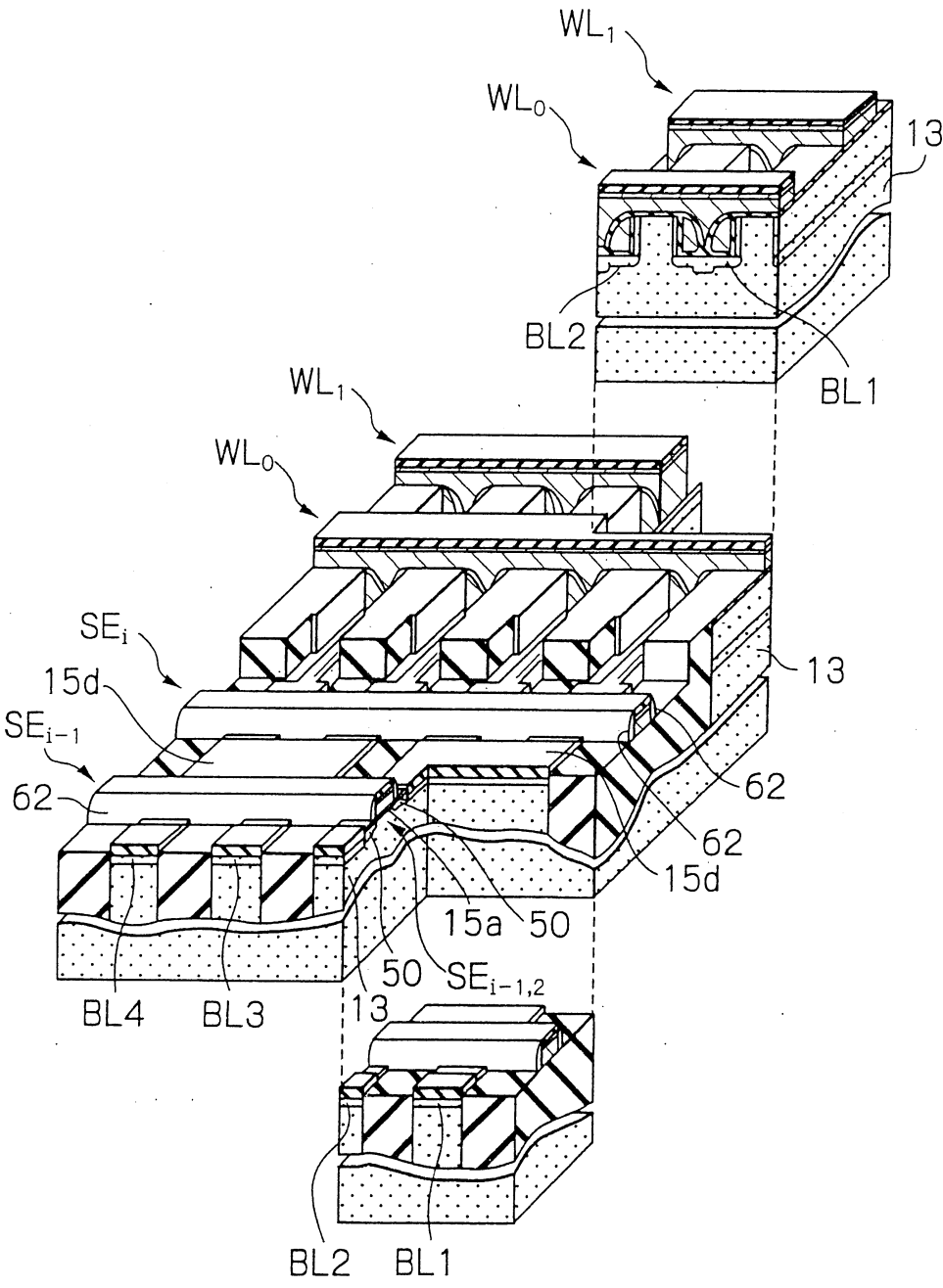
第 33 圖



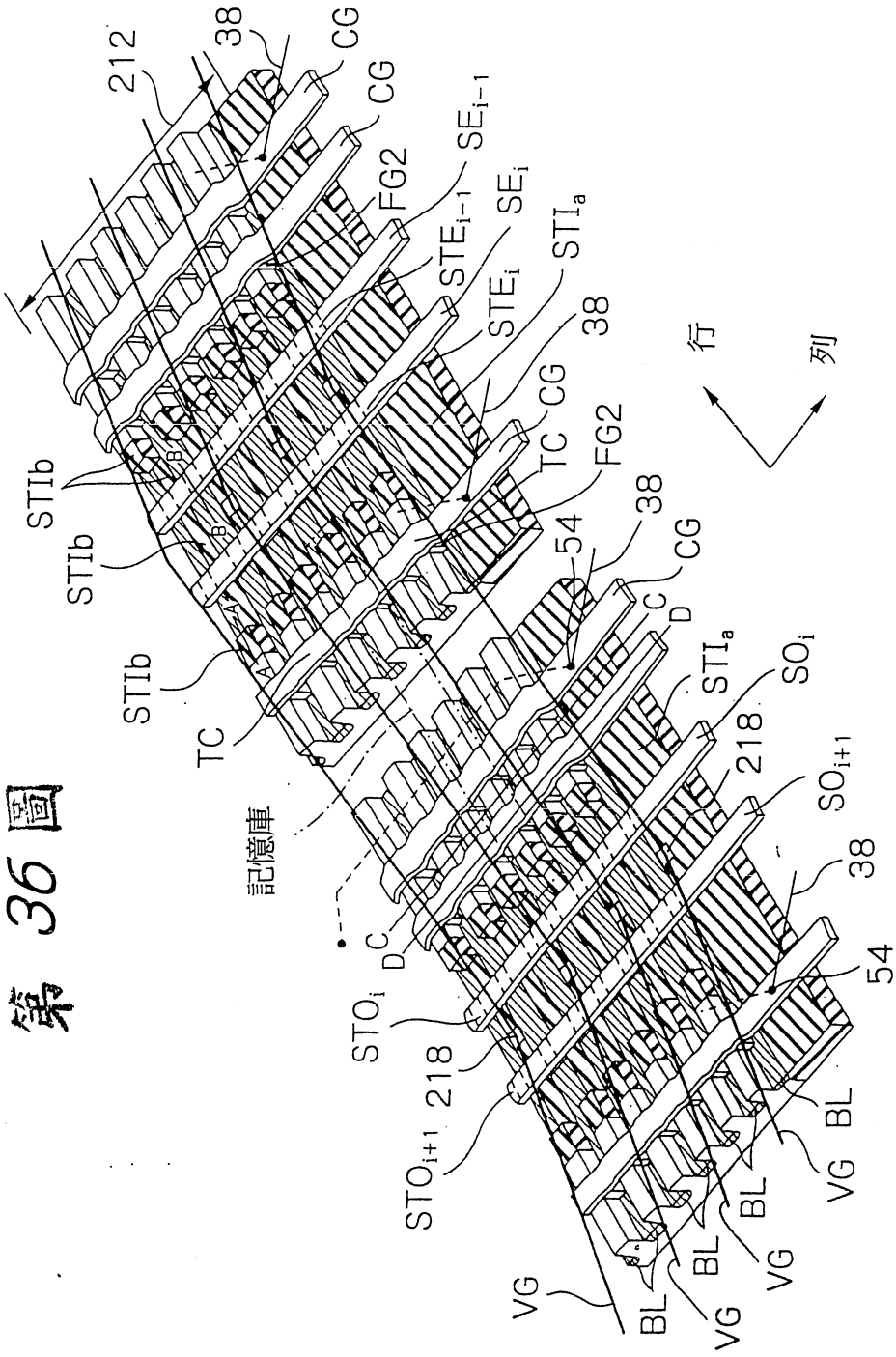
第 34 圖



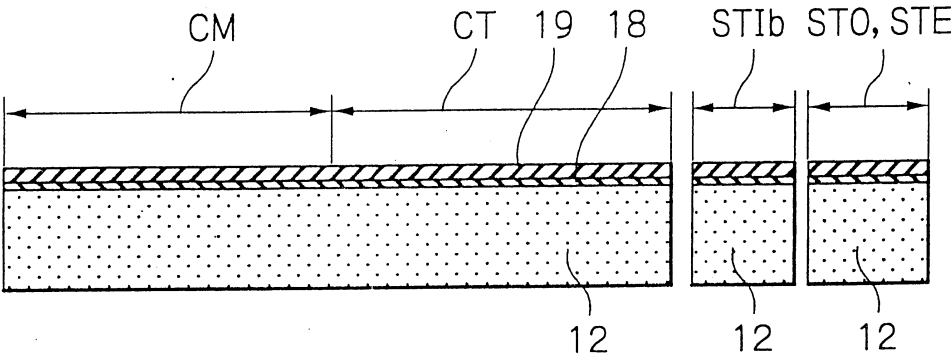
第 35 圖



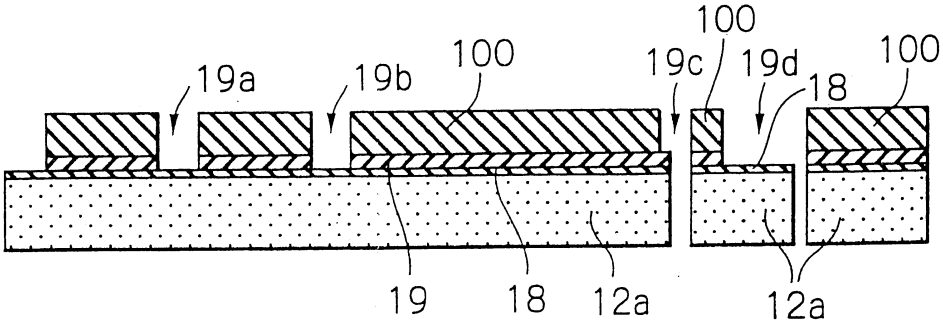
第 36 圖



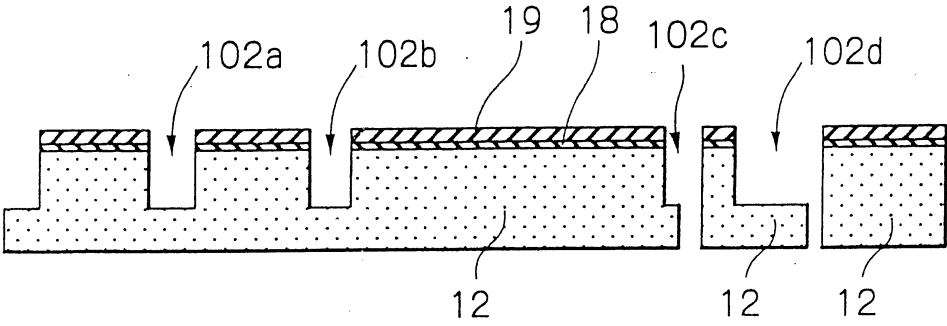
第 38A圖



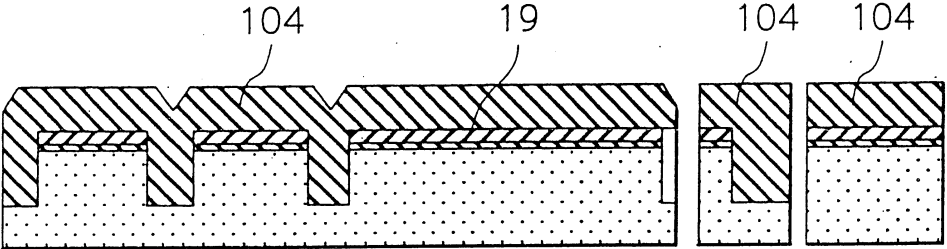
第 38B圖



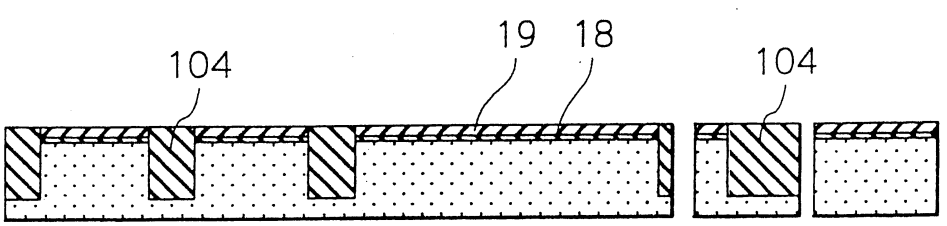
第 39A圖



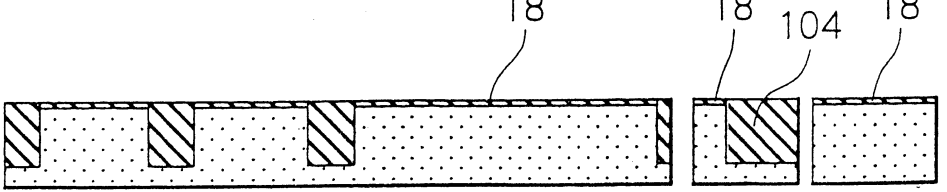
第 39B圖



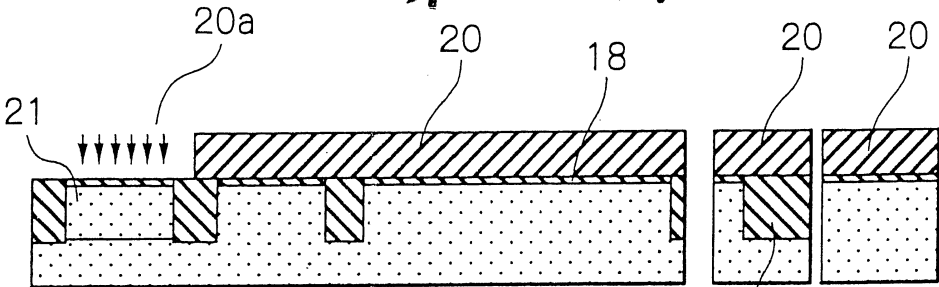
第 40A圖



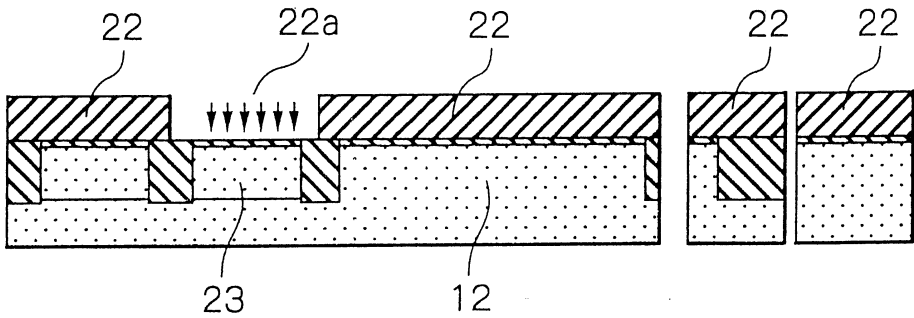
第 40B圖



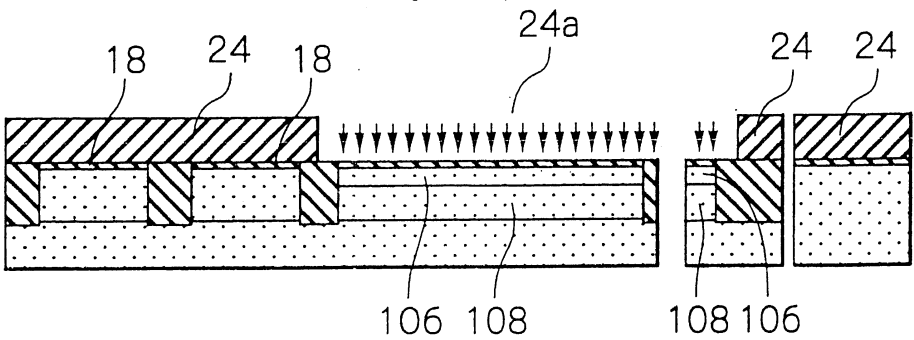
第 41A 圖



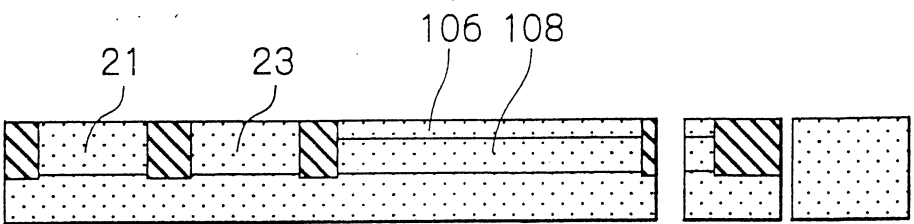
第 41B 圖



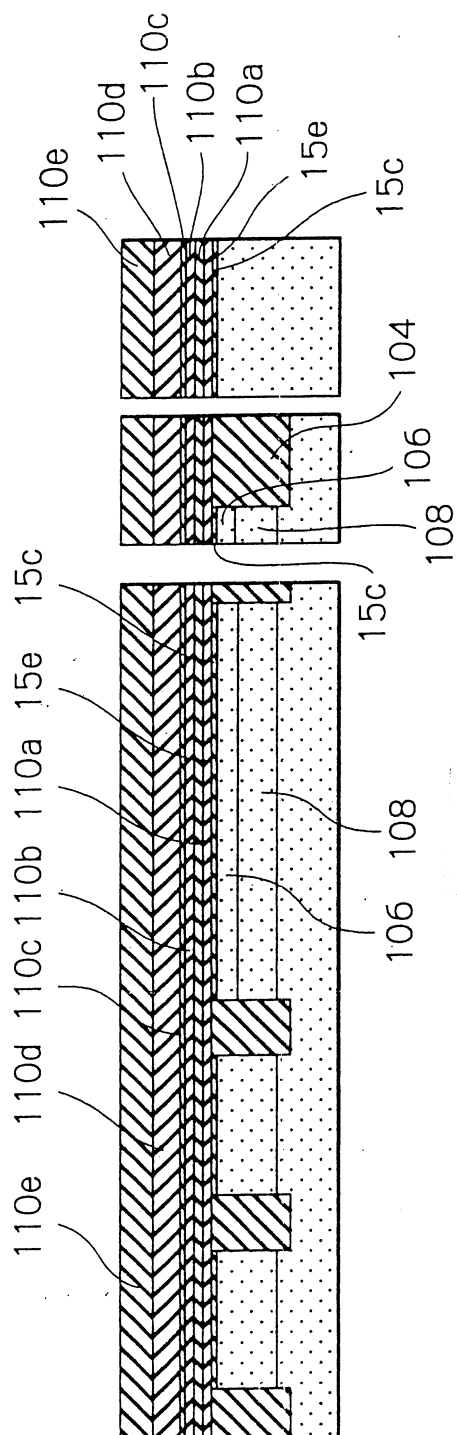
第 42A 圖



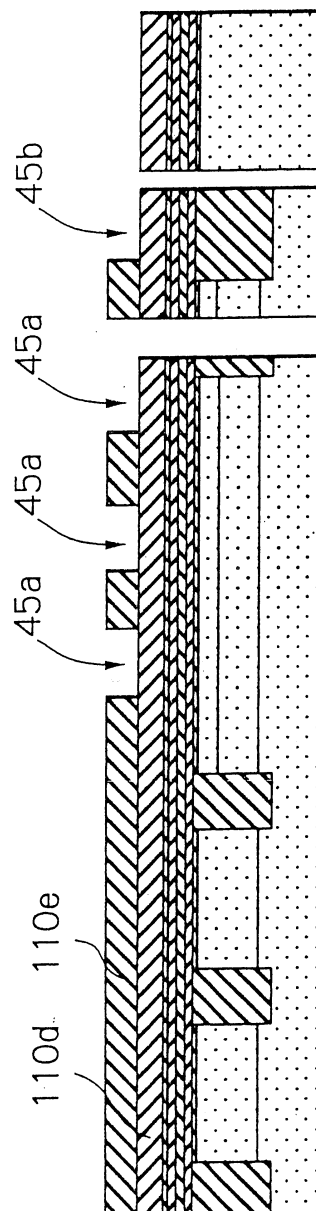
第 42B 圖



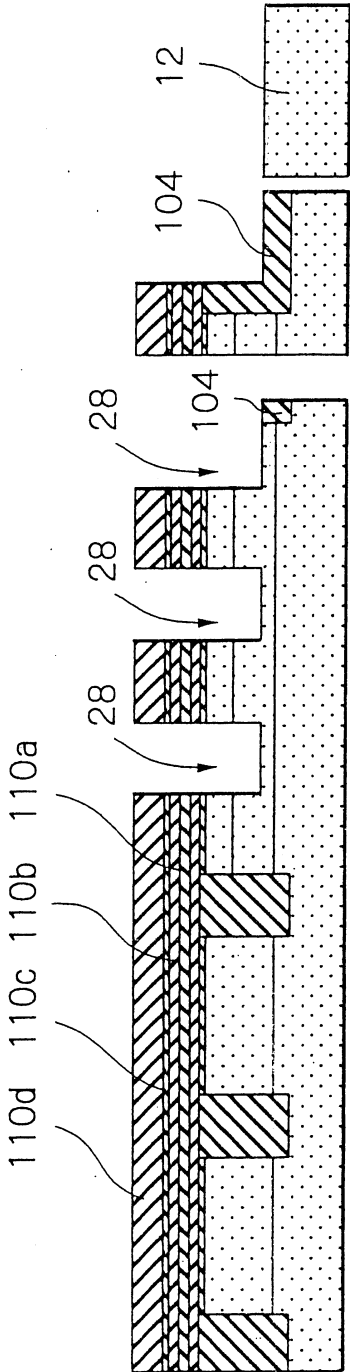
第 43A 圖



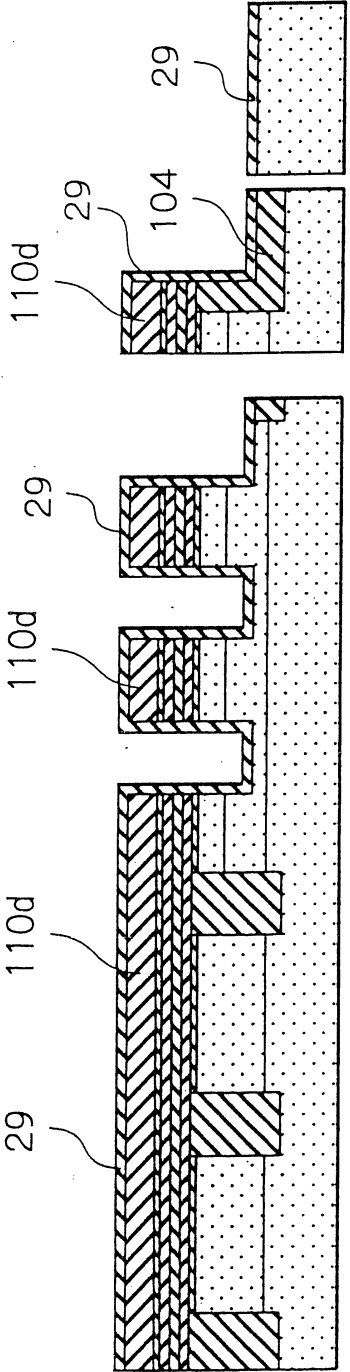
第 43B 圖



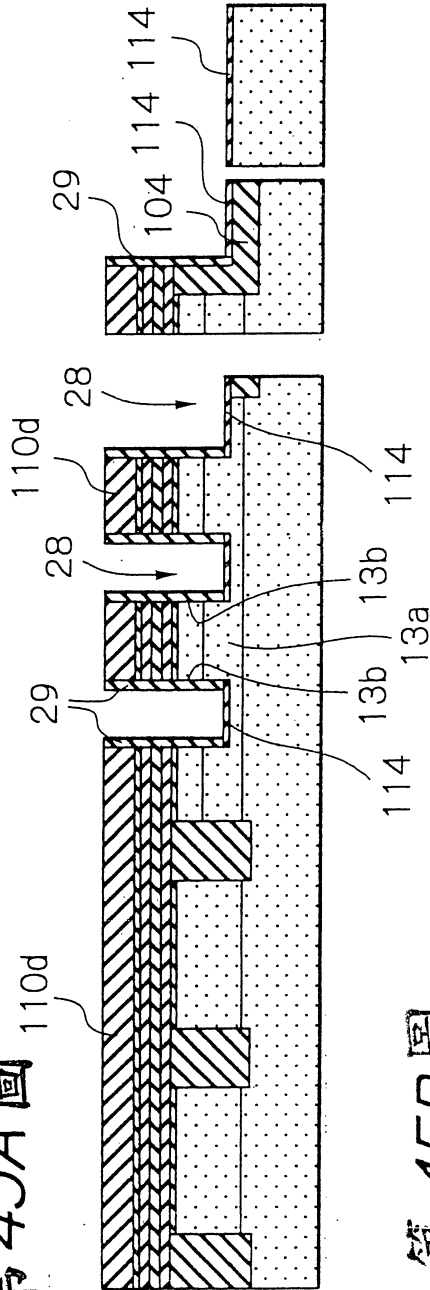
第 44A 圖



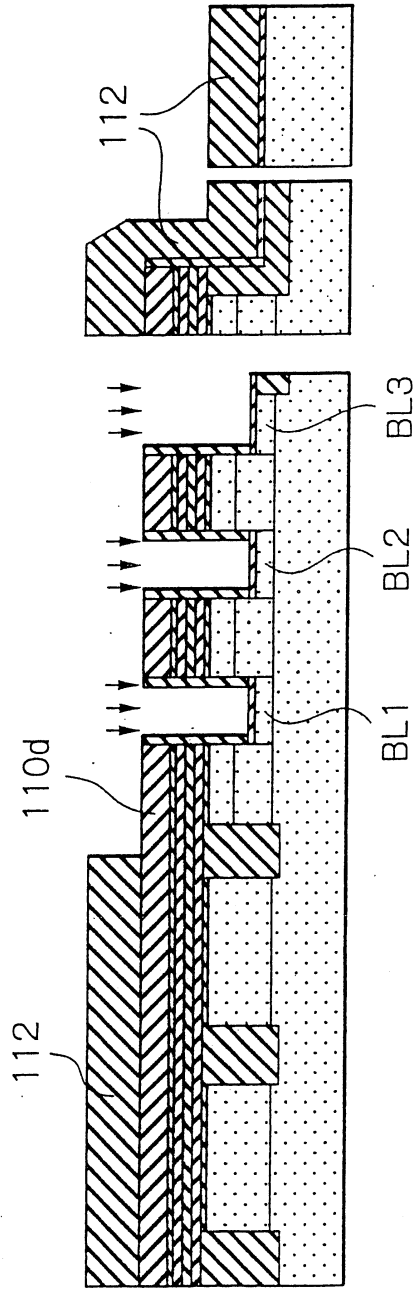
第 44B 圖

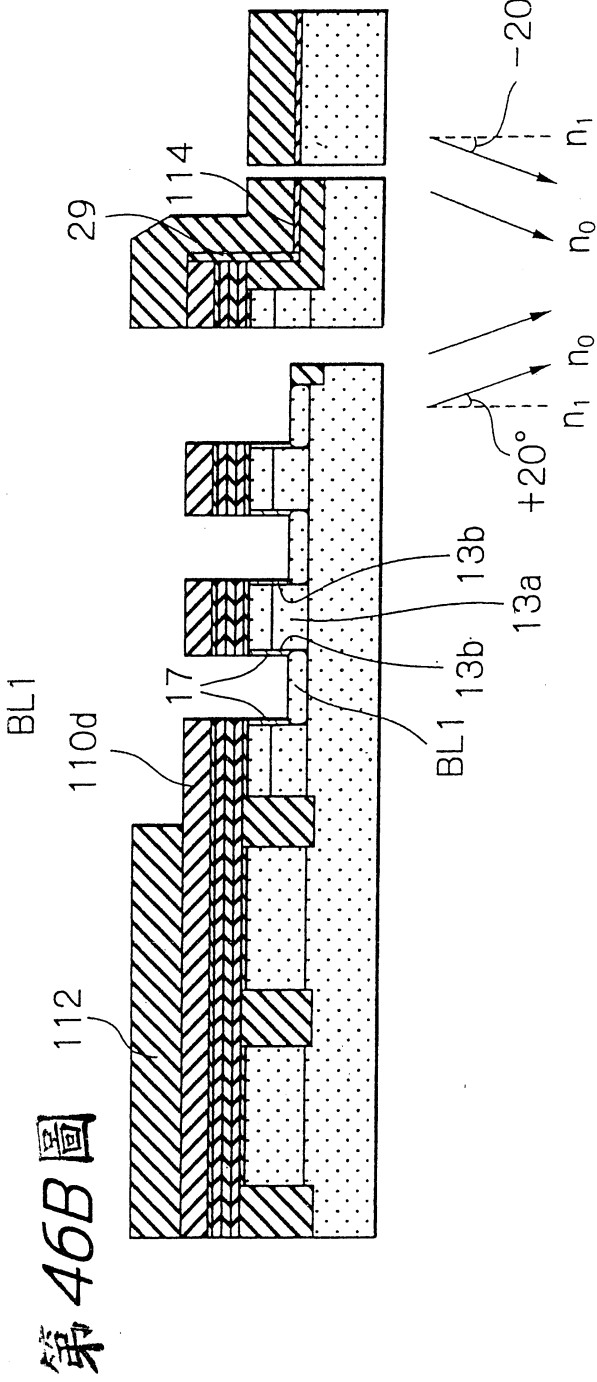
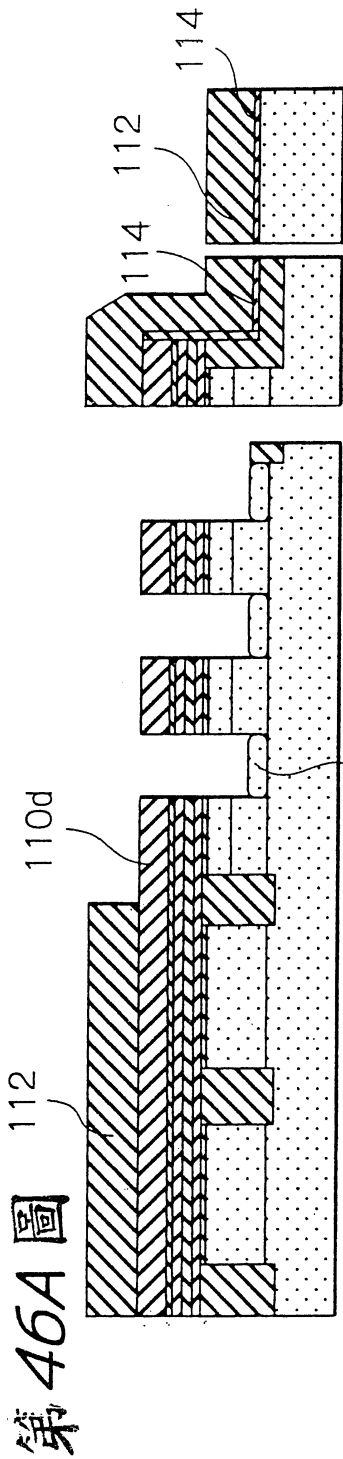


第45A圖

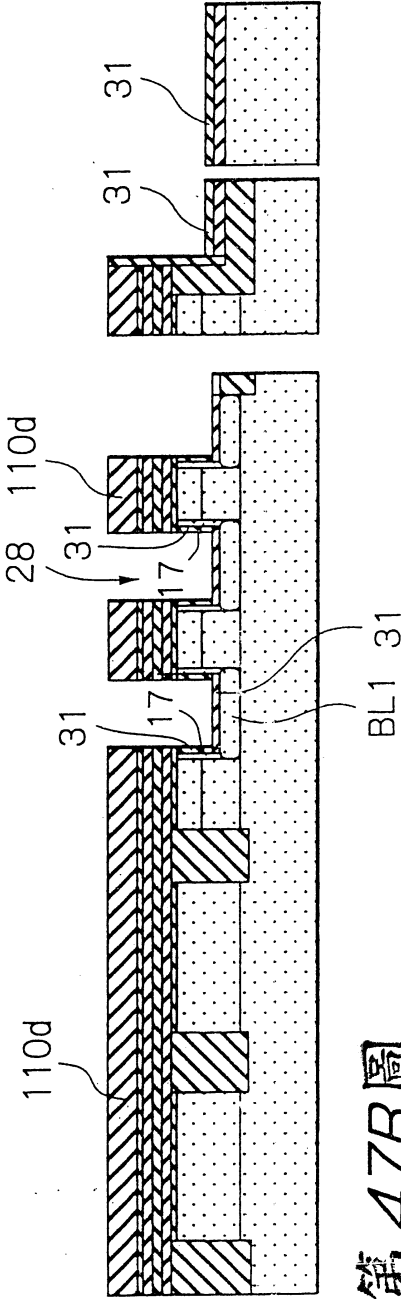


第45B圖

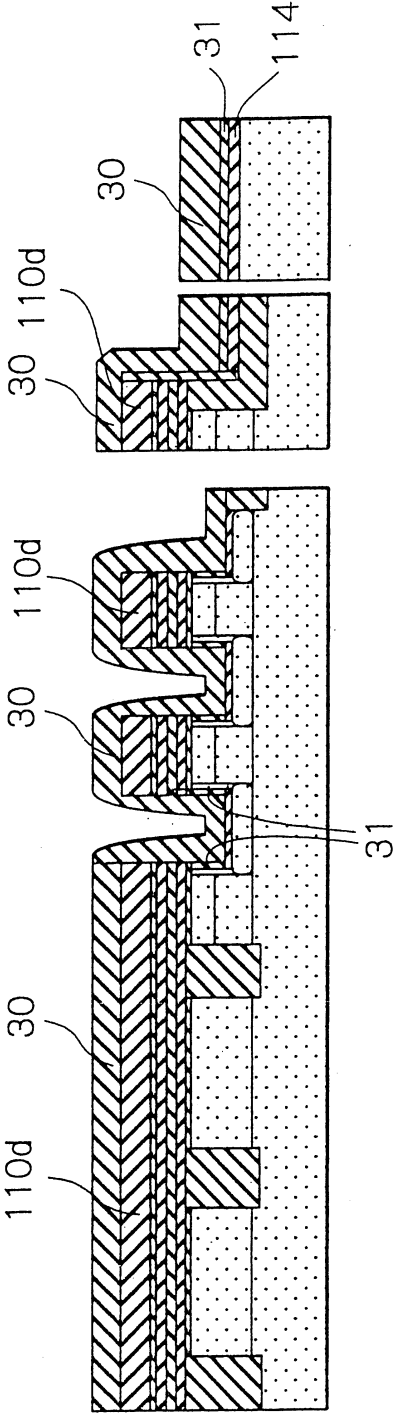




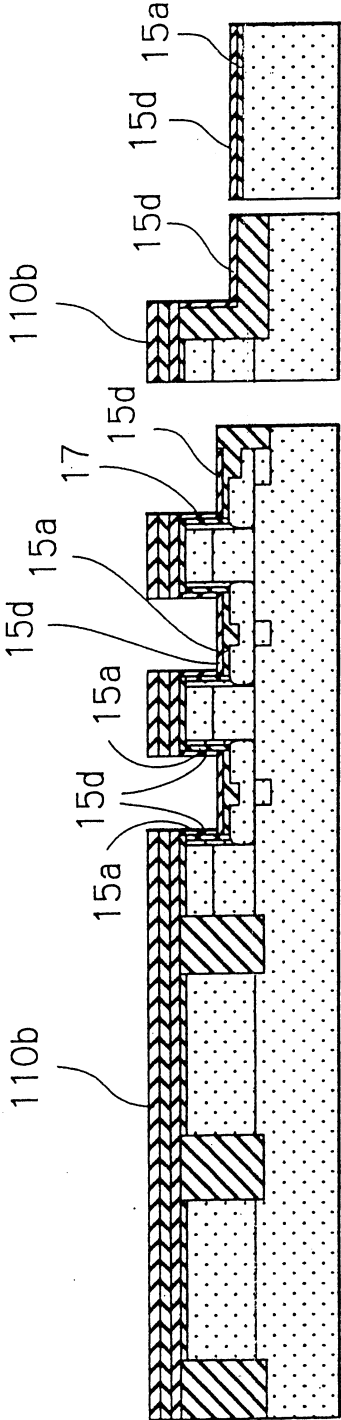
第 47A 圖



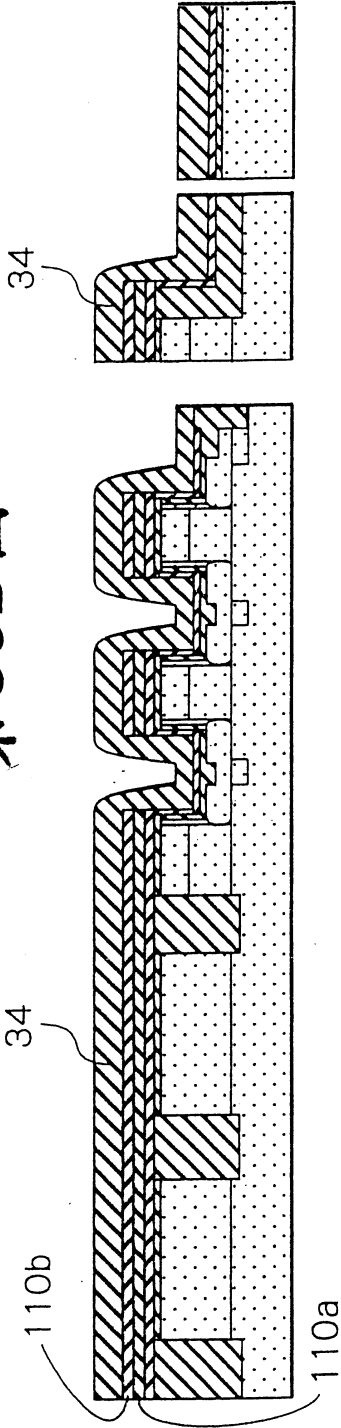
第 47B 圖



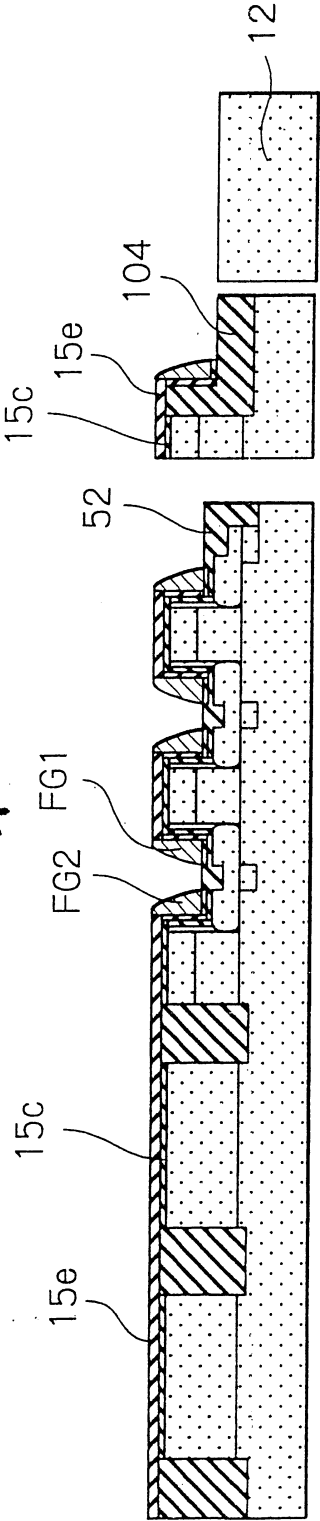
第 50A 圖



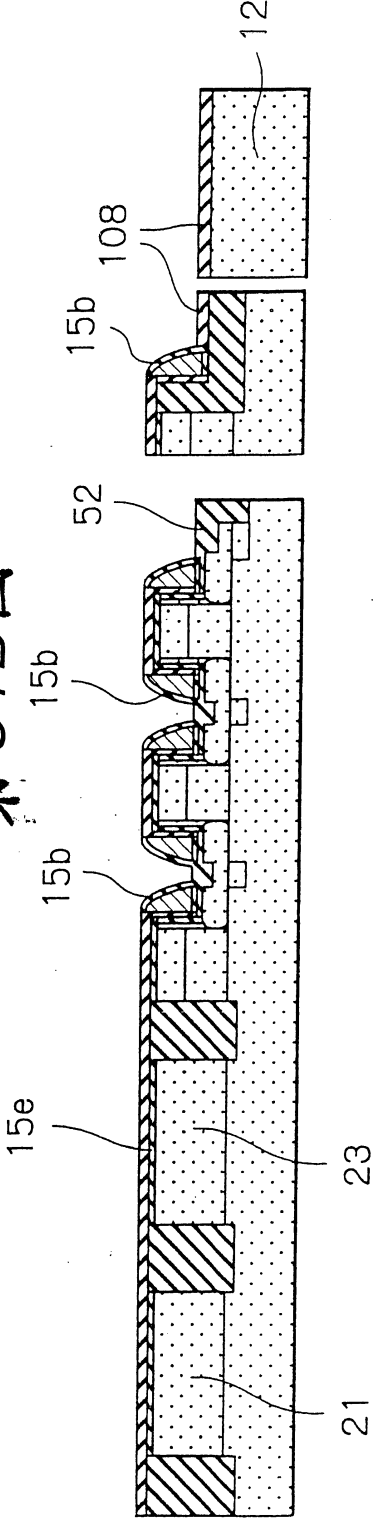
第 50B 圖



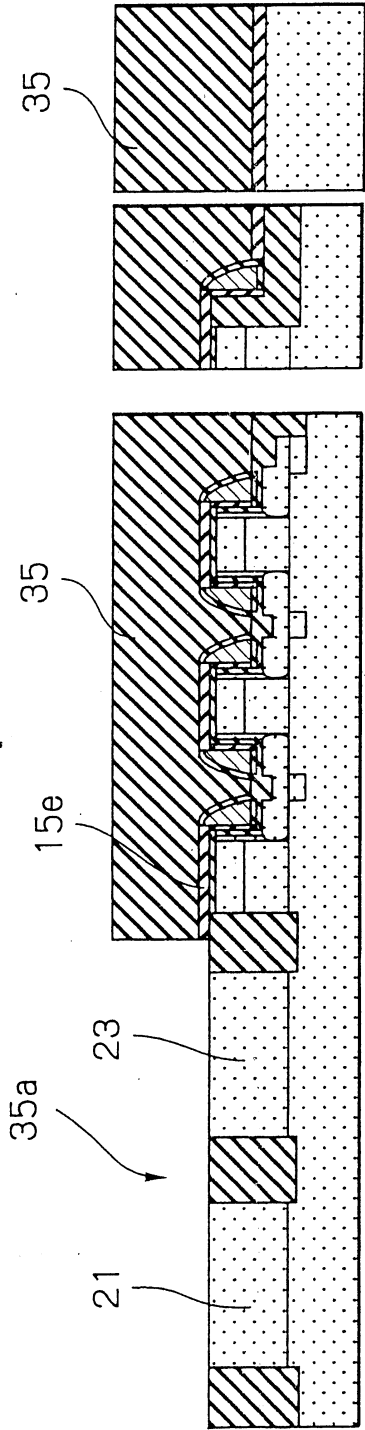
第 51A 圖



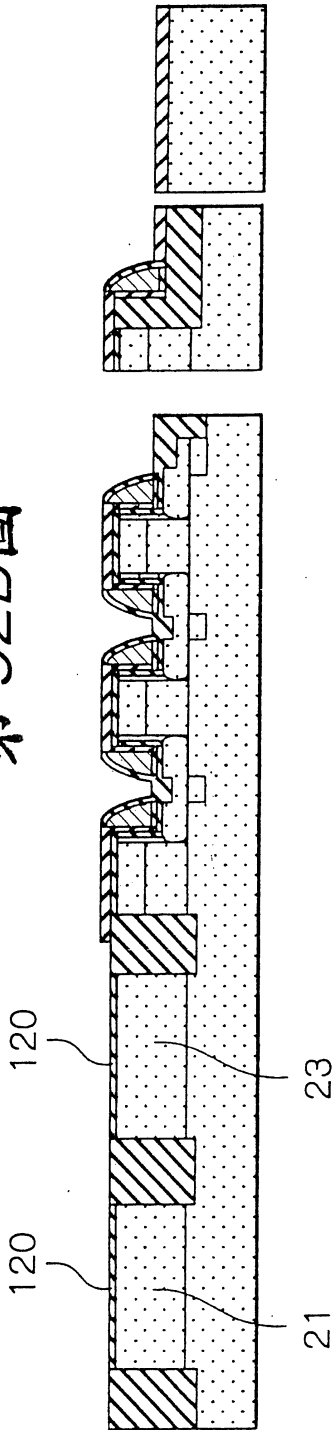
第 51B 圖



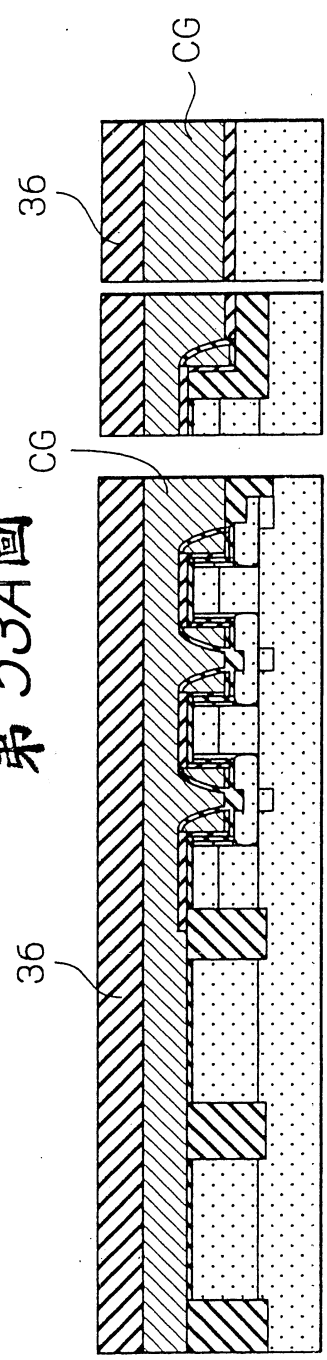
第 52A 圖



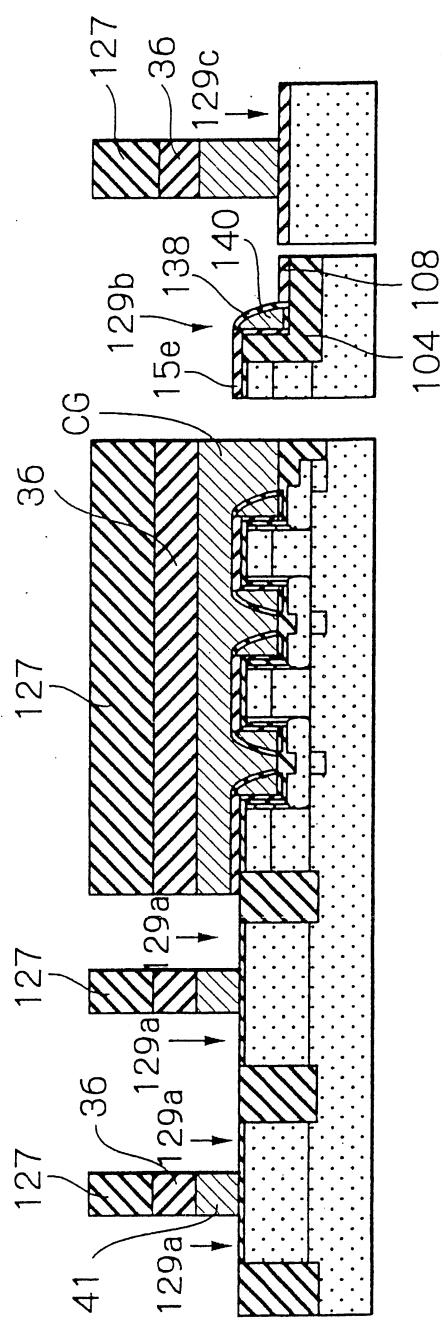
第 52B 圖



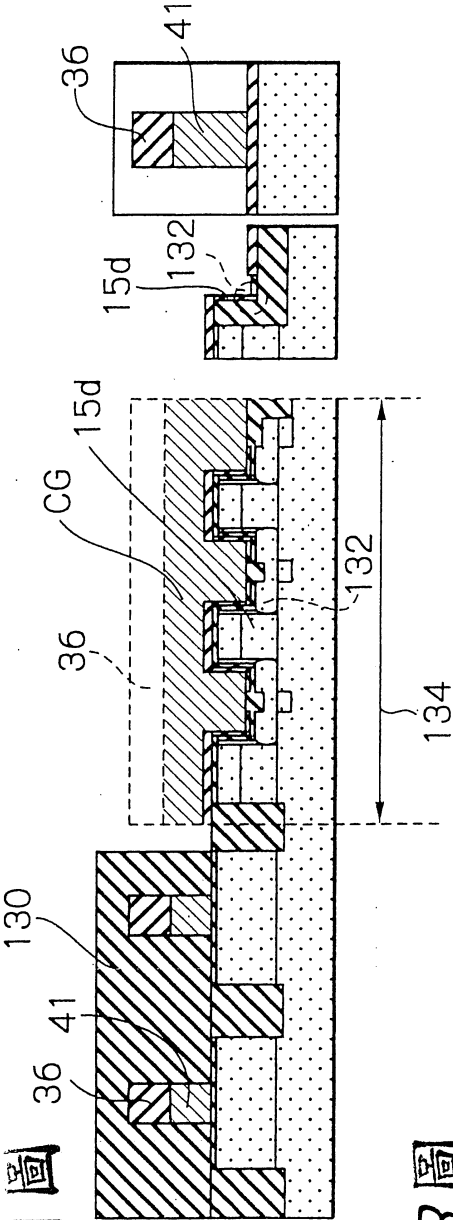
第 53A 圖



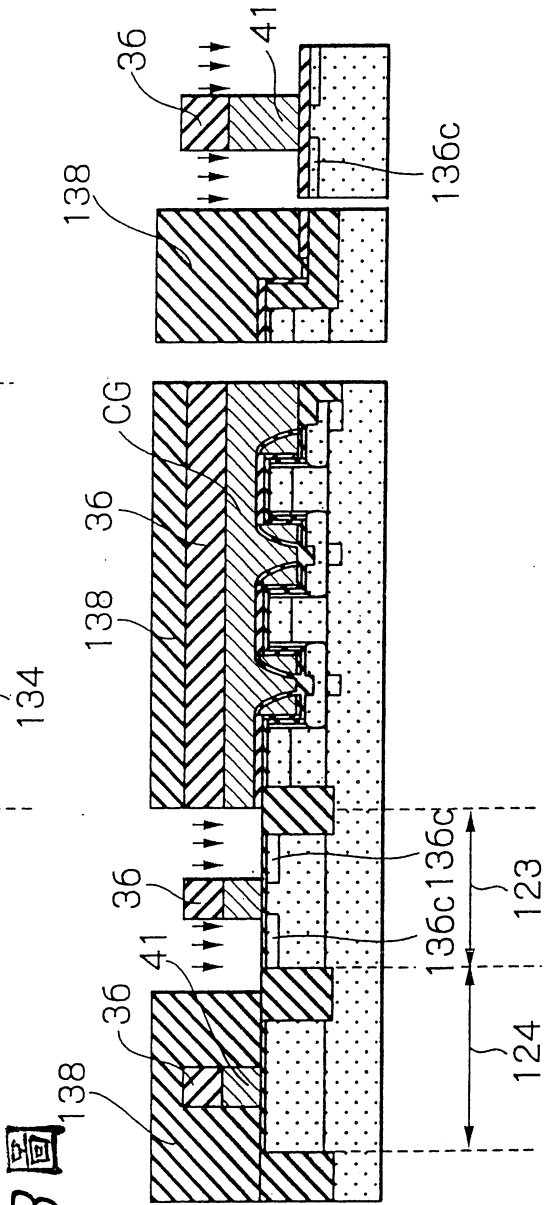
第 53B 圖



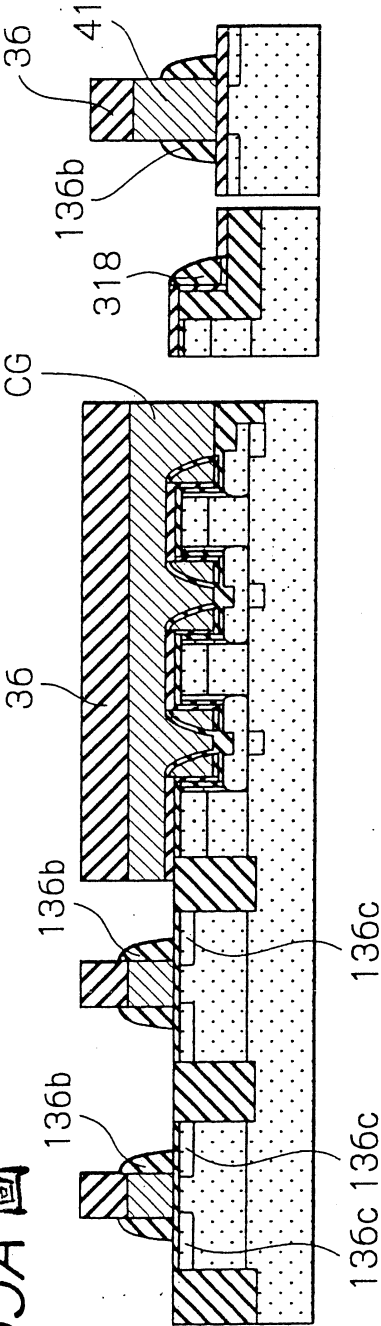
第54A圖



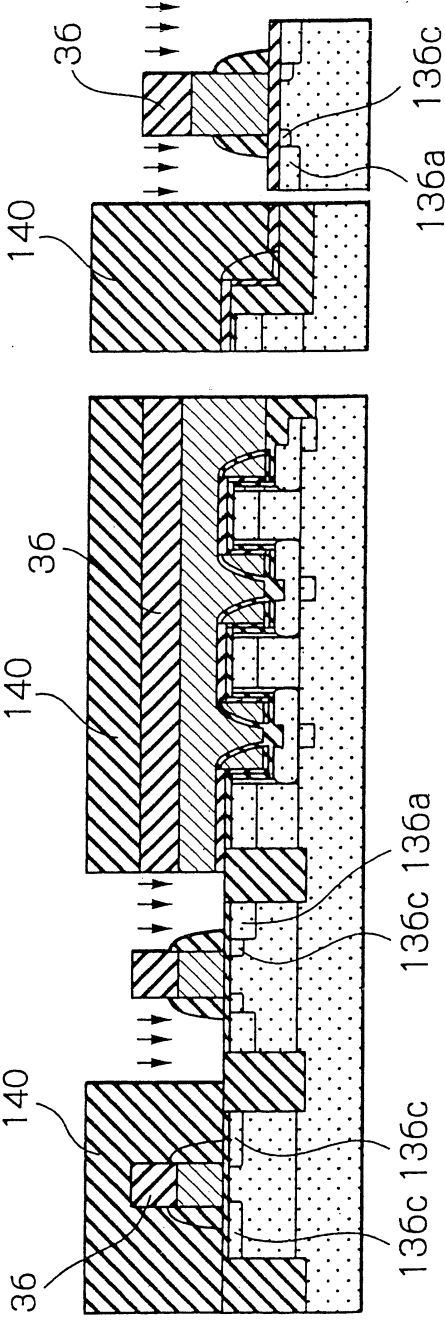
第54B圖



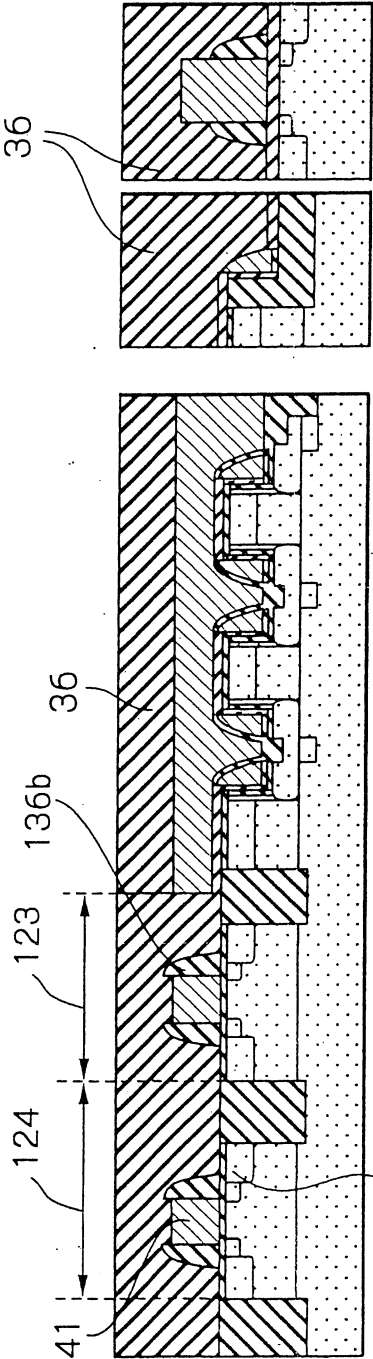
第55A圖



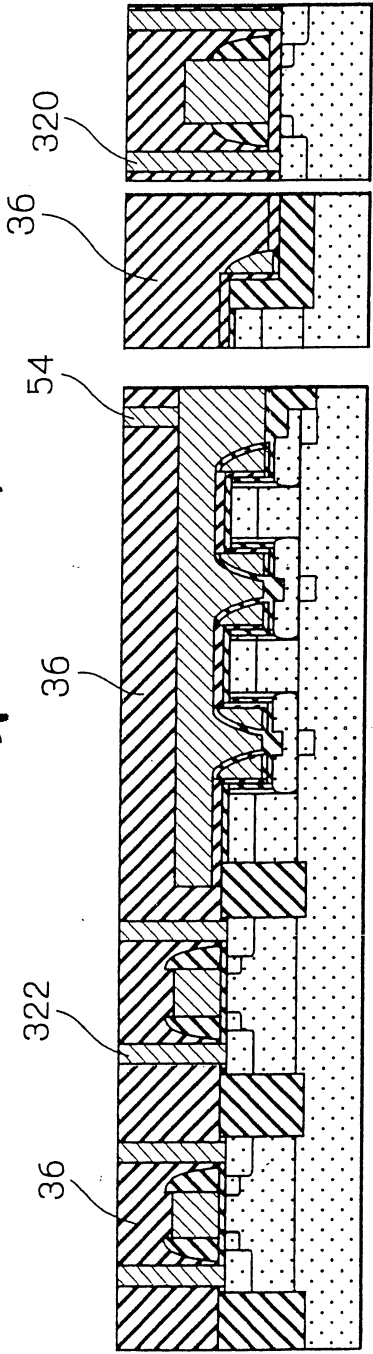
第55B圖



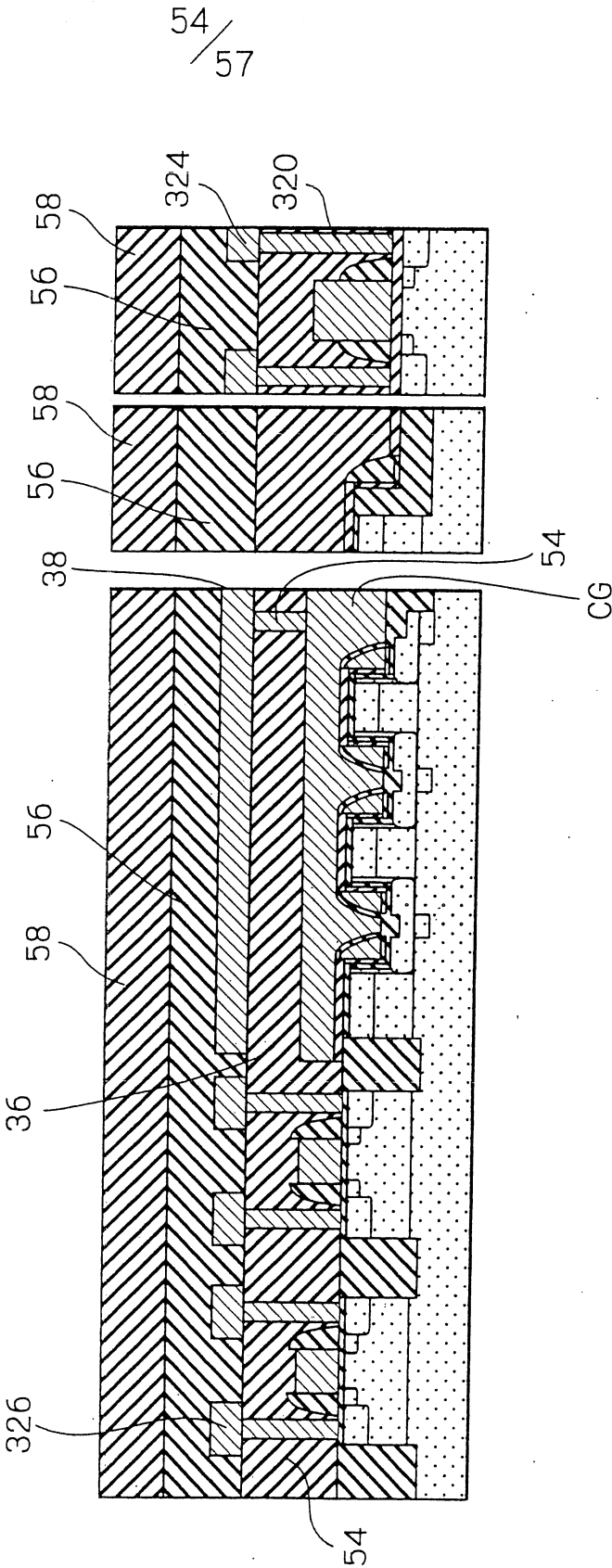
第56A圖



第56B圖

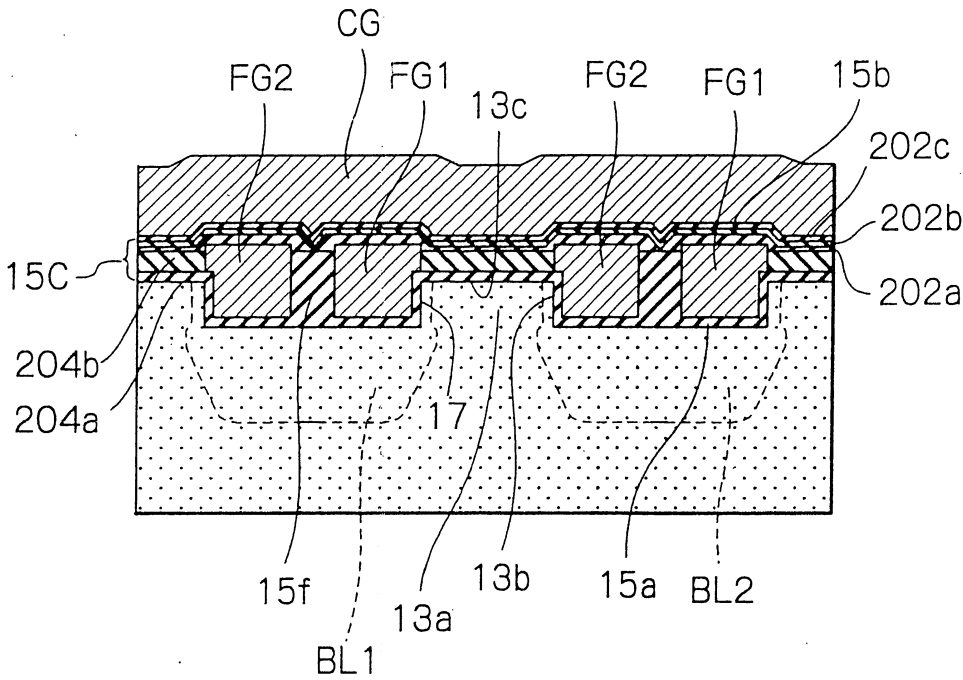


第 57 圖

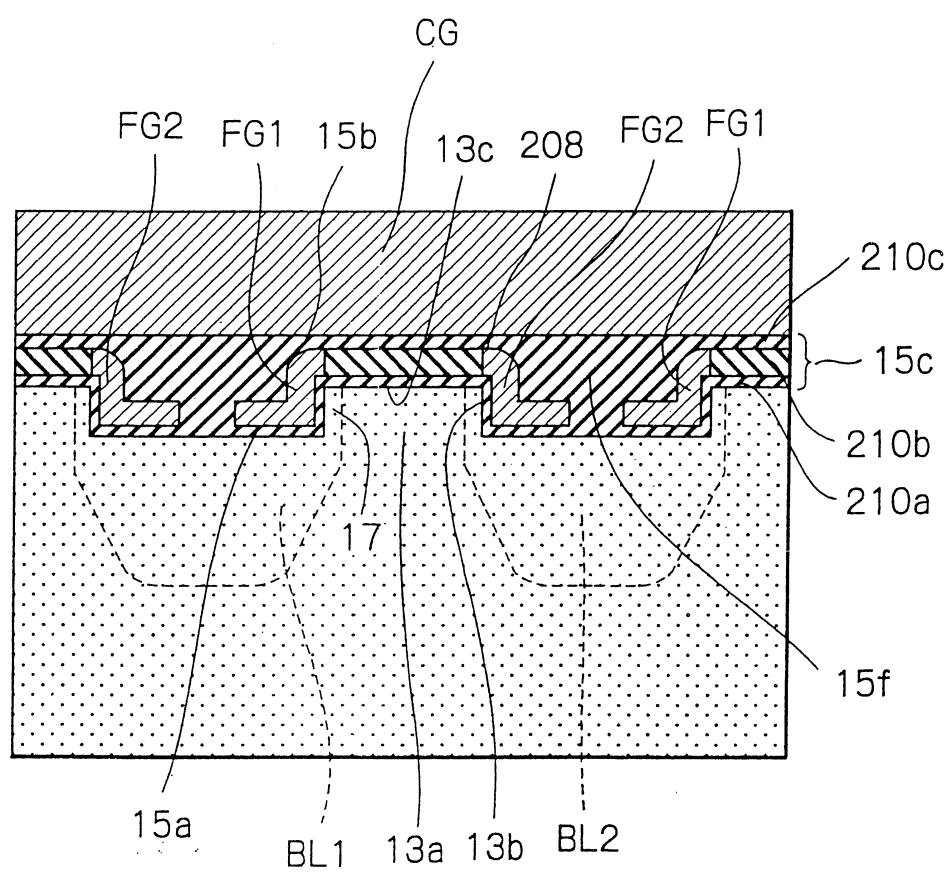


第 58 圖

200



206



第 60 圖

	CG		BL1, BL2		BL1, BL2	
	選擇	未選擇	選擇	未選擇	選擇	未選擇
寫入	2.5V	0V	5V	開路	0V	開路
讀取	2.5V	0V	1.2V	開路	0V	開路
刪除	-8.5V	開路	8.5V	開路	8.5V	開路

第 61 圖

	CG		BL1, BL2		BL1, BL2	
	選擇	未選擇	選擇	未選擇	選擇	未選擇
寫入	2.5V	0V	5V	開路	0V	開路
讀取	2.5V	0V	1.2V	開路	0V	開路
刪除	6.5V	開路	-6.5V	開路	-6.5V	開路

柒、指定代表圖：

(一)本案指定代表圖為：第（ 1 ）圖。

(二)本代表圖之元件代表符號簡單說明：

12	基 底
13	P 型 井
13a	凸 部
13b	側 壁
13c	頂 表 面
15a	通 道 絕 緣 層
15b	多 晶 絕 緣 夾 層
15c	閘 極 絕 緣 層
17	N 型 區 域
234	選 擇 氧 化 層
330	通 道 區
CG	控 制 閘
BL1,BL2	位 元 線
FG1、FG2	浮 閘

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無