

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 25 年 10 月 10 日 (2013.10.10)

【公表番号】特表 2013-524486 (P2013-524486A)

【公表日】平成 25 年 6 月 17 日 (2013.6.17)

【年通号数】公開・登録公報 2013-031

【出願番号】特願 2013-501282 (P2013-501282)

【国際特許分類】

H 0 1 L 25/065 (2006.01)

H 0 1 L 25/07 (2006.01)

H 0 1 L 25/18 (2006.01)

H 0 1 L 23/522 (2006.01)

H 0 1 L 21/768 (2006.01)

H 0 1 L 21/3205 (2006.01)

H 0 1 L 25/04 (2006.01)

H 0 1 L 25/00 (2006.01)

【F I】

H 0 1 L 25/08 Z

H 0 1 L 21/88 J

H 0 1 L 25/04 Z

H 0 1 L 25/00 A

【手続補正書】

【提出日】平成 25 年 8 月 5 日 (2013.8.5)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

半導体チップの多チップ・アセンブリを形成する方法であって、

半導体基板 (101) 上の第 1 のはんだパッド (192) のアレイに接合する第 1 のはんだボール (250) のアレイを介して、前記半導体基板 (101) を暫定基板 (901) に接合することによって、積層基板アセンブリを形成することと、

前記積層基板アセンブリをダイシングして複数の積層暫定構造を形成することであって、前記複数の積層暫定構造の各々が、前記半導体基板 (101) の部分である第 1 の半導体チップ (100) および前記暫定基板 (901) の部分であるハンドル部分 (900) を含むことと、

前記複数の積層暫定構造間で積層暫定構造に第 2 の半導体チップ (200) を接合することであって、前記積層暫定構造における前記第 1 の半導体チップ (100) 上に位置する第 2 のはんだパッド (142) のアレイおよび前記第 2 の半導体チップ (200) 上に位置する第 3 のはんだパッド (242) のアレイに第 2 のはんだボール (150) のアレイを接合することと、

前記積層暫定構造から前記ハンドル部分 (900) を取り外して積層半導体チップ構造 (400) を形成することと、

前記積層半導体チップ構造 (400) を含む少なくとも 1 つの積層半導体チップ構造をパッケージング基板 (300) に接合することによって半導体チップの多チップ・アセンブリを形成することと、を含む方法。

【請求項 2】

前記積層半導体チップ構造(400)が、上方から下方に、前記第2の半導体チップ(200)、前記第3のはんだパッド(242)のアレイ、前記第2のはんだボール(150)のアレイ、前記第2のはんだパッド(142)のアレイ、第1の半導体チップ(100)、前記第1のはんだパッド(192)のアレイの部分、および前記第1のはんだボール(250)のアレイの部分を含む、請求項1に記載の方法。

【請求項 3】

前記積層半導体チップ構造(400)が、前記第1のはんだボール(250)の前記アレイの部分を通じて前記パッケージング基板(300)に接合される、請求項2に記載の方法。

【請求項 4】

前記パッケージング基板(300)の表面上にパッケージ側接合パッド(292)のアレイを形成することを更に含み、

前記積層半導体チップ構造(400)が、前記パッケージ側接合パッド(292)のアレイおよび前記積層半導体チップ構造(400)における前記第1の半導体チップ(100)上の前記第1のはんだパッド(192)のアレイの部分に接合する前記第1のはんだボール(250)のアレイの部分を通じて、前記パッケージング基板(300)に接合される、請求項3に記載の方法。

【請求項 5】

前記パッケージング基板(300)に別の積層半導体チップ構造を接合することを更に含み、

前記積層半導体チップ構造(400)が、上方から下方に、前記第2の半導体チップ(200)、前記第3のはんだパッド(242)のアレイ、前記第2のはんだボール(150)のアレイ、前記第2のはんだパッド(142)のアレイ、前記第1の半導体チップ(100)、前記第1のはんだパッド(192)のアレイの部分、および前記第1のはんだボール(250)のアレイの部分を含み、

前記別の積層半導体チップ構造が、上方から下方に、別の第2の半導体チップ、別の第3のはんだパッドのアレイ、別の第2のはんだボールのアレイ、別の第2のはんだパッドのアレイ、別の第1の半導体チップ、前記第1のはんだパッドのアレイの別の部分、および前記第1のはんだボールのアレイの別の部分を含む、請求項3に記載の方法。

【請求項 6】

前記半導体基板(101)が金属相互接続構造層および半導体層(110)の積層を含み、前記第1のはんだパッド(192)のアレイが前記金属相互接続構造層の外面上に直接形成されている、請求項1に記載の方法。

【請求項 7】

前記暫定基板(901)が前記半導体基板(101)に接合されている間であって前記ダイシングの前に前記半導体基板(101)を薄くすることを更に含む、請求項1に記載の方法。

【請求項 8】

前記第2のはんだパッド(142)のアレイが、前記薄くすることの後であって前記ダイシングの前に、薄くした半導体層の表面上に形成される、請求項7に記載の方法。

【請求項 9】

前記暫定基板(901)に対する前記半導体基板(101)の前記接合の前に、前記半導体基板(101)の半導体層において導電性スタッド(111)のアレイを形成することを更に含み、

前記導電性スタッド(111)の前記アレイが、少なくとも前記半導体層(110)と金属相互接続構造層との間の界面から前記半導体層(110)内のある深さまで延在する、請求項1に記載の方法。

【請求項 10】

前記暫定基板(901)が前記半導体基板(101)に接合されている間であって前記

ダイシングの前に前記半導体基板（１０１）を薄くすることを更に含み、

前記導電性スタッド（１１１）の前記アレイが、前記薄くすることの後に少なくとも前記界面から前記半導体層（１１０）の露出面まで延在する基板貫通バイア（ＴＳＶ）（１１２）のアレイを構成する、請求項９に記載の方法。

【請求項１１】

前記第２のはんだパッド（１４２）の前記アレイが、前記薄くすることの後に前記半導体層（１１０）の前記露出面上に直接形成される、請求項１０に記載の方法。

【請求項１２】

前記半導体基板（１０１）が第１の半導体層（１１０）および第１の金属相互接続構造層の積層を含み、

前記第２の半導体チップ（２００）が第２の半導体層（２１０）および第２の金属相互接続層の積層を含み、

前記第１のはんだパッド（１９２）の前記アレイが前記第１の金属相互接続構造層の上に直接形成され、

前記第３のはんだパッド（２４２）の前記アレイが前記第２の金属相互接続構造層の上に直接形成される、請求項１に記載の方法。

【請求項１３】

前記第２のはんだパッド（１４２）の前記アレイが、前記第１の半導体層（１１０）の表面上に直接形成され、前記第１の金属相互接続構造層に接触しない、請求項１２に記載の方法。

【請求項１４】

前記第１の半導体層（１１０）が少なくとも１つの第１の半導体デバイス（１２０）を含み、

前記第２の半導体層（２１０）が少なくとも１つの第２の半導体デバイス（２２０）を含む、請求項１２に記載の方法。

【請求項１５】

前記暫定基板（９０１）が半導体デバイスを含まない、請求項１４に記載の方法。

【請求項１６】

前記積層暫定構造内の前記第１の半導体チップ（１００）およびハンドル部分が、相互に一致する水平方向の断面形状を有する、請求項１に記載の方法。

【請求項１７】

前記第１のはんだボール（２５０）の前記アレイが第１のはんだ材料から成り、

前記第２のはんだボール（１５０）の前記アレイが第２のはんだ材料から成り、

前記第１のはんだ材料が前記第２のはんだ材料よりもリフロー温度が低い、請求項１に記載の方法。

【請求項１８】

前記暫定基板（９０１）上にはんだパッド（９９２）のアレイを形成することを更に含み、

前記第１のはんだボール（２５０）のアレイにおける各第１のはんだボールについて、前記はんだパッド（９９２）のアレイのはんだパッドとの接触面積が、前記第１のはんだパッド（１９２）のアレイの第１のはんだパッドとの接触面積よりも小さい、請求項１に記載の方法。

【請求項１９】

前記第１の半導体チップ（１００）と前記第２の半導体チップ（２００）との間に第１の誘電アンダーフィル層（１５２）を形成することと、

前記第１の半導体チップ（１００）と前記パッケージング基板（３００）との間に第２の誘電アンダーフィル層（２５２）を形成することと、を更に含む、請求項１に記載の方法。

【請求項２０】

前記パッケージング基板（３００）がセラミック・パッケージング基板またはラミネー

ト・パッケージング基板であり、

前記第 1 の半導体チップ (1 0 0) がプロセッサ・チップであり、

前記第 2 の半導体チップ (2 0 0) がスタティック・ランダム・アクセス・メモリ (S R A M) ・チップ、ダイナミック・ランダム・アクセス・メモリ (D R A M) ・チップ、または不揮発性メモリ・チップである、請求項 1 に記載の方法。