DEUTSCHE DEMOKRATISCHE REPUBLIK

PATENTSCHRIFT

(12) **Wirtschaftspatent**

(19) **DD** (11) **240 628 A1**

Erteilt gemäß § 17 Absatz 1 Patentgesetz

4(51) **H 01 L 21/98**
H 01 L 21/52
H 01 L 23/08

AMT FÜR ERFINDUNGS- UND PATENTWESEN

In der vom Anmelder eingereichten Fassung veröffentlicht

(21)	WP H 01 L / 280 223 4	(22)	02.09.85	(44)	05.11.86

(71) VEB ZFT Mikroelektronik, 8080 Dresden, Karl-Marx-Straße, DD
(72) Alius, Eberhard, Dipl.-Ing.; Woldt, Gregor, Dipl.-Ing., DD

(54) Halbleiteranordnung und Verfahren zu ihrer Herstellung

(57) Die Erfindung betrifft eine Halbleiteranordnung und ein Herstellungsverfahren dafür, insbesondere für VHSIC- und VLSI-Schaltkreise. Die erfindungsgemäße Halbleiteranordnung soll bei kleinstmöglichen Abmessungen eine Vielzahl von elektrischen Anschlüssen besitzen, eine hohe Arbeitsgeschwindigkeit des Bauelements garantieren und ohne Metallisierung der keramischen Gehäuseteile eine gute Wärmeableitung gestatten. Erfindungsgemäß wird ein Halbleiterchip (1) flußmittelfrei mit einem aktiven Metallot (2) im Gesenk (7) einer unmetallisierten Keramikunterschale (6) rückseitenkontaktiert, nach dem Beschichten der Verbindungsflächen von Keramikober- und -unterschale (5; 6) mit Kleber (8) die Anschlußflächen des Halbleiterchips (1) mit den Anschlußfingern (4) des Trägerfilms (3) durch ein herkömmliches Bondverfahren elektrisch leitend verbunden und abschließend durch Verkleben von Keramikober- und unterschale (5; 6) das Bauelement hermetisch dicht verschlossen. Fig. 2

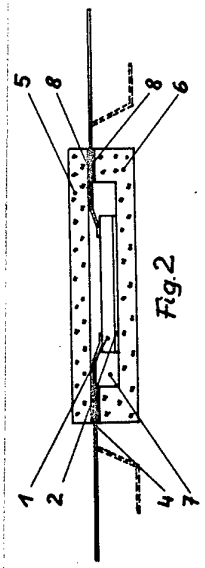


Fig.2

ISSN 0433-6461

4 Seiten

Erfindungsanspruch:

1. Halbleiteranordnung, insbesondere für VHSIC- und VLSI-Schaltkreise, bestehend aus einer Keramikunterschale mit Gesenk, einem darin befestigten Halbleiterchip, einem mit diesem kontaktierten Trägerfilm sowie einer mit der Keramikunterschale hermetisch dicht verschlossenen Keramikoberschale, **gekennzeichnet dadurch,** daß das Halbleiterchip (1) im Gesenk (7) der unmetallisierten Keramikunterschale (6) mittels eines aktiven Metallotes (2) befestigt ist.
2. Verfahren zur Herstellung einer Halbleiteranordnung gemäß Punkt 1, **gekennzeichnet dadurch,** daß auf das Gesenk (7) der unmetallisierten Keramikunterschale (6) das aktive Metallot (2) aufgebracht wird, daß das Halbleiterchip (1) flußmittelfrei mit dem aktiven Metallot (2) in das Gesenk (7) gebondet wird, daß die Verbindungsfläche der Keramikunterschale (6) und der Keramikoberschale (5) mit einem Kleber (8) beschichtet wird, daß das Halbleiterchip (1) mit den Anschlußfingern (4) des Trägerfilms (3) kontaktiert wird und daß die Keramikober- und -unterschalen (5; 6) hermetisch dicht verschlossen werden.

Hierzu 1 Seite Zeichnung

Anwendungsgebiet

Die Erfindung bezieht sich auf die Montage von Halbleiteranordnungen, insbesondere für VHSIC- und VLSI-Schaltkreise, und ermöglicht die durch Reduzierung der Strukturgrößen auf dem Halbleiterchip erzielten elektrischen Eigenschaften ohne nennenswerte Verluste auf die nächste Verdrahtungsträgerebene zu übertragen sowie den Platzbedarf des Chipträgers wesentlich zu minimieren.

Charakteristik der bekannten technischen Lösungen

Die Minimierung der Strukturgrößen auf dem Halbleiterchip durch Zyklus-1-Prozesse erfordert die Minimierung von Halbleiterträgern und Gehäusen, um die durch die Strukturverkleinerung erzielten elektrischen Eigenschaften nicht zu eliminieren. So werden durch die minimierten Strukturgrößen und hochgradige Integration hohe Schaltgeschwindigkeiten erzielt. Bei diesen hohen Schaltgeschwindigkeiten spielen in zunehmendem Maße Anschlußkapazitäten, Induktivitäten und Widerstände der Chipanschlüsse sowie die Ableitung der durch die hohe Schaltgeschwindigkeit bedingten hohen Verlustwärme eine große Rolle. Bei Mikroprozessoren und Logikschaltkreisen ist bei den zu erwartenden Chipabmessungen von $\geq 10 \times 10\,mm^2$ auch eine Zunahme der Anschlüsse für Ein- und Ausgänge zu verzeichnen, die 100...200 Stück und mehr betragen können und zur Verringerung des Flächenanteiles auf der Chipoberfläche ebenfalls verkleinert und in geringerem Abstand angeordnet werden müssen. Die Montage solcher Chips in herkömmliche Gehäuse, z.B. DIL-Gehäuse mit 2,5 mm Anschlußraster oder Chipcarriers mit 1,0...1,25 mm Anschlußraster, mit den üblichen Drahtverbindungen vom Chip zu den Anschlüssen des Gehäuses eliminiert die Chipeigenschaften durch zu lange und ungünstig gestaltete Leitungswege und gestattet nicht, die Bauelementeabmessungen in der durch den Zyklus 1 erreichten Größenordnung für das Halbleiterchip chipträger- bzw. gehäuseseitig zu reduzieren.
International werden z.Z. Lösungen erarbeitet, die die Vorteile drahtkontaktloser Montagemethoden mit aufsetzbaren Chipträgern bzw. Gehäusen vereinen. So sind zur Montage von VHSIC/VLSI-Chips die Verfahren IBM-Flip-Chip-Technik und automatisches Bandbonden (TAB-Technik) prädestiniert. Während die Flip-Chip-Technik nur bei IBM Anwendung findet, hat das TAB aufgrund seiner Universität eine breitere Anwendung gefunden. So wurde von der Fa. NSC eine Anordnung gemäß GB-PS 2072423 bekannt, die in behügelte Kupferträgerfilme gebondete VHSIC/VLSI-Schaltkreise auf metallisierte einschichtige Keramikträger außenkontaktiert, wobei die Außenkontaktierung pro Anschluß simultan oder seriell zweifach erfolgt, die Außenanschlüsse des Trägerfilms zur Erzielung eines hermetisch dichten Gehäuses durch Glaslotverschluß mit einem Keramikdeckel vor dem Verschluß getrennt werden. Die eletrische Verbindung der inneren und äußeren Außenanschlüsse wird durch eine Metallisierungsschicht auf der Durchführungsebene der Keramikunterschale gewährleistet. Die Chiprückseitenkontaktierung erfolgt mittels Kleber, wobei bei Erzeugung eines elektrischen Rückseitenkontaktes die Chiprückseite vergoldet sein muß. Nachteilig ist bei dieser Anordnung, daß die Durchführungsebene der Keramikunterschale des Gehäuses eine Metallisierungsschicht erfordert, wobei die Werkstoffauswahl für die einzubrennende Metallschicht unter Berücksichtigung des Skineffektes wenig Freiheitsgrade gestattet sowie eine extrem glatte Oberfläche erfordert. Für die Montage von Leistungs-IS ist ebenfalls eine Metallisierung der Chipbondfläche auf der keramischen Unterlage erforderlich. Des weiteren ist die Chiprückseitenkontaktierung im Trägerfilm befindlicher IS technisch nicht oder nur mit sehr hohem Aufwand möglich, da mechanische Spannungen im Trägerfilm entstehen, die durch entsprechende Dehnglieder ausgeglichen werden müssen, und erfordert eine Rückseitenvergoldung des Chips.

Ziel der Erfindung

Ziel der Erfindung ist es, eine Halbleiteranordnung zu schaffen, die bei kleinstmöglichen Abmessungen eine Vielzahl von elektrischen Anschlüssen besitzt, eine hohe Arbeitsgeschwindigkeit des Bauelements garantiert, die Ableitung hoher Verlustwärme gestattet und für die elektrischen Verbindungen keine metallisierten keramischen Gehäuseteile erfordert.

Darlegung des Wesens der Erfindung

Der Erfindung liegt die Aufgabe zugrunde, ein VHSIC- oder VLSI-Chip gut wärmeleitend auf einem unmetallisierten Träger aus Keramik und mit einem Trägerfilm so zu verbinden, daß minimale Außenabmessungen bei einer maximalen Anschlußzahl im Anschlußraster von z.B. 500 µm erzielt werden und die Verlängerung der bandförmigen Anschlußleiter für das Chip die äußeren Gehäuseanschlüsse darstellt.

Erfindungsgemäß wird die Aufgabe dadurch gelöst, daß ein Halbleiterchip mit Hilfe eines aktiven Metallotes, z. B. AlGe mit 42...45 Ma.-% Ge oder AlGeAg mit ≠70 Ma.-% AlGe oder dotiertem AlGe in einem Gesenk einer unmetallisierten Keramikunterschale befestigt ist. Das Halbleiterchip ist mit den Anschlußfingern eines Trägerfilms kontaktiert. Die Keramikunterschale ist mit einer Keramikoberschale hermetisch dicht verschlossen.
Zur Durchführung des erfindungsgemäßen Herstellungsverfahrens wird ein Halbleiterchip mit Hilfe eines aktiven Metallotes, welches auf das Gesenk der unmetallisierten Keramikunterschale aufgebracht wird, in das Gesenk gebondet. Durch die Verwendung des aktiven Lotes ist eine gute Wärmeleitung auch ohne eine Rückseitenvergoldung des Chips und ohne Metallisierung der Keramikunterschale gewährleistet. Die Verbindungsflächen der Keramikunterschale und der Keramikoberschale werden mit einem Kleber beschichtet. Anschließend wird das Halbleiterchip durch ein herkömmliches Bondverfahren mit den Anschlußfingern eines entsprechenden Trägerfilms kontaktiert und die Keramikunter- und -oberschale durch Verkleben hermetisch dicht verbunden. Dabei kann die Anschlußkontaktierung des Halbleiterchips und der Gehäuseverschluß sowie die nachfolgende Lötfähigmachung bei Abarbeitung des Trägerfilms von Rolle zu Rolle oder in Form von Trägerstreifen erfolgen.
Dadurch, daß die Chiprückseitenkontaktierung in der Keramikunterschale vor dem Verbinden mit den Anschlußfingern des Trägerfilms vorgenommen wird, kann die erfindungsgemäße Halbleiteranordnung ohne entsprechende Dehnglieder in den Anschlußfingern zum Ausgleich mechanischer Spannungen hergestellt und damit gleichzeitig eine Erhöhung der maximalen Anschlußzahl erzielt werden.

Ausführungsbeispiel

Die Erfindung ist nachstehend an einem Ausführungsbeispiel anhand von zwei Zeichnungen näher erläutert.
In den zugehörigen Zeichnungen zeigen:

Fig. 1: in eine Keramikunterschale des Gehäuses rückseitenkontaktiertes Halbleiterchip und mit diesem kontaktierter Trägerfilm
Fig. 2: eine erfindungsgemäße Halbleiteranordnung im bestückungsfähigen Zustand.

Ein in das Gesenk 7 einer Keramikunterschale 6 rückseitenkontaktiertes Halbleiterchip 1 ist durch ein herkömmliches Bondverfahren mit den Anschlußfingern 4 eines 3schichtigen Trägerfilms 3 gemäß Fig. 1 elektrisch leitend verbunden, wobei die elektrisch leitenden Trägerfilmteile vorzugsweise aus Kupferfolie, 35...70 µm dick, an den Leiterinnenenden ggf. aus einem Kupfer-Aluminium-Verbund bestehen und der Kupferträger auf ein übliches isolierendes Material aufkaschiert ist.
Fig. 2 zeigt die erfindungsgemäße Halbleiteranordnung im bestückungsfähigen Zustand. Das Halbleiterchip 1 ist zur Gewährleistung einer guten Wärmeableitung mit einem aktiven Metallot 2, z. B. als AlGe mit 45 Ma.-% Ge im Gesenk 7 der Keramikunterschale 6, befestigt, ohne daß eine Chiprückseitenvergoldung oder eine Metallisierung der Keramikunterschale 6 notwendig ist. Zur Vermeidung von Kurzschlüssen ist das Gesenk 7 tiefer ausgebildet als die Höhe von Halbleiterchip 1 und Metallot 2. Zur weiteren Verbesserung der Wärmeableitung kann der Gehäuseboden auch aus einem an das Halbleiterchip 1 bezüglich Wärmeausdehnung angepaßten Metalls, vorzugsweise aus Molybdän, bestehen. Für den Gehäuseverschluß sind die Verbindungsflächen der Keramikoberschale 5 und der Keramikunterschale 6 mit einem Kleber 8 beschichtet.
Die elektrische Verbindung des Halbleiterchips 1 nach außen ist durch Kontaktieren mit den Anschlußfingern 4 eines entsprechenden Trägerfilms 3 realisiert. Für das Aufsetzlöten des Bauelementes auf einen Verdrahtungsträger sind die Außenanschlüsse der Halbleiteranordnung galvanisch belotet. Bei der Anwendung eines dreischichtigen Trägerfilms 3 ist es möglich, daß nach Trennung der für einen galvanischen Lotauftrag erforderlichen Anschlußverbindungen diese Halbleiteranordnung noch im Filmverband oder einzeln der elektrischen Prüfung und Voralterung unterzogen werden kann.
Zur Herstellung der erfindungsgemäßen Halbleiteranordnung wird das aktive Metallot 2, z. B. in Folienform vorliegendes AlGe mit 45 Ma.-% Ge auf das Gesenk 7 der unmetallisierten Keramikunterschale 6 aufgebracht und damit das Halbleiterchip 1 flußmittelfrei rückseitenkontaktiert. Die Verbindungsflächen der Keramikunterschale 6 und der Keramikoberschale 5 werden mit dem Kleber 8 beschichtet. Nun werden die Anschlußflächen des Halbleiterchips 1 durch herkömmliche Fügeverfahren mit den Anschlußfingern 4 des dreischichtigen Trägerfilms 3 elektrisch leitend verbunden. Abschließend erfolgt das hermetisch dichte Verkleben der Keramikoberschale 5 und der Keramikunterschale 6.

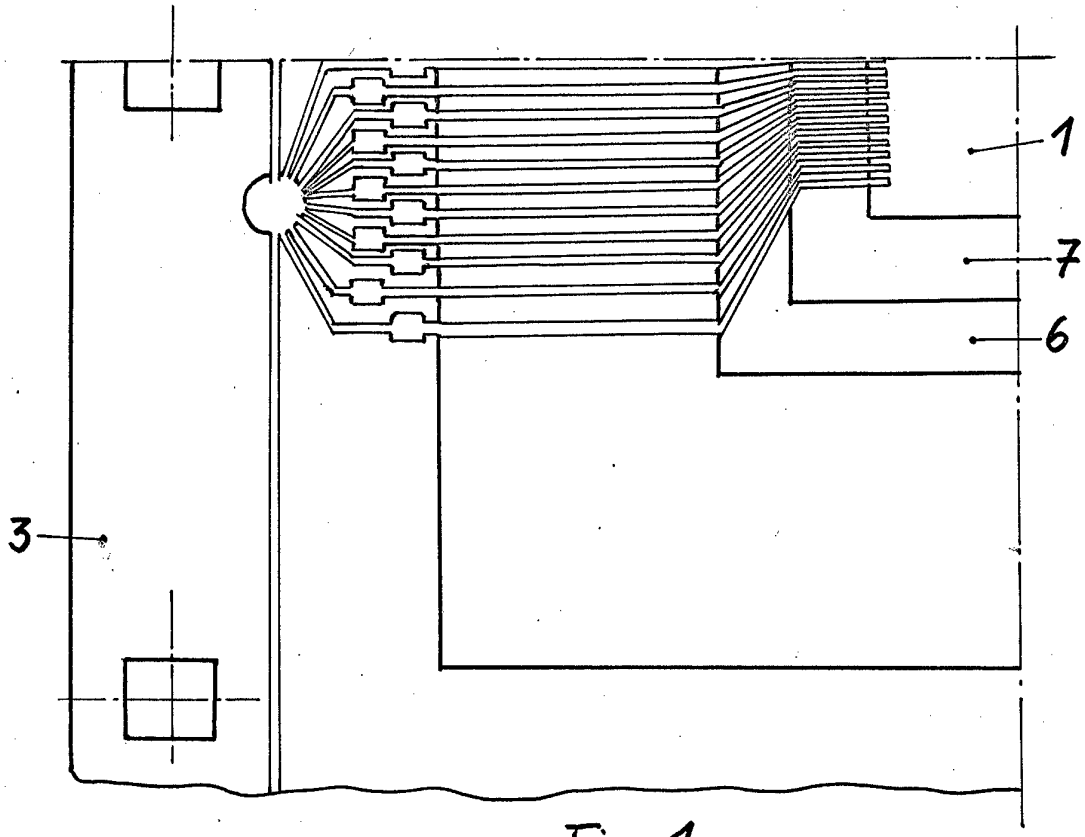


Fig. 1

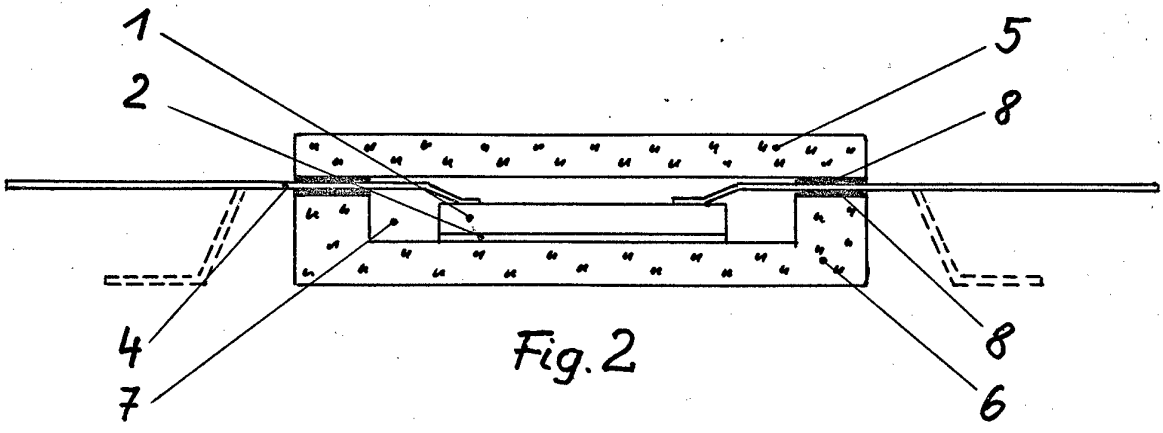


Fig. 2