

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016 年 10 月 20 日(20.10.2016)



(10) 国際公開番号

WO 2016/167171 A1

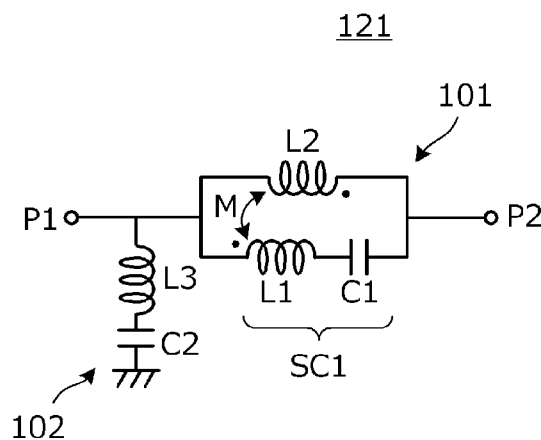
- (51) 国際特許分類:
H03H 5/02 (2006.01) H03H 7/09 (2006.01)
H01F 27/00 (2006.01)
- (21) 国際出願番号: PCT/JP2016/061348
- (22) 国際出願日: 2016 年 4 月 7 日(07.04.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-085166 2015 年 4 月 17 日(17.04.2015) JP
- (71) 出願人: 株式会社村田製作所 (MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足 1 丁目 1 〇 番 1 号 Kyoto (JP).
- (72) 発明者: 西田浩(NISHIDA, Hiroshi); 〒6178555 京都府長岡京市東神足 1 丁目 1 〇 番 1 号 株式会社村田製作所内 Kyoto (JP). 石塚健一(ISHIZUKA, Kenichi); 〒6178555 京都府長岡京市東神足 1 丁目 1 〇 番 1 号 株式会社村田製作所内 Kyoto (JP).
- (74) 代理人: 特許業務法人 楓国際特許事務所 (KAEDE PATENT ATTORNEYS' OFFICE); 〒5400011 大阪府大阪市中央区農人橋 1 丁目 4 番 3 4 号 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ユーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: RESONANT CIRCUIT, BAND STOP FILTER AND BAND PASS FILTER

(54) 発明の名称: 共振回路、帯域阻止フィルタおよび帯域通過フィルタ

[図3]

Fig.3



(57) Abstract: A first resonant circuit (101) is provided, for example, with: a first inductor (L1) and a first capacitor (C1) which form a first series circuit (SC1); and a second inductor (L2) connected in parallel to the first series circuit (SC1), wherein the first inductor (L1) and the second inductor (L2) are coupled through a magnetic field in a direction in which magnetic fluxes passing through the first inductor (L1) and the second inductor (L2) are strengthened, and effectively raise steepness in a transient band.

(57) 要約: 第 1 共振回路 (101) は、例えば、第 1 直列回路 (SC1) を構成する第 1 インダクタ (L1) および第 1 キャパシタ (C1) と、第 1 直列回路 (SC1) に並列接続される第 2 インダクタ (L2) とを備え、第 1 インダクタ (L1) と第 2 インダクタ (L2) とは、第 1 インダクタ (L1) および第 2 インダクタ (L2) を通る磁束を互いに強め合う方向に磁界を介して結合し、過渡域の急峻性を効果的に高める。

明 細 書

発明の名称：

共振回路、帯域阻止フィルタおよび帯域通過フィルタ

技術分野

[0001] 本発明は、インダクタおよびキャパシタを備える共振回路、この共振回路を含む帯域阻止フィルタおよび帯域通過フィルタに関する。

背景技術

[0002] 従来、高周波回路に備えられる帯域阻止フィルタや帯域通過フィルタには、 LC 並列共振回路が備えられる。例えば、図14に示すように、信号経路にシリーズ接続される LC 並列回路と信号経路とグラウンドとの間にシャント接続される LC 直列回路とで帯域阻止フィルタが構成される。また、図15に示すように、信号経路にシリーズ接続される LC 直列回路と信号経路とグラウンドとの間にシャント接続される LC 並列回路とで帯域通過フィルタが構成される。

[0003] 図14に示した帯域阻止フィルタは例えば特許文献1に示されている。また、図15に示した帯域通過フィルタは例えば特許文献2に示されている。

先行技術文献

特許文献

[0004] 特許文献1：特開2004-343696号公報

特許文献2：特開昭63-18709号公報

発明の概要

発明が解決しようとする課題

[0005] 一般に、帯域阻止フィルタや帯域通過フィルタにおいて、阻止域端と通過域端との間の過渡域に急峻性が要求される場合、シリーズに接続される素子数およびシャントに接続される素子数を増やすことが有効であるが、それに伴い、挿入損失が増加する問題がある。

[0006] 図14、図15に示すように、 LC 共振回路を備えるフィルタにおいては

、LC共振回路のQ値を高めることによって、過渡域の急峻性を高めることができる。しかし、インダクタの直流抵抗（DCR）およびキャパシタの等価直列抵抗（ESR）はいずれもそれらの構造と導電材料によって定まり、LC共振回路のQ値を効果的に高めることはできなかった。

[0007] 本発明の目的は、過渡域の急峻性を効果的に高められるようにした共振回路、帯域阻止フィルタ、および帯域通過フィルタを提供することにある。

課題を解決するための手段

[0008] (1) 本発明の共振回路は、

第1直列回路を構成する第1インダクタおよび第1キャパシタと、前記第1直列回路に並列接続される第2インダクタとを備え、

前記第1インダクタと前記第2インダクタとは、前記第1インダクタおよび前記第2インダクタを通る磁束を互いに強め合う方向に磁界を介して結合していることを特徴とする。

[0009] 上記構成により、第1インダクタおよび第2インダクタの実効的なインダクタンスが大きくなるため、単体でのインダクタンスを小さくできる。このことにより、並列共振回路の抵抗成分が減少して、そのQ値が向上する。

[0010] (2) 上記(1)において、前記第1インダクタのインダクタンスは前記第2インダクタのインダクタンスよりも小さいことが好ましい。これにより、第1直列回路での抵抗成分の増加が抑えられ、この第1直列回路を流れる信号の減衰が抑制される。

[0011] (3) 上記(1)または(2)において、前記第1インダクタは第1コイル導体、前記第2インダクタは第2コイル導体でそれぞれ構成され、前記第1コイル導体および前記第2コイル導体は、複数の誘電体層が積層された多層基板に一体的に構成され、前記第1コイル導体および前記第2コイル導体の内外径寸法は実質的に同じであり、前記第1コイル導体および前記第2コイル導体はコイル軸を共有することが好ましい。これにより、小型でありながら、第1インダクタと第2インダクタとの結合による相互インダクタンスの大きな共振回路が構成される。

[0012] (4) 本発明の帯域阻止フィルタは、

第1ポートおよび第2ポートを有し、第1直列回路を構成する第1インダクタおよび第1キャパシタと、前記第1直列回路に並列接続される第2インダクタとが、前記第1ポートと前記第2ポートとの間に接続された第1共振回路を備え、前記第1インダクタと前記第2インダクタとは、前記第1インダクタおよび前記第2インダクタを通る磁束を互いに強め合う方向に磁界を介して結合していることを特徴とする。

[0013] 上記構成により、第1インダクタおよび第2インダクタの実効的なインダクタンスが大きくなるため、単体でのインダクタンスを小さくでき、そのことにより、並列共振回路の抵抗成分が減少して、そのQ値が向上する。したがって、阻止域端と通過域端との間の過渡域の急峻性が向上する。

[0014] (5) 上記(4)において、前記第1インダクタのインダクタンスは前記第2インダクタのインダクタンスよりも小さいことが好ましい。これにより、第1直列回路での抵抗成分の増加が抑えられ、この第1直列回路を流れる信号の減衰が抑制される。すなわち、第1インダクタを設けたことによる、通過域での挿入損失の増大が抑えられる。

[0015] (6) 上記(4)または(5)において、前記第1ポートとグランドとの間に接続され、第3インダクタを含む第2共振回路を更に備えることが好ましい。これにより、広い阻止帯域幅を確保できる。

[0016] (7) 上記(6)において、前記第1インダクタおよび前記第2インダクタは前記第3インダクタと互いに結合することが好ましい。これにより、共振回路の抵抗成分が減少してQ値が向上し、阻止帯域端と通過域端との間の過渡域の急峻性が向上する。

[0017] (8) 上記(4)から(7)のいずれかにおいて、前記第1インダクタは第1コイル導体、前記第2インダクタは第2コイル導体でそれぞれ構成され、前記第1コイル導体および前記第2コイル導体は、複数の誘電体層が積層された多層基板に一体的に構成され、前記第1コイル導体および前記第2コイル導体の内外径寸法は実質的に同じであり、前記第1コイル導体および前記

第2コイル導体はコイル軸を共有することが好ましい。これにより、小型でありながら、第1インダクタおよび第2インダクタの実効的なインダクタンスが大きくなって、過渡域の急峻性向上効果が高まる。

[0018] (9) 本発明の帯域通過フィルタは、

第1ポートおよび第2ポートを有し、第1直列回路を構成する第1インダクタおよび第1キャパシタと、前記第1直列回路に並列接続される第2インダクタとが、前記第1ポートとグラウンドとの間に接続された第3共振回路を備え、前記第1インダクタと前記第2インダクタとは、前記第1インダクタおよび前記第2インダクタを通る磁束を互いに強め合う方向に磁界を介して結合していることを特徴とする。

[0019] 上記構成により、第1インダクタおよび第2インダクタの実効的なインダクタンスが大きくなるため、単体でのインダクタンスを小さくでき、そのことにより、並列共振回路の抵抗成分が減少して、そのQ値が向上する。したがって、阻止域端と通過域端との間の過渡域の急峻性が向上する。

[0020] (10) 上記(9)において、前記第1インダクタのインダクタンスは前記第2インダクタのインダクタンスよりも小さいことが好ましい。これにより、第1直列回路での抵抗成分の増加が抑えられる。すなわち、第1インダクタを設けたことによる、減衰域での減衰量の減少が抑えられる。

[0021] (11) 上記(10)において、前記第1ポートと前記第2ポートとの間に接続され、第4インダクタを含む第4共振回路を更に備えることが好ましい。これにより、広い通過帯域幅を確保できる。

[0022] (12) 上記(11)において、前記第1インダクタおよび前記第2インダクタは前記第4インダクタと互いに結合することが好ましい。これにより、共振回路の抵抗成分が減少してQ値が向上し、阻止帯域端と通過域端との間の過渡域の急峻性が向上する。

[0023] (13) 上記(9)から(12)のいずれかにおいて、前記第1インダクタは第1コイル導体、前記第2インダクタは第2コイル導体でそれぞれ構成され、前記第1コイル導体および前記第2コイル導体は、複数の誘電体層が積

層された多層基板に一体的に構成され、前記第 1 コイル導体および前記第 2 コイル導体の内外径寸法は実質的に同じであり、前記第 1 コイル導体および前記第 2 コイル導体はコイル軸を共有することが好ましい。これにより、小型でありながら、第 1 インダクタおよび第 2 インダクタの実効的なインダクタンスが大きくなって、過渡域の急峻性向上効果が高まる。

発明の効果

[0024] 本発明によれば、Q 値の高い共振回路、阻止域端と通過域端との間の過渡域の急峻性の高い帯域阻止フィルタまたは帯域通過フィルタが得られる。

図面の簡単な説明

[0025] [図1]図 1 (A) は第 1 の実施形態に係る共振回路 1 1 0 の回路図である。図 1 (B) は共振回路 1 1 0 の等価回路図である。

[図2]図 2 は共振回路 1 1 0 の主要部の断面図である。

[図3]図 3 は第 2 の実施形態に係る帯域阻止フィルタ 1 2 1 の回路図である。

[図4]図 4 (A) は帯域阻止フィルタ 1 2 1 の通過特性および反射特性を示す図である。図 4 (B) は、図 4 (A) の阻止域から通過域にかけての過渡域を拡大した図である。

[図5]図 5 は本実施形態の帯域阻止フィルタ 1 2 1 の外観斜視図である。

[図6]図 6 は本実施形態の別の帯域阻止フィルタ 1 2 2 の回路図である。

[図7]図 7 は本実施形態の別の帯域阻止フィルタ 1 2 3 の回路図である。

[図8]図 8 (A) (B) は本実施形態の別の帯域阻止フィルタ 1 2 4, 1 2 5 の回路図である。

[図9]図 9 は第 3 の実施形態に係る帯域通過フィルタ 1 3 1 の回路図である。

[図10]図 1 0 (A) は帯域通過フィルタ 1 3 1 の通過特性および反射特性を示す図である。図 1 0 (B) は、図 1 0 (A) の阻止域から通過域にかけての過渡域を拡大した図である。

[図11]図 1 1 は本実施形態の別の帯域通過フィルタ 1 3 2 の回路図である。

[図12]図 1 2 は本実施形態の別の帯域通過フィルタ 1 3 3 の回路図である。

[図13]図 1 3 (A) (B) は本実施形態の別の帯域通過フィルタ 1 3 4, 1

35の回路図である。

[図14]図14は従来の帯域阻止フィルタの構成例を示す回路図である。

[図15]図15は従来の帯域通過フィルタの構成例を示す回路図である。

発明を実施するための形態

[0026] 以降、図を参照して幾つかの具体的な例を挙げて、本発明を実施するための複数の形態を示す。各図中には同一箇所に同一符号を付している。要点の説明または理解の容易性を考慮して、便宜上実施形態を分けて示すが、異なる実施形態で示した構成の部分的な置換または組み合わせが可能である。第2の実施形態以降では第1の実施形態と共通の事柄についての記述を省略し、異なる点についてのみ説明する。特に、同様の構成による同様の作用効果については実施形態毎には逐次言及しない。

[0027] 《第1の実施形態》

第1の実施形態では共振回路について示す。

[0028] 図1(A)は第1の実施形態に係る共振回路110の回路図である。この共振回路110は、第1直列回路SC1を構成する第1インダクタL1および第1キャパシタC1と、第1直列回路SC1に並列接続される第2インダクタL2とを備える。この並列接続された回路はポートP1とポートP2との間に接続されている。

[0029] 第1インダクタL1と第2インダクタL2とは、第1インダクタL1および第2インダクタL2を通る磁束を互いに強め合う方向に磁界を介して結合する。そのため、図1(A)中に示すように、第1インダクタL1と第2インダクタL2との結合による相互インダクタンスMが生じる。

[0030] 図1(B)は共振回路110の等価回路図である。図1(B)において、インダクタL1'、L2'、Lmは、図1(A)に示した、第1インダクタL1、第2インダクタL2および相互インダクタンスMをT型回路に等価変換したことによるインダクタである。ここで、第1インダクタL1のインダクタンスをL1、第2インダクタL2のインダクタンスをL2、相互インダクタンスをMで表すと、インダクタL1'のインダクタンスは(L1+M)、インダクタ

L_2' のインダクタンスは (L_2+M) 、インダクタ L_m のインダクタンスは $(-M)$ である。このように、第1インダクタ L_1 と第2インダクタ L_2 との結合により、第1インダクタ L_1 および第2インダクタ L_2 の実効的なインダクタンスは大きくなる。そのため、第1インダクタ L_1 および第2インダクタ L_2 の単体でのインダクタンスは小さくできる。それに伴い、抵抗成分（直流抵抗DCR）が小さくなり、並列共振回路の抵抗成分が減少して、そのQ値が向上する。

[0031] また、第1キャパシタ C_1 に対して直列に第1インダクタ L_1 を接続することにより、第1直列回路 SC_1 の、周波数に対するリアクタンス変化量が増加するので、第1キャパシタ C_1 の値を小さくでき、積層構造で一体化する際に作製が容易になるメリットがある。すなわち、第1キャパシタ C_1 部分のリアクタンスは $-1/\omega C$ で表され、これに直列に小さなインダクタンスの第1インダクタ L_1 が入った場合のリアクタンスは、 $\omega L_1 - 1/\omega C$ となり、リアクタンスは増加する。これは、 $-1/\omega C$ の、 C_1 の値が大きくなってリアクタンスが増加することに近い効果である。これにより、実質的なキャパシタンスの値が増えたことにほぼ等価となり、第1キャパシタ C_1 のキャパシタンスを減らすことができる。

[0032] 第1インダクタ L_1 のインダクタンスは第2インダクタ L_2 のインダクタンスよりも小さいことが好ましい。これにより、第1直列回路 SC_1 での抵抗成分の増加が抑えられ、この第1直列回路 SC_1 を流れる信号の減衰が抑制される。

[0033] 図2は共振回路110の主要部の断面図である。第1インダクタ L_1 は第1コイル導体11、第2インダクタ L_2 は第2コイル導体12でそれぞれ構成される。第1コイル導体11および第2コイル導体12は、それぞれ複数の誘電体層に形成された導体パターンと層間接続導体とで構成される。これら複数の誘電体層は積層されて多層基板50が構成される。すなわち、多層基板50に第1インダクタ L_1 および第2インダクタ L_2 が一体的に構成されている。第1コイル導体11および第2コイル導体12は矩形ヘリカル状

である。第1コイル導体11および第2コイル導体12はコイル軸CAを共有し、第1コイル導体11および第2コイル導体12の内外径寸法は実質的に同じである。

[0034] 図2においては、第1インダクタL1および第2インダクタL2の形成領域について示している。第1コイル導体11の一端部Tcは第1キャパシタC1の電極に導通する。また、第2コイル導体12の第1端T1は第1ポートP1に導通し、第2コイル導体12の第2端T2は第2ポートP2に導通する。

[0035] 上述のとおり、第1コイル導体11および第2コイル導体12はコイル軸CAを共有し、第1コイル導体11および第2コイル導体12の内外径寸法は実質的に同じであるので、小型でありながら、第1インダクタL1と第2インダクタL2との結合による相互インダクタンスMの大きな共振回路が構成される。

[0036] 上記第1キャパシタC1は多層基板50に内蔵してもよいし、多層基板50に搭載（表面実装）してもよい。

[0037] 《第2の実施形態》

第2の実施形態では、幾つかの帯域阻止フィルタの例について示す。

[0038] 図3は第2の実施形態に係る帯域阻止フィルタ121の回路図である。帯域阻止フィルタ121は、第1ポートP1および第2ポートP2を有し、この第1ポートP1と第2ポートP2との間に接続された第1共振回路101を備える。更に、第1ポートP1とグランドとの間に接続され、第3インダクタL3と第2キャパシタC2との直列回路による第2共振回路102を備える。

[0039] 第1共振回路101の構成は第1の実施形態で示した共振回路110と同じである。

[0040] 上記構成により、第1インダクタL1と第2インダクタL2の結合により、第1インダクタL1および第2インダクタL2の実効的なインダクタンスは大きくなる。そのため、第1インダクタL1および第2インダクタL2の

単体でのインダクタンスは小さくできる。それに伴い、抵抗成分（直流抵抗 D_{CR} ）が小さくなり、並列共振回路の抵抗成分が減少して、その Q 値が向上する。したがって、阻止域端と通過域端との間の過渡域の急峻性が向上する。

[0041] また、帯域阻止フィルタ121によれば、第1ポート P_1 とグランドとの間に、第3インダクタ L_3 と第2キャパシタ C_2 との直列回路による第2共振回路を更に備えるので、広い阻止帯域幅を確保できる。

[0042] 図4（A）は帯域阻止フィルタ121の通過特性および反射特性を示す図である。ここで、 $S_{21}(E)$ は本実施形態の帯域阻止フィルタ121の挿入損失を S パラメータの S_{21} で表したものの、 $S_{22}(E)$ は本実施形態の帯域阻止フィルタ121の反射損失を S パラメータの S_{22} で表したものである。また、 $S_{21}(C)$ は比較例の帯域阻止フィルタの挿入損失を S パラメータの S_{21} で表したものの、 $S_{22}(C)$ は比較例の帯域阻止フィルタの反射損失を S パラメータの S_{22} で表したものである。

[0043] 帯域阻止フィルタ121の各素子の値は次のとおりである。

[0044] L_1 : 0.8nH

L_2 : 1.1nH

L_3 : 29nH

C_1 : 3.5pF

C_2 : 0.4pF

結合係数 k : 0.8

比較例の帯域阻止フィルタは、 L_1 : 0nH、 C_1 : 10.9pFとしたものである。

[0045] 図4（B）は、 $S_{21}(E)$ 、 $S_{21}(C)$ について、図4（A）の阻止域から通過域にかけての過渡域を拡大した図である。

[0046] 本実施形態の帯域阻止フィルタ121も比較例の帯域阻止フィルタも、1.5GHzを中心に ± 50 MHzを阻止帯域とし、中心周波数から150MHz以上離れた周波数域を通過帯域として設計されている。ここでは、阻止帯域の S_{21} を-18dB以下となるようにして、通過帯域の S_{21} が最大となるように設計して比較を行った。

[0047] 図4 (A) (B) から明らかなように、本実施形態の帯域阻止フィルタ 1 2 1 では、通過帯域で約0.2dBのS21の改善がみられる。

[0048] 図5は本実施形態の帯域阻止フィルタ 1 2 1 の外観斜視図である。帯域阻止フィルタ 1 2 1 は、第1ポート（端子）P 1、第2ポート（端子）P 2およびグランド端子GNDを備える。図3に示した第1共振回路 1 0 1および第2共振回路 1 0 2は、それぞれ複数の誘電体層が積層された多層基板 5 0に一体的に設けられている。第1コイル導体および第2コイル導体の内外径寸法は実質的に同じであり、第1コイル導体および第2コイル導体はコイル軸を共有する。第2共振回路 1 0 2の第3インダクタL 3も多層基板 5 0内に設けられている。第1キャパシタC 1、第2キャパシタC 2も多層基板 5 0に導体パターンによって形成されている。第1キャパシタC 1、第2キャパシタC 2は多層基板 5 0に搭載（表面実装）してもよい。

[0049] 図6は本実施形態の別の帯域阻止フィルタ 1 2 2の回路図である。帯域阻止フィルタ 1 2 2は、第1ポートP 1および第2ポートP 2を有し、第1共振回路 1 0 1および第2共振回路 1 0 2を備える。図3に示した帯域阻止フィルタ 1 2 1と異なり、第3インダクタL 3は第1インダクタL 1および第2インダクタL 2と結合する。これにより、共振回路の抵抗成分が減少してQ値が向上し、阻止帯域端と通過域端との間の過渡域の急峻性が向上する。

[0050] 図7は本実施形態の別の帯域阻止フィルタ 1 2 3の回路図である。帯域阻止フィルタ 1 2 3は、第1ポートP 1および第2ポートP 2を有し、シリーズ接続された第1共振回路 1 0 1を備える。第1共振回路 1 0 1の構成は第1の実施形態で示した共振回路 1 1 0と同じである。阻止帯域幅が狭い場合には、このように1段のLC並列共振回路だけで帯域阻止フィルタを構成してもよい。

[0051] 図8 (A) (B) は本実施形態の別の帯域阻止フィルタ 1 2 4, 1 2 5の回路図である。帯域阻止フィルタ 1 2 4は、第1ポートP 1および第2ポートP 2を有し、1つの第1共振回路 1 0 1と2つの第2共振回路 1 0 2 A, 1 0 2 Bとが π 型接続されている。また、帯域阻止フィルタ 1 2 5は、第1

ポート P 1 および第 2 ポート P 2 を有し、2つの第 1 共振回路 1 0 1 A, 1 0 1 B と 1 つの第 2 共振回路 1 0 2 とが T 型接続されている。

[0052] 通過域での挿入損失が許容値以内であれば、このように 3 つまたはそれ以上の共振回路を多段接続してもよい。

[0053] 《第 3 の実施形態》

第 3 の実施形態では、幾つかの帯域通過フィルタの例について示す。

[0054] 図 9 は第 3 の実施形態に係る帯域通過フィルタ 1 3 1 の回路図である。帯域通過フィルタ 1 3 1 は、第 1 ポート P 1 および第 2 ポート P 2 を有し、第 1 ポート P 1 にシャント接続された第 3 共振回路 1 0 3、および第 1 ポート P 1 と第 2 ポート P 2 との間にシリーズ接続された第 4 共振回路 1 0 4 を備える。

[0055] 第 3 共振回路 1 0 3 の構成は第 1 の実施形態で示した共振回路 1 1 0 と同じである。第 4 共振回路 1 0 4 は第 4 インダクタ L 4 と第 3 キャパシタ C 3 との直列回路で構成される。

[0056] 図 1 0 (A) は帯域通過フィルタ 1 3 1 の通過特性および反射特性を示す図である。ここで、S 2 1 (E) は本実施形態の帯域通過フィルタ 1 3 1 の挿入損失を S パラメータの S21 で表したものの、S 2 2 (E) は本実施形態の帯域通過フィルタ 1 3 1 の反射損失を S パラメータの S22 で表したものである。また、S 2 1 (C) は比較例の帯域通過フィルタの挿入損失を S パラメータの S21 で表したものの、S 2 2 (C) は比較例の帯域通過フィルタの反射損失を S パラメータの S22 で表したものである。

[0057] 帯域通過フィルタ 1 3 1 の各素子の値は次のとおりである。

[0058] L1 : 1.2nH

L2 : 0.6nH

L4 : 40nH

C1 : 0.3pF

C3 : 5.2pF

結合係数 k : 0.8

比較例の帯域通過フィルタは、 $L1 : 0\text{nH}$ 、 $C3 : 18.8\text{pF}$ としたものである。

[0059] 図10(B)は、 S_{21} (E)、 S_{21} (C)について、図10(A)の阻止域から通過域にかけての過渡域を拡大した図である。

[0060] 本実施形態の帯域通過フィルタ131も比較例の帯域通過フィルタも、1.5GHzを中心に $\pm 50\text{MHz}$ を通過帯域とし、中心周波数から150MHz以上離れた周波数域を阻止帯域として設計されている。ここでは、阻止帯域の S_{21} を -10dB 以下となるようして、通過帯域の S_{21} が最大となるように設計して比較を行った。

[0061] 図10(A)(B)から明らかなように、本実施形態の帯域通過フィルタ131では、通過帯域で約 0.4dB の S_{21} の改善がみられる。

[0062] 図11は本実施形態の別の帯域通過フィルタ132の回路図である。帯域通過フィルタ132は、第1ポートP1および第2ポートP2を有し、第3共振回路103および第4共振回路104を備える。図9に示した帯域通過フィルタ131と異なり、第4インダクタ L_4 は第1インダクタ L_1 および第2インダクタ L_2 と結合する。これにより、共振回路の抵抗成分が減少してQ値が向上し、阻止帯域端と通過域端との間の過渡域の急峻性が向上する。

[0063] 図12は本実施形態の別の帯域通過フィルタ133の回路図である。帯域通過フィルタ133は、第1ポートP1および第2ポートP2を有し、シャント接続された第3共振回路103を備える。第3共振回路103の構成は第1の実施形態で示した共振回路110と同じである。通過帯域幅が狭い場合には、このように1段のLC並列共振回路だけで帯域通過フィルタを構成してもよい。

[0064] 図13(A)(B)は本実施形態の別の帯域通過フィルタ134、135の回路図である。帯域通過フィルタ134は、第1ポートP1および第2ポートP2を有し、2つの第3共振回路103A、103Bと1つの第4共振回路104とが π 型接続されている。また、帯域通過フィルタ135は、第1ポートP1および第2ポートP2を有し、1つの第3共振回路103と2

つの第4共振回路104A, 104BとがT型接続されている。

[0065] 通過域での挿入損失が許容値以内であれば、このように3つまたはそれ以上の共振回路を多段接続してもよい。

[0066] なお、以上に示した各実施形態では、第1キャパシタC1、第2キャパシタC2、第3キャパシタC3は、多層基板の内外に一体的に設けること以外に、別部品としてプリント配線板に実装してもよい。

[0067] 最後に、上述の実施形態の説明は、すべての点で例示であって、制限的なものではない。当業者にとって変形および変更が適宜可能である。例えば、異なる実施形態で示した構成の部分的な置換または組み合わせが可能である。本発明の範囲は、上述の実施形態ではなく、特許請求の範囲によって示される。さらに、本発明の範囲には、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

符号の説明

[0068] C1…第1キャパシタ
C2…第2キャパシタ
C3…第3キャパシタ
CA…コイル軸
GND…グラウンド端子
L1…第1インダクタ
L2…第2インダクタ
L3…第3インダクタ
L4…第4インダクタ
P1…第1ポート
P2…第2ポート
SC1…第1直列回路
11…第1コイル導体
12…第2コイル導体
50…多層基板

101, 101A, 101B…第1共振回路

102, 102A, 102B…第2共振回路

103, 103A, 103B…第3共振回路

104, 104A, 104B…第4共振回路

110…共振回路

121～125…帯域阻止フィルタ

131～135…帯域通過フィルタ

請求の範囲

- [請求項1] 第1直列回路を構成する第1インダクタおよび第1キャパシタと、
前記第1直列回路に並列接続される第2インダクタとを備え、
前記第1インダクタと前記第2インダクタとは、前記第1インダクタおよび前記第2インダクタを通る磁束を互いに強め合う方向に磁界を介して結合していることを特徴とする、共振回路。
- [請求項2] 前記第1インダクタのインダクタンスは前記第2インダクタのインダクタンスよりも小さい、請求項1に記載の共振回路。
- [請求項3] 前記第1インダクタは第1コイル導体、前記第2インダクタは第2コイル導体でそれぞれ構成され、
前記第1コイル導体および前記第2コイル導体は、複数の誘電体層が積層された多層基板に一体的に構成され、前記第1コイル導体および前記第2コイル導体の内外径寸法は実質的に同じであり、前記第1コイル導体および前記第2コイル導体はコイル軸を共有する、請求項1または2に記載の共振回路。
- [請求項4] 第1ポートおよび第2ポートを有し、
第1直列回路を構成する第1インダクタおよび第1キャパシタと、
前記第1直列回路に並列接続される第2インダクタとが、前記第1ポートと前記第2ポートとの間に接続された第1共振回路を備え、
前記第1インダクタと前記第2インダクタとは、前記第1インダクタおよび前記第2インダクタを通る磁束を互いに強め合う方向に磁界を介して結合していることを特徴とする、帯域阻止フィルタ。
- [請求項5] 前記第1インダクタのインダクタンスは前記第2インダクタのインダクタンスよりも小さい、請求項4に記載の帯域阻止フィルタ。
- [請求項6] 前記第1ポートとグランドとの間に接続され、第3インダクタを含む第2共振回路を更に備える、請求項4または5に記載の帯域阻止フィルタ。
- [請求項7] 前記第1インダクタおよび前記第2インダクタは前記第3インダク

タと互いに結合する、請求項 6 に記載の帯域阻止フィルタ。

[請求項 8] 前記第 1 インダクタは第 1 コイル導体、前記第 2 インダクタは第 2 コイル導体でそれぞれ構成され、

前記第 1 コイル導体および前記第 2 コイル導体は、複数の誘電体層が積層された多層基板に一体的に構成され、前記第 1 コイル導体および前記第 2 コイル導体の内外径寸法は実質的に同じであり、前記第 1 コイル導体および前記第 2 コイル導体はコイル軸を共有する、請求項 4 から 7 のいずれかに記載の帯域阻止フィルタ。

[請求項 9] 第 1 ポートおよび第 2 ポートを有し、

第 1 直列回路を構成する第 1 インダクタおよび第 1 キャパシタと、前記第 1 直列回路に並列接続される第 2 インダクタとが、前記第 1 ポートとグランドとの間に接続された第 3 共振回路を備え、

前記第 1 インダクタと前記第 2 インダクタとは、前記第 1 インダクタおよび前記第 2 インダクタを通る磁束を互いに強め合う方向に磁界を介して結合していることを特徴とする、帯域通過フィルタ。

[請求項 10] 前記第 1 インダクタのインダクタンスは前記第 2 インダクタのインダクタンスよりも小さい、請求項 9 に記載の帯域通過フィルタ。

[請求項 11] 前記第 1 ポートと前記第 2 ポートとの間に接続され、第 4 インダクタを含む第 4 共振回路を更に備る、請求項 9 または 10 に記載の帯域通過フィルタ。

[請求項 12] 前記第 1 インダクタおよび前記第 2 インダクタは前記第 4 インダクタと互いに結合する、請求項 11 に記載の帯域通過フィルタ。

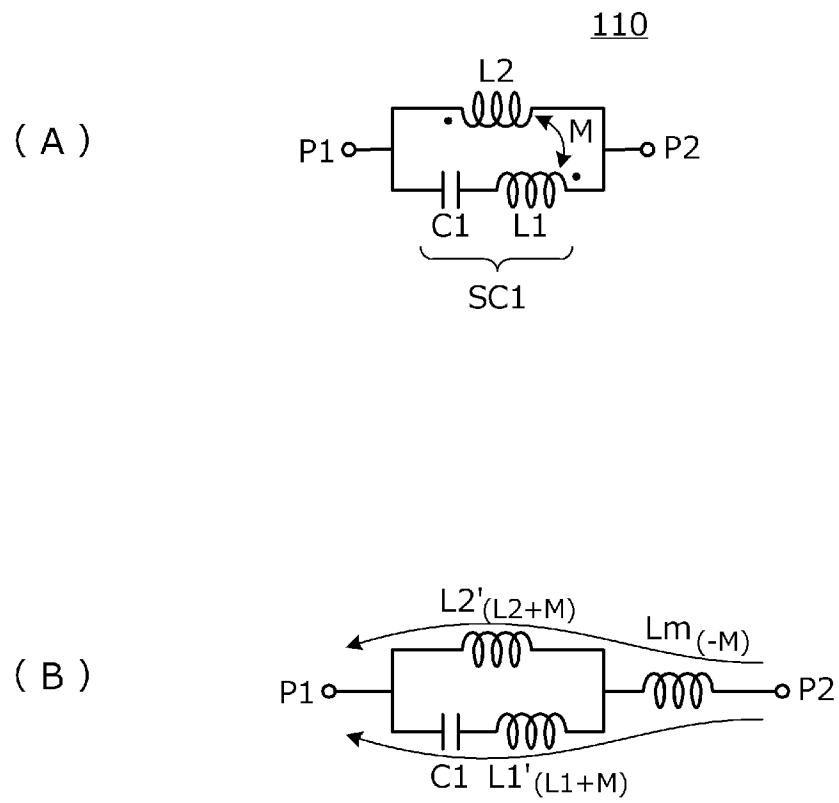
[請求項 13] 前記第 1 インダクタは第 1 コイル導体、前記第 2 インダクタは第 2 コイル導体でそれぞれ構成され、

前記第 1 コイル導体および前記第 2 コイル導体は、複数の誘電体層が積層された多層基板に一体的に構成され、前記第 1 コイル導体および前記第 2 コイル導体の内外径寸法は実質的に同じであり、前記第 1 コイル導体および前記第 2 コイル導体はコイル軸を共有する、請求項

9 から 1 2 のいずれかに記載の帯域通過フィルタ。

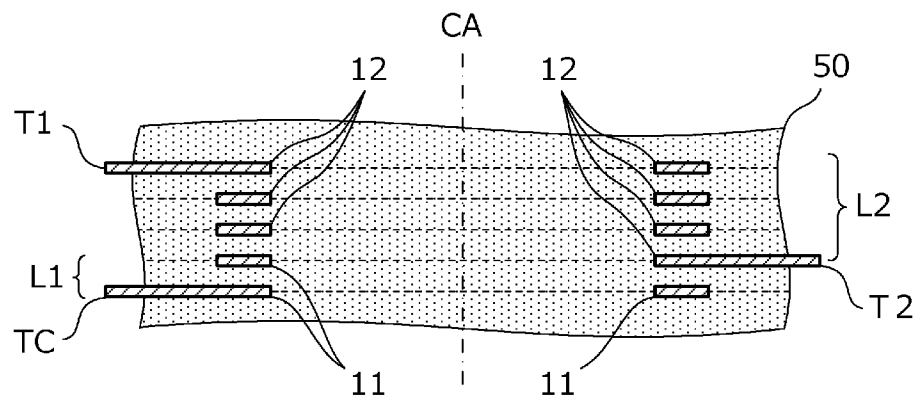
[図1]

Fig.1



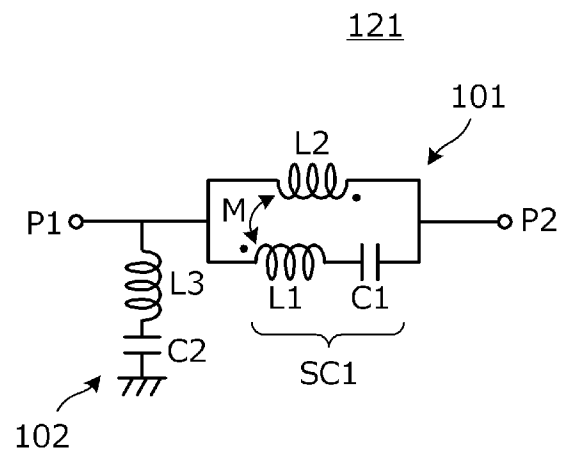
[図2]

Fig.2



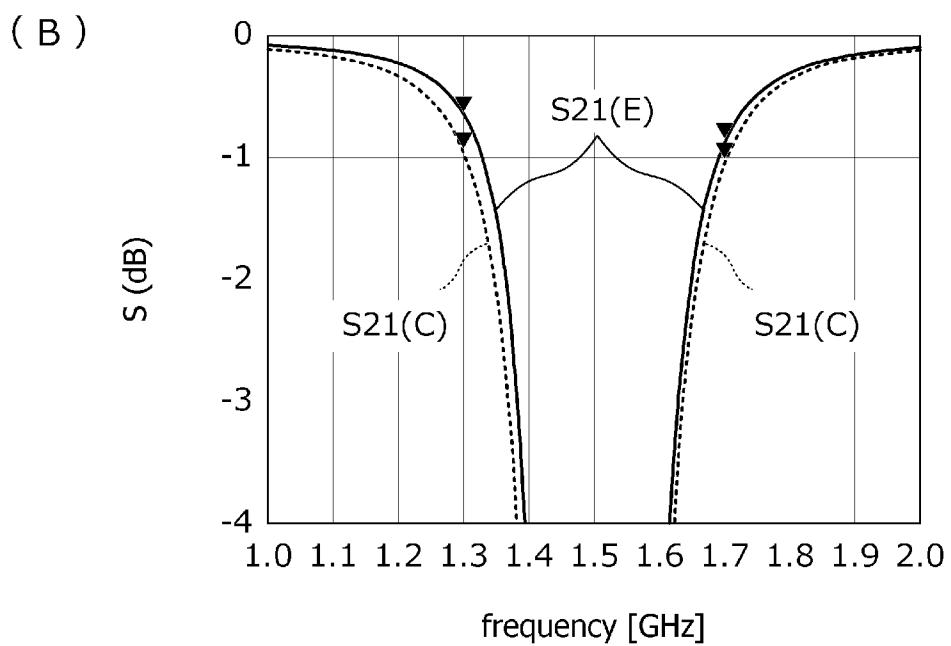
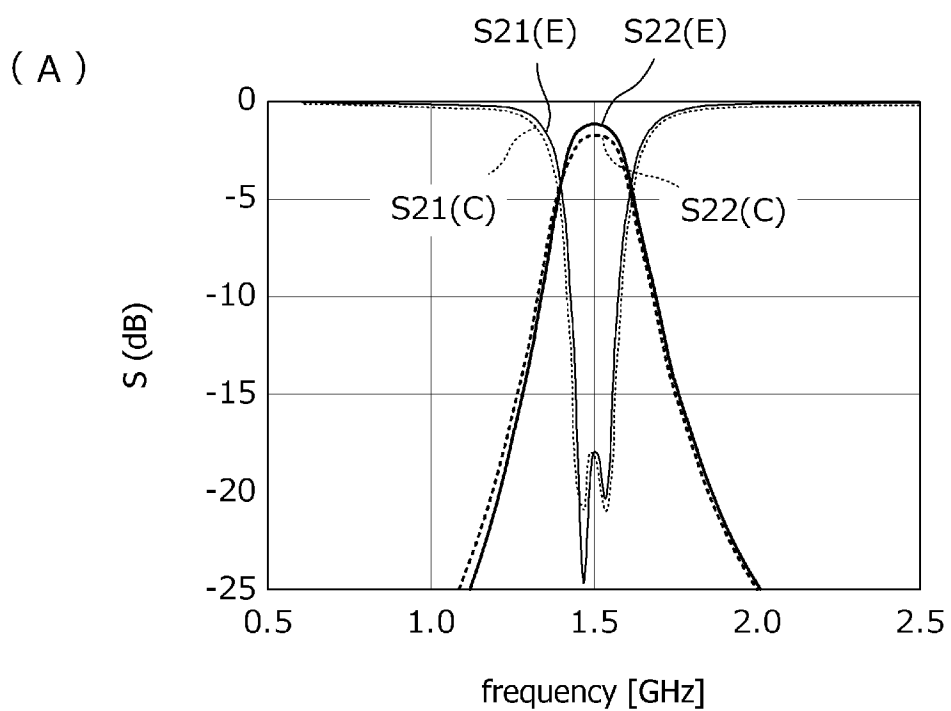
[図3]

Fig.3



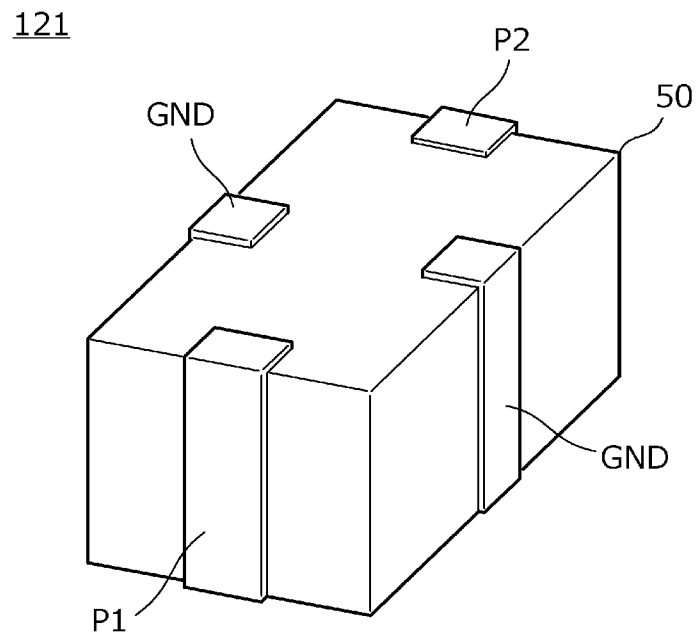
[図4]

Fig. 4



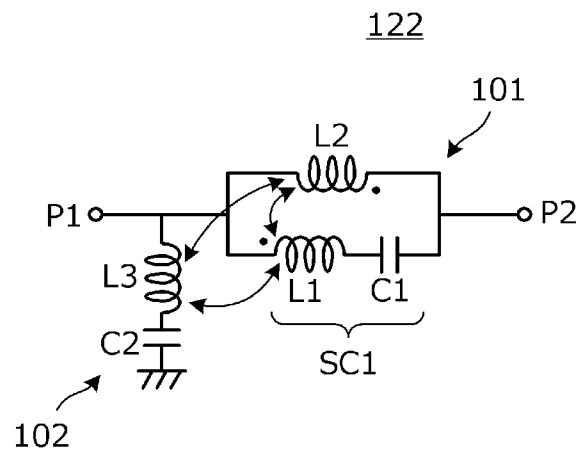
[図5]

Fig.5



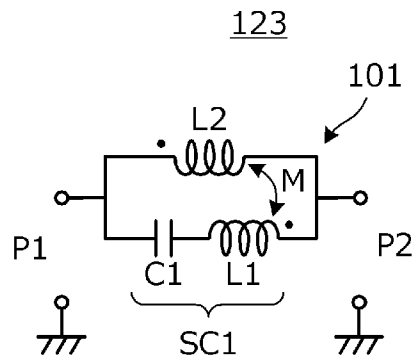
[図6]

Fig.6



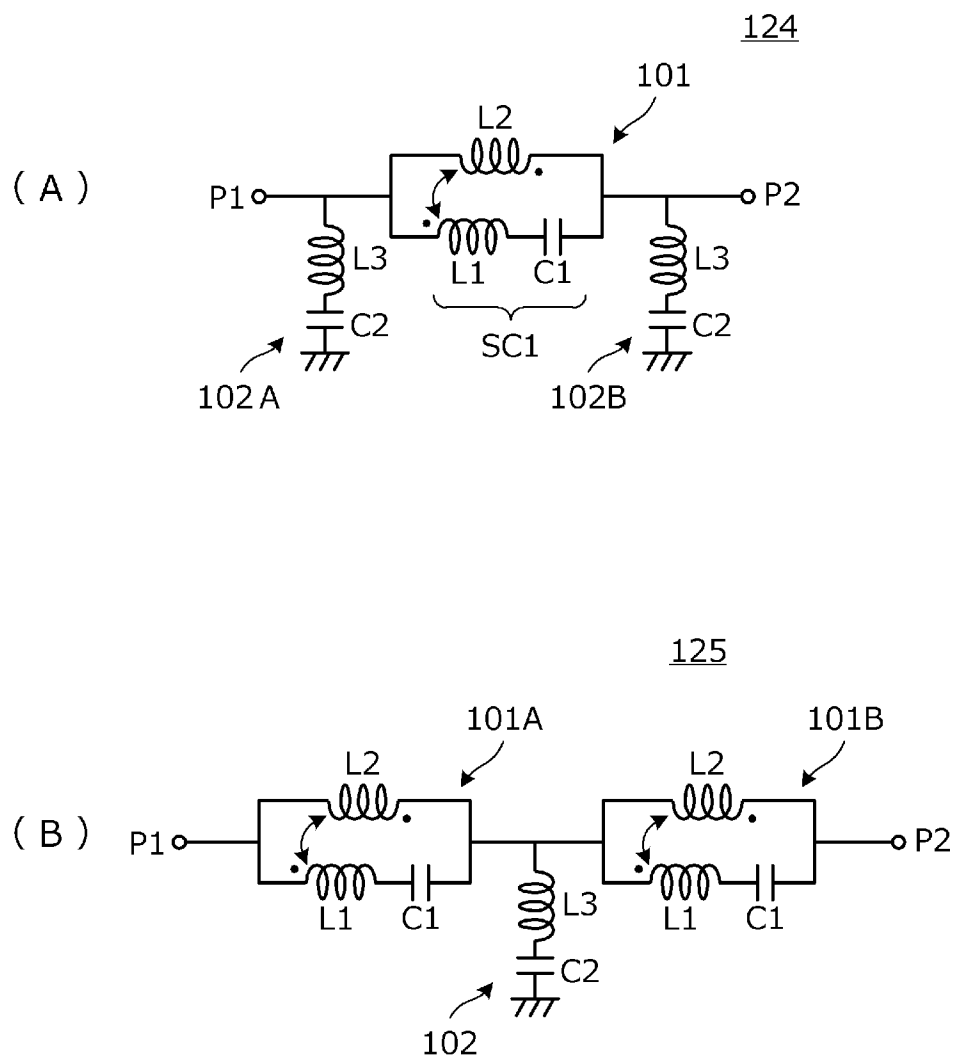
[図7]

Fig. 7



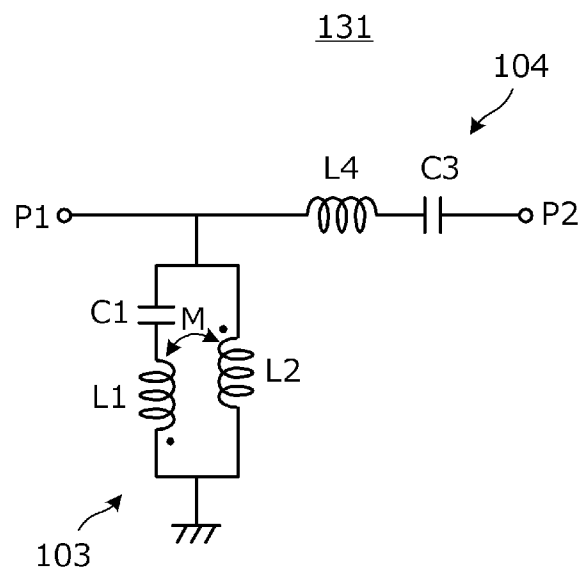
[図8]

Fig. 8



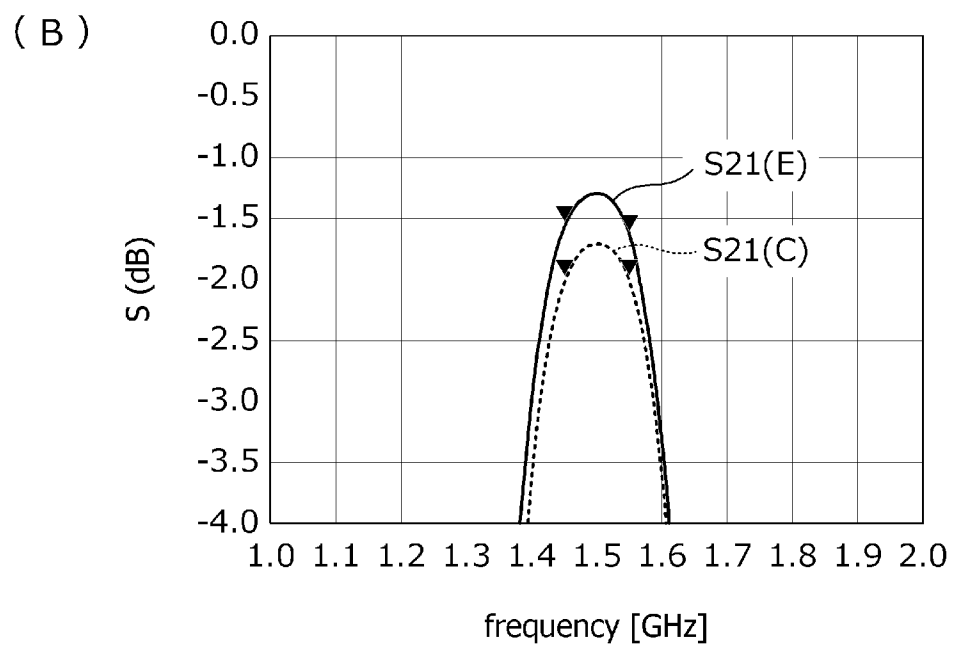
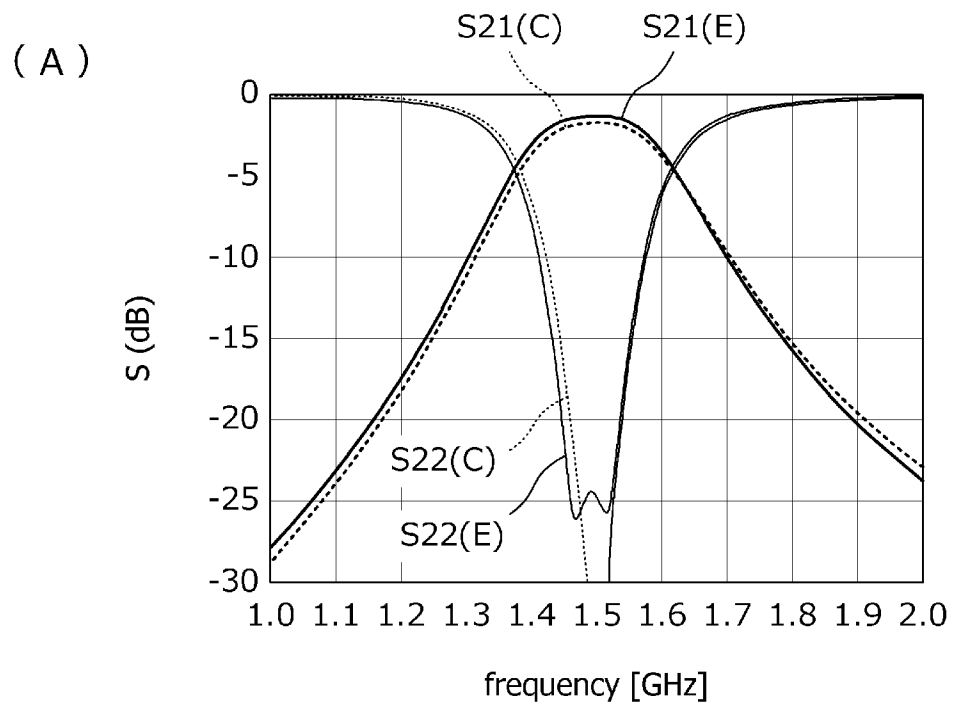
[図9]

Fig. 9



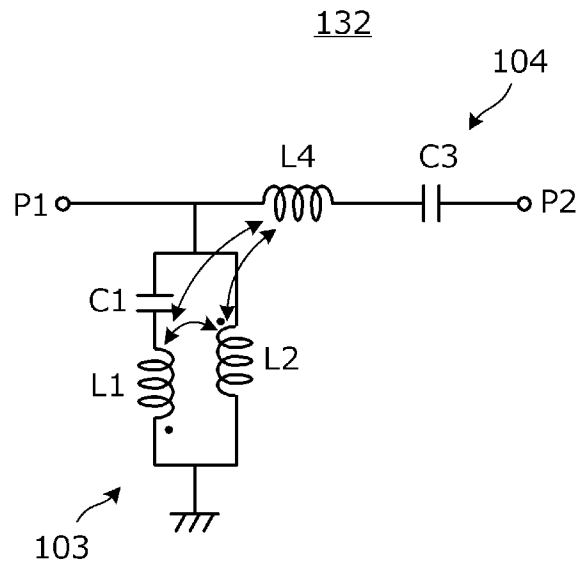
[図10]

Fig.10



[図11]

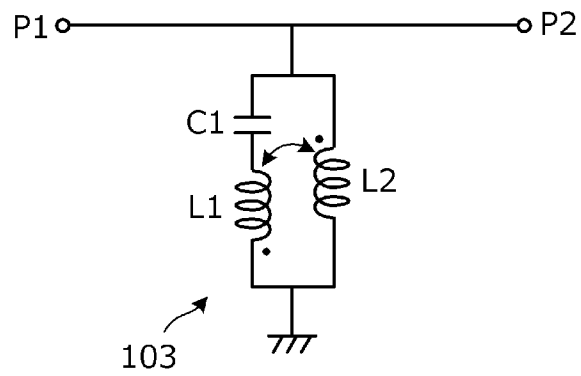
Fig.11



[図12]

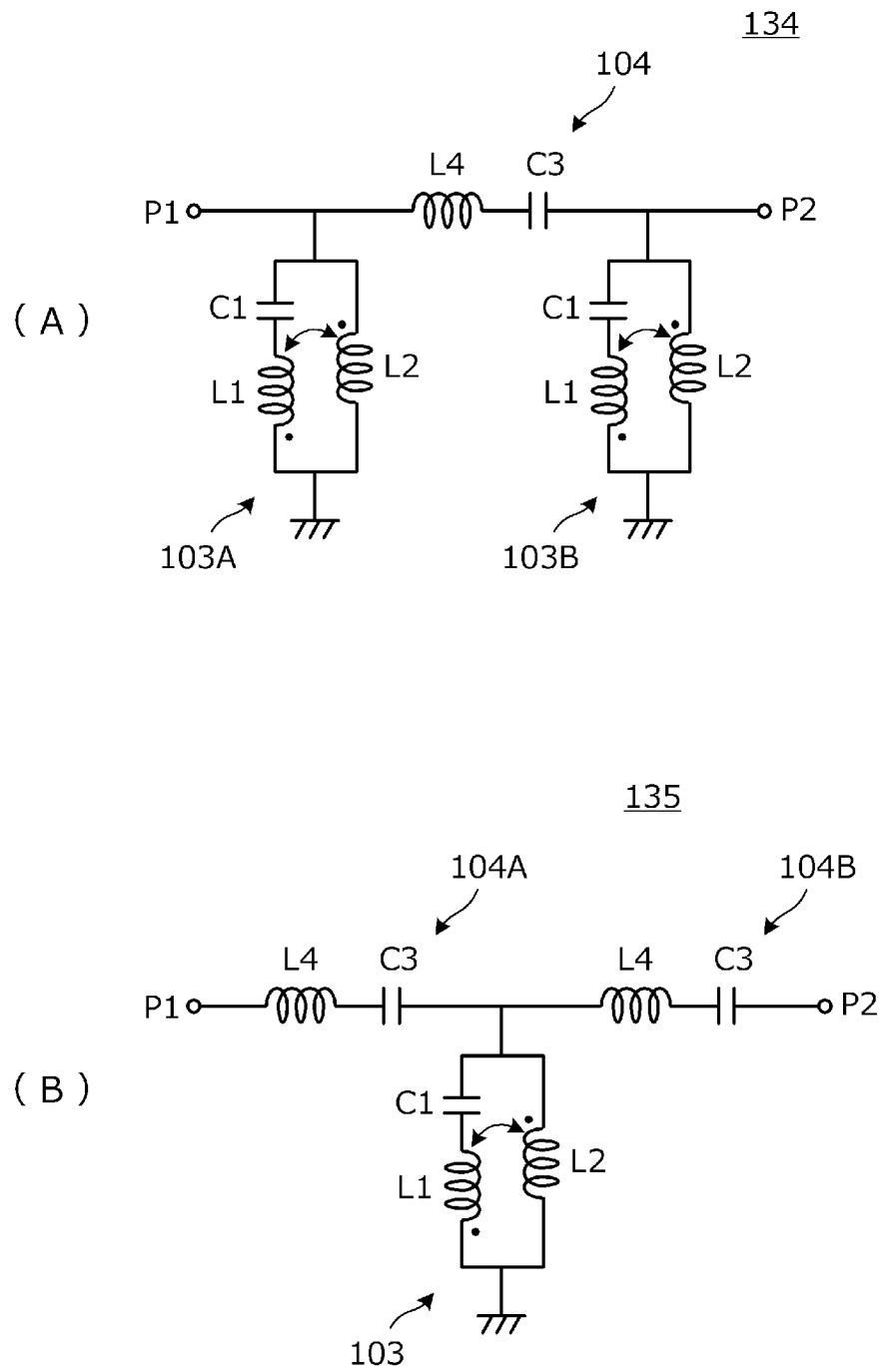
Fig.12

133

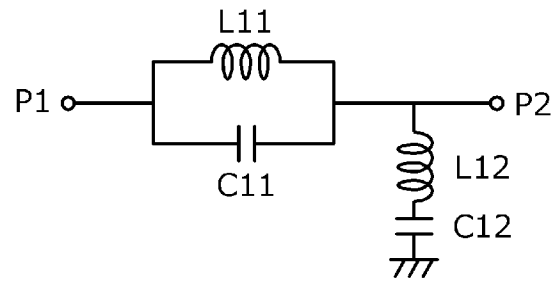


[図13]

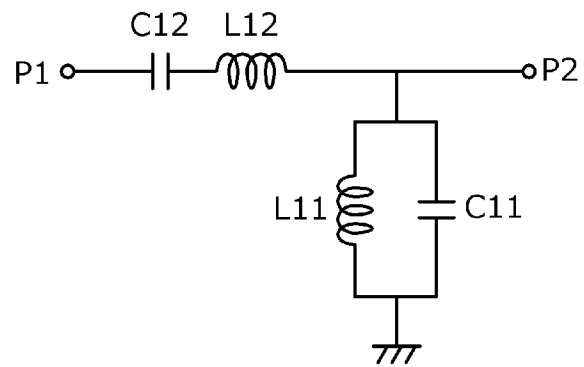
Fig. 13



[図14]

Fig.14

[図15]

Fig.15

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/061348

A. CLASSIFICATION OF SUBJECT MATTER

H03H5/02(2006.01)i, H01F27/00(2006.01)i, H03H7/09(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03H5/02, H01F27/00, H03H7/09

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2004-312741 A (ST Microelectronics S.A.), 04 November 2004 (04.11.2004), paragraphs [0033] to [0037], [0044]; fig. 3 & US 2004/0251985 A1 paragraphs [0048] to [0052], [0059]; fig. 3 & EP 1473833 A1	1 2-13
X Y A	WO 2005/036741 A1 (SOC Corp.), 21 April 2005 (21.04.2005), page 8, line 10 to page 9, line 8; fig. 5 (Family: none)	1, 2 4-6, 9-11 3, 7, 8, 12, 13
X A	JP 2006-186621 A (TDK Corp.), 13 July 2006 (13.07.2006), paragraphs [0022] to [0029]; fig. 1, 2 (Family: none)	1 2-13

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
21 June 2016 (21.06.16)

Date of mailing of the international search report
28 June 2016 (28.06.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/061348

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2-224513 A (Murata Mfg. Co., Ltd.), 06 September 1990 (06.09.1990), page 2, upper left column, line 14 to page 2, lower right column, line 11; fig. 1 to 6 (Family: none)	1, 3 4, 6, 8, 9, 11, 13 2, 5, 7, 10, 12
Y	US 4451803 A (EAGLE COMTRONICS, INC.), 29 May 1984 (29.05.1984), column 2, line 41 to column 3, line 36; column 6, lines 5 to 13; fig. 5, 6 (Family: none)	4-6, 8
Y	JP 6-224644 A (NEC Corp.), 12 August 1994 (12.08.1994), paragraphs [0003], [0009]; fig. 13, 14 & US 5697087 A column 1, lines 25 to 30; column 3, lines 23 to 33; fig. 9C, 9D, 10D & EP 608815 A1 & DE 69421948 T2	9-11, 13
A	WO 2014/185231 A1 (Murata Mfg. Co., Ltd.), 20 November 2014 (20.11.2014), paragraphs [0178] to [0207]; fig. 20 to 22 & US 2016/0028358 A1 paragraphs [0209] to [0238]; fig. 20 to 22 & JP 5817951 B	1-13

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H03H5/02(2006.01)i, H01F27/00(2006.01)i, H03H7/09(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H03H5/02, H01F27/00, H03H7/09

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 2004-312741 A（エステーミクロエレクトロニクス ソシエテ ア ノニム）2004.11.04, 段落[0033]-[0037], [0044], 図3 & US 2004/0251985 A1, [0048]-[0052], [0059], 図3 & EP 1473833 A1	1 2-13
X Y A	WO 2005/036741 A1（エス・オー・シー株式会社）2005.04.21, 第8頁第10行-第9頁第8行, 図5 （ファミリーなし）	1, 2 4-6, 9-11 3, 7, 8, 12, 13

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

21.06.2016

国際調査報告の発送日

28.06.2016

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

鬼塚 由佳

5W

5288

電話番号 03-3581-1101 内線 3576

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 2006-186621 A (TDK株式会社) 2006.07.13, 段落[0022]-[0029], 図 1, 2 (ファミリーなし)	1 2-13
X Y A	JP 2-224513 A (株式会社村田製作所) 1990.09.06, 第2頁左上欄第14行-第2頁右下欄第11行, 図 1-6 (ファミリーなし)	1, 3 4, 6, 8, 9, 11, 1 3 2, 5, 7, 10, 12
Y	US 4451803 A (EAGLE COMTRONICS, INC.) 1984.05.29, 第2欄第41行-第3欄第36行, 第6欄第5行-第13行, 第5, 6図 (ファミリーなし)	4-6, 8
Y	JP 6-224644 A (日本電気株式会社) 1994.08.12, 段落[0003], [0009], 図 13, 14 & US 5697087 A, 第1欄第25-30行, 第3欄第23-33行, 図 9C, 9D, 10D & EP 608815 A1 & DE 69421948 T2	9-11, 13
A	WO 2014/185231 A1 (株式会社村田製作所) 2014.11.20, 段落[0178]-[0207], 図 20-22 & US 2016/0028358 A1, [0209]-[0238], 図 20-22 & JP 5817951 B	1-13