

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】平成 21 年 7 月 23 日 (2009.7.23)

【公表番号】特表 2009-507431 (P2009-507431A)

【公表日】平成 21 年 2 月 19 日 (2009.2.19)

【年通号数】公開・登録公報 2009-007

【出願番号】特願 2008-529341 (P2008-529341)

【国際特許分類】

H 0 3 M 9/00 (2006.01)

H 0 3 K 17/00 (2006.01)

G 0 6 F 13/36 (2006.01)

G 0 6 F 13/38 (2006.01)

G 0 6 F 12/04 (2006.01)

H 0 3 K 5/00 (2006.01)

G 0 6 F 5/00 (2006.01)

【 F I 】

H 0 3 M 9/00 B

H 0 3 K 17/00 E

G 0 6 F 13/36 3 2 0 B

G 0 6 F 13/38 3 5 0

G 0 6 F 12/04 5 1 0 E

H 0 3 K 5/00 X

G 0 6 F 5/00 S

【手続補正書】

【提出日】平成 21 年 6 月 1 日 (2009.6.1)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

パラレルシリアル変換器 (5 2) であって、
 パラレルデータ (d 0 、 d 4 、 d 2 、 d 6 、 d 1 、 d 5 、 d 3 、 d 7) を受信するよう
 に構成されたデータパイプライン (6 2) と、

前記データパイプライン (6 2) からパラレルデータ (d 0 、 d 4 、 d 2 、 d 6 、 d 1
 、 d 5 、 d 3 、 d 7) を受信するように配置され、前記パラレルデータ (d 0 、 d 4 、 d
 2 、 d 6 、 d 1 、 d 5 、 d 3 、 d 7) をシリアルに出力するように構成された複数のスイ
 ッチ (7 0) を備えるバイナリソートロジック (6 4) と、であって、

第 1 のスイッチ (7 0) が、第 1 の制御信号 (R C K < 1 >) の状態に応じて、第 1 の
 データ入力ビット (d 0) または第 2 のデータ入力ビット (d 4) のどちらかを送信する
 ように構成され、第 2 のスイッチ (7 0) が第 2 の制御信号 (R C K < 2 >) の状態に
 応じて、第 3 のデータ入力ビット (d 2) または第 4 のデータ入力ビット (d 6) のどちら
 かを送信するように構成されるものと、

を備えることを特徴とするパラレルシリアル変換器 (5 2) 。

【請求項 2】

請求項 1 に記載のパラレルシリアル変換器 (5 2) であって、前記複数のスイッチ (7
 0) が、

前記データパイプライン(62)からデータをパラレルに受信するように構成された第1の複数のスイッチ(70)を備える第1の段と、

前記第1の複数のスイッチ(70)から前記データを受信するように構成された第2の複数のスイッチ(70)を備える第2の段と、

前記第2の複数のスイッチ(70)から前記データを受信するように構成され、前記データをシリアルに出力するように構成されたスイッチングロジックを備える最終段(72)と、

を備えることを特徴とするパラレルシリアル変換器(52)。

【請求項3】

請求項2に記載のパラレルシリアル変換器(52)であって、前記第1の段は前記パラレルデータ(d0、d4、d2、d6、d1、d5、d3、d7)の周波数を2倍にするように構成され、前記第2の段は前記第1の段から受信されたデータの周波数を2倍にするように構成され、前記最終段(72)は前記第2の段から受信されたデータの周波数を2倍にするように構成される、ことを特徴とするパラレルシリアル変換器(52)。

【請求項4】

請求項2に記載のパラレルシリアル変換器(52)であって、前記第1の段は4つのスイッチ(70)を備え、前記第2の段は2つのスイッチ(70)を備える、ことを特徴とするパラレルシリアル変換器(52)。

【請求項5】

請求項1に記載のパラレルシリアル変換器(52)であって、前記データパイプライン(62)は前記パラレルデータ(d0、d4、d2、d6、d1、d5、d3、d7)を第1の周波数で受信するように構成され、前記バイナリデータソートロジック(64)は前記パラレルデータ(d0、d4、d2、d6、d1、d5、d3、d7)をシリアルに第2の周波数で出力するように構成され、前記第2の周波数が第1の周波数より大きい、ことを特徴とするパラレルシリアル変換器(52)。

【請求項6】

データソート装置(64)であって、

8本のデータバス上でデータ(d0、d4、d2、d6、d1、d5、d3、d7)をパラレルに受信するように構成された第1のスイッチング段であって、前記データ(d0、d4、d2、d6、d1、d5、d3、d7)を4本のデータバスで伝送するように構成され、前記第1のスイッチング段は複数のスイッチ(70)からなり、前記複数のスイッチ(70)の各々は各クロック信号(RCK<1>、RCK<2>、FCK<1>、FCK<2>)によって制御され、各クロック信号(RCK<1>、RCK<2>、FCK<1>、FCK<2>)は異なる位相からなるものと、

前記第1のスイッチング段から前記4本のデータバス上で前記データ(d0、d4、d2、d6、d1、d5、d3、d7)を受信するように構成され、前記データ(d0、d4、d2、d6、d1、d5、d3、d7)を2本のデータバスで伝送するように構成された第2のスイッチング段と、

前記第2のスイッチング段から前記2本のデータバス上で前記データ(d0、d4、d2、d6、d1、d5、d3、d7)を受信するように構成され、前記データを出力バス(58)でシリアルに伝送するように構成された最終スイッチング段(72)と、を備えることを特徴とするデータソート装置(64)。

【請求項7】

請求項6に記載のデータソート装置(64)であって、前記第1のスイッチング段の前記第1の複数のスイッチ(70)が、

前記8本のデータバス(54)の第1のデータバス上のデータワードの第1ビット(d0)を受信し、前記8本のデータバス(54)の第2のデータバス上の前記データワードの第5ビット(d4)を受信するように構成され、前記第1ビット(d0)および前記第5ビット(d4)を前記4本のデータバスの第1のデータバス上に交互に送信するようにさらに構成された第1のスイッチ(70)と、

前記 8 本のデータバス (5 4) の第 3 のデータバス上の前記データワードの第 3 ビット (d 2) を受信し、前記 8 本のデータバス (5 4) の第 4 のデータバス上の前記データワードの第 7 ビット (d 6) を受信するように構成され、前記第 3 ビット (d 2) および前記第 7 ビット (d 6) を前記 4 本のデータバスの第 2 のデータバス上に交互に送信するようにさらに構成された第 2 のスイッチ (7 0) と、

前記 8 本のデータバス (5 4) の第 5 のデータバス上の前記データワードの第 2 ビット (d 1) を受信し、前記 8 本のデータバス (5 4) の第 6 のデータバス上の前記データワードの第 6 ビット (d 5) を受信するように構成され、前記第 2 ビット (d 1) および前記第 6 ビット (d 5) を前記 4 本のデータバスの第 3 のデータバス上に交互に送信するようにさらに構成された第 3 のスイッチ (7 0) と、

前記 8 本のデータバス (5 4) の第 7 のデータバス上の前記データワードの第 4 ビット (d 3) を受信し、前記 8 本のデータバス (5 4) の第 8 のデータバス上の前記データワードの第 8 ビット (d 7) を受信するように構成され、前記第 4 ビット (d 3) および前記第 8 ビット (d 7) を前記 4 本のデータバスの第 4 のデータバス上に交互に送信するようにさらに構成された第 4 のスイッチ (7 0) と、
を備えることを特徴とするデータソート装置。

【請求項 8】

請求項 7 に記載のデータソート装置 (6 4) であって、前記第 2 のスイッチング段が、前記 4 本のデータバスの前記第 1 のデータバス上の前記第 1 ビット (d 0) および前記第 5 ビット (d 4) を交互に受信し、前記 4 本のデータバスの前記第 2 のデータバス上の前記第 3 ビット (d 2) および前記第 7 ビット (d 6) を交互に受信するように構成され、前記第 1 ビット (d 0)、前記第 3 ビット (d 2)、前記第 5 ビット (d 4)、および前記第 7 ビット (d 6) をそれぞれ前記 2 本のデータバスの第 1 のデータバス上に交互に送信するようにさらに構成された第 5 のスイッチ (7 0) と、

前記 4 本のデータバスの前記第 3 のデータバス上の前記第 2 ビット (d 1) および前記第 6 ビット (d 5) を交互に受信し、前記 4 本のデータバスの前記第 4 のデータバス上の前記第 4 ビット (d 3) および前記第 8 ビット (d 7) を交互に受信するように構成され、前記第 2 ビット (d 1)、前記第 4 ビット (d 3)、前記第 6 ビット (d 5)、および前記第 8 ビット (d 7) をそれぞれ前記 2 本のデータバスの第 2 のデータバス上に交互に送信するようにさらに構成された第 6 のスイッチ (7 0) と、
を備えることを特徴とするデータソート装置 (6 4)。

【請求項 9】

請求項 8 に記載のデータソート装置 (6 4) であって、前記最終スイッチング段 (7 2) が、前記 2 本のデータバスの前記第 1 のデータバス上の前記第 1 ビット (d 0)、前記第 3 ビット (d 2)、前記第 5 ビット (d 4)、および前記第 7 ビット (d 6) を交互に受信し、前記 2 本のデータバスの前記第 2 のデータバス上の前記第 2 ビット (d 1)、前記第 4 ビット (d 3)、前記第 6 ビット (d 5)、および前記第 8 ビット (d 7) を交互に受信するように構成され、前記第 1 ビット (d 0)、前記第 2 ビット (d 1)、前記第 3 ビット (d 2)、前記第 4 ビット (d 3)、前記第 5 ビット (d 4)、前記第 6 ビット (d 5)、前記第 7 ビット (d 6)、および前記第 8 ビット (d 7) を前記出力バス (5 8) 上に交互に送信するようにさらに構成される、ことを特徴とするデータソート装置 (6 4)。

【請求項 10】

請求項 6 に記載のデータソート装置 (6 4) であって、前記 4 本のデータバスのデータ送信速度が前記 8 本のデータバスのデータ送信速度の 2 倍である、ことを特徴とするデータソート装置 (6 4)。

【請求項 11】

請求項 6 に記載のデータソート装置 (6 4) であって、前記 2 本のデータバスのデータ送信速度が前記 4 本のデータバスのデータ送信速度の 2 倍である、ことを特徴とするデータソート装置 (6 4)。

【請求項 12】

前記請求項 6 に記載のデータソート装置 (6 4) であって、前記出力バス (5 8) のデータ送信速度が前記 2 本のデータバスのデータ送信速度の 2 倍である、ことを特徴とするデータソート装置 (6 4)。