

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



# [12] 发明专利说明书

G11C 16/04 (2006.01)

G11C 16/10 (2006.01)

G11C 11/56 (2006.01)

专利号 ZL 200610101605.5

[45] 授权公告日 2009年9月2日

[11] 授权公告号 CN 100536028C

[22] 申请日 2006.6.30

[21] 申请号 200610101605.5

[30] 优先权

[32] 2005.6.30 [33] US [31] 11/172421

[73] 专利权人 奇梦达股份公司

地址 德国慕尼黑

[72] 发明人 T·勒尔 J·韦勒

[56] 参考文献

CN1166887A 1997.12.3

US6282145B1 2001.8.28

US2005/0104117A1 2005.5.19

US6525969B1 2003.2.25

US2004/0076038A1 2004.4.22

US5768192A 1998.6.16

US2003/0185051A1 2003.10.2

US6011725A 2000.1.4

审查员 李昕宇

[74] 专利代理机构 北京康信知识产权代理有限公司

代理人 余刚 李丙林

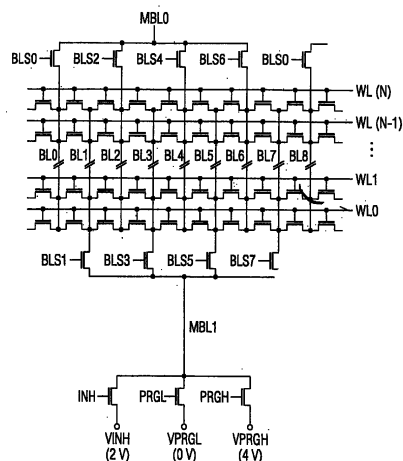
权利要求书5页 说明书7页 附图4页

## [54] 发明名称

用于对多位电荷俘获存储单元阵列编程的方法

## [57] 摘要

编程电压被施加到源极和漏极，以便在存储单元的沟道的一端处产生热空穴注入。通过将中间抑制电压施加到邻近的位线来避免不期望的对相邻存储单元的编程。这通过将所有位线预充电到抑制电压来完成，即或者通过接连地将抑制电压单独施加到每条位线、或者通过将较高和较低编程电压都施加到一半位线并然后短路所有位线以产生中间电压来完成。



1. 一种对多位电荷俘获存储单元阵列中的存储单元进行编程的方法，该方法包括：

设置被布置成行和列的电荷俘获存储单元的阵列，该阵列包括沿所述列的方向延伸的多条位线，每个存储单元具有被耦合到所述位线之一的第一源极和漏极和被耦合到所述位线中的邻近的位线的第二源极和漏极，以致位于存储单元的两个邻近列之间的每个源区和漏区通过位线被耦合，这些位线被布置成位线组，每一组包括接连被布置在一部分内的每隔一条位线；

将抑制电压施加到该部分中没有被耦合到将要被编程的存储单元的至少每条位线；以及

在施加抑制电压之后，将低编程电压施加到将要被编程的存储单元的第一源漏区以及将高编程电压施加到被连接到将要被编程的存储单元的源区和漏区的位线。

2. 根据权利要求1所述的方法，其中，施加所述抑制电压包括将该抑制电压接连地施加到所述部分中没有被耦合到将要被编程的存储单元的每条位线。

3. 根据权利要求1所述的方法，其中，施加所述抑制电压包括将该抑制电压同时施加到所述部分中没有被耦合到将要被编程的存储单元的每条位线。

4. 根据权利要求3所述的方法，其中，施加所述抑制电压包括：

将所述高编程电压施加到没有被耦合到将要被编程的存储单元的位线中的一些位线；

将所述低编程电压施加到没有被耦合到将要被编程的存储单元的位线中的其它位线；以及

使所述部分中的每条位线互相耦合。

5. 根据权利要求4所述的方法，其中，将所述高编程电压施加到位线中的一些位线包括将该高编程电压施加到没有被耦合到将要被编程的存储单元的位线中的每隔一条位线，并且其中，将所述低编程电压施加到所述位线中的其它位线包括将该低编程电压施加到没有被耦合到将要被编程的存储单元的位线中的剩余位线。

6. 根据权利要求1所述的方法, 其中, 施加所述抑制电压包括施加为高编程电压和低编程电压之间的一半大小的抑制电压。

7. 一种用于对多位电荷俘获存储单元阵列进行编程的方法, 其包括:

设置电荷俘获存储单元阵列, 该阵列包括:

被布置成行和列的多个电荷俘获存储单元;

每个存储单元包括源区和漏区和栅电极之间的沟道区;

相同列的存储单元的每个所述沟道区通过所述源区和漏区串联耦合;

相同行的存储单元的每个所述栅电极通过字线被耦合;

位于所述存储单元的两个邻近列之间的每个所述源区和漏区通过位线被耦合;

所述阵列被再分成多个部分, 每个所述部分包括多条相邻位线;

所述多条相邻位线被布置成位线组, 每个所述组包括接连被布置在所述部分之一内的每隔一条位线;

主位线和多个选择晶体管以这样的形式被布置, 使得所述组之一的每条位线通过所述多个选择晶体管中相应的一个选择晶体管被耦合到属于所述组的相同主位线;

切换电路, 该切换电路单独地被耦合到所述多个选择晶体管并被耦合到所述组之一的每条位线直到被耦合到该组的主位线; 以及

另外的选择晶体管, 其以这样的形式被布置, 使得所述主位线反复不定地被耦合到低编程电压、高编程电压、或抑制电压中的一个电压;

切换所述多个选择晶体管和所述另外的选择晶体管, 以便所述抑制电压接连地被施加到多条所述相邻位线; 以及

将所述低编程电压和所述高编程电压施加到被连接到将要被编程的存储单元的所述源区和漏区的位线。

8. 根据权利要求7所述的方法, 其中, 所述抑制电压也被施加到被耦合到将要被编程的存储单元的所述源区和漏区的位线。

9. 一种用于对多位电荷俘获存储单元阵列进行编程的方法, 该方法包括:

设置电荷俘获存储单元阵列，该阵列包括：

被布置成行和列的多个电荷俘获存储单元，每个存储单元包括源区和漏区和栅电极之间的沟道区，

相同行的存储单元的每个所述沟道区通过所述源区和漏区串联耦合；

相同行的存储单元的各多个所述栅电极通过字线被耦合；

位于所述存储单元的两个邻近列之间的各多个所述源区和漏区通过位线被耦合；

所述阵列被再分成多个部分，每个所述部分包括多条相邻位线；

所述多条相邻位线被布置成位线组，每个所述组包括接连被布置在所述部分之一内的每隔一条位线；

主位线和多个选择晶体管，所述主位线和所述多个选择晶体管以这样的形式来布置，使得所述组之一的每条位线通过所述选择晶体管之一被耦合到属于所述组的相同主位线；

切换所述多个选择晶体管以及将所述组之一的每条位线耦合到该组的主位线的电路；

切换所述多个选择晶体管以及同时耦合所述组的所述位线的另外的电路；以及

另外的选择晶体管，所述另外的选择晶体管以这样的形式来布置，以致所述主位线反复不定地被连接到低编程电压和高编程电压中的一个电压；

切换所述多个选择晶体管和所述另外的选择晶体管，以便所述低编程电压被施加到第一组多条所述位线以及所述高编程电压被施加到第二组多条所述位线；

同时切换被耦合到所述组的所述位线的所述多个选择晶体管，由此产生具有在所述低编程电压和所述高编程电压之间的值的电压；以及

然后将所述低编程电压和所述高编程电压施加到被连接到将要被编程的存储单元的所述源区和所述漏区的位线。

10. 根据权利要求9所述的方法，其中，每个所述位线组包括偶数

条位线，并且其中，所述第一组多条所述位线和所述第二组多条所述位线各包括每个所述组的一半数目的所述位线。

11. 根据权利要求9所述的方法，其中，所述第一组多条所述位线和所述第二组多条所述位线各包括每个所述组的至少四分之一数目的所述位线。

12. 根据权利要求9所述的方法，

其中，每个所述位线组包括偶数条位线，并且

其中，切换所述选择晶体管和所述另外的选择晶体管以便所述低编程电压被施加到第一组多条所述位线以及所述高编程电压被施加到第二组多条所述位线包括：切换所述选择晶体管和所述另外的选择晶体管，以便所述低编程电压和所述高编程电压交替地被施加到所述第一组多条所述位线和所述第二组多条所述位线。

13. 一种存储器件，其包括：

被布置成行和列的非易失性存储单元的阵列，该阵列包括沿所述列的方向延伸的多条位线，每个存储单元具有被耦合到所述位线之一的第一源极和漏极和被耦合到所述位线中的邻近位线的第二源极和漏极，以致位于存储单元的两个邻近列之间的每个源区和漏区通过位线被耦合，这些位线被布置成位线组，每一组包括接连被布置在一部分内的每隔一条位线；

多个第一选择开关；

选择性地被耦合到第一位线组中的每条位线的第一主位线，每条位线通过多个第一选择开关中的相应第一选择开关被耦合到该第一主位线；

被耦合到该第一选择开关的第一选择电路，该第一选择电路包括多个“与”门，每个“与”门被耦合在第一选择开关之一和至少两个寻址信号之间；

多个第二选择开关；

选择性地被耦合到第二位线组中的每条位线的第二主位线，每条位线通过多个第二选择开关中的相应第二选择开关被耦合到第二主位线，其中第一组中的位线包括一部分中的每隔一条位线以及第二组中的位线包括该部分中的剩余位线；

被耦合到第二选择开关的第二选择电路，该第二选择电路包括多

个“与”门，每个“与”门被耦合在第二选择开关之一和至少两个寻址信号之间；

选择性地被耦合到该第一主位线和被耦合到该第二主位线的高编程电压节点；以及

选择性地被耦合到该第一主位线和被耦合到该第二主位线的低编程电压节点。

14. 根据权利要求13所述的器件，进一步包括选择性地被耦合到所述第一主位线和被耦合到所述第二主位线的抑制电压节点。

15. 根据权利要求14所述的器件，进一步包括用于将所述抑制电压同时施加到每条位线的装置。

16. 根据权利要求13所述的器件，其中，所述多个第一选择电路进一步包括被耦合在“与”门和所述多个第一选择开关之间的多个“或”门，并且其中所述多个第二选择电路进一步包括被耦合在“与”门和所述多个第二选择开关之间的多个“或”门。

17. 根据权利要求13所述的器件，其中，每个存储单元包括被放置在上限制层和下限制层之间的介电存储层。

## 用于对多位电荷俘获存储单元阵列编程的方法

### 技术领域

本发明涉及一种用于对多位电荷俘获存储单元的存储单元阵列进行编程的方法，这些存储单元阵列通过在沟道区的任一端注入热空穴来编程。

### 背景技术

具有电荷俘获层的存储器件（尤其是包括氧化物-氮化物-氧化物层序列作为存储介质的SONOS存储单元）通常通过沟道热电子注入来编程。美国专利No. 5, 768, 192和美国专利No. 6, 011, 725公开了特殊类型的所谓的NROM单元的电荷俘获存储单元，该电荷俘获存储单元可被用于在相应栅极边缘之下的源极处和漏极处都存储信息位，这两个专利在此均被引入作为参考。已编程单元以逆向模式来读取，以便实现充分的两位分离。通过热空穴注入来执行擦除。每个单元在编程期间随着晶体管被完全驱动的电消耗是大约100  $\mu$  A。电荷向着中间沟道区的增加大大减少了可能的编程循环的数目。因此，由于在重新编程过程期间中间沟道区中增加的电荷量不能被完全中和，所以不可能将单元缩减到亚100nm工艺。由此，存储单元的性能将随着编程循环数目的增加而退化。

美国专利申请公开文献No. 2003/0185055 A1和C. C. Yeh等人的相应文章“PHINES: A Novel Low Power Program/Erase, Small Pitch, 2-Bit per Cell Flash Memory”（2002年，IEEE）公开了具有电子俘获擦除状态的非易失性半导体存储单元，该非易失性半导体存储单元被操作为快闪存储器并能够存储两位，这些文献在此均被引入作为参考。通过电子从任一沟道或栅电极富雷-诺特海姆式（Fowler-Nordheim）隧穿到常规电荷俘获层序列（例如ONO层序列）的存储层中进行擦除。在对该存储器进行编程时，电空穴被注入非导电电荷俘获层中。热空穴注入可以在源极和漏极处被诱发，这意味着在沟道的两端处均诱发热空穴注入。这种工作方法避免了高编程电流。

在通过字线和位线寻址的虚接地的存储单元阵列中，通过将较低和较高编程电压施加到被连接到将要被编程的存储单元的源区和漏

区的两条位线来执行通过热空穴注入对单独的单元进行编程。通过所施加的源漏电压的方向来选择已编程的位在源区和漏区之一附近的沟道区的任一端的位置。一般是大约 $-7\text{ V}$ 的负电压被施加到将要被编程的单元晶体管的栅电极。由于字线沿一行存储单元连接所有栅电极，因此该负电压也存在于相同行的相邻单元晶体管的栅电极处，将要被编程的单元晶体管位于该相同行中。该阵列内的所有其它栅电极处于 $0\text{ V}$ （“接地”）。编程电压一般是例如 $0\text{ V}$ 和 $+4\text{ V}$ 。

通过在将要被编程的存储单元的源区和漏区施加该电势差，热空穴的注入在漏极发生，该漏极被连接到 $4\text{ V}$ 的高编程电压。如果在同一行存储单元中的邻近的存储单元的另一端处的源区和漏区处于 $0\text{ V}$ ，则该邻近的存储单元晶体管的源漏电压也足以编程该晶体管，这不是预期的。因此，对该相邻源区和漏区施加所谓的抑制电压（inhibit voltage），以便将该晶体管的源漏电压降低到足够低以保证在相邻存储单元中不发生编程的值，所谓的抑制电压一般可以是例如 $+2\text{ V}$ 。因为编程需要源漏电压的最小值，所以这是可能的，注入机制的效率强烈地取决于该源漏电压的最小值。所有其它位线可以处于 $0\text{ V}$ ，以便不被编程的所有存储晶体管的源漏电压一般是 $0\text{ V}$ 或 $2\text{ V}$ ，并且这些存储单元不被编程。编程过程开始于向相邻位线施加抑制电压，然后向被连接到将要被编程的存储单元的位线施加编程电压。其它位线的电压的精确值对于编程过程并不重要，以致那些位线的电压可以在一定范围内变化。然而，必需的是仅向通过相同字线进行寻址的该行存储单元的存储单元之一施加编程电压。

具有虚接地体系结构的存储器产品通常包括通过特别布置的选择晶体管被连接到位线组的主位线。沿这些行彼此接连的位线交替地被连接到不同的主位线，以便不同编程电压可以通过选择晶体管被施加到邻近的位线。在典型的阵列装置中，被连接到相同主位线的位线组例如各包括四条或八条位线。多路电路被布置来切换选择晶体管，以便仅仅一条位线可以同时被连接到主位线之一。将抑制电压和编程电压顺序施加到不同位线需要明显更复杂的切换电路。这是这种包括通过热空穴注入来编程的电荷俘获存储单元的存储器体系结构的缺点。

### 发明内容

在一个方面中，本发明提供一种用于通过热空穴注入对多位电荷



俘获存储单元阵列进行编程的方法，这种方法适于基本上可利用普通寻址电路来执行的虚接地体系结构。

在另一方面中，该方法避免设置附加的抑制电压源。

这种用于对多位、电荷俘获存储单元阵列进行编程的方法包括通过下述来执行的步骤：连续切换位线中的选择晶体管和主位线中的另外的选择晶体管，以便适当的抑制电压接连至少被施加到并没有连接将要被编程的存储单元的源区和漏区的每条位线，以及将较低和较高的编程电压施加到被连接到将要被编程的存储单元的源区和漏区的位线。

在该方法的变型中，通过下述来执行编程步骤：切换选择晶体管和另外的选择晶体管，以便将较低和较高的编程电压各施加到所选的多条位线，切换选择晶体管以同时连接多条位线，然后将较低和较高的编程电压施加到被连接到将要被编程的存储单元的源区和漏区的位线。如此，在实际编程步骤之前，实现位线的短路，由此预充电的电平被混合，以便产生中间电压，该中间电压适于位于适合抑制电压的范围内。

根据以下附图的简要描述、详细描述和所附权利要求以及附图，本发明的这些和其它特征及优点将变得显而易见。

#### 附图说明

为了更完整地理解本发明及其优点，现在参考以下结合附图的描述，其中：

图1示出包括位线和主位线的存储单元阵列的部分的电路图；

图2示出可用于本发明的方法的切换电路的电路图；

图3示出在编程过程期间被施加到连接的电压的图；

图4示出针对该方法的替换变型的根据图1的电路图的部分；

图5示出针对根据图4的实施例的、根据图2的切换电路的电路图；以及

图6示出针对图4和图5的实施例的切换信号的图。

下面的参考符号的列表可以结合附图来使用：

AS 附加信号	VIN 抑制电压
BLn 位线	VPRGH 较高编程电压
BLSn 选择晶体管	VPRGL 较低编程电压

CA0 第一信号

WLn 字线

CA1第二信号

具体实施方式

下面将详细讨论目前优选的实施例的构造和使用。然而，应当认识到，本发明提供了多个可应用的发明概念，这些概念被实施在多种特定环境中。所讨论的特定实施例仅仅解释构成和使用本发明的特定方式，并没有限制本发明的范围。

图1示出虚接地体系结构的电荷俘获存储单元阵列的电路图。将要被描述的工作方法尤其适于通过热空穴注入来进行编程。存储单元被布置成行和列，以及沟道沿所述行串联连接。两个邻近存储单元所共有的源区和漏区沿所述列被连接到相同位线。栅电极沿所述行被连接到字线。该图示出从WL0到WL(N)编号的字线。该部分示出两个完整的位线组，一个位线组包括位线BL0、BL2、BL4、和BL6，这些位线BL0、BL2、BL4、和BL6通过选择晶体管BLS0、BLS2、BLS4、和BLS6被连接到主位线MBL0。另一部分包括位线BL1、BL3、BL5、和BL7，这些位线BL1、BL3、BL5、和BL7通过选择晶体管BLS1、BLS3、BLS5、和BLS7被连接到主位线MBL1。图1的右手侧上的下一位线BL8和附属的选择晶体管BLS0表明该装置是所示部分以及交替连接到主位线的组中的位线的子部分的周期性重复。

在图1的底部，以图解方式插入了电压源。设置另外的选择晶体管INH（抑制）、PRGL（编程低）、和PRGH（编程高），以便抑制电压VINH（在该实例中为2V）、较低编程电压VPRGL（在该实例中为0V）、和较高编程电压VPRGH（在该实例中为4V）可被施加到该组的位线BL1、BL3、BL5、和BL7中的任一条位线。相应的另外的选择晶体管也被布置在另一主位线MBL0中，但在该图中未示出。切换电路可以是常规多路电路，由此选择晶体管交替地切换导通，以便在编程过程期间总是只有一条位线被耦合到相关主位线。

编程过程开始于向至少属于这两个位线组的每条位线施加抑制电压，这两个位线组包含耦合将要被编程的存储单元的位线。抑制电压还可以被施加到相邻位线组的位线或者甚至施加到存储单元阵列内的每条位线。这种本发明方法的第一变型的一个特征在于，抑制电压的施加并没有被限制在将要被编程的存储单元的位置。因此，不必选择

与耦合将要被编程的位的位置处的源区和漏区的位线邻近的位线，以便将抑制电压专门施加到所选位线。相反，将多条位线预充电到抑制电压，以便接着必须只有选择连接将要被编程的存储单元的位线。这随后通过原则上等同于存储单元在虚接地单元阵列的编程期间的普通寻址的过程来进行。

结合该工作模式，所施加的编程电压被选择来在漏极附近的电荷俘获层中产生热空穴注入。所施加的编程电压的方向可以根据必须被编程的位的位置来选择，而对于抑制电压的存在没有任何限制，因为所有相邻位线已经被设置成抑制电压。由此，除了在随后的步骤中通过另外的选择晶体管将抑制电压施加到所述多条位线的设施之外，这种操作存储单元阵列的方法不需要附加的切换电路，所述多条位线可以或者不可以包括通向将要被编程的存储单元的两条位线。

图2示出切换电路的图，通过该切换电路，位线BL0、BL2、BL4、和BL6可以分别经由选择晶体管BLS0、BLS2、BLS4、和BLS6交替地被连接到公共主位线MBL0。图2中所示的图仅是适于该目的的切换电路的一个实例。每个选择晶体管设有具有两个输入的“与”单元，这两个输入直接或者通过反相器被连接到第一信号CA0的源极和第二信号CA1的源极。从图2的图示中可以直接看出，两条信号线上的信号的四种可能的组合致使输出信号的四种不同的组合，这些输出信号被施加到选择晶体管的栅电极，以在所有情况下精确地切换这些选择晶体管中的一个导通。由此，这种装置使得位线能够被预充电到抑制电压，以便可以在无须冒险另一位在错误的存储地点被编程的情况下执行编程。

图3示出被施加到各种输入的电压的时序图。该图示通过垂直虚线被分成多个时间间隔。第一水平线示出抑制电压周期性地相继施加到选择晶体管BLS0、BLS2、BLS4、和BLS6或者施加到这些选择晶体管BLS0、BLS2、BLS4、和BLS6的属于主位线MBL1的对应部分。相应位线上的以前未定义的电压由阴影来表示。在预充电步骤之后，较高编程电压VPRGH和较低编程电压VPRGL被施加到位线（在该实例中为BL1和BL2），这些位线连接将要被编程的存储单元的源区和漏区。图3的图底部处的两个有阴影线的区域表示位线BL1和BL2上的电压可以在预充电步骤中保持未定义，因为这些位线不必被设置为抑制电压。

图4示出针对该方法的另一变型的电连接,该变型并不需要独立的电压源来提供抑制电压。图4中示出的电路部分对应于图1的电路图的较低部分,唯一的差别是省去了抑制电压源。代替用抑制电压给所有位线充电,这些位线部分被充电到较低编程电压以及部分被充电到较高编程电压。这可以例如交替完成,以便这些位线随后按照其物理顺序被连接到两个编程电压之一。这意味着,之后,一半位线处于较低编程电压而另一半位线处于较高编程电压。然后,所有选择晶体管同时切换导通,以便短路这些位线。这导致不同电压的均衡化,再现处于大约抑制电压电平处的中间电压。这产生与通过施加特别设置的抑制电压来独立地且单独地给位线进行预充电相同的效应。

图5示出相应的电路图,该电路图类似于图2的图示,但是进一步包括在“与”部件和选择晶体管的栅电极之间的“或”部件。这些“或”部件通过附加信号AS来切换,通过该附加信号AS,所有属于相同主位线的选择晶体管可以被同时切换导通。

图6示出针对利用附加信号AS的这种变型的根据图3的图示的电压电平的图示。在附加信号AS之前交替施加信号CA0和CA1,通过附加信号AS将属于相同主位线的位线短路。在图6中所示的实例中,交替施加高和低编程电压,但是还可能首先将大约一半位线充电到高电压,然后将另一半位线充电到低电压,或者反之亦然,即首先将大约一半位线充电到低电压,然后将另一半位线充电到高电压。属于被充电到高或低电势的各多条位线的位线的数目可以在一定范围内变化,但是所得到的中压被布置成具有为合适的抑制电压的值。由此,如果源漏电压等于编程电压之一与中间抑制电压的差,则不会发生不期望的编程。

在另一替换实施例中,图5的电路可以代替图2的电路与图1的实施例一起使用。在这种情况下,附加信号AS(图5)可以与抑制信号INH(图1)同时被激活。此时,被耦合到主位线(例如MBL1)的所有位线(例如BL1、BL3、BL5和BL7)同时被预充电。然后预编程继续选择所需的存储单元以及施加编程电压VPRGH和VPRGL,如图3的下面六条线所示。

尽管已经详细描述了本发明及其优点,但是应当理解,在不脱离如由所附权利要求所限定的本发明的精神和范围的情况下可在此进行

各种改变、替换和变动。

另外，本申请的范围并不意图被限于说明书中所描述的过程、机器、制造、物质成分、装置、方法和步骤的特定实施例。由于本领域普通技术人员之一将从本发明的公开内容中容易地认识到，可以根据本发明利用现有的或者以后将要开发的过程、机器、制造、物质成分、装置、方法、或步骤，这些过程、机器、制造、物质成分、装置、方法、或步骤基本上执行与在此所描述的相应实施例相同的功能或者基本上获得与所述相应实施例相同的结果。因此，所附权利要求旨在在其范围内包括这样的过程、机器、制造、物质成分、装置、方法、或步骤。

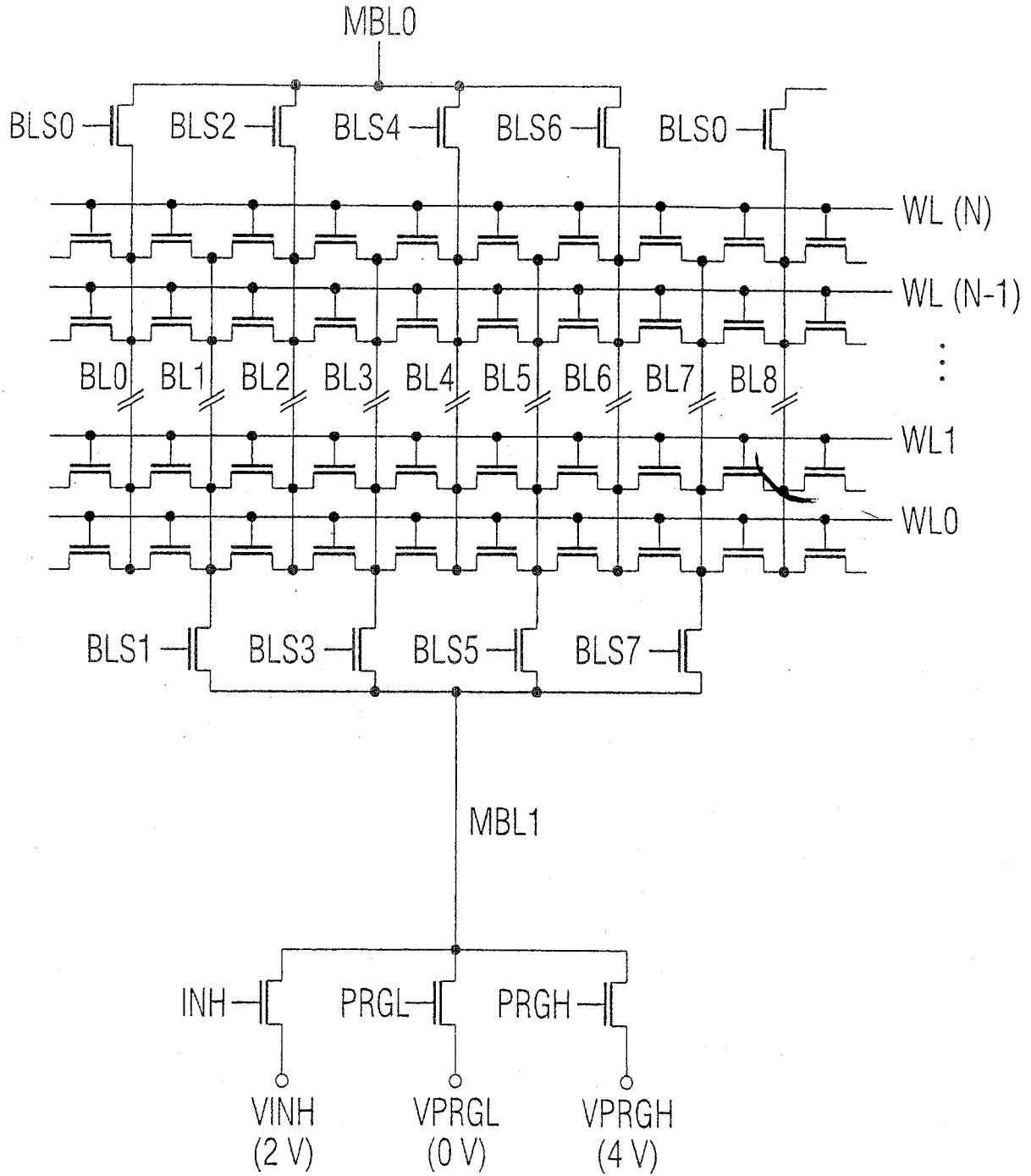


图 1

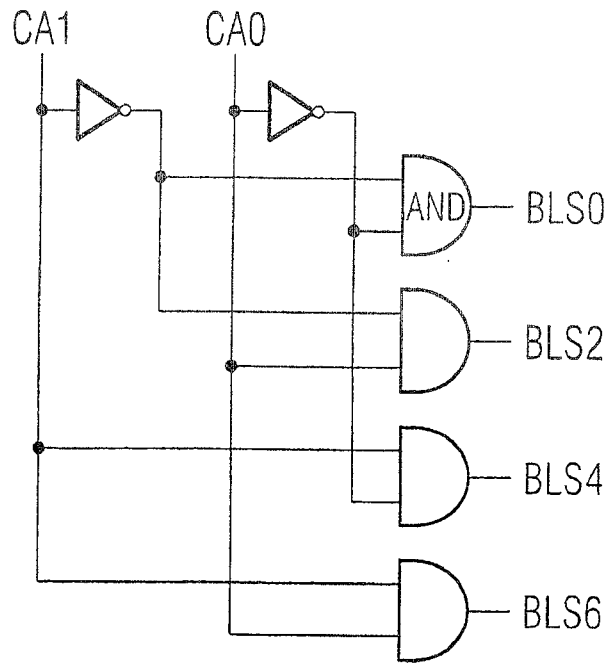


图 2

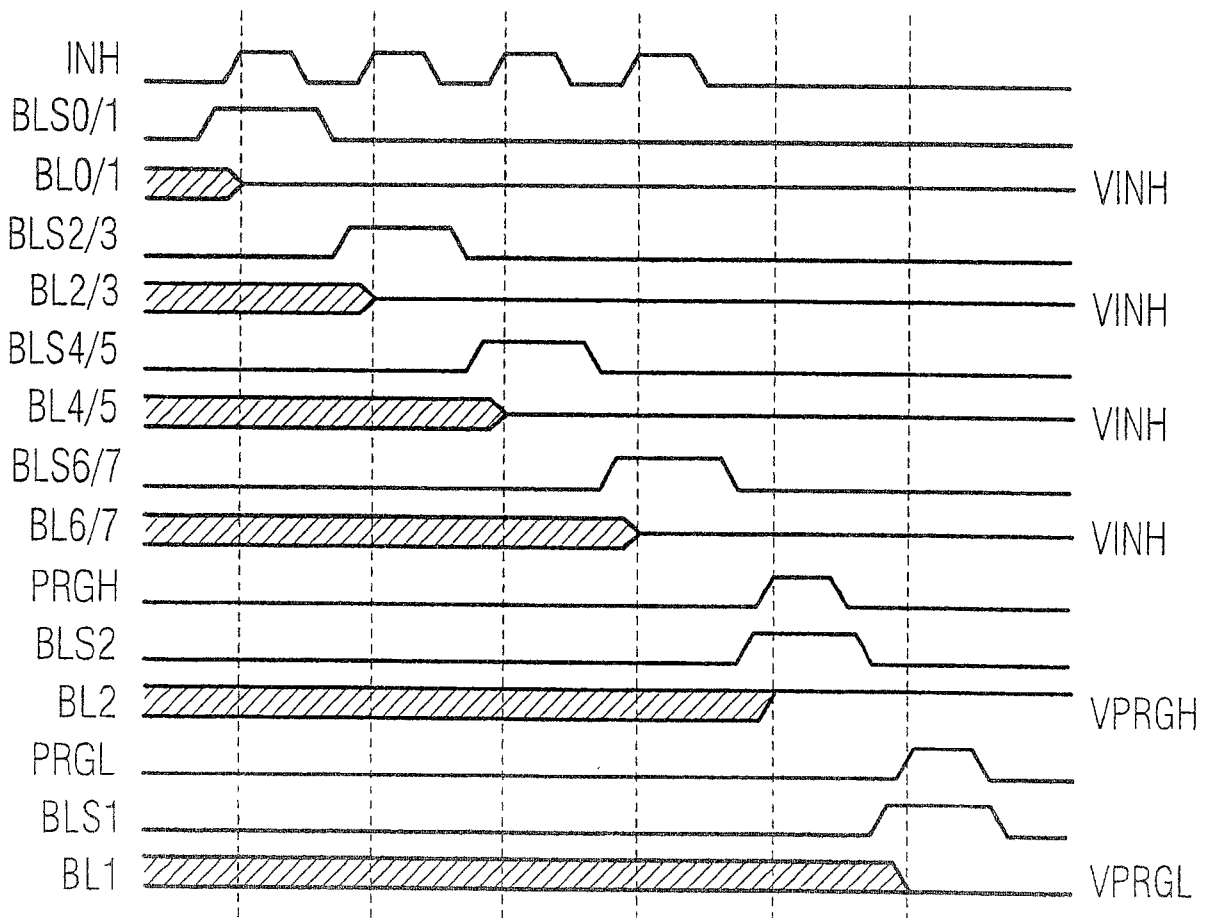


图 3

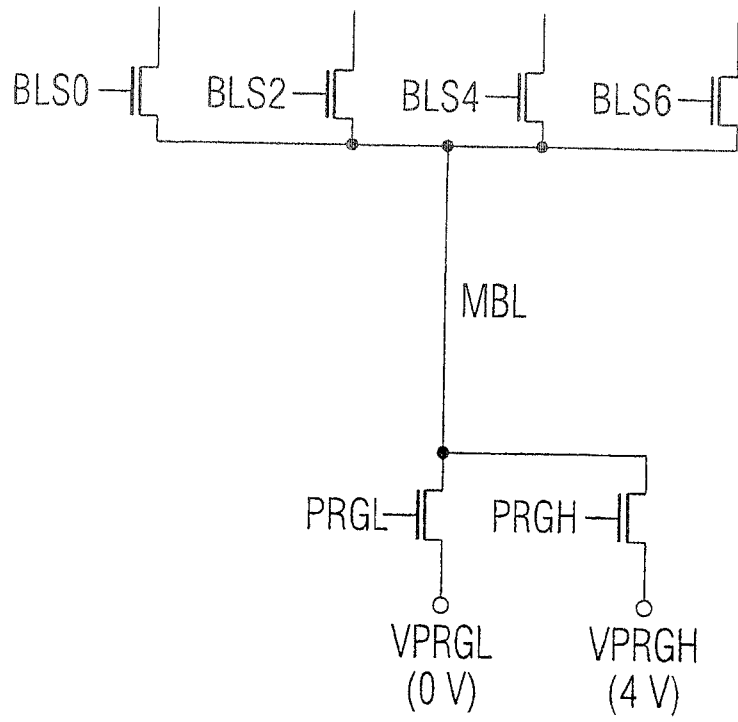


图 4

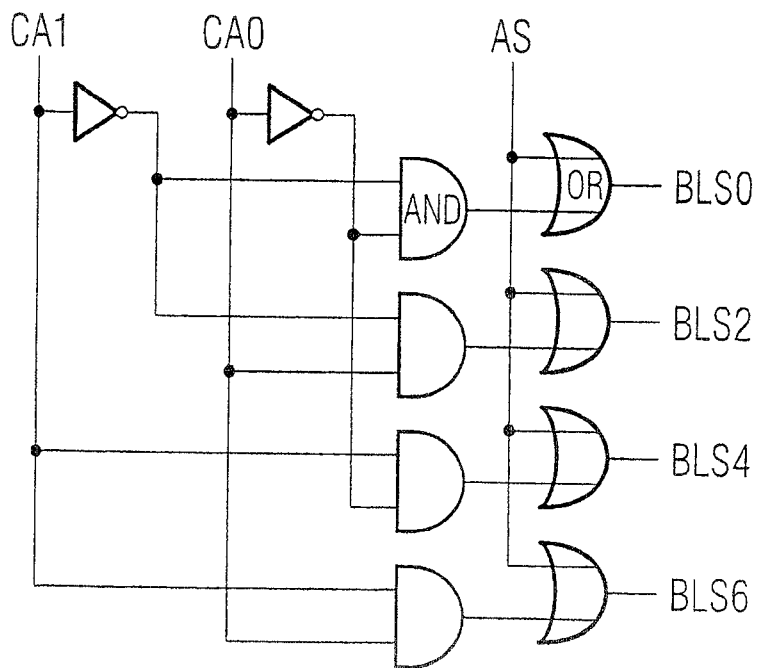


图 5



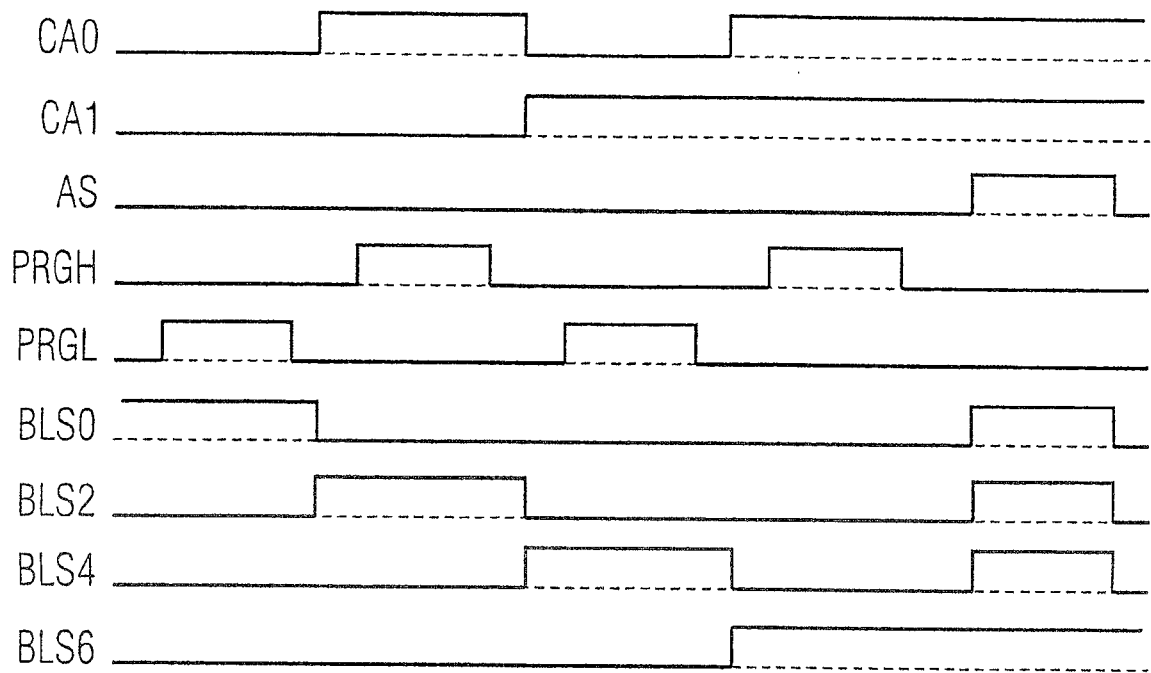


图 6