



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2017년06월09일  
(11) 등록번호 10-1744072  
(24) 등록일자 2017년05월31일

(51) 국제특허분류(Int. Cl.)  
H01L 21/8242 (2006.01) H01L 27/108 (2006.01)  
(21) 출원번호 10-2011-0080143  
(22) 출원일자 2011년08월11일  
심사청구일자 2016년07월20일  
(65) 공개번호 10-2013-0017597  
(43) 공개일자 2013년02월20일  
(56) 선행기술조사문헌  
KR1020110078112 A  
KR1020110003220 A  
KR1020110057289 A  
KR1020050010212 A

(73) 특허권자  
에스케이하이닉스 주식회사  
경기도 이천시 부발읍 경충대로 2091  
(72) 발명자  
송명환  
서울특별시 영등포구 양평로17길 36, 101동 1106호 (양평동4가, 성원아파트)  
(74) 대리인  
특허법인신성

전체 청구항 수 : 총 2 항

심사관 : 김진우

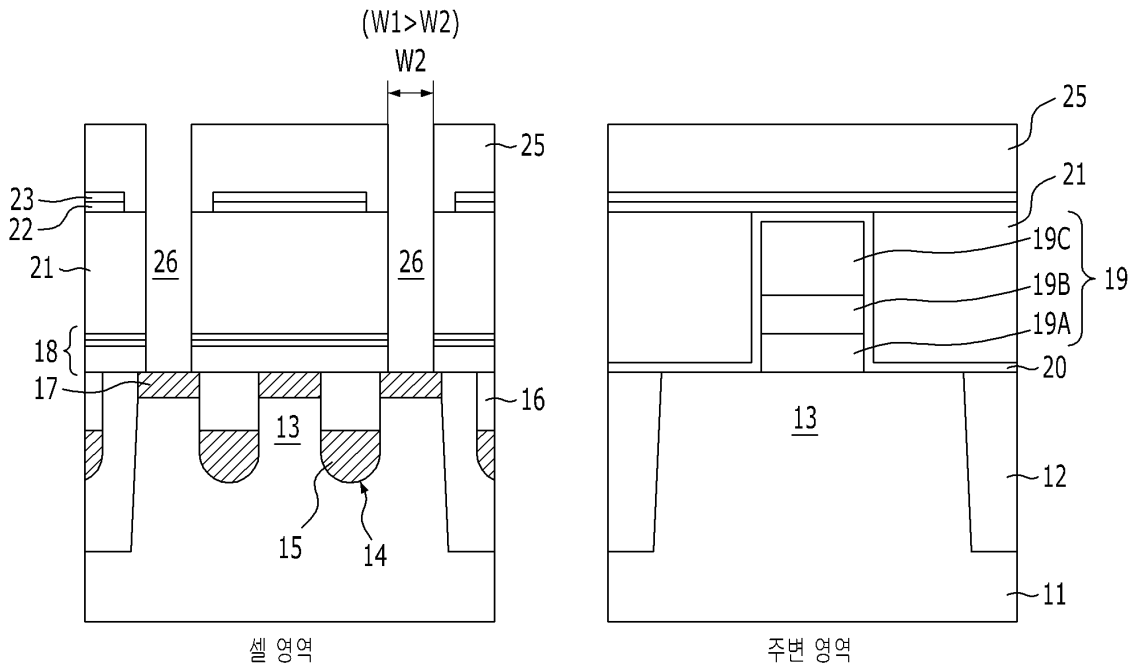
(54) 발명의 명칭 반도체장치 제조 방법

(57) 요약

본 발명은 층간절연막의 평탄화시 슬러리에 따른 단차를 방지하는 반도체 장치 제조 방법을 제공하기 위한 것으로, 본 발명은 매립게이트 및 접합영역을 포함하는 기관 상부에 절연막을 형성하는 단계; 상기 절연막 상에 식각정지막 및 캡핑막을 적층하는 단계; 상기 식각정지막을 타겟으로 상기 절연막에 평탄화 공정을 진행하는 단계;

(뒷면에 계속)

대표도 - 도2e



상기 캡핑막 상에 라인타입의 제1마스크패턴을 형성하는 단계; 상기 제1마스크패턴을 식각장벽으로 상기 캡핑막 및 식각정지막을 식각하는 단계; 상기 캡핑막을 포함하는 절연막 상에 제1마스크패턴보다 선폭이 작은 홀타입의 제2마스크패턴을 형성하는 단계; 상기 제2마스크패턴을 식각장벽으로 상기 절연막을 식각하여 상기 접합영역을 노출시키는 오픈부를 형성하는 단계; 및 상기 오픈부에 도전물질을 매립하여 플러그를 형성하는 단계를 포함하여, 절연막 상부에 식각정지막 및 캡핑막을 추가로 형성하여 슬러리에 의한 단차를 방지하는 효과, 또한, 선폭이 다른 2개의 마스크패턴을 이용하여 오픈부를 계단형태로 형성함에 따라 깎필마진을 확보하여 심(Seam) 현상을 방지하는 효과가 있다.

---

## 명세서

### 청구범위

#### 청구항 1

매립게이트 및 접합영역을 포함하는 기판 상부에 절연막을 형성하는 단계;  
 상기 절연막 상에 식각정지막 및 캡핑막을 적층하는 단계;  
 상기 식각정지막을 타겟으로 상기 절연막에 평탄화 공정을 진행하는 단계;  
 상기 캡핑막 상에 라인타입의 제1마스크패턴을 형성하는 단계;  
 상기 제1마스크패턴을 식각장벽으로 상기 캡핑막 및 식각정지막을 식각하는 단계;  
 상기 캡핑막을 포함하는 절연막 상에 제1마스크패턴보다 선폭이 작은 홀타입의 제2마스크패턴을 형성하는 단계;  
 상기 제2마스크패턴을 식각장벽으로 상기 절연막을 식각하여 상기 접합영역을 노출시키는 오픈부를 형성하는 단계; 및  
 상기 오픈부에 도전물질을 매립하여 플러그를 형성하는 단계를 포함하는 반도체 장치 제조 방법.

#### 청구항 2

셀영역과 주변영역이 구비된 기판의 셀영역에 매립게이트 및 접합영역을 형성하는 단계;  
 상기 주변영역의 기판 상에 페리게이트를 형성하는 단계;  
 상기 셀영역의 기판 상부 및 주변영역의 페리게이트 상부에 절연막을 형성하는 단계;  
 상기 절연막 상에 식각정지막 및 캡핑막을 적층하는 단계;  
 상기 식각정지막을 타겟으로 상기 절연막에 평탄화 공정을 진행하는 단계;  
 상기 캡핑막 상에 라인타입의 제1마스크패턴을 형성하는 단계;  
 상기 제1마스크패턴을 식각장벽으로 상기 셀영역의 캡핑막 및 식각정지막을 식각하는 단계;  
 상기 캡핑막을 포함하는 절연막 상에 제1마스크패턴보다 선폭이 작은 홀타입의 제2마스크패턴을 형성하는 단계;  
 상기 제2마스크패턴을 식각장벽으로 상기 셀영역의 절연막을 식각하여 상기 접합영역을 노출시키는 오픈부를 형성하는 단계; 및  
 상기 오픈부에 도전물질을 매립하여 플러그를 형성하는 단계를 포함하는 반도체 장치 제조 방법.

#### 청구항 3

청구항 3은(는) 설정등록료 납부시 포기되었습니다.

제1항 또는 제2항에 있어서,

상기 식각정지막은 질화막을 포함하고, 상기 캡핑막은 USG(Undoped Silicate Glass)막을 포함하는 반도체 장치 제조 방법.

**청구항 4**

청구항 4은(는) 설정등록료 납부시 포기되었습니다.  
 제1항 또는 제2항에 있어서,  
 상기 오픈부는 계단형태의 입구를 갖는 반도체 장치 제조 방법.

**청구항 5**

청구항 5은(는) 설정등록료 납부시 포기되었습니다.  
 제1항 또는 제2항에 있어서,  
 상기 도전물질은 폴리실리콘(Poly Silicon)을 포함하는 반도체 장치 제조 방법.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 반도체 제조 기술에 관한 것으로, 특히 매립 게이트를 갖는 반도체 장치의 스토리지 노드 콘택 제조 방법에 대한 것이다.

**배경 기술**

[0002] 통상의 게이트 구조에서는 기판 상에 게이트가 형성되고, 게이트 사이에 랜딩 플러그 콘택(Landing plug contact)이 형성되어 소스/드레인에 연결되며, 랜딩 플러그 콘택 상에 스토리지 노드 콘택(storage node contact)이 형성되어 캐패시터와 기판을 연결하는 구조를 갖는다.

[0003] 최근 반도체 장치의 축소화에 따라 기판 상에 게이트를 형성하지 않고, 기판을 식각하여 트렌치를 형성한 후 게이트를 매립하는 매립 게이트(buried gate) 구조가 제안되었다. 그리고, 셀영역의 비트라인 형성시 주변영역의 게이트가 함께 형성된다.

[0004] 이후, 스토리지 노드 콘택(Storage Node Contact) 및 비트라인 또는 주변영역의 게이트 간 절연을 위해 층간절연막을 형성하고, 화학적기계적연마(Chemical Mechanical Polishing) 공정을 통한 평탄화를 진행한다.

[0005] 그러나, 평탄화를 위한 화학적기계적연마공정에서 슬러리(Slurry)에 따른 디싱(Dishing) 및 침식(Erosion)이 발생하여 셀영역과 주변영역 또는 셀영역의 센터(Center)와 에지(Edge) 부분에서 급격한 단차가 발생하고, 이로 인해 레지듀(Residue)성 결함(Defect)을 유발하는 문제점이 있다.

[0006] 도 1은 종래 기술의 문제점을 설명하기 위한 TEM사진이다.

[0007] 도 1을 참조하면, 셀영역의 센터와 에지 부분 및 셀영역과 주변영역 간에 급격한 단차가 발생한 것을 확인할 수 있다.

**발명의 내용**

**해결하려는 과제**

[0008] 본 발명은 상기한 종래 기술의 문제점을 해결하기 위한 것으로, 층간절연막의 평탄화시 슬러리에 따른 단차를 방지하는 반도체 장치 제조 방법을 제공하는데 그 목적이 있다.

**과제의 해결 수단**

- [0009] 상기 목적을 달성하기 위한 본 발명의 실시예에 따른 반도체 장치 제조 방법은 매립게이트 및 접합영역을 포함하는 기판 상부에 절연막을 형성하는 단계; 상기 절연막 상에 식각정지막 및 캡핑막을 적층하는 단계; 상기 식각정지막을 타겟으로 상기 절연막에 평탄화 공정을 진행하는 단계; 상기 캡핑막 상에 라인타입의 제1마스크패턴을 형성하는 단계; 상기 제1마스크패턴을 식각장벽으로 상기 캡핑막 및 식각정지막을 식각하는 단계; 상기 캡핑막을 포함하는 절연막 상에 제1마스크패턴보다 선평이 작은 홀타입의 제2마스크패턴을 형성하는 단계; 상기 제2마스크패턴을 식각장벽으로 상기 절연막을 식각하여 상기 접합영역을 노출시키는 오픈부를 형성하는 단계; 및 상기 오픈부에 도전물질을 매립하여 플러그를 형성하는 단계를 포함하는 것을 특징으로 한다.
- [0010] 본 발명의 또 다른 실시예에 따른 반도체 장치 제조 방법은 셀영역과 주변영역이 구비된 기판의 셀영역에 매립게이트 및 접합영역을 형성하는 단계; 상기 주변영역의 기판 상에 페리게이트를 형성하는 단계; 상기 셀영역의 기판 상부 및 주변영역의 페리게이트 상부에 절연막을 형성하는 단계; 상기 절연막 상에 식각정지막 및 캡핑막을 적층하는 단계; 상기 식각정지막을 타겟으로 상기 절연막에 평탄화 공정을 진행하는 단계; 상기 캡핑막 상에 라인타입의 제1마스크패턴을 형성하는 단계; 상기 제1마스크패턴을 식각장벽으로 상기 셀영역의 캡핑막 및 식각정지막을 식각하는 단계; 상기 캡핑막을 포함하는 절연막 상에 제1마스크패턴보다 선평이 작은 홀타입의 제2마스크패턴을 형성하는 단계; 상기 제2마스크패턴을 식각장벽으로 상기 셀영역의 절연막을 식각하여 상기 접합영역을 노출시키는 오픈부를 형성하는 단계; 및 상기 오픈부에 도전물질을 매립하여 플러그를 형성하는 단계를 포함하는 것을 특징으로 한다.
- [0011] 특히, 상기 식각정지막은 질화막을 포함하고, 상기 캡핑막은 USG(Undoped Silicate Glass)막을 포함하는 것을 특징으로 한다.
- [0012] 또한, 상기 오픈부는 계단형태의 입구를 갖는 것을 특징으로 한다.
- [0013] 또한, 상기 도전물질은 폴리실리콘(Poly Silicon)을 포함하는 것을 특징으로 한다.

**발명의 효과**

- [0014] 상술한 본 발명의 실시예에 따른 반도체 장치 제조 방법은 절연막 상부에 식각정지막 및 캡핑막을 추가로 형성하여 슬러리에 의한 단차를 방지하는 효과가 있다.
- [0015] 또한, 선평이 다른 2개의 마스크패턴을 이용하여 오픈부를 계단형태로 형성함에 따라 캡필마진을 확보하여 심(Seam) 현상을 방지하는 효과가 있다.

**도면의 간단한 설명**

- [0016] 도 1은 종래 기술의 문제점을 설명하기 위한 TEM사진,  
 도 2a 내지 도 2g는 본 발명의 실시예에 따른 반도체 장치 제조 방법을 설명하기 위한 공정 단면도.

**발명을 실시하기 위한 구체적인 내용**

- [0017] 이하, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 실시예를 첨부 도면을 참조하여 설명하기로 한다.
- [0018] 도 2a 내지 도 2g는 본 발명의 실시예에 따른 반도체 장치 제조 방법을 설명하기 위한 공정 단면도이다.
- [0019] 도 2a에 도시된 바와 같이, 셀영역과 주변영역이 구비된 기판(11)에 소자분리막(12)을 형성한다. 소자분리막(12)은 STI(Shallow Trench Isolation) 공정을 통해 형성하고, 소자분리막(12)은 절연막으로 형성한다. 절연막은 산화막을 포함하고, 산화막은 예컨대 HDP(High Density Plasma) 산화막 또는 SOD(Spin On Dielectric) 산화막 등을 포함한다. 소자분리막(12)에 의해 활성영역(13)이 정의된다.
- [0020] 이어서, 셀영역의 기판(11)을 선택적으로 식각하여 매립 게이트용 트렌치(14)를 형성한다. 매립 게이트용 트렌치(14)는 라인타입으로 형성하며, 식각속도의 차이에 의해 소자분리막(12)에 형성된 매립 게이트용 트렌치(14)가 활성영역(13)에 형성된 매립 게이트용 트렌치(14)보다 더 깊게 형성될 수 있다. 주변영역은 매립 게이트가 형성되지 않으므로, 셀영역의 기판(11)에 매립 게이트용 트렌치(14)를 형성하기 위한 마스크패턴은 주변영역의

기관(11)을 모두 덮도록 패터닝된다.

- [0021] 이어서, 매립 게이트용 트렌치(14)에 도전물질을 매립한 후, 매립 게이트용 트렌치(14)의 일부가 매립되도록 리세스(Recess)시켜 매립 게이트(15)를 형성한다. 도전물질을 형성하기 전에 매립 게이트용 트렌치(14)의 측벽 및 바닥부에 게이트절연막(도시생략)을 형성한다. 매립 게이트(15)를 형성하기 위한 도전물질은 텅스텐을 포함한다.
- [0022] 이어서, 매립 게이트(15) 상에 매립 게이트용 트렌치(14)의 나머지 부분을 채우는 실링막(16)을 형성한다. 실링막(16)은 매립 게이트(15)와 상부간의 절연 및 매립 게이트(15)의 산화를 방지하기 위한 것으로, 절연막으로 형성되며, 질화막 또는 산화막으로 형성하는 것이 바람직하다.
- [0023] 이어서, 매립 게이트(15)의 양쪽 기관에 이온주입을 진행하여 접합영역(17)을 형성한다. 매립 게이트(15) 사이에 존재하는 접합영역(15)은 비트라인 노드(Bit Line Node)이며, 매립 게이트와 소자분리막(12) 사이의 접합영역(15)은 스토리지 노드 콘택 노드(Storage Node Contact Node)이다.
- [0024] 도 2b에 도시된 바와 같이, 매립 게이트(15)를 포함하는 셀영역의 기관(11) 상에 제1절연막(18)을 형성한다. 제1절연막(18)은 매립 게이트(13)와 상부층간의 절연을 위한 것이며, 다층으로 형성할 수 있다. 이때, 제1절연막(18)은 셀영역의 기관(11) 상부에만 형성되며, 주변영역의 기관(11) 상부에는 형성되지 않는다.
- [0025] 이어서, 주변영역의 기관(11) 상부에 페리게이트(19)를 형성한다. 페리게이트(19)는 배리어금속(19A), 금속전극(19B) 및 게이트하드마스크(19C)의 적층구조로 형성한다. 배리어금속(19A) 하부에는 페리게이트(19)와 기관(11)의 절연을 위한 게이트절연막(도시생략)을 포함한다. 도시되지 않았으나, 주변영역의 페리게이트(19)는 셀영역의 비트라인과 동시에 형성할 수 있다.
- [0026] 이어서, 페리게이트(19)를 포함하는 주변영역의 기관(11)에 단차를 따라 스페이서(20)를 형성한다. 스페이서(20)는 후속 공정에서 페리게이트(19)를 보호하기 위한 것으로, 절연막으로 형성한다. 절연막은 질화막을 포함하고, 질화막은 실리콘질화막(SiN)을 포함한다.
- [0027] 도 2c에 도시된 바와 같이, 셀영역의 제1절연막(18) 및 주변영역의 스페이서(20) 상에 제2절연막(21)을 형성한다. 제2절연막(21)은 산화막으로 형성하는 것이 바람직하며, 갭필(Gap fill) 특성을 위해 BPSG(Boron Phosphorus Silicate Glass)막으로 형성할 수 있다. 제2절연막(21)은 주변영역의 페리게이트(19) 사이를 충분히 매립하는 두께로 형성한다.
- [0028] 이어서, 제2절연막(21) 상에 식각정지막(22) 및 캡핑막(23)을 적층한다. 식각정지막(22) 및 캡핑막(23)은 제2절연막(21)의 평탄화 공정시 셀영역과 주변영역간의 단차 및 셀영역의 센터(Center)와 엣지(Edge)영역에서의 단차를 방지하는 역할을 하며, 또한 식각정지막(22)은 후속 플러그 물질 형성시 갭필마진을 확보하는 역할을 한다.
- [0029] 식각정지막(22)은 절연막으로 형성하고, 절연막은 질화막을 포함하며, 질화막은 실리콘질화막(SiN)을 포함한다. 식각정지막(22)은 예컨대 300Å~500Å의 두께로 형성할 수 있다. 캡핑막(23)은 절연막으로 형성하고, 절연막은 산화막을 포함하며, 산화막은 예컨대 USG(Undoped Silicate Glass)막을 포함한다. 캡핑막(23)은 예컨대 150Å~250Å의 두께로 형성할 수 있다.
- [0030] 이어서, 평탄화공정을 진행한다. 평탄화공정은 화학적기계적연마(Chemical Mechanical Polishing) 공정으로 진행할 수 있다. 이때, 평탄화 공정은 식각정지막(22)을 타겟으로 진행하여 슬러리(Slurry)에 따른 디싱(Dishing) 및 침식(Erosion)을 방지한다. 따라서, 셀영역과 주변영역 또는 셀영역의 센터(Center)와 에지(Edge) 부분에서 급격한 단차를 방지하고, 단차로 인한 레지듀(Residue)성 결함(Defect) 역시 방지하는 장점이 있다.
- [0031] 평탄화 공정시 단차에 따라 식각정지막(22) 상부의 캡핑막(23)은 일부 제거되거나, 그대로 잔류할 수 있다.
- [0032] 도 2d에 도시된 바와 같이, 캡핑막(23) 상에 제1마스크패턴(24)을 형성한다. 제1마스크패턴(24)은 캡핑막(23) 상에 감광막을 코팅(Coating)하고, 노광(Exposure) 및 현상(Develop)으로 셀영역의 스토리지 노드 콘택 영역이 오픈되도록 패터닝하며, 주변영역은 모두 덮는 형태로 패터닝된다. 제1마스크패턴(24)은 라인타입(Line Type)으로 형성하며, 예정된 스토리지 노드 콘택 영역의 선폭보다 큰 선폭으로 패터닝한다. 제1마스크패턴(24)에 의해 오픈된 스토리지 노드 콘택 영역의 선폭은 W1이라고 한다.
- [0033] 이어서, 제1마스크패턴(24)을 식각장벽으로 캡핑막(23) 및 식각정지막(22)을 식각한다.
- [0034] 도 2e에 도시된 바와 같이, 제1마스크패턴(24, 도 2d 참조)을 제거한다. 제1마스크패턴(24, 도 2d 참조)이 감광막인 경우, 건식식각으로 제거하며, 건식식각은 산소스트림 공정을 포함한다.

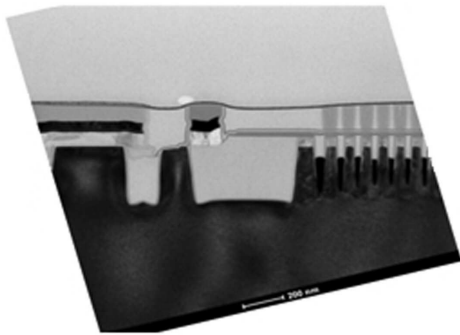
- [0035] 이어서, 캡핑막(23)을 포함하는 전체구조 상에 제2마스크패턴(25)을 형성한다. 제2마스크패턴(25)은 캡핑막(23)을 포함하는 전체구조 상에 감광막을 코팅(Coating)하고, 노광(Exposure) 및 현상(Develop)으로 셀 영역의 스토리지 노드 콘택 영역이 오픈되도록 패터닝하며, 주변영역은 모두 덮는 형태로 패터닝된다.
- [0036] 특히, 제2마스크패턴(25)은 홀타입(Hole Type)으로 형성하며, 제1마스크패턴(24, 도 2d 참조)에 의해 오픈된 선평(W1)보다 작은 선평(W2)으로 패터닝한다.
- [0037] 이어서, 제2마스크패턴(25)을 식각장벽으로 제2절연막(21) 및 제1절연막(18)을 식각하여 집합영역(17) 중 스토리지 노드 콘택 노드부(Storage Node Contact Node)를 노출시키는 오픈부(26)를 형성한다.
- [0038] 위와 같이, 라인타입의 제1마스크패턴을 이용하여 W1의 선평을 갖도록 캡핑막(23) 및 식각정지막(22)을 패터닝하고, 홀타입의 제2마스크패턴을 이용하여 W1보다 작은 W2의 선평을 갖도록 제2절연막(21) 및 제1절연막(18)을 식각함에 따라 오픈부(26)의 상부가 계단형태를 갖는다.
- [0039] 도 2f에 도시된 바와 같이, 제2마스크패턴(25, 도 2e 참조)을 제거한다. 제2마스크패턴(25, 도 2e 참조)이 감광막인 경우, 건식식각으로 제거하며, 건식식각은 산소스트림 공정을 포함한다.
- [0040] 이어서, 오픈부(26)에 도전물질(27)을 매립한다. 도전물질(27)은 스토리지 노드 콘택을 형성하기 위한 것으로, 폴리실리콘(Poly Silicon)을 포함한다. 이때, 오픈부(26)의 입구가 계단형태를 갖고 있어 도전물질(27) 매립시 갭필마진(Gap fill Margin)을 확보할 수 있다. 따라서, 갭필부쪽에 의한 심(Seam) 현상을 방지할 수 있다.
- [0041] 도 2g에 도시된 바와 같이, 도전물질(27, 도 2f 참조)을 평탄화하여 오픈부(26) 내에 잔류하는 스토리지 노드 콘택 플러그(27A, Storage Node Contact Plug)를 형성한다. 이때, 평탄화는 화학적기계적연마공정을 포함하며, 식각정지막(22)이 노출되는 타겟으로 진행한다. 따라서, 식각정지막(22) 상부의 캡핑막(23, 도 2f 참조)은 모두 제거되며, 스토리지 노드 콘택 플러그(27A)는 각각의 오픈부(26) 내에 잔류하는 형태로 분류(Isolation)된다.
- [0042] 위와 같이, 식각정지막(22)을 타겟으로 도전물질(27, 도 2f 참조)을 평탄화함에 따라 갭필 특성상 표면 쪽에 심(Seam)이 발생했다고 할지라도 평탄화 공정에서 충분히 제거가 가능한 장점이 있다.
- [0043] 본 발명의 기술 사상은 상기 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

**부호의 설명**

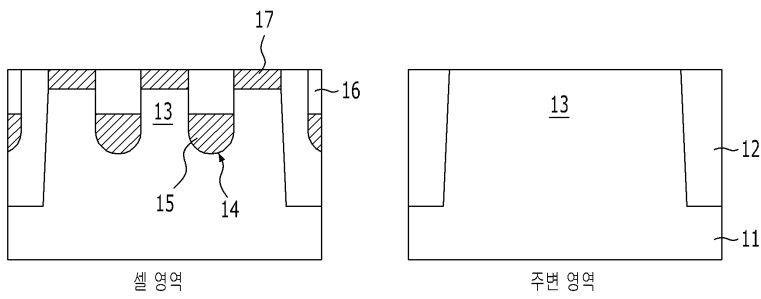
- [0044]
- |              |                      |
|--------------|----------------------|
| 11 : 기판      | 12 : 소자분리막           |
| 13 : 활성영역    | 14 : 트렌치             |
| 15 : 매립 게이트  | 16 : 실링막             |
| 17 : 집합영역    | 18 : 제1절연막           |
| 19 : 페리게이트   | 20 : 스페이서            |
| 21 : 제2절연막   | 22 : 식각정지막           |
| 23 : 캡핑막     | 24 : 제1마스크패턴         |
| 25 : 제2마스크패턴 | 26 : 오픈부             |
| 27 : 도전물질    | 27A : 스토리지 노드 콘택 플러그 |

도면

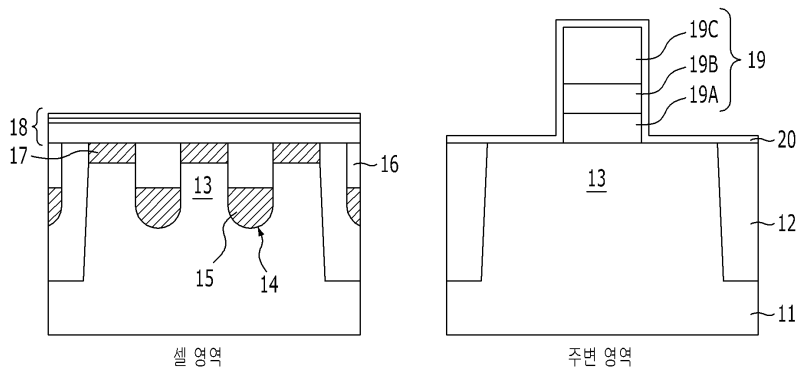
도면1



도면2a

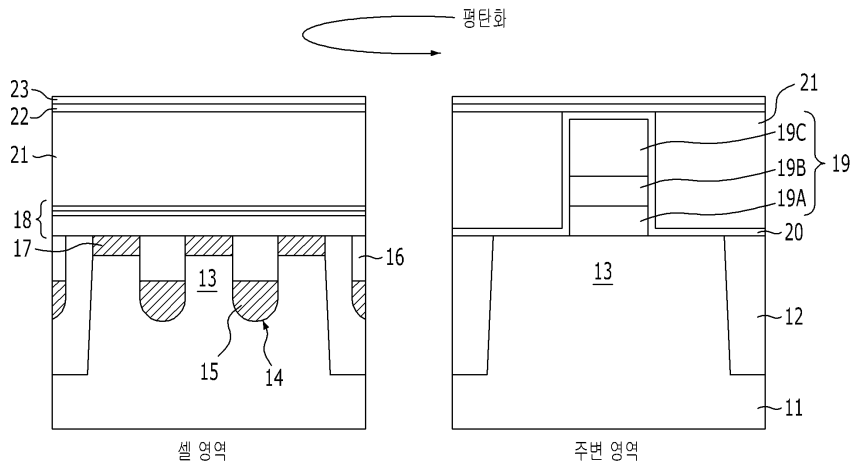


도면2b

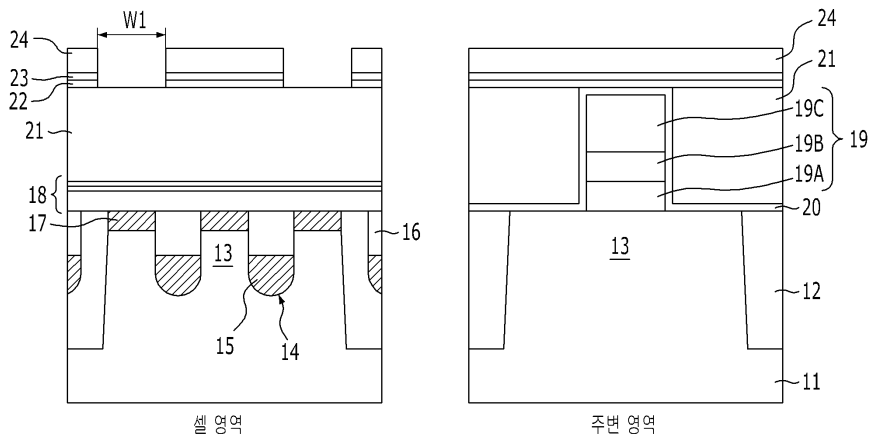




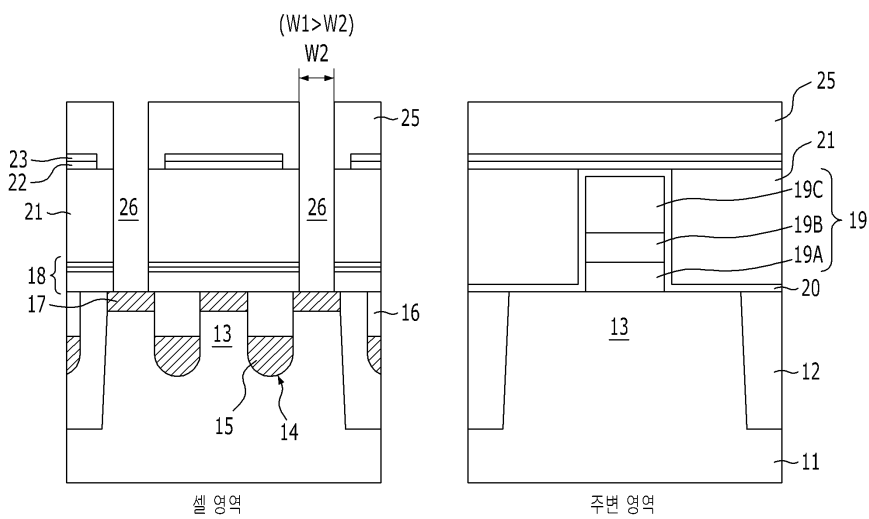
도면2c



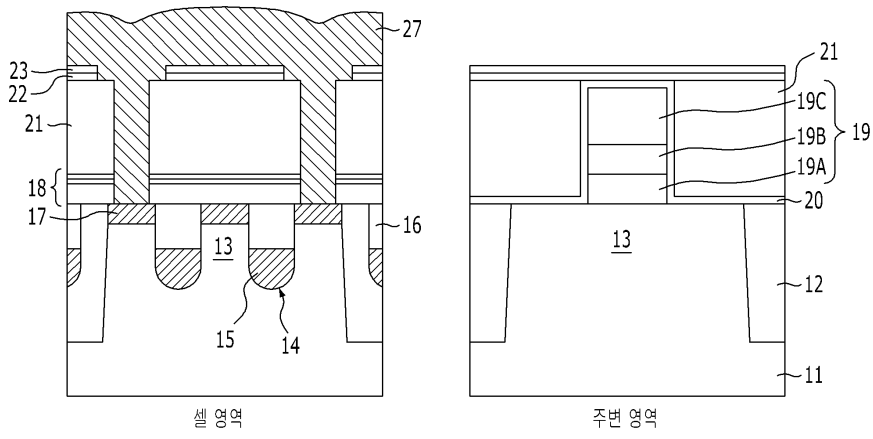
도면2d



도면2e



도면2f



도면2g

