

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2022 年 2 月 24 日 (24.02.2022)



(10) 国际公布号
WO 2022/037243 A1

(51) 国际专利分类号:
H01L 21/4763 (2006.01)

(21) 国际申请号: PCT/CN2021/101436

(22) 国际申请日: 2021 年 6 月 22 日 (22.06.2021)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202010829677.1 2020 年 8 月 18 日 (18.08.2020) CN

(71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230000 (CN)。

(72) 发明人: 严勋 (YAN, Xun); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230000 (CN)。

(74) 代理人: 广州华进联合专利商标代理有限公司 (ADVANCE CHINA IP LAW OFFICE); 中国广东省广州市天河区珠江东路 6 号 4501 房 (部位: 自编 01-03 和 08-12 单元) (仅限办公用途), Guangdong 510623 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,

(54) Title: SEMICONDUCTOR STRUCTURE AND METHOD FOR FORMING SAME

(54) 发明名称: 半导体结构及其形成方法

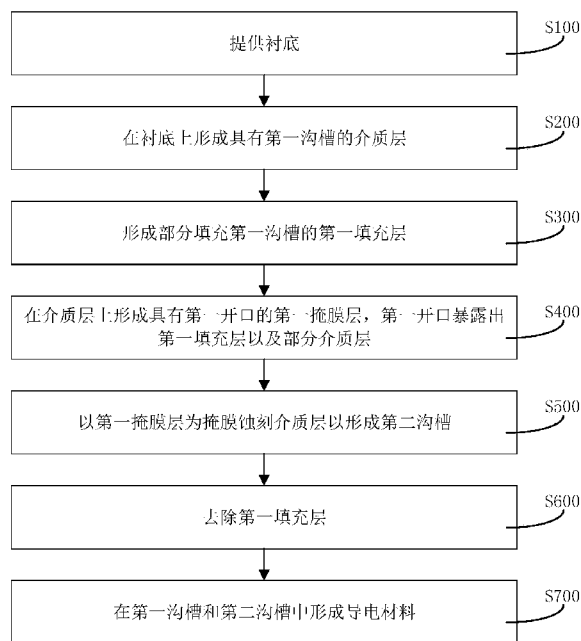


图 1

S100 Provide a substrate
S200 Form a dielectric layer having a first trench on the substrate
S300 Form a first filling layer that partially fills the first trench
S400 Form a first mask layer having a first opening on the dielectric layer, the first opening exposing the first filling layer and a portion of the dielectric layer
S500 By taking the first mask layer as a mask, etch the dielectric layer to form a second trench
S600 Remove the first filling layer
S700 Form a conductive material in the first trench and the second trench

(57) Abstract: A semiconductor structure and a method for forming same. The method for forming the semiconductor structure comprises: providing a substrate; forming a dielectric layer having a first trench on the substrate; forming a first filling layer that partially fills the first trench; forming a first mask layer having a first opening on the dielectric layer, the first opening exposing the first filling layer and a portion of the dielectric layer; by taking the first mask layer as a mask, etching the dielectric layer to form a second trench; removing the first filling layer; and forming a conductive material in the first trench and the second trench. In embodiments of the present application, the method for firstly forming the first trench, partially filling the first filling layer in the first trench and removing

PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第21条(3))。

the first filling layer after forming the second trench can cause the height of the first filling layer to be matched with the arrangement density of the semiconductor structure.

(57) 摘要: 一种半导体结构及其形成方法, 所述半导体结构的形成方法包括: 提供衬底; 在衬底上形成具有第一沟槽的介质层; 形成部分填充第一沟槽的第一填充层; 在介质层上形成具有第一开口的第一掩膜层, 第一开口暴露出第一填充层以及部分介质层; 以第一掩膜层为掩膜蚀刻介质层以形成第二沟槽; 去除第一填充层; 在第一沟槽和第二沟槽中形成导电材料。本申请实施例通过先形成第一沟槽, 在第一沟槽中部分填充第一填充层并在形成第二沟槽后再去除的方法, 可以使第一填充层的高度与半导体结构的排布密度相匹配。

半导体结构及其形成方法

相关申请的交叉引用

本申请要求于 2020 年 8 月 18 日提交中国专利局、申请号为 2020108296771、发明名称为“半导体结构及其形成方法”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本申请涉及半导体技术领域，特别是涉及一种半导体结构及其形成方法。

技术背景

随着半导体集成电路技术的不断发展，集成电路中导电互连线的尺寸以及导电互连线之间的距离不断缩小，从而导致导电互连线的排布密度也相应地不断增加。随着导电互连线的排布密度的增加，容易引发导电互连线之间的短路现象，从而造成半导体器件的性能降低甚至失效。

发明内容

根据一些实施例，本申请一方面提供一种半导体结构的形成方法，包括：
提供衬底；

在所述衬底上形成具有第一沟槽的介质层；

形成部分填充所述第一沟槽的第一填充层；

在所述介质层上形成具有第一开口的第一掩膜层，所述第一开口暴露出所述第一填充层以及部分所述介质层；

以所述第一掩膜层为掩膜蚀刻所述介质层以形成第二沟槽；

去除所述第一填充层；

在所述第一沟槽和所述第二沟槽中形成导电材料。

根据一些实施例，本申请另一方面提供一种半导体结构，采用如上述的半导体结构的形成方法形成。

本申请实施例的半导体结构的形成方法包括：提供衬底；在衬底上形成具有第一沟槽的介质层；形成部分填充第一沟槽的第一填充层；在介质层上形成具有第一开口的第一掩膜层，第一开口暴露出第一填充层以及部分介质层；以第一掩膜层为掩膜蚀刻介质层以形成第二沟槽；去除第一填充层；在第一沟槽和第二沟槽中形成导电材料。本申请实施例通过先形成第一沟槽，在第一沟槽中部分填充第一填充层并在形成第二沟槽后再去除的方法，可以使第一填充层的高度与半导体结构的排布密度相匹配，从而避免蚀刻工艺对介质层造成过度的横向蚀刻，从而避免了导电材料的短路现象，改善了半导体结构的电学性能。而且，本申请实施例通过蚀刻工艺形成比第一沟槽宽度更大的第二沟槽，可以使第一沟槽和第二沟槽共同用于沉积导电材料，以形成接触性能和结构可靠性更好的半导体结构。

附图说明

为了更清楚地说明本申请实施例或传统技术中的技术方案，下面将对实施例或传统技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本申请的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图 1 为一实施例的半导体结构的形成方法的流程图；

图 2 为一实施例提供的衬底 100 的剖面示意图；

图 3 为步骤 S200 后的半导体结构的剖面示意图；

图 4 为一实施例的步骤 S300 后的半导体结构的剖面示意图；

图 5 为一实施例的步骤 S400 后的半导体结构的剖面示意图；

图 6 为一实施例的步骤 S500 后的半导体结构的剖面示意图；

图 7 为图 6 实施例的半导体结构的俯视示意图；

图 8 为一实施例的步骤 S700 后的半导体结构的剖面示意图；

图 9 为一实施例的步骤 S800 后的半导体结构的剖面示意图；

图 10 为另一实施例的半导体结构的形成方法的流程图；

图 11 为另一实施例的步骤 S310 后的半导体结构的剖面示意图；

图 12 为另一实施例的步骤 S410 后的半导体结构的剖面示意图；

图 13 为另一实施例的包括第一区和第二区的半导体结构的剖面示意图；
图 14 为现有技术的半导体结构的剖面示意图。

具体实施方式

为了便于理解本申请，下面将参照相关附图对本申请进行更全面的描述。需要注意的是，本申请可以以许多不同的形式来实现，并不限于本文所描述的实施例。提供这些实施例的目的是使对本申请的公开内容更加透彻全面。

除非另有定义，本文所使用的所有的技术和科学术语与属于本申请的技术领域的技术人员通常理解的含义相同。本文中在本申请的说明书中所使用的术语只是为了描述具体的实施例的目的，不是旨在于限制本申请。本文所使用的术语“及/或”包括一个或多个相关的所列项目的任意的和所有的组合。

在本申请的描述中，需要理解的是，术语“上”、“下”、“竖直”、“水平”、“内”、“外”等指示的方位或位置关系为基于附图所示的方法或位置关系，仅是为了便于描述本申请和简化描述，而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作，因此不能理解为对本申请的限制。

图 1 为一实施例的半导体结构的形成方法的流程图，参考图 1，在本实施例中，半导体结构的形成方法包括步骤 S100 至 S700。

S100：提供衬底 100。

图 2 为一实施例提供的衬底 100 的剖面示意图，参考图 2，在本实施例中，衬底 100 中已形成有第一导电层 110 和第一介质层 120。示例性地，第一导电层 110 可以是但不局限于导电互连线等结构，示例性地，当第一导电层 110 为导电互连线时，第一导电层 110 可以传输电信号至衬底 100 中的半导体器件，如晶体管。第一介质层 120 用于隔离相邻的第一导电层 110，从而避免第一导电层 110 之间发生短路或漏电流等现象，进而提高器件的电学可靠性。其中，第一导电层 110 和第一介质层 120 可以通过在衬底 100 中形成沟槽并填充获得，也可以通过直接在衬底 100 表面沉积获得，本实施例不具体限定第一导电层 110 和第一介质层 120 的形成方法。

S200：在衬底 100 上形成具有第一沟槽 210 的介质层 200。

具体地，图 3 为步骤 S200 后的半导体结构的剖面示意图，参考图 3，在本实施例中，第一沟槽 210 在垂直于衬底 100 的方向上暴露部分第一导电层 110，以在后续步骤中形成与第一导电层 110 接触的导电材料，从而实现第一导电层 110 中的信号的传输。示例性地，可以先在衬底 100 表面形成介质层 200，再对介质层 200 进行蚀刻形成第一沟槽 210；也可以先在衬底 100 表面形成与第一沟槽 210 的位置和尺寸相匹配的牺牲层，再在牺牲层的间隙中形成介质层 200，最后清洗去除牺牲层从而形成第一沟槽 210。

进一步地，介质层 200 的厚度为 100nm 至 1500nm，例如为 500nm、1000nm 等，介质层 200 的具体厚度由待形成的第二导电层 600 的高度决定。介质层 200 可以通过化学气相沉积（Chemical Vapor Deposition, CVD）或物理气相沉积（Physical Vapour Deposition, PVD）等工艺方法形成。介质层 200 的材料可以为低 K（介电常数）材料，例如为二氧化硅（SiO₂）、碳氧化硅（SiCO）或氟化硅玻璃（FSG）中的至少一种。

S300：形成部分填充第一沟槽 210 的第一填充层 211。

图 4 为一实施例的步骤 S300 后的半导体结构的剖面示意图，参考图 4，在本实施例中，第一填充层 211 的侧壁与第一沟槽 210 的内壁相贴合，即第一填充层 211 在衬底 100 上的投影完全覆盖暴露的衬底 100，或者说是完全覆盖暴露的第一导电层 110，且第一填充层 211 的顶部低于介质层 200 的顶部。可以理解的是，在后续蚀刻以形成其他沟槽结构的步骤中，若第一导电层 110 和介质层 200 完全暴露于蚀刻液体或蚀刻气体中，会导致第一导电层 110 和介质层 200 损伤。因此，在步骤 S300 中，通过使第一填充层 211 覆盖暴露的第一导电层 110 和第一沟槽 210 的部分侧壁，在后续的蚀刻步骤中，既可以防止衬底 100 中的第一导电层 110 受到损伤，还可以防止被覆盖的介质层 200 的侧壁被横向蚀刻，从而提高半导体结构的可靠性。

S400：在介质层 200 上形成具有第一开口 310 的第一掩膜层 300，第一开口 310 暴露出第一填充层 211 以及部分介质层 200。

具体地，图 5 为一实施例的步骤 S400 后的半导体结构的剖面示意图，参考图 5，在本实施例中，第一掩膜层 300 上的第一开口 310 暴露第一填充层 211，

并暴露部分介质层 200，第一开口 310 的位置和尺寸与待形成的第二沟槽 220 的位置和尺寸相对应，从而在后续步骤中基于第一掩膜层 300 形成第二沟槽 220。其中，第一掩膜层 300 可以为光刻胶层，也可以为硬掩膜层，例如氮化硅、氮氧化硅等，具体可根据蚀刻时长和蚀刻剂选择恰当的第一掩膜层 300 的材料。

S500：以第一掩膜层 300 为掩膜蚀刻介质层 200 以形成第二沟槽 220。

图 6 为一实施例的步骤 S500 后的半导体结构的剖面示意图，图 7 为图 6 实施例的半导体结构的俯视示意图，为了简化附图，在图 7 中仅示出了一条第二沟槽 220 和对应的第一填充层 211。参考图 6 和图 7，在本实施例中，第一沟槽 210 的延伸方向、第一填充层 211 的延伸方向与第二沟槽 220 的延伸方向均相同，且第一沟槽 210 的平行于延伸方向的对称轴与第二沟槽 220 的平行于延伸方向的对称轴相重合，从而确保第二沟槽 220 的蚀刻效果。进一步地，步骤 S500 后还可以包括：去除衬底 100 表面的第一掩膜层 300。

在其他实施例中，第一沟槽 210 和第一填充层 211 在平行衬底 100 表面方向上的截面为圆形或方形，后续在第一沟槽 210 填充导体形成导电插塞，第二沟槽 220 在平行衬底 100 表面方向上的截面为线条形，后续在第二沟槽 220 填充导体形成导电线。

其中，第二沟槽 220 的宽度大于第一沟槽 210 的宽度，沟槽的宽度是指，沟槽平行于衬底 100 且垂直于沟槽的对称轴的方向上的尺寸，具体地，可以理解的是，第一填充层 211 的宽度与该第一沟槽 210 的宽度相同，参考图 7，第一沟槽 210 的宽度为 d_1 ，第二沟槽 220 的宽度为 d_2 ，通过在步骤 S500 中设置第二沟槽 220 的宽度大于第一沟槽 210 的宽度，即可在后续步骤中形成目标的第二导电层 600 的结构。

S600：去除第一填充层 211。

图 8 为一实施例的步骤 S700 后的半导体结构的剖面示意图，参考图 8，在本实施例中，完全去除第一沟槽 210 和第二沟槽 220 中剩余的第一填充层 211，从而完全暴露介质层 200 的侧壁和第一导电层 110 的顶部，以在后续步骤中在第一沟槽 210 和第二沟槽 220 中填充导电材料。

进一步地，可以采用湿法蚀刻的方式完全去除第一沟槽 210 和第二沟槽 220

中的第一填充层 211，而且，可以通过选择较大蚀刻选择比的第一填充层 211 和介质层 200，例如，可以使介质层 200 与第一填充层 211 的蚀刻选择比大于 7，例如可以使蚀刻选择比为 8，以减少湿法蚀刻过程中对介质层 200 的损伤，从而避免残留的介质层 200 过薄，进而防止形成于相邻的第二沟槽 220 中的第二导电层 600 发生短路，即提高了半导体结构的可靠性。

S700：在第一沟槽 210 和第二沟槽 220 中形成导电材料。

图 9 为一实施例的步骤 S800 后的半导体结构的剖面示意图，参考图 9，在本实施例中，第一沟槽 210 和第二沟槽 220 中完全填充导电材料，第一沟槽 210 和第二沟槽 220 中的导电材料共同构成第二导电层 600，即，第二导电层 600 的底部与衬底 100 中的第一导电层 110 的顶部相接触，第二导电层 600 的侧壁与介质层 200 的侧壁相贴合设置，第二导电层 600 的顶部向上延伸至与介质层 200 的顶部相齐平或高于介质层 200 的顶部。进一步地，导电材料可以为金属材料，例如铜、铝等。

在其他实施例中，在形成第二导电层 600 之前，还在介质层 200 的侧壁表面形成阻挡层，如氮化钛，氮化钽等，以防止第二导电层 600 的材质扩散进介质层 200。

在本实施例中，半导体结构的形成方法包括：提供衬底 100；在衬底 100 上形成具有第一沟槽 210 的介质层 200；形成部分填充第一沟槽 210 的第一填充层 211；在介质层 200 上形成具有第一开口 310 的第一掩膜层 300，第一开口 310 暴露出第一填充层 211 以及部分介质层 200；以第一掩膜层 300 为掩膜蚀刻介质层 200 以形成第二沟槽 220；去除第一填充层 211；在第一沟槽 210 和第二沟槽 220 中形成导电材料。本实施例通过先形成第一沟槽 210，在第一沟槽 210 中部分填充第一填充层 211 并在形成第二沟槽 220 后再去除的方法，可以使第一填充层 211 的高度与半导体结构的排布密度相匹配，从而避免蚀刻工艺对介质层 200 造成过度的横向蚀刻，避免了导电材料的短路现象，改善了半导体结构的电学性能。而且，本实施例通过蚀刻工艺形成比第一沟槽 210 宽度更大的第二沟槽 220，可以使第一沟槽 210 和第二沟槽 220 共同用于沉积导电材料，以形成接触性能和结构可靠性更好的半导体结构。

在其中一个实施例中，步骤 S200 前还包括：在衬底 100 上形成第一阻挡层 400。具体地，参考图 3，若衬底 100 表面形成有第一阻挡层 400，则介质层 200 形成于第一阻挡层 400 上。其中，第一阻挡层 400 的材料为硅化物，例如氮化硅（ Si_3N_4 ）或氮氧化硅（ SiON ）或氮碳氧化硅（ SiCNO ）等中的至少一种。在本实施例中，第一阻挡层 400 可以防止第一导电层 110 和介质层 200 的相互扩散，以避免半导体结构的电学性能下降，而且第一阻挡层 400 还可以保护衬底 100，从而防止在后续蚀刻过程中衬底 100 中的第一导电层 110 受到损伤。

在其中一个实施例中，继续参考图 3，步骤 S200 还包括：在介质层 200 上形成第二阻挡层 500。第二阻挡层 500 可以在后续蚀刻过程中对介质层 200 进行保护，以防止介质层 200 的顶部收到损伤，从而提高半导体结构的性能。其中，第二阻挡层 500 的材料可以与第一阻挡层 400 的材料相同，也可以不同，本实施例不具体进行限定。进一步地，可以先在衬底 100 表面依次形成第一阻挡层 400、介质层 200 和第二阻挡层 500，并通过一步蚀刻工艺依次蚀刻第二阻挡层 500、介质层 200 和第一阻挡层 400 直至衬底 100 表面，从而简化工艺流程。

图 10 为另一实施例的半导体结构的形成方法的流程图，参考图 10，在本实施例中，步骤 S300 包括步骤 S310 至 S320。

S310：在第一沟槽 210 中和介质层 200 上形成初始第一填充层 212。

图 11 为一实施例的步骤 S310 后的半导体结构的剖面示意图，参考图 11，在本实施例中，初始第一填充层 212 的顶部高于第二阻挡层 500。进一步地，可以采用化学气相沉积或物理气相沉积的方法形成初始第一填充层 212，并在形成初始第一填充层 212 后，通过化学机械平坦化（**chemical mechanical planarization**, **CMP**）对初始第一填充层 212 的顶部进行处理，以在后续步骤中更加准确地进行目标深度的回刻，从而提高半导体结构的工艺良率。

S320：回刻介质层 200 上的全部初始第一填充层 212 和第一沟槽 210 中的部分初始第一填充层 212，剩余的初始第一填充层 212 作为第一填充层 211。可以理解的是，若第一阻挡层 400、介质层 200 和第二阻挡层 500 的整体高度为 H_1 ，第二阻挡层 500 表面的初始第一填充层 212 的高度为 H_2 ，则回刻深度为 H_3 ，即可在第一沟槽 210 中形成目标高度 H_4 的第一填充层 211，其中， $H_4 = H_1 + H_2 - H_3$ ，

高度和深度均指垂直于衬底 100 方向上的尺寸，在本实施例中，通过步骤 S320 的回刻即可形成如图所示的半导体结构。

在其中一个实施例中，步骤 S320 回刻介质层 200 上的全部初始第一填充层 212 和第一沟槽 210 中的部分初始第一填充层 212，剩余的初始第一填充层 212 作为第一填充层 211，包括：回刻介质层 200 上的全部初始第一填充层 212 和第一沟槽 210 中的部分初始第一填充层 212，以使第一填充层 211 的高度比满足预设范围，剩余的初始第一填充层 212 作为第一填充层 211；其中，高度比为第一填充层 211 沿垂直于衬底 100 方向的高度与第一沟槽 210 深度的比值。

具体地，继续参考图 4，在图 4 所示的实施例中，第一填充层 211 沿垂直于衬底 100 方向的高度即为 H_4 ，第一沟槽 210 深度即为 H_1 ，高度比即为 H_4/H_1 。可以理解的是，若高度比过大，即第一填充层 211 的高度过高，则在后续去除第一填充层 211 的步骤中，蚀刻剂无法准确的到达第一填充层 211 的底部，从而导致第一填充层 211 不能被全部有效剥离，进而导致第二导电层 600 与第一导电层 110 的接触面积减小，接触电阻增大，半导体结构的电学性能下降。若高度比过小，则采用回刻方法形成第一填充层 211 时的回刻时间较长，容易导致介质层 200 顶部的损伤，从而造成相邻的第二导电层 600 之间发生短路。因此，需要选择恰当的高度比，从而获得较好的器件性能。

在其中一个实施例中，第一填充层 211 的高度比介于 0.7 与 0.9 之间，例如第一填充层 211 的高度比可以为 0.8，即第一填充层 211 沿垂直于衬底 100 方向的高度与第一沟槽 210 深度的比值为 0.8。采用本实施例高度比范围，可以在对介质层 200 的顶部的损伤较小的前提下，在步骤 S600 中实现较好的第一填充层 211 的去除效果。

在其中一个实施例中，步骤 S400 包括步骤 S410 至 S420。

S410：在第一沟槽 210 中和介质层 200 上形成第一掩膜层 300。

图 12 为一实施例的步骤 S410 后的半导体结构的剖面示意图，参考图 12，第一掩膜层 300 覆盖第一填充层 211 的顶部并完全填充第一沟槽 210，且第一掩膜层 300 的顶部高于第二阻挡层 500。在其中一个实施例中，第一掩膜层 300 为光刻胶层，光刻胶层的图形化方法较为简单，而且本实施例中以第一掩膜层 300 作

为掩膜进行蚀刻的步骤较少，即，采用光刻胶层的第一掩膜层 300 可以承受蚀刻的过程，而不会对半导体结构造成损伤。

S420：去除第一沟槽 210 中的全部第一掩膜层 300 和介质层 200 上的部分第一掩膜层 300。

具体地，以第一掩膜层 300 为光刻胶层为例，可以通过光罩对第一掩膜层 300 进行曝光，其中，光罩的图形与待形成的第二沟槽 220 在衬底 100 上的投影相同，曝光后对光刻胶层进行显影，从而去除第一沟槽 210 中的全部第一掩膜层 300 和介质层 200 上的部分第一硬掩膜层，以形成如图 5 所示的器件结构。

在其中一个实施例中，步骤 S500 以第一掩膜层 300 为掩膜蚀刻介质层 200 以形成第二沟槽 220，包括：以第一掩膜层 300 为掩膜蚀刻介质层 200 以形成第二沟槽 220，其中，第二沟槽 220 的深度小于第一沟槽 210 的深度，且第二沟槽 220 的底部低于第一填充层 211 的顶部。当第二沟槽 220 的底部低于第一填充层 211 的顶部时，在形成第二沟槽 220 的过程中，第一填充层 211 的高度可以对第二沟槽 220 的刻蚀速率起到调节作用，具体的，第一填充层 211 占有第一沟槽 210 的开口空间，使得进入第一沟槽 210 中的刻蚀离子数量减少，进而降低第二沟槽 220 的横向刻蚀速率，降低第二沟槽 220 沿衬底表面方向上的尺寸，防止相邻的第二沟槽 220 相连。

在其中一个实施例中，第二沟槽 220 的深度与第一沟槽 210 的深度的比值介于 0.5 与 0.8 之间，即，第二沟槽 220 的深度与第一沟槽 210 的深度的比值例如可以为 0.5、0.7 等。其中，当形成有第二阻挡层 500 时，第一沟槽 210 的深度是指第二阻挡层 500 的顶部与衬底 100 表面之间的垂直距离，第二沟槽 220 的深度是指第二阻挡层 500 的顶部与第二沟槽 220 的底部之间的垂直距离。参考图 8，可以理解的是，由于第二沟槽 220 的宽度大于第一沟槽 210 的宽度，所以当导电材料与第二沟槽 220 对应的介质层 200 区域接触时，接触面积大于与第一沟槽 210 对应的介质层 200 区域接触时的面积，接触面积越大对应的粘附力和稳固性也越强，而若第二沟槽 220 的深度过大，则会导致衬底 100 中的第一导电层 110 暴露，从而影响器件性能。因此，在本实施例中，通过第二沟槽 220 的深度与第一沟槽 210 的深度的比值介于 0.5 与 0.8 之间，可以在不影响器件性能的前提下，提高导

电材料与介质层 200 之间的连接强度，从而提高半导体结构的可靠性。

在其中一个实施例中，衬底 100 包括第一区 130 和第二区 140，第一沟槽 210 和第二沟槽 220 均位于第一区 130 和第二区 140 中，且第一沟槽 210 在第一区 130 中的密度大于第一沟槽 210 在第二区 140 中的密度。具体地，图 13 为一实施例的包括第一区 130 和第二区 140 的半导体结构的剖面示意图，参考图 13，在本实施例中，第一区 130 即元件和布线分布较密集的区域，第二区 140 即元件和布线分布较稀疏的区域，需要说明的是，第一区 130 和第二区 140 仅以分布密度进行划分。在本实施例中，通过使第一沟槽 210 在第一区 130 中的密度大于第一沟槽 210 在第二区 140 中的密度，可以更好地匹配器件结构的布局，从而获取较高的器件的集成度。

在其中一个实施例中，第一填充层 211 在第一区 130 中的高度比大于第一填充层 211 在第二区 140 中的高度比。具体的，第一区 130 中的第一沟槽 210 和第二区 140 中的第一沟槽 210 的深度相同，通过调节第一填充层 211 在第一区 130 中的高度大于第二区 140 中的高度，使得第一区 130 中第二沟槽 220 的横向刻蚀速率小于第二区 140 中第二沟槽 220 的横向刻蚀速率，保证第一区 130 中后续形成的导电材料不会短路。

在其中一个实施例中，第二区 140 中的第二沟槽 220 的深度等于第一区 130 中的第二沟槽 220 的深度，使得第二区 140 中形成的导电材料和第一区 130 中形成的导电材料的电学性质相同，提高半导体器件的电学性能。优选的，第二区 140 中的第二沟槽 220 的宽度等于第一区 130 中的第二沟槽 220 的宽度，所述宽度为第二沟槽 220 沿衬底 100 表面方向上的尺寸。

在其中一个实施例中，第二区 140 中的第二沟槽 220 的深度大于第一区 130 中的第二沟槽 220 的深度。图 14 为现有技术的半导体结构的剖面示意图，参考图 14，可以理解的是，在第一区 130 由于结构的排布密度更高，因此更容易发生介质层 200 的横向蚀刻问题，并进一步引发第二导电层 600 的短路现象。参考图 13，在本实施例中，通过设置第二区 140 中的第二沟槽 220 的深度大于第一区 130 中的第二沟槽 220 的深度，可以既保证了第二区 140 的导电材料的连接强度，又避免了第一区 130 的导电材料的短路现象，从而提供了一种性能更好的半导体结

构。

一种半导体结构，采用如上述的半导体结构的形成方法形成，参考图 9，半导体结构包括：衬底 100；介质层 200，设置于衬底 100 上，介质层 200 中具有第一沟槽 210 和第二沟槽 220，第二沟槽 220 在垂直方向上暴露第一沟槽 210；第二导电层 600，由导电材料构成，设置于第一沟槽 210 和第二沟槽 220 中。上述半导体结构通过设置比第一沟槽 210 宽度更大的第二沟槽 220，可以使第一沟槽 210 和第二沟槽 220 共同用于沉积导电材料，以形成接触性能和结构可靠性更好的第二导电层 600。

应该理解的是，虽然图 1 和图 10 的流程图中的各个步骤按照箭头的指示依次显示，但是这些步骤并不是必然按照箭头指示的顺序依次执行。除非本文中有明确的说明，这些步骤的执行并没有严格的顺序限制，这些步骤可以以其它的顺序执行。而且，图 1 和图 10 中的至少一部分步骤可以包括多个子步骤或者多个阶段，这些子步骤或者阶段并不必然是在同一时刻执行完成，而是可以在不同的时刻执行，这些子步骤或者阶段的执行顺序也不必然是依次进行，而是可以与其它步骤或者其它步骤的子步骤或者阶段的至少一部分轮流或者交替地执行。

以上所述实施例的各技术特征可以进行任意的组合，为使描述简洁，未对上述实施例中的各个技术特征所有可能的组合都进行描述，然而，只要这些技术特征的组合不存在矛盾，都应当认为是本说明书记载的范围。

以上所述实施例仅表达了本申请的几种实施方式，其描述较为具体和详细，但并不能因此而理解为对申请专利范围的限制。应当指出的是，对于本领域的普通技术人员来说，在不脱离本申请构思的前提下，还可以做出若干变形和改进，这些都属于本申请的保护范围。因此，本申请专利的保护范围应以所附权利要求为准。

权利要求书

1、一种半导体结构的形成方法，包括：

提供衬底；

在所述衬底上形成具有第一沟槽的介质层；

形成部分填充所述第一沟槽的第一填充层；

在所述介质层上形成具有第一开口的第一掩膜层，所述第一开口暴露出所述第一填充层以及部分所述介质层；

以所述第一掩膜层为掩膜蚀刻所述介质层以形成第二沟槽；

去除所述第一填充层；

在所述第一沟槽和所述第二沟槽中形成导电材料。

2、根据权利要求1所述的半导体结构的形成方法，其中，所述在所述第一沟槽中形成第一填充层，包括：

在所述第一沟槽中和所述介质层上形成初始第一填充层；

回刻所述介质层上的全部所述初始第一填充层和所述第一沟槽中的部分所述初始第一填充层，剩余的所述初始第一填充层作为所述第一填充层。

3、根据权利要求2所述的半导体结构的形成方法，其中，所述回刻所述介质层上的全部所述初始第一填充层和所述第一沟槽中的部分所述初始第一填充层，剩余的所述初始第一填充层作为所述第一填充层，包括：

回刻所述介质层上的全部所述初始第一填充层和所述第一沟槽中的部分所述初始第一填充层，以使所述第一填充层的高度比满足预设范围，剩余的所述初始第一填充层作为所述第一填充层；

其中，所述高度比为所述第一填充层沿垂直于所述衬底方向的高度与所述第一沟槽深度的比值。

4、根据权利要求3所述的半导体结构的形成方法，其中，所述衬底包括第一区和第二区，所述第一沟槽和所述第二沟槽均位于所述第一区和所述第二区中，且所述第一沟槽在所述第一区中的密度大于所述第一沟槽在所述第二区中的密度。

5、根据权利要求4所述的半导体结构的形成方法，其中，所述第一填充层的高度比介于0.7与0.9之间。

6、根据权利要求5所述的半导体结构的形成方法，其中，所述第二沟槽的深度与所述第一沟槽的深度的比值介于0.5与0.8之间。

7、根据权利要求4所述的半导体结构的形成方法，其中，所述第二区中的所述第二沟槽的深度大于所述第一区中的所述第二沟槽的深度。

8、根据权利要求2所述的半导体结构的形成方法，其中，所述介质层与所述第一填充层的蚀刻选择比大于7。

9、根据权利要求1所述的半导体结构的形成方法，其中，所述在所述介质层上形成具有第一开口的第一掩膜层，所述第一开口暴露出所述第一填充层以及部分所述介质层，包括：

在所述第一沟槽中和所述介质层上形成所述第一掩膜层；

去除所述第一沟槽中的全部所述第一掩膜层和所述介质层上的部分所述第一掩膜层。

10、根据权利要求9所述的半导体结构的形成方法，其中，所述第一掩膜层为光刻胶层。

11、根据权利要求1所述的半导体结构的形成方法，其中，所述以所述第一掩膜层为掩膜蚀刻所述介质层以形成第二沟槽，包括：

以所述第一掩膜层为掩膜蚀刻所述介质层以形成所述第二沟槽，其中，所述第二沟槽的深度小于所述第一沟槽的深度，且所述第二沟槽的底部低于所述第一填充层的顶部。

12、根据权利要求4所述的半导体结构的形成方法，其中，所述第一填充层在所述第一区中的高度比大于所述第一填充层在所述第二区中的高度比。

13、根据权利要求12所述的半导体结构的形成方法，其中，所述第二区中的所述第二沟槽的深度等于所述第一区中的所述第二沟槽的深度。

14、一种半导体结构，采用如权利要求1至13中任一项所述的半导体结

构的形成方法形成。

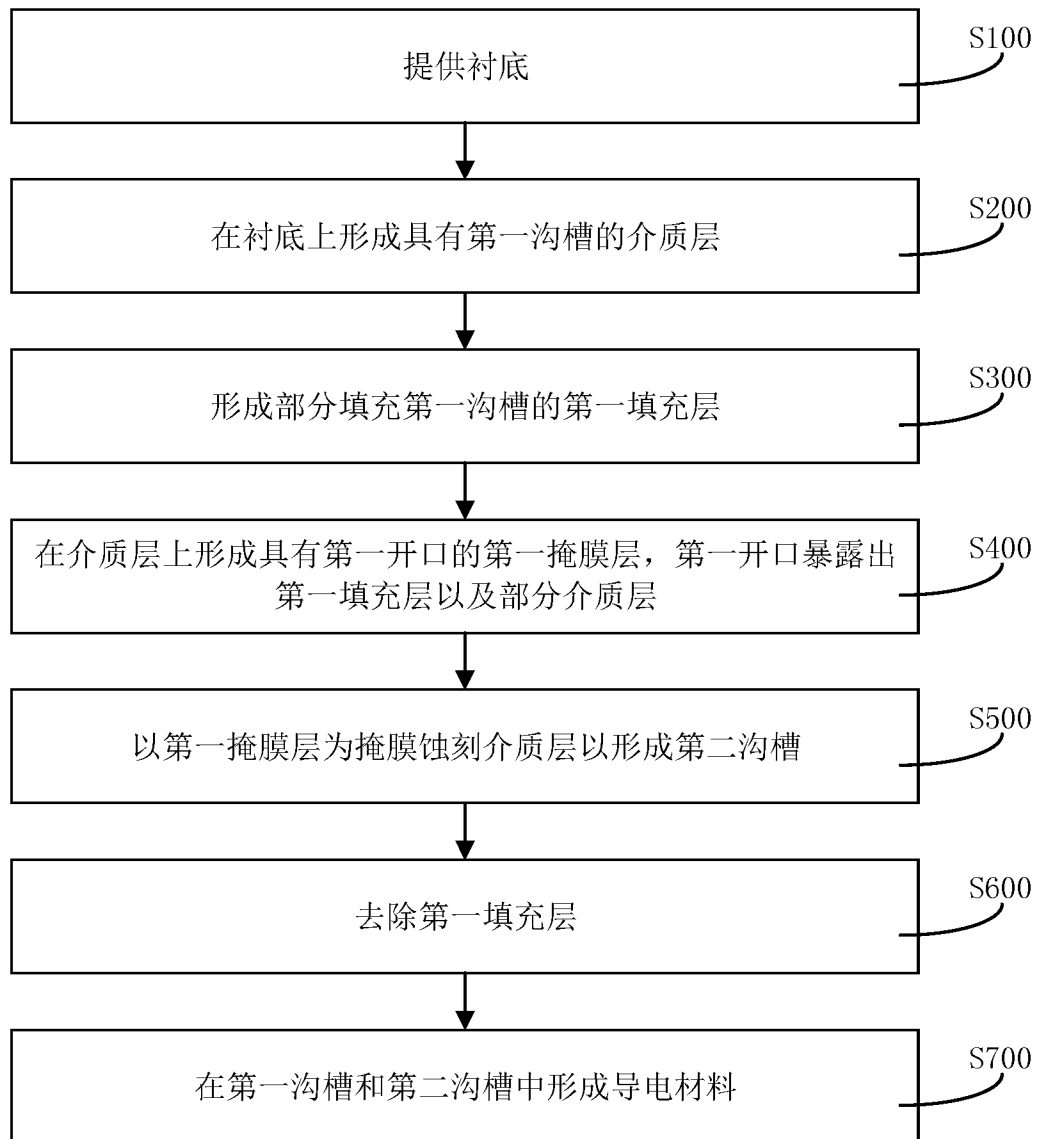


图 1

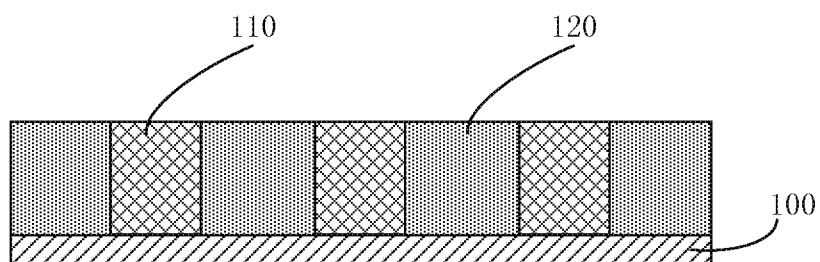


图 2

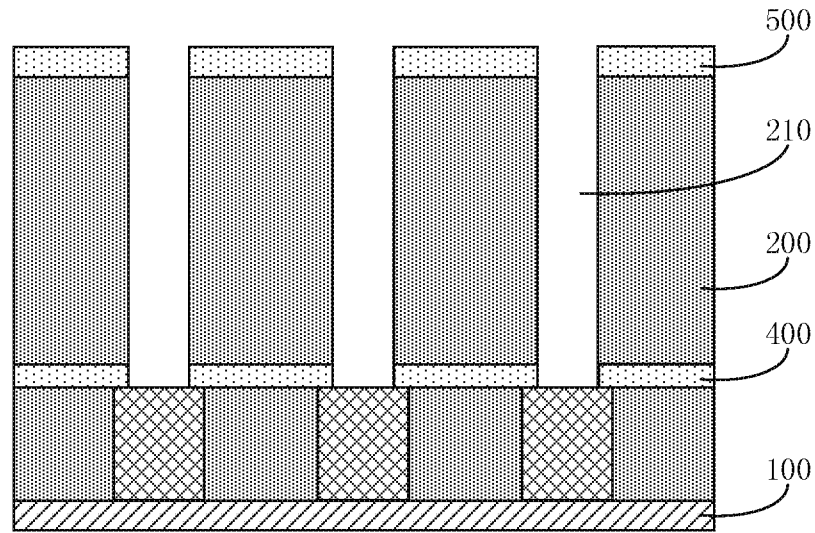


图 3

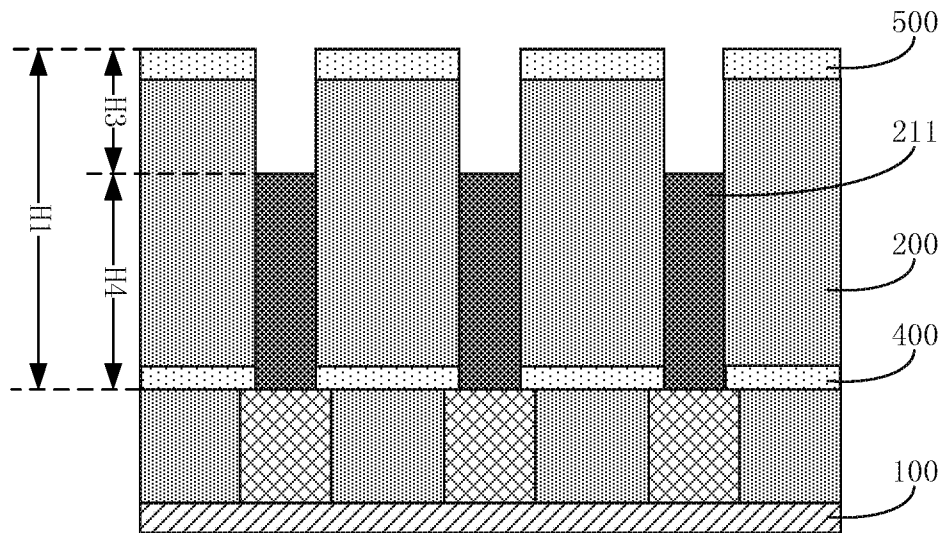


图 4

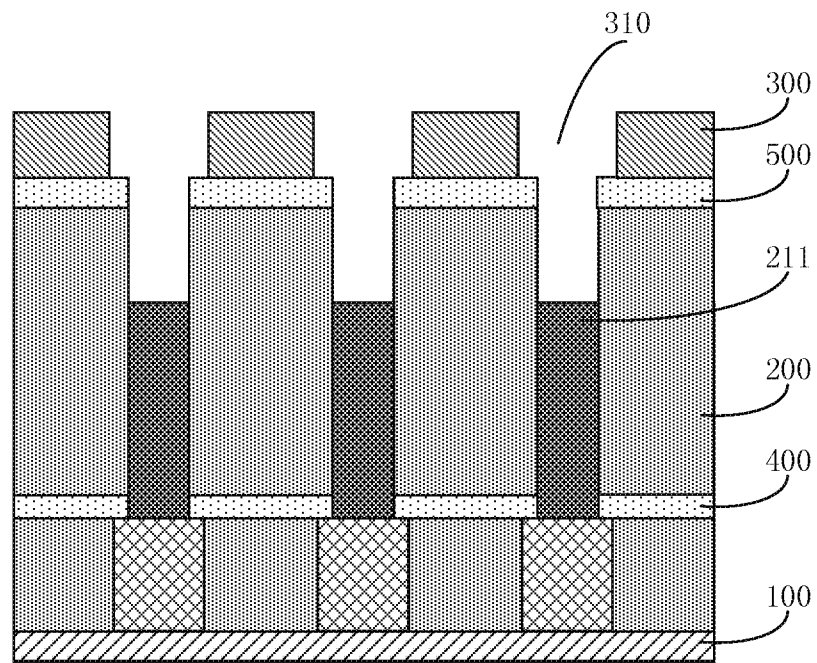


图 5

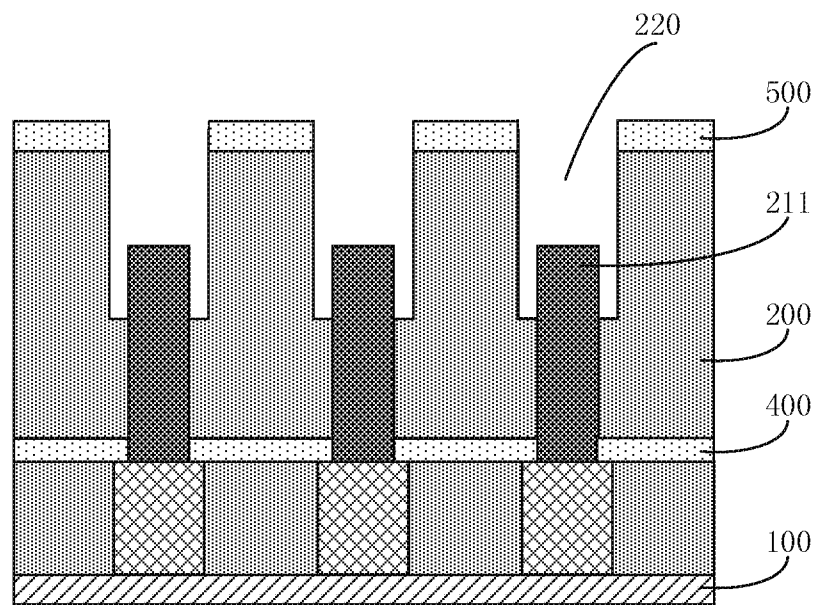


图 6

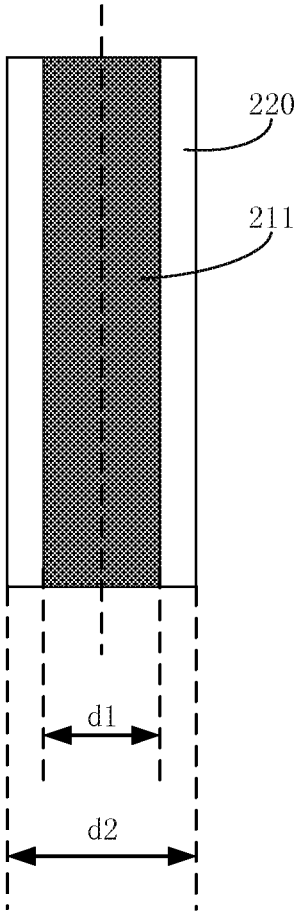


图 7

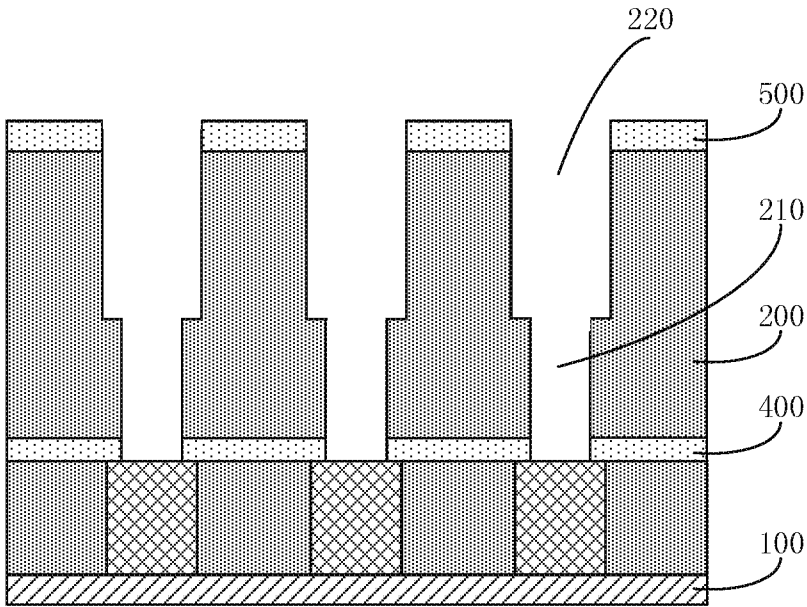


图 8

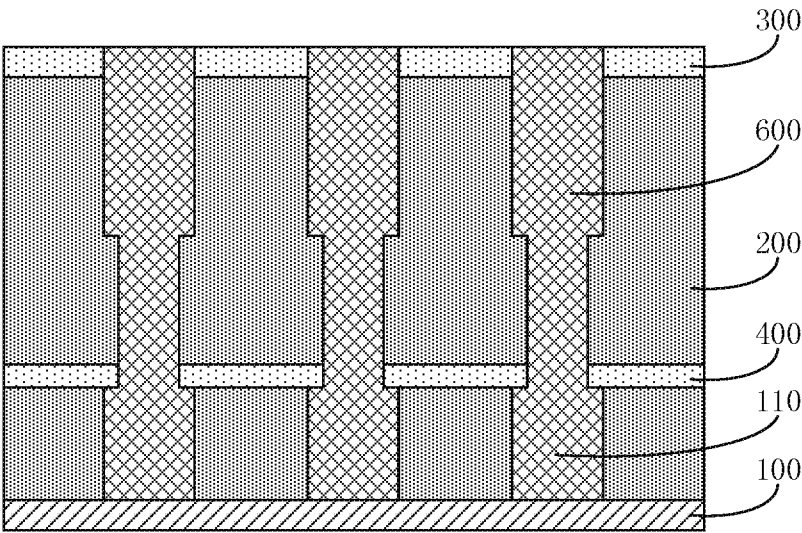


图 9

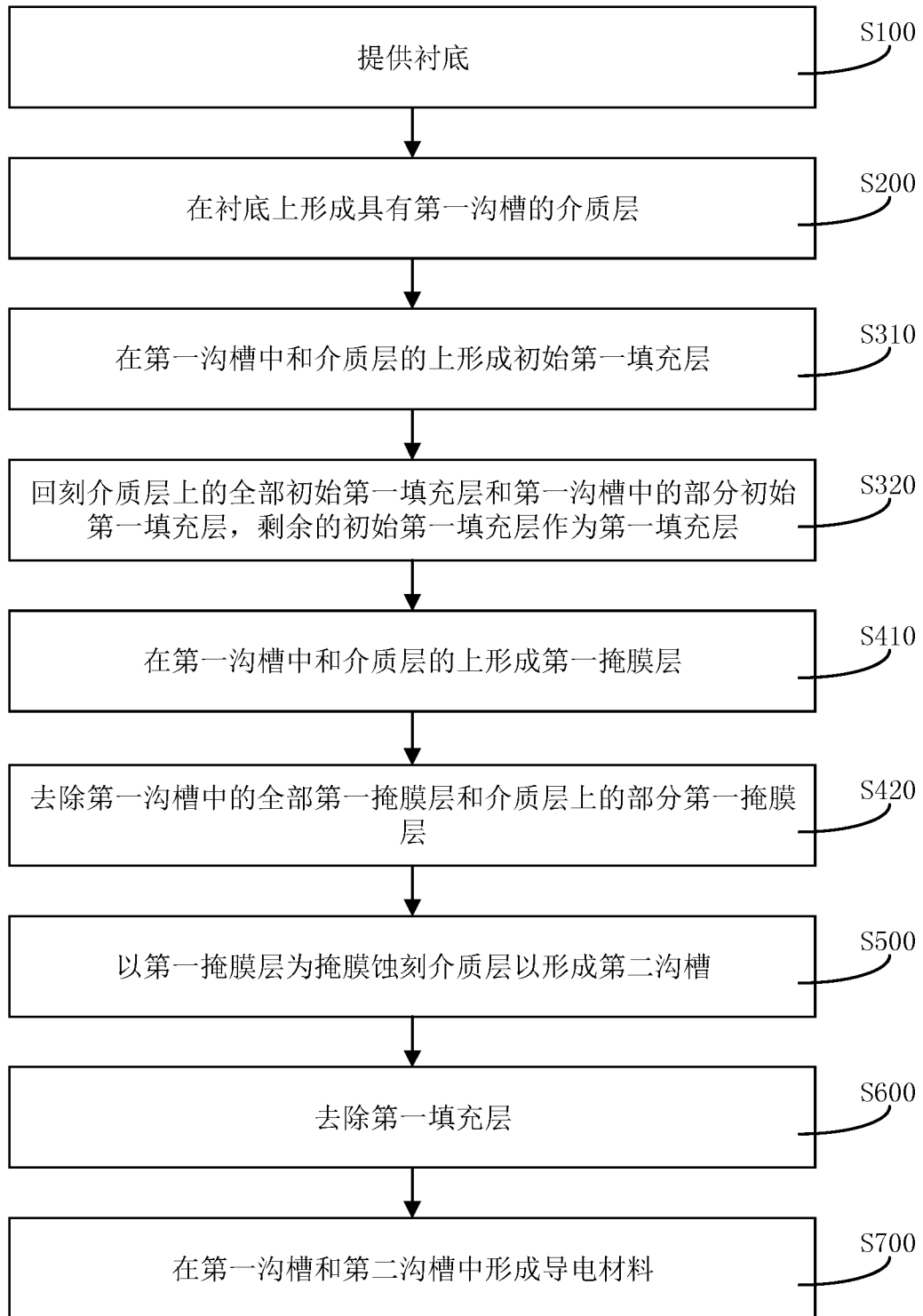


图 10

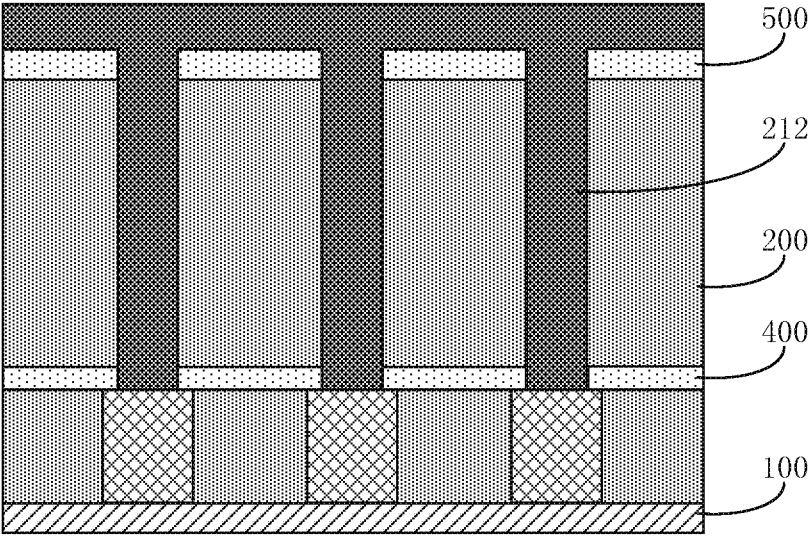


图 11

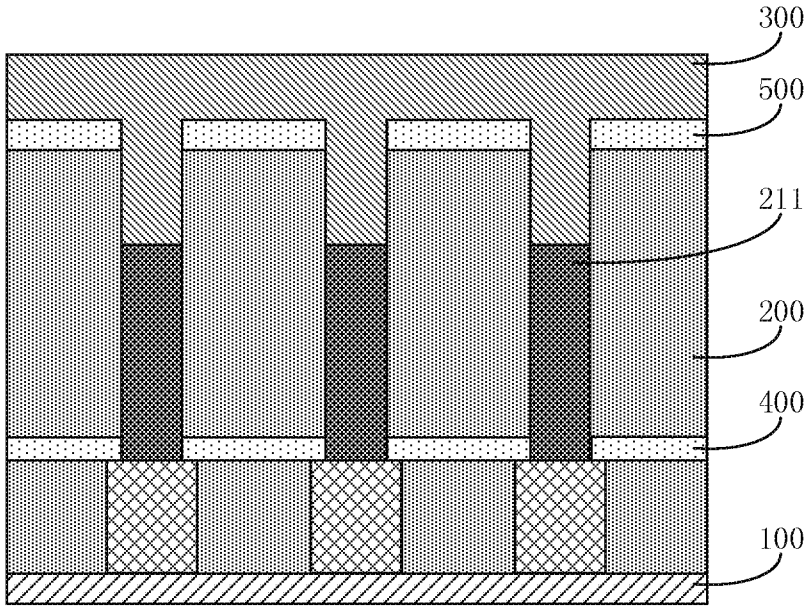


图 12

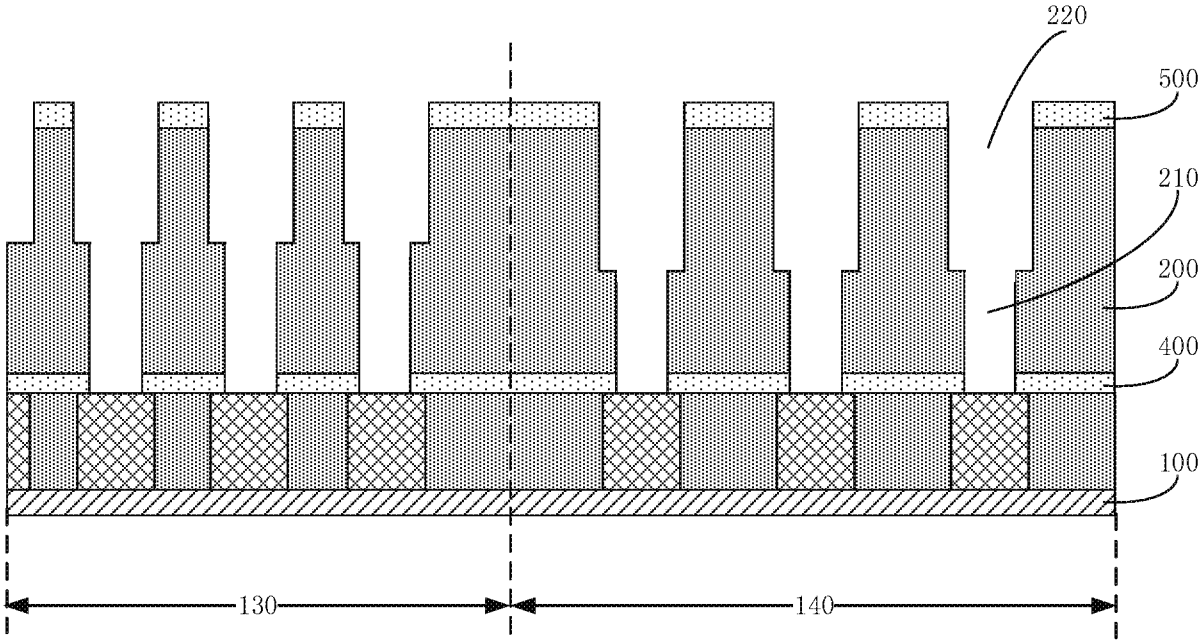


图 13

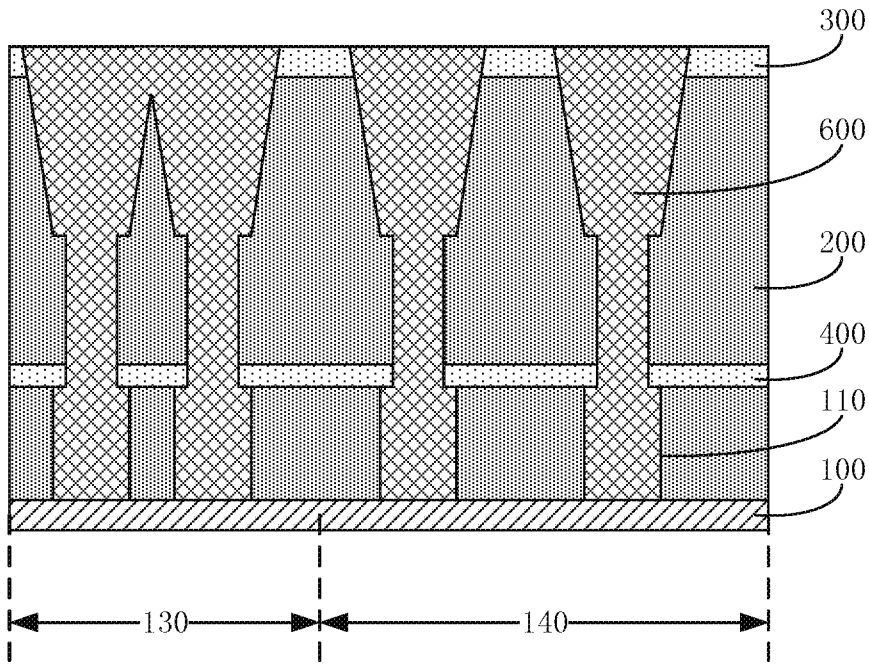


图 14

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/101436

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/4763(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC, IEEE: 沟槽, 凹槽, 介质层, 绝缘层, 导电, 互连, 互联, 布线, 密度, 短路, 高度, 厚度, 高度比, 比值

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2003054629 A1 (MITSUBISHI DENKI KABUSHIKI KAISHA) 20 March 2003 (2003-03-20) description paragraphs [0046]-[0082], figures 3A-3F	1-11, 14
X	US 2005106856 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING CO.) 19 May 2005 (2005-05-19) description, paragraphs [0012]-[0045], and figures 1-7	1-11, 14
X	JP 2002093901 A (SHARP K.K.) 29 March 2002 (2002-03-29) description, paragraphs [0002]-[0025], figure 1	1-11, 14
A	CN 1753162 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CORPORATION) 29 March 2006 (2006-03-29) entire document	1-14
A	CN 102376597 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CORPORATION) 14 March 2012 (2012-03-14) entire document	1-14



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

03 September 2021

Date of mailing of the international search report

26 September 2021

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/101436

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
US	2003054629	A1	20 March 2003	DE	10221652	A1	10 April 2003
				KR	20030024551	A	26 March 2003
				JP	2003092349	A	28 March 2003
US	2005106856	A1	19 May 2005	US	7538025	B2	26 May 2009
JP	2002093901	A	29 March 2002	JP	3547383	B2	28 July 2004
CN	1753162	A	29 March 2006	US	2006060971	A1	23 March 2006
				US	8158520	B2	17 April 2012
				CN	100356545	C	19 December 2007
CN	102376597	A	14 March 2012	None			

国际检索报告

国际申请号

PCT/CN2021/101436

A. 主题的分类

H01L 21/4763 (2006.01) i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT, CNKI, WPI, EP0D0C, IEEE: 沟槽, 凹槽, 介质层, 绝缘层, 导电, 互连, 互联, 布线, 密度, 短路, 高度, 厚度, 高度比, 比值

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	US 2003054629 A1 (MITSUBISHI DENKI KABUSHIKI KAISHA) 2003年 3月 20日 (2003 - 03 - 20) 说明书第[0046]-[0082]段, 图3A-3F	1-11, 14
X	US 2005106856 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING CO.) 2005年 5月 19日 (2005 - 05 - 19) 说明书第[0012]-[0045]段, 图1-7	1-11, 14
X	JP 2002093901 A (SHARP K. K.) 2002年 3月 29日 (2002 - 03 - 29) 说明书第[0002]-[0025]段, 图1	1-11, 14
A	CN 1753162 A (中芯国际集成电路制造上海有限公司) 2006年 3月 29日 (2006 - 03 - 29) 全文	1-14
A	CN 102376597 A (中芯国际集成电路制造上海有限公司) 2012年 3月 14日 (2012 - 03 - 14) 全文	1-14

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2021年 9月 3日

国际检索报告邮寄日期

2021年 9月 26日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国 北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

刘婧

电话号码 86-(10)-53961452

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/101436

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
US	2003054629	A1	2003年 3月 20日	DE	10221652	A1	2003年 4月 10日
				KR	20030024551	A	2003年 3月 26日
				JP	2003092349	A	2003年 3月 28日
US	2005106856	A1	2005年 5月 19日	US	7538025	B2	2009年 5月 26日
JP	2002093901	A	2002年 3月 29日	JP	3547383	B2	2004年 7月 28日
CN	1753162	A	2006年 3月 29日	US	2006060971	A1	2006年 3月 23日
				US	8158520	B2	2012年 4月 17日
				CN	100356545	C	2007年 12月 19日
CN	102376597	A	2012年 3月 14日	无			