

公告本

發明專利說明書

569229

(填寫本書件時請先行詳閱申請書後之申請須知，作※記號部分請勿填寫)

※申請案號：91117565 ※IPC分類：G11C12/06
※申請日期：91-08-05

壹、發明名稱

(中文) 同步型半導體記憶裝置模組及其控制方法、資訊機器
(英文) SYNCHRONOUS-TYPE SEMICONDUCTOR MEMORY DEVICE
MODULE, METHOD FOR CONTROLLING THE SAME, AND
INFORMATION DEVICE

貳、發明人 (共 1 人)

發明人 1 (如發明人超過一人，請填說明書發明人續頁)

姓名：(中文) 奧村 寬
(英文) HIROSHI OKUMURA

住居所地址：(中文) 日本國京都府城陽市寺田東口 40-27
(英文) 40-27, HIGASHINOKUCHI, TERADA, JOYO-SHI,
KYOTO 610-0121, JAPAN

國籍：(中文) 日本 (英文) JAPAN

參、申請人 (共 1 人)

申請人 1 (如申請人超過一人，請填說明書申請人續頁)

姓名或名稱：(中文) 日商夏普股份有限公司
(英文) SHARP KABUSHIKI KAISHA

住居所或營業所地址：(中文) 日本國大阪府大阪市阿倍野區長池町 22
番 22 號
(英文) 22-22, NAGAIKECHO, ABENO-KU,
OSAKA-SHI, OSAKA 545-8522, JAPAN

國籍：(中文) 日本 (英文) JAPAN

代表人：(中文) 町田 勝彥
(英文) KATSUHIKO MACHIDA

捌、聲明事項

本案係符合專利法第二十條第一項 第一款但書或 第二款但書規定之期間，其日期為：_____

本案已向下列國家（地區）申請專利，申請日期及案號資料如下：

【格式請依：申請國家（地區）；申請日期；申請案號 順序註記】

1. 日本；2001年08月07日；特願 2001-239377

2. _____

3. _____

主張專利法第二十四條第一項優先權：

【格式請依：受理國家（地區）；日期；案號 順序註記】

1. 日本；2001年08月07日；特願 2001-239377

2. _____

3. _____

4. _____

5. _____

6. _____

7. _____

8. _____

9. _____

10. _____

主張專利法第二十五條之一第一項優先權：

【格式請依：申請日；申請案號 順序註記】

1. _____

2. _____

3. _____

主張專利法第二十六條微生物：

國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

1. _____

2. _____

3. _____

國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

1. _____

2. _____

3. _____

熟習該項技術者易於獲得，不須寄存。

(1)

玖、發明說明

(發明說明應敘明：發明所屬之技術領域、先前技術、內容、實施方式及圖式簡單說明)

發明的技術領域

本發明係關於多數晶片中內建有可與時鐘脈衝同步地施行脈衝串輸出之同步型半導體記憶裝置之同步型半導體記憶裝置模組及其控制方法、使用該等模組及方法之資訊機器。

背景技術

近年來，幾乎大部分之電子機器都內建著半導體記憶裝置(以下稱記憶體)。電子機器係依據記憶於記憶體之資料，施行各種資料處理。尤其在執行此資料處理之中央運算處理裝置(以下稱CPU)顯著地高速化發展下，其處理能力以時鐘脈衝波換算時，已超過1 GHz，記憶體與CPU間之資料轉送速度已經達到系統全面處理能力之瓶頸之地步。

為應付此種狀況，已有人在記憶體中採用以各種特殊條件，施行高速化存取，俾使記憶體之存取時間盡可能地接近CPU速度之方法。

例如，作為可與時鐘脈衝同步地起作用之同步型半導體記憶裝置之同步快閃記憶體之脈衝串讀出法(以下稱同步脈衝串讀出)即屬之。同步脈衝串讀出係僅指定預備讀出之一連串資料之前導位址，僅利用由外部輸入至記憶體之時鐘脈衝，在記憶裝置內部，對接在其後之位址施行增量處理。

因此，預備讀出之一連串資料雖有連續於前導位址之限制，但相對地，與前導位址所指定之資料之讀出速度相比

(2)

，卻可特別加速其後續之資料之讀出速度。

此動作不僅在技術上適合於高速動作，而且也適合於如近年來用量一直在增加之數位相機及矽音響等整批轉送大量資料之用途。

又，在上述高速化存取方法受到重視之同時，以行動電話機為代表之電子機器之小型輕量化之發展也相當顯著，為達成安裝面積之高密度化，其小型化的程度已達到一個封裝體內同時封裝多數半導體晶片，連封裝體之外形也已達到與晶片尺寸同等之水準。

圖 8 係表示以往之同步快閃記憶體之內部構成之區塊圖。又，此同步快閃記憶體在此係使用 2M 字 × 16 位元構成之 32M 位元之記憶體。

首先，說明圖 8 之各外部訊號及各控制模態，然後再詳細說明有關記憶體之各區塊構成。

圖 8 中，A0~A20 為位址訊號，D0~D15 為輸出入資料訊號。時鐘訊號 CLK 為同步快閃記憶體之主時鐘脈衝，與該時鐘訊號 CLK 之上升邊同步時，其他外部訊號就會變成有效。位址確定訊號 ADV# 利用其低位準而使位址訊號 A0~A20 變成有效。

晶片啟動訊號 CE# 係利用其呈現低位準狀態來顯示該晶片已處於動作狀態之訊號，可藉此使其他外部訊號變成有效。晶片啟動訊號 CE# 處於高位準時，其他輸入之外部訊號都變成無效。又，輸出啟動訊號 OE# 及寫入啟動訊號 WE# 係用於施行資料之輸出入控制之訊號。

在此假設即使晶片啟動訊號 CE# 由低位準轉移為高位準時，有關晶片傳送脈衝串動作之設定內容等仍然被保持著，但實際情況並不受此假設所特別限制。且假設即使晶片啟動訊號 CE# 由低位準轉移為高位準時，消除動作及脈衝串讀出動作等內部運算動作也會繼續進行，直到該動作完成為止。

另一方面，同步快閃記憶體利用外部訊號輸入指令時，可執行資料之讀出、寫入、消除等記憶體動作及其他各種設定動作。其控制指令之意義係由上述位址訊號 A0~A20 與輸出入資料訊號 D0~D15 之組合加以界定。控制指令之輸入係利用與時鐘訊號之上升邊同步被取入而被解碼之方式加以解讀，以執行對應於該解讀結果之各種動作。

將此控制指令之種類加以分類時，大致上可分為讀出指令與寫入指令等數種。此等分類之各指令並可進一步加以細分。例如，讀出指令可細分為廠商代碼、裝置代碼等快閃記憶體識別用之資訊之 ID 碼之讀出指令、儲存各種動作之設定狀態及執行結果之狀態暫存器之讀出指令、記憶於記憶單元陣列之資訊之讀出指令等各種指令。

又，作為各種設定指令，可細分為表示連續高速讀出之資料量之脈衝串長度之設定、表示發出讀出指令後至資料輸出為止之時間(時鐘脈衝數)之等待時間之設定、脈衝串/頁模態之切換設定、在快閃記憶體內部之位址產生方法之交錯模態或循序模態等脈衝串模態之設定等之各指令。又，脈衝串長度通常設定於「4」、「8」、「16」或「32」等。

(4)

在此，所謂頁模態，與脈衝串模態同樣，係為施行高速讀出而設之模態。但與脈衝串模態不同之處在於所讀出之位址可以不連續。

脈衝串模態係不依存於外部所使用之CPU之結構，而專為發揮最大之高速存取效果而設之模態。所謂交錯模態，係在施行脈衝串模態之讀出時，輸出對應於依照某一規則之不連續之內部位址之資料之方式。所謂循序模態，係輸出對應於連續之內部位址之資料之方式。又，在此，主要係說明脈衝串模態中，與時鐘脈衝同步之同步脈衝串讀出模態與循序脈衝串模態之處理情形。

其次，詳細說明圖8之各區塊構成之情形。

在圖8中，半導體記憶裝置10具有記憶單元陣列100(Memory Array)、列解碼器101(Row Decoder)、行解碼器102(Column Decoder)、位址鎖存電路103(Address Latch)、行選擇電路及感測放大器104(Column Gating/Sensing)、資料暫存器105(Data Register)、位址輸入緩衝器111(Address Input Buffer)、位址暫存器112(Address Register)、位址計數器114(Address Counter)、輸入緩衝器121(Input Buffer)、輸出緩衝器122(Output Buffer)、輸出多路調制電路123(Output Multiplexer)、內部控制電路131(Controller)、控制邏輯電路132(Control Logic)、I/O(輸出入)邏輯電路133(I/O Logic)、ID(識別碼)暫存器134(ID Register)、狀態暫存器135(Status Register)。

記憶單元陣列100在列(Row)方向及行(Column)方向具有配置成矩陣狀之多數記憶單元。

(5)

列解碼器 101 係用於依照列位址訊號之解碼結果，選擇地依序驅動記憶單元陣列 100 之多數字元線(未予圖示)之一條。

行解碼器 102 係用於將行位址訊號之解碼結果輸出至行選擇電路及感測放大器 104。

位址鎖存電路 103 係用於暫時鎖存由後述位址輸入緩衝器 111 取入之輸入位址訊號，同時在列方向及行方向分別解碼該鎖存之位址訊號，將列方向之位址輸出至列解碼器 101，將行方向之位址輸出至行解碼器 102。

行選擇電路及感測放大器 104 係由行選擇電路與感測放大器所構成。行選擇電路(開關電路)結合於記憶單元陣列 100 之多數資料線(未予圖示)，係用於依照來自行解碼器 102 之解碼結果，依序選擇資料線，而將其連接控制至資料暫存器 105。且同樣情形，行選擇電路係用於依照來自行解碼器 102 之解碼結果，依序選擇資料線，而將其連接控制至感測放大器(放大電路)。感測放大器(放大電路)係利用放大自記憶單元經由選擇資料線被讀出之微小電位差之方式進行感測，以作為記憶單元之資訊。

資料暫存器 105 係依照來自內部控制電路 131 之控制訊號，取入來自輸入緩衝器 121 之資料 D0~D15，將其輸出至行選擇電路及感測放大器 104，且取入來自行選擇電路及感測放大器 104 側之資料，將其輸出至輸出多路調制電路 123。

位址輸入緩衝器 111 係用於暫時保持由位址輸入端子被

(6)

供應之位址訊號 A0~A20。

位址暫存器 112 係用於取入位址輸入緩衝器 111 所保持之位址訊號 A0~A20。

位址計數器 114 係在同步快閃記憶體施行同步脈衝串讀出動作時，預置位址暫存器 112 之輸出，以作為初始值。位址計數器 114 可依照指令所指定之動作模態，即，依照通常之字單位之存取模態或同步脈衝串讀出模態，向位址鎖存電路 103 輸出由上述預置資料將位址訊號依序增量之值。

在位址計數器 114 設有比較電路(未予圖示)，利用比較電路，將依序增量之位址與最終位址作比較，並輸出增量之位址訊號，直到該比較結果一致為止。與最終位址一致時，經由控制邏輯電路 132，將該一致資訊輸出至內部控制電路 131。此時，最終位址可單純地由保持於位址暫存器 112 之位址(施行同步脈衝串讀出之前導位址)加上脈衝串長度之值加以求出。

輸入緩衝器 121 係用於暫時保持由資料輸出入端子被輸入之輸入資料訊號 D0~D15。

輸出緩衝器 122 係用於暫時保持由後述輸出多路調制電路 123 輸出之輸出資料訊號 D0~D15。

輸出多路調制電路 123 係依照指令所指定之動作模態，選擇後述 ID 暫存器 134 及狀態暫存器 135、資料暫存器 105 中之一種資料，而將其輸出至輸出緩衝器 122。

內部控制電路 131 係依照指令所指定之動作模態，執行

指令所指定之動作所需要之內部算法。

控制邏輯電路 132 係用於辨別經由輸入緩衝器 121 被輸入之資料為指令或資料，在有效之指令被寫入時，將其控制資訊輸出至內部控制電路 131。

又，控制邏輯電路 132 可被輸入晶片啟動訊號 CE#、輸出啟動訊號 OE#、寫入啟動訊號 WE# 等外部控制訊號、經由輸入位址暫存器 112 被供應之指令資料(構成指令之位址部)、與經由輸入緩衝器 121 被輸入之指令資料(構成指令之資料部)，並依照該等訊號位準之變化及時間等，產生用於控制同步快閃記憶體之動作模態及上述電路區塊之動作之內部控制訊號。因此，在控制邏輯電路 132，於內部與控制電路同時具有模態暫存器 (Mode Register)。

另外，控制邏輯電路 132 可依照指令指定之動作模態，將裝置代碼輸出至 ID 暫存器 134，將動作完畢之時點之內部控制電路 131 之動作狀態及現在之動作模態之設定狀態等輸出至狀態暫存器 135。又，控制邏輯電路 132 可將選擇輸出資料用之選擇控制訊號及是否要輸出至輸出緩衝器 122 之控制訊號輸出至輸出多路調制電路 123。

輸出入邏輯電路 133 (I/O 邏輯電路) 依照晶片啟動訊號 CE#、輸出啟動訊號 OE#、寫入啟動訊號 WE# 等外部控制訊號之位準變化及時間等，施行輸入緩衝器 121 與輸出緩衝器 122 之控制，藉以切換是否使內部資料總線與輸出入資料訊號 D0~D15 相連接。

ID 暫存器 134 記憶著識別快閃記憶體之識別資訊之廠商

(8)

代碼及裝置代碼。

狀態暫存器 135 除了記憶著對應於依照指令所指定之動作模態之動作完畢之時點之動作結果及內部控制電路 131 之動作狀態以外，也記憶著禁止寫入等各種設定狀態等。

圖 9 係表示脈衝串長度=4、等待時間=2 時之以往之同步快閃記憶體之讀出時間圖。

最初，使晶片啟動訊號 CE# 處於低位準後，在時鐘訊號 CLK 之脈衝時間 T1 之上升邊，位址確定訊號 ADV# 成為低位準，位址訊號 A0~A20 之第一位址 ADDR1 被輸入，使輸出啟動訊號 OE# 成為低位準，而開始施行脈衝串讀出。在經過等待時間所指定之 2 個時鐘脈衝份之建立期間之後，在時鐘訊號 CLK 之脈衝時間 T3 之上升邊，資料訊號 D0~D15 之資料 DATA1 被輸出，其後，分別與時鐘訊號 CLK 之脈衝時間 T4、T5、T6... 同步地，各資料 DATA2、資料 DATA3、資料 DATA4... 分別依序連續地被高速輸出。

在以往之同步快閃記憶體中，記憶體陣列之 1 列中所含之行數(記憶單元陣列 100 內之資料線之條數)係行選擇電路及感測放大器 104 一次所能感測之資料量，而利用輸出多路調制電路 123 切換一次感測之資料量後，將其脈衝串輸出(連續輸出)，故不能設定超過此資料量程度之脈衝串長度。因此，欲脈衝串讀出上述脈衝串長度以上之資料時，必須再度輸入位址，在此位址輸入期間，連續的資料輸出便會中斷。又，基於相同之理由，對於橫跨記憶單元陣列之不同列之資料，因需要施行感測動作，故不能連續存取。

(9)

又，如前所述，儘管一個封裝體內封裝多數半導體晶片之封裝體形態已有所增大，但在以往之快閃記憶體中，卻未考慮到此種封裝於一個封裝體之優點。即，即使將多數快閃記憶體封裝於一個封裝體(以下將此種封裝形態之記憶體稱為非揮發性半導體記憶裝置模組)，多數快閃記憶體也不會依存於封裝體內部之構造，總之，只要能夠與單一快閃記憶體同等地加以使用，使用起來就較為方便。即使將多數快閃記憶體內建於一個封裝體，也必須考慮到與單一快閃記憶體同等地使用之問題。

例如，如特開平3-260997號公報「ROM(唯讀記憶體)資料之高速讀出法」所揭示一般，將2個以上之記憶體並聯連接，並使晶片啟動訊號CE#分別獨立時，如欲連續地讀出橫跨不同晶片間而被分配之資料，則必須對各晶片稍微錯開時間，以施行位址輸入。

不管在任何情形，欲橫跨多數記憶體晶片而連續地讀出資料時，都必須施行多數次之位址輸入，無法利用1次之位址輸入，高速地讀出大量之資料。

發明之揭示

本發明係有鑒於上述情況，經多方研發而成，其目的在於提供如下之同步型半導體記憶裝置模組及其控制方法、使用該等模組及方法之資訊機器：即使作為連續存取對象之多數記憶單元橫跨存在於二個記憶體晶片時，也可利用1次之位址輸入，與單一快閃記憶體同等地使用二個記憶體晶片，接續在對一方之記憶體晶片之存取之後，可連續

且高速地由他方之記憶體晶片讀出資料。

本發明之裝置係在將可與時鐘脈衝同步地施行資料之連續讀出動作之同步型半導體記憶裝置搭載於多數個晶片之同步型半導體記憶裝置模組中，多數之同步型半導體記憶裝置分別包含資訊保持手段，其係至少保持晶片識別資訊、晶片選擇狀態設定指令及存取開始位址者；位址運算手段，其係運算存取結束位址，同時依序運算由存取開始位址至該存取結束位址之更新位址者；及資料連續讀出控制手段，其係依據更新位址，利用晶片識別資訊及晶片選擇狀態設定指令，切換多數之同步型半導體記憶裝置之選擇狀態/非選擇狀態，同時，可由從選擇狀態變成非選擇狀態之同步型半導體記憶裝置，橫跨至從非選擇狀態變成選擇狀態之另一同步型半導體記憶裝置，無間斷地連續讀出資料者；藉此達成上述目的。

又，較理想之情況為：本發明之同步型半導體記憶裝置模組之位址運算手段包含位址初始化手段，其係與外部時鐘訊號同步而以外部控制訊號與位址訊號及資料訊號為輸入訊號，利用被輸入之該位址訊號及資料訊號，設定存取開始位址及脈衝串長度，同時將位址更新次數初始化者；位址更新手段，其係由存取開始位址依序更新位址，同時計數位址更新次數者；及最終位址算出手段，其係由脈衝串長度及存取開始位址，算出存取最終位址者。

另外，較理想之情況為：本發明之同步型半導體記憶裝置模組之位址運算手段包含第一判定手段，其係在更新位

址與一個列位址之最終行位址一致時，將第一判定訊號輸出至資料連續讀出控制手段者；第二判定手段，其係在更新位址與前述存取最終位址一致，且更新次數與脈衝串長度一致時，將第二判定訊號輸出至資料連續讀出控制手段者；資料連續讀出控制手段包含晶片選擇狀態切換手段，其係依據第一判定訊號，僅將晶片選擇設定指令指定之資訊與晶片識別資訊一致之晶片切換為晶片選擇狀態者；動作結束控制手段，其係依據第二判定訊號，施行動作結束處理者；資料輸出控制手段，其係對晶片選擇狀態之晶片，依序讀出對應於由存取開始位址依序被更新之更新位址之資料，非為晶片選擇狀態時，不施行資料讀出者。

另外，較理想之情況為：本發明之同步型半導體記憶裝置模組之資料連續讀出控制手段係控制內部位址，使內建於第一同步型半導體記憶裝置之記憶單元陣列之一個列位址之最終行位址之次一位址，成為與內建於第二同步型半導體記憶裝置之記憶單元陣列之列位址同一之列位址之前導行位址，並使內建於第二同步型半導體記憶裝置之記憶單元陣列之一個列位址之最終行位址之次一位址，成為與內建於第一同步型半導體記憶裝置之記憶單元陣列之該列位址之次一位址之前導行位址。

另外，較理想之情況為：在本發明之同步型半導體記憶裝置模組中，搭載 N 個(N 為自然數)可與時鐘脈衝同步地脈衝串讀出之同步型半導體記憶裝置，資料連續讀出控制手段可控制內部位址，對第 $1\sim N-1$ 個之任意之 i (i 為自然數)個

(12)

中，使內建於第*i*個同步型半導體記憶裝置之記憶單元陣列之一個列位址之最終行位址之次一位址，成為與內建於第*i*+1個同步型半導體記憶裝置之記憶單元陣列之該列位址同一列位址之前導行位址，並使內建於第*N*個同步型半導體記憶裝置之記憶單元陣列之一個列位址之最終行位址之次一位址，成為與內建於第*i*個同步型半導體記憶裝置之記憶單元陣列之該列位址之次一位址之前導行位址。

另外，較理想之情況為：在本發明之同步型半導體記憶裝置模組中之同步型半導體記憶裝置之記憶單元係非揮發性。

另外，較理想之情況為：在本發明之同步型半導體記憶裝置模組中之同步型半導體記憶裝置之記憶單元係快閃記憶體單元。

另外，較理想之情況為：在本發明之同步型半導體記憶裝置模組中，對應於多數同步型半導體記憶裝置之同一訊號之外部端子係全部互相共通被連接。

另外，較理想之情況為：在本發明之同步型半導體記憶裝置模組之資訊保持手段，設定施行連續讀出之字長。

本發明之同步型半導體記憶裝置模組之控制方法係第一步驟，其係包含輸入脈衝串長度設定指令、晶片選擇設定指令、由存取開始至資料輸出為止之延遲時間(等待時間)設定指令、及存取開始位址者；第二步驟，其係僅將此晶片選擇設定指令指定之資訊與晶片識別資訊一致之晶片切換於可輸出讀出資料之有效模態者；第三步驟，其係將輸

入存取開始位址設定於存取開始位址，並將位址更新次數初始化者；第四步驟，其係由脈衝串長度及存取開始位址算出存取最終位址者；第五步驟，其係在有效模態之時，輸出對應於現在之更新位址之資料，在非有效模態之等待模態時，不施出資料者；第六步驟，其係判定現在之更新位址與存取最終位址是否一致、及位址更新次數與脈衝串長度是否一致，此等均一致時，施行動作結束處理者；第七步驟，其係判定現在之更新位址與存取最終位址是否一致、及位址更新次數與該脈衝串長度是否一致，有其中之一方不一致時，判定現在之更新位址是否為一個列位址上之最終行位址者；第八步驟，其係在第七步驟中判定為非最終行位址時，將現在之行位址與位址更新次數增量，再返回第五步驟以後之處理者；第九步驟，其係在第七步驟中判定為最終行位址時，將行位址移至前導位址，將位址更新次數增量，並施行晶片選擇狀態之判定者；第十步驟，其係在第九步驟中判定為有效模態時，將列位址增量而轉移至等待模態，再返回第五步驟以後之處理者；第十一步驟，其係在第九步驟中判定為等待模態時，轉移至有效模態，再返回第五步驟以後之處理者；藉此達成上述目的。

本發明之資訊機器係利用申請專利範圍第1至9項中任一項之同步型半導體記憶裝置模組施行脈衝串讀出動作，並藉此達成上述目的。

茲依據上述之構成，說明其作用如下：

最初，依據更新位址，切換多數之同步型半導體記憶裝

(14)

置之選擇狀態/非選擇狀態，同時可由從選擇狀態變成非選擇狀態之同步型半導體記憶裝置，橫跨至從非選擇狀態變成選擇狀態之另一同步型半導體記憶裝置，無間斷地連續高速讀出資料。且可實現脈衝串長度比一個記憶體晶片中之情形更長之非揮發性半導體記憶裝置模組。例如，脈衝串長度最長可達非揮發性半導體記憶裝置模組之總位元，即，在設置2個2M字×16位元構成之32M位元之記憶體時，可延長至32M×2位元。

又，由3個以上之任意個數之記憶體晶片所構成時，可依照與2個之情形同樣之方法，循序切換至選擇狀態，故可藉此實現更長脈衝串長度之非揮發性半導體記憶裝置模組，對於在影像、聲音之類之多媒體處理及系統程式之提升時等需要讀出大量資料之際特別有效。

此外，預先設定或利用來自外部之指令輸入設定選擇多數個記憶體晶片之順序時，即可自動地依照順序切換於晶片選擇狀態，故可簡化有關CPU之記憶體存取之處理，減輕CPU之負荷。

如以上所述，對於多數記憶體晶片，無需個別地加以控制，可將多數記憶體晶片所構成之模組視為一個記憶裝置，僅需要在最初輸入並設定存取開始位址與脈衝串長度，即可施行連續性的高速資料讀出。

又，將上述多數記憶體晶片疊層安裝於一個封裝體內時，也可減少記憶體之安裝面積，降低系統之製造成本。

另外，只要保持與一個記憶體晶片時相同之接腳數及接

腳之配置，即可容易地應付記憶體容量之增大，對用戶而言，非常有利，且在安裝於多數封裝體所構成之非揮發性半導體記憶裝置中，也可期待同樣的效果。

圖式之簡單說明

圖1係表示本發明之實施形態之具有2個同步快閃記憶體之同步型半導體記憶裝置模組之構成之區塊圖。

圖2係表示圖1之同步快閃記憶體之內部構成之區塊圖。

圖3係表示將分別輸入於晶片1與晶片2之位址分配於列方向及行方向時之記憶體變換圖表之一例及當時之脈衝串存取順序之圖。

圖4係表示同步脈衝串讀出動作時之圖2之內部控制電路控制脈衝串位址運算電路及控制模態切換之一例之流程圖。

圖5係表示圖1之同步型半導體記憶裝置模組之動作(其一)之時間圖。

圖6係表示圖1之同步型半導體記憶裝置模組之動作(其二)之時間圖。

圖7係表示本發明之另一實施形態之具有3個同步快閃記憶體之同步型半導體記憶裝置模組之構成之區塊圖。

圖8係表示以往之同步快閃記憶體之內部構成之區塊圖。

圖9係表示脈衝串長度=4、等待時間=2時之以往之同步快閃記憶體之讀出時間圖。

圖10係表示使本發明之同步型半導體記憶裝置模組適用

於資訊機器時之資訊機器之基本構成之區塊圖。

發明之最佳實施形態

以下，一面參照圖式，一面說明有關本發明之實施形態之同步型半導體記憶裝置模組及其控制方法。

圖1係表示本發明之實施形態之具有2個同步快閃記憶體之同步型半導體記憶裝置模組之構成之區塊圖。

圖1中，2個同步快閃記憶體晶片分別具有相同之2M字×16位元構成之32M位元容量之記憶單元，該等之輸出入資料訊號D0~D15、位址輸入訊號A0~A20、晶片啟動訊號CE#、輸出啟動訊號OE#、寫入啟動訊號WE#、時鐘訊號CLK、位址確定訊號ADV#全部共通被連接著。

2個同步快閃記憶體除了ID碼讀出、狀態暫存器讀出、記憶單元陣列讀出等之指令外，並可利用脈衝串長度之設定、等待時間之設定、脈衝串/頁之切換設定、交錯模態或循序模態等脈衝串模態之設定等各設定用之外部指令之輸入，在不相互交換控制訊號之情況下，依照外部輸入之指令，獨立地分別執行在記憶體內部施行讀出動作之際之算法。即，可以使內建於模組之2個同步快閃記憶體施行與由外部控制一個同步快閃記憶體時相同之動作。

以往之晶片之動作狀態有所謂備用狀態之待機狀態與所謂讀出狀態或寫入狀態之動作狀態。有別於此，本發明之同步快閃記憶體具有選擇狀態(Active Mode)與非選擇狀態(Wait Mode)。在此，所謂選擇狀態，係指該晶片輸出資料之狀態之意；所謂非選擇狀態，係指該晶片不輸出資料之

狀態之意。以下，將晶片選擇狀態又稱為選擇模態，將選擇狀態稱為有效模態，將非選擇狀態稱為等待模態。

圖2係表示圖1之同步快閃記憶體之內部構成之區塊圖。又，對於具有與圖8同樣之作用效果之構件，附以同一號碼而省略其說明。

在圖2中，與圖8之構成相異之點在於：配設作為位址運算手段之脈衝串位址運算電路113(Burst Address Arithmetic Circuit)，以取代圖8之位址計數器114之點、與新設構成資訊保持手段之一部分之指令暫存器136(Command Register)之點。又，內部控制電路131A具有作為資料連續讀出控制手段之機能，係用於控制此脈衝串位址運算電路113，以執行同步脈衝串讀出動作。

以下，作為本發明之特徵部分，說明脈衝串位址運算電路113及指令暫存器136，同時說明內部控制電路131A控制脈衝串位址運算電路113之動作情形。

脈衝串位址運算電路113係包含位址初始化手段113A，其係與外部時鐘訊號同步而以外部控制訊號與位址訊號及資料訊號為輸入訊號，利用被輸入之位址訊號及資料訊號，設定存取開始位址及脈衝串長度，同時將位址更新次數初始化者；位址更新手段113B，其係由存取開始位址依序更新位址，同時計數位址更新次數者；及最終位址算出手段113C，其係由脈衝串長度及存取開始位址，算出存取最終位址者；第一判定手段113D，其係在更新位址與一個列位址之最終行位址一致時，將表示此狀態之第一判定訊號輸

出至資料連續讀出控制手段者；第二判定手段113E，其係在更新位址與存取最終位址一致，且更新次數與脈衝串長度一致時，將表示此狀態之第二判定訊號輸出至資料連續讀出控制手段者。

即，位址初始化手段113A及位址更新手段113B施行指令所指定之動作模態之動作，例如同步脈衝串讀出動作時，以來自位址暫存器112之位址輸出為初始資料(存取開始位址)，而將其預置於其內部暫存器113F(構成資訊保持手段之一部分)，同時將由此預置之初始值使位址訊號增量之值依序向位址鎖存電路103輸出，同時計數其次數。

最終位址算出手段113C具有利用後述方法算出之最終位址之運算電路(未予圖示)，依照計算內部控制電路131A所產生之最終位址用之算法，將對應之控制訊號，由控制邏輯電路132輸入至最終位址算出手段113C。

第二判定手段113E具有比較電路(未予圖示)，可將位址訊號增量後依序輸出，直到依序增量之位址與前述之運算電路運算之最終位址一致為止，其輸出位址與最終位址一致時，為了執行動作結束處理，經由控制邏輯電路132，將該一致資訊(結束資訊)輸出至內部控制電路131A。

第一判定手段113D係用於在輸出之位址與選擇中之字元線之最終位址(同一列位址之最終行位址)一致時，也經由控制邏輯電路132，將該一致資訊(列位址更新或/及晶片選擇狀態更新資訊)輸出至內部控制電路131A，以作為第一判定訊號。

其次，指令暫存器 136 係用於記憶包含脈衝串長度之設定、等待時間之設定、脈衝串/頁之切換設定、交錯模態或循序模態等脈衝串模態之設定等與以往之同步快閃記憶體共通之設定，同時也記憶在本發明中所擴張之指令所指定之晶片選擇之設定狀態，即選擇模態之設定狀態。可利用此晶片選擇狀態，區別該晶片是否輸出資料。即，選擇狀態之晶片會輸出資料，非選擇狀態之晶片不會輸出資料。例如，對於晶片屬於晶片 1 及晶片 2 中哪一同步快閃記憶體，只要預先設定各晶片固有之號碼，即可容易加以識別。有關依據此方式之內部控制電路 131A 之本發明之控制動作，容後再予詳述。

內部控制電路 131A 具有晶片選擇狀態切換手段 131B，其係利用第一判定訊號，僅將晶片選擇設定指令指定之資訊與前述晶片識別資訊一致之晶片切換為晶片選擇狀態者；動作結束控制手段 131C，其係依據第二判定訊號，施行動作結束處理者；資料輸出控制手段 131D，其係控制晶片選擇狀態之晶片，使其依序讀出對應於由存取開始位址依序被更新之更新位址之資料，非為晶片選擇狀態時(等待模態)，不施行資料讀出者。

茲就橫跨上述 2 個同步快閃記憶體(晶片 1 及晶片 2)而連續讀出資料之動作，更詳細地加以說明之。

圖 3 係表示將分別輸入於晶片 1 與晶片 2 之位址分配於列方向及行方向時之記憶體變換圖表之一例及當時之脈衝串存取順序之圖。在圖 3 中，各晶片 1 與晶片 2 分別由在列方

向及行方向配置成 $m \times n$ (m 、 n 為自然數) 個矩陣狀之記憶單元所構成。由一個列位址最多可連續讀出 n 個資料，即一次之感測動作可讀出 n 個資料，因此，每一晶片之最長脈衝串長度為 n 。

在圖 3 中，由晶片 1 內之存取開始位址 (前導位址 FA) 依序更新 (例如增量) 位址後被存取，完成同一列位址之最終行資料之讀出。此時，由第一判定手段 113D 檢知最終行位址而由晶片選擇狀態切換手段 131B 切換晶片之選擇狀態。其次，轉移至變成選擇狀態之晶片 2 之同一列位址之前導行資料，並在完成其最終行資料之讀出時，利用第一判定手段 113D 及晶片選擇狀態切換手段 131B，繼續施行由晶片 1 之次一系列位址之前導行資料之讀出。由第二判定手段 113E 檢知最終位址後，由動作結束控制手段 131C 執行動作結束。故可藉此顯示由晶片 1 內之存取開始位址，經晶片 2 內之位址，至晶片 1 內之最終位址 LA，連續高速存取記憶單元之動作情形。

其次，用圖 3 說明橫跨 2 個同步快閃記憶體而連續讀出資料之位址運算情形。

讀出動作由存取開始位址之前導位址 FA(p_0 , q_0) 之輸入座標 (二維的記憶單元位置) 開始， p_0 表示列位址之意， q_0 表示行位址之意。當前導位址 FA(p_0 , q_0) 被輸入時，在選擇狀態之晶片 1 與非選擇狀態之晶片 2 雙方之晶片，對應之字元線 p_0 被選擇，利用前導位址 FA 與所設定之脈衝串長度 b 計算最終位址。

(21)

在此，為簡化計算，假設晶片1與晶片2之每1晶片之最長脈衝串長度 n 均為同數，設定脈衝串長度 b 為 $2n$ 之整數倍，前導位址為 $FA(p_0, q_0)$ ，被設定之脈衝串長度為 b 時，最終位址 $LA(p_1, q_1)$ 可用下列方式計算：

即，在循序脈衝串模態之情形，各晶片選擇字元線之次數在前導位址 $FA(p_0, q_0)$ 之行位址 $q_0=0$ 時，為 $b/2n$ ，在 $q_0 \neq 0$ 時，為 $b/(2n+1)$ 。

因此，最終位址 $LA(p_1, q_1)$ 可用下列之式(1)計算：

$q_0=0$ 時，

$$(p_1, q_1) = \left[(p_0+b)/(2n-1), n-1 \right]$$

$q_0 \neq 0$ 時，

$$(p_1, q_1) = \left[(p_0+b)/(2n), q_0-1 \right]$$

又，由外部輸入之前導位址 FA 係被收納於構成資訊保持手段之一部分之位址暫存器112。最終位址 LA 依照經由控制邏輯電路132被內部控制電路131A指示之上述式(1)，被脈衝串位址運算電路113計算後，被保存於構成資訊保持手段之一部分之脈衝串位址運算電路113內之暫存器。

存取中之現在之更新位址(以下稱當前位址) $CA(p, q)$ 係以前導位址 FA 為初始值，而與時鐘訊號 CLK 之上升邊同步地被增量至最終位址 LA ，由脈衝串位址運算電路113被輸出至位址鎖存電路103。此時，當前位址 $CA(p, q)$ 被鎖存於內建在脈衝串位址運算電路113之暫存器(未予圖示)，被與所計算之最終位址 LA 作比較。

在脈衝串位址運算電路113所輸出之當前位址 $CA(p, q)$

達到最終位址 LA 以前，與時鐘訊號 CLK 之上升邊同步地被依序選擇之字元線上之資料由選擇側之晶片 1 被讀出。又，在非選擇側之晶片 2，則僅在時鐘訊號 CLK 之上升邊施行位址之計數(相當於脈衝串長度之計數動作)。

脈衝串位址運算電路 113 在此電路自己所輸出之當前位址 CA(p, q) 達到最終位址以前，檢出與最初選擇之字元線上之最終位址 (p0, n-1) 一致時，經由控制邏輯電路 132，將該資訊輸出至內部控制電路 131A，以作為第一判定訊號。此時，各內部控制電路 131A 之晶片選擇狀態切換手段 131B 即施行選擇狀態與非選擇狀態之切換。其結果，選擇側之晶片 1 模態被切換為非選擇狀態，非選擇側之晶片 2 模態被切換為選擇狀態，繼續由選擇側之晶片 2 施行資料之輸出。

又，在此有一部分未予圖示，即最初處於選擇狀態之晶片 1 由選擇狀態被切換為非選擇狀態時，在施行其次之選擇模態之切換之同時，會連續地施行讀出，故將列位址增量，選擇其次之位址之字元線而處於待機狀態，僅在時鐘訊號 CLK 之上升邊施行位址之計數(相當於脈衝串長度之計數動作)。

其次，選擇側之晶片 2 在到達被選擇之字元線上之最終位址 (p0, n-1) 之前輸出資料。

又，在本實施形態中，為簡化計算，將晶片 1 與晶片 2 之脈衝串長度 n 均設為同數，並將設定脈衝串長度 b 設為 2n 之整數倍。但也可利用具有任意不同之最長脈衝串長度 n、n'

之2個晶片，將設定脈衝串長度 b 任意設定。即使此設定脈衝串長度 b 小於晶片之最長脈衝串長度 n 、 n' 時，也可施行與以往同樣之讀出。使用上述方法時，可與各晶片1與晶片2之最長脈衝串長度無關地，且毫不中斷地持續讀出資料至最多非揮發性半導體記憶裝置模組之總位元，即，在 $2M$ 字 $\times 16$ 位元構成之 $32M$ 位元之記憶體之情形係到 $32M \times 2$ 位元為止。

其次，詳細說明內部控制電路131A對晶片全體之控制動作。在內部控制電路131A中，除了利用所謂微碼之內建程式，執行位址運算及模態切換之動作外，並執行晶片全體之控制。

圖4係表示同步脈衝串讀出動作時之圖2之內部控制電路控制131A脈衝串位址運算電路及控制模態切換之一例之流程圖。又，各處理動作係與該時鐘訊號CLK之上升邊同步地進行。

如圖4所示，首先，在步驟S1，當晶片啟動訊號CE#變成低位準時，即開始指令輸入循環。

其次，在步驟S2，寫入因位址訊號及資料訊號之輸入而產生之脈衝串長度設定指令、晶片選擇設定指令、等待時間之設定、脈衝串/頁之切換設定、交錯模態/循序模態等脈衝串模態之設定等各設定指令(此種設定在以下稱模態預置)。

所謂晶片選擇設定指令，係對各晶片設定前述選擇狀態(Active Mode)與非選擇狀態(Wait Mode)之模態之指令，預先

在各晶片設定號碼時，可利用僅將與指令輸入時指定之號碼一致之晶片切換於選擇狀態(Active Mode)之方式加以設定。例如，在記憶單元陣列讀出指令之情形，如果在以往之快閃記憶體中，係利用2個循環指令，以最初之循環，輸入指示輸出入資料訊號D0~D15中由D0~D7讀出動作之FF(16進制數)，利用其次之循環，輸入目的之資料之前導位址。但在本實施形態之情形，首先，作為另外2個循環指令，以最初之循環，輸入例如EE(16進制數)，作為晶片選擇之設定指令，利用其次之循環，輸入晶片選擇碼，例如輸入A0(16進制數)時，使晶片1成為選擇狀態晶片，輸入A1(16進制數)時，使晶片2成為選擇狀態晶片。又，在本實施形態中，外部指令之指令循環係以2個循環界定指令之定義，但並未特別限制於此。可利用增加指令循環之方式，設定更多之指令。

此外，如果能利用最初之循環，例如輸入F0(16進制數)時，將晶片1設定為選擇側晶片，輸入FF(16進制數)時，將晶片2設定為選擇側晶片時，也可利用1個循環指令，將晶片選擇之設定指令與記憶單元陣列之讀出指令彙總起來。

另外，雖未特別限制於此，但在此，各種設定都假設可保持至同步快閃記憶體復位或電源斷電為止。又，各種設定指令即使在同步快閃記憶體因指令之輸入而處在動作中之時，在輸入動作之中斷指令後，也可隨時輸入。在此之前所說明者為初始設定之情形，此後則為由位址輸入至資料讀出之動作。

在其次之步驟 S3 中，前導位址 $FA(p_0, q_0)$ 被輸入，假設當前位址為 $CA(p, q)$ 時，代入 $p=p_0, q=q_0$ 。又，位址增量次數 bc 係以 $bc=1$ 為初始值。所謂位址增量次數 bc ，係指脈衝串位址運算電路 113 與時鐘訊號 CLK 之上升邊同步地將位址增量之際，計數其次數之值，此值係被鎖存於內建於脈衝串位址運算電路 113 之暫存器(未予圖示)。

在步驟 S4 中，內部控制電路 131A 使脈衝串位址運算電路 113 計算最終位址 $LA(p_1, q_1)$ 。計算式因脈衝串位模態而異，在本實施形態之循序脈衝串模態之情形，只要符合上述條件，最終位址 $LA(p_1, q_1)$ 可由前述之式(1)求得。

在步驟 S5 中，內部控制電路 131A 判定處於何種晶片選擇狀態(有效模態或等待模態)。

在步驟 S5 中，判定為有效模態時，在步驟 S6-1 中，輸出當前位址 $CA(p, q)$ 之資料，又，在步驟 S5 中，判定為等待模態時，在步驟 S6-2 中，不施行任何動作而移轉至步驟 S7。

接著，在步驟 S7 中，施行當前位址 $CA(p, q)$ 與最終位址 LA 是否一致、及位址增量次數 bc 與設定步脈衝串長度 b 是否一致之各判定。上述判定之結果，當前位址 $CA(p, q)$ 與最終位址 LA 一致，且位址增量次數 bc 與設定步脈衝串長度 b 一致時，即在該處作動作結束處理；如未一致時，轉移至其次之步驟 S8-1。

在步驟 S8-1 中，判定當前位址 $CA(p, q)$ 是否為被選擇之字元線上之最終位址 LA 。如當前位址 $CA(p, q)$ 非為被選擇之字元線上之最終位址 LA 時，在步驟 S8-2 中，利用脈衝串

位址運算電路 113，將行位址與位址增量次數 bc 增量。當前位址 CA(p, q) 為被選擇之字元線上之最終位址 LA 時，將處理轉移至其次之步驟 S9~S12 之動作模態切換。

在步驟 S9 中，與步驟 S5 同樣，判定晶片選擇狀態(有效模態或等待模態)，判定為有效模態時，在步驟 S10 中，將鎖存於脈衝串位址運算電路 113 內之列位址 p 增量 (p+1)，而選擇其次之位址之字元線。

在步驟 S11 中，變換模態而轉移至等待模態，以施行其次之選擇模態切換時之準備。

又，在步驟 S9 中，判定為等待模態時，在步驟 S11 中，變換模態而轉移至有效模態，而連續施行資料之讀出。

在步驟 S12 中，行位址 q 被復位，將當前位址 CA(p, q) 之行位址移至前導位址，再返回步驟 S5 之處理。

圖 5 及圖 6 係表示圖 1 之同步型半導體記憶裝置模組之動作之時間圖。以下，與圖 4 之流程圖作比較，並加以說明。全部輸入均與時鐘訊號 CLK 之上升邊同步地被取入於晶片內，輸出則在與時鐘訊號 CLK 之上升邊同步時才有效。

如圖 5 所示，首先，在時刻 t1 以前，晶片啟動訊號 CE# 為高位準，此非揮發性半導體記憶裝置模組處於所謂備用模態之待機狀態。

在時刻 t1，變成低位準之晶片啟動訊號 CE# 被輸入，非揮發性半導體記憶裝置模組處於動作狀態，指令及外部訊號、其他之輸入均成為有效。首先，時刻 t1、t2 相當於上述模態預置之指令中步驟 S1(晶片啟動訊號 CE# 成為有

效)，及步驟S2(模態預置)。在此，係利用時刻t1、t2之2個循環指令施入初始設定。有一部分未予圖示，即時刻t1、t2可依必要之設定種類之次數，反覆輸入。即，模態預置之指令部分可利用反覆步驟S2之處理之方式加以設定。只要是屬於時刻t1、t2之2個循環指令，都可使用例如在時刻t1輸入指令之種類，在時刻t2輸入所希望之設定值等之方法。

其次之時刻t3、t4係讀出指令設定時刻，相當於步驟S3。與時刻t1、t1同樣，利用時刻t3、t4之2循環指令輸入讀出指令與前導位址。

另外，時刻t5係晶片1之資料輸出開始之步驟，相當於步驟S5、S6。其後，在資料輸出完成以前，每1時鐘脈衝反覆步驟S5~S8之循環。

接著，如圖6所示，時刻t6、t7係自動模態變換(晶片2之資料輸出開始)之步驟，用於施行步驟S9~S12之循環。

最後之時刻t8係資料輸出完成之步驟，此時，在步驟S7之判定中，為「YES」，上述一連串之處理即告結束。

以上，在本實施形態中，係在同一構成之多數個同步快閃記憶體晶片被安裝於同一封裝體內，其外部端子全部共通連接所構成之非揮發性半導體記憶裝置模組中，與外部時鐘訊號同步而輸入外部控制訊號與位址訊號及資料訊號，依據被輸入之位址訊號及資料訊號，位址初始化手段113A指定存取開始位址及脈衝串長度，同時將位址更新次數初始化。最終位址算出手段113C由存取開始位址及脈衝

串長度，算出存取最終位址。依據來自資料輸出控制手段131D之指示，位址更新手段113B依序更新位址，且計數其更新次數，將更新之位址輸出至位址鎖存電路103，以執行脈衝串讀出動作。第一判定手段113D係在更新之位址與一個列位址之最終行位址一致時，將告知此狀態之第一判定訊號轉送至晶片選擇狀態切換手段131B。晶片選擇狀態切換手段131B利用第一判定訊號，僅將晶片選擇設定指令指定之資訊與晶片識別資訊一致之晶片切換為晶片選擇狀態。成為晶片選擇狀態之另一晶片之位址更新手段113B依序更新位址，且計數其更新次數，將其更新之位址輸出至位址鎖存電路103，以執行脈衝串讀出動作。另外，第二判定手段113E將告知更新之位址與存取最終行位址一致，且更新次數與上述脈衝串一致之第二判定訊號轉送至動作結束控制手段131C，藉以結束動作。

依據以上所述，即使連續存取對象之多數記憶單元橫跨存在於二個記憶體晶片時，可利用一次之位址輸入，與單一快閃記憶體同等地使用大容量之二個記憶體晶片，可接續在一方之記憶體晶片之後，連續且高速地由他方之記憶體晶片讀出資料。

又，在圖1中，係就2個同步快閃記憶體晶片1、2所構成之情形加以說明，但也可利用3個同步快閃記憶體晶片1~3加以構成，此情形如圖7所示。圖7之情形也可利用與圖1之情形相同之方法，依序將晶片切換為選擇狀態，實現更長之步脈衝長度之非揮發性半導體記憶裝置模組。同樣情

形，也可利用3個以上之任意數之同步快閃記憶體晶片構成非揮發性半導體記憶裝置模組。

又，在本實施形態中，係說明可利用指令選擇2個晶片1與晶片2之方式。但作為另一記憶體存取方法，例如也可使用預先將前導位址固定設定在晶片1，在設定步脈衝串長度b長於晶片之最長步脈衝串長度n時，連續地對晶片2存取之方式。此時，需要讀出之前導資料存在於晶片2時，等待時間雖會延長，但因不需發出並執行初始設定選擇模態之晶片選擇指令，故可利用此折衷方式分別使用。

另外，在本實施形態中，作為脈衝串模態，係就循序方式加以說明，但也可利用內部控制電路131A之控制，以變換輸出被行選擇電路及感測放大器104所感測，並鎖存於資料暫存器105之資料之順序方式，容易地使其適應於交錯方式。

另外，在本實施形態中，有一部分並未特別加以說明，即上述方法並不限定於2個同步快閃記憶體晶片，即使在由3個以上之任意個數之記憶體晶片所構成時，也可利用預先對全部記憶體晶片，設定處於選擇狀態之優先順位，計數時鐘訊號之上升邊，依照計數數切換選擇狀態之晶片。如此一來，即可實現更長脈衝串長度之非揮發性半導體記憶裝置模組。

另外，在本實施形態中，係利用非揮發性半導體記憶裝置，特別是利用同步快閃記憶體構成模組，但本發明並不限定於此，也可容易地適用於記憶單元陣列為揮發性半導

體記憶裝置，例如適用於動態RAM(隨機存取記憶體)及靜態RAM。

另外，在本實施形態中，係就同步型半導體記憶裝置模組之情形加以說明，但也可容易地將本發明之同步型半導體記憶裝置模組組裝於行動電話裝置及電腦等之資訊機器，發揮本發明之效果。例如，如圖10所示，資訊機器200具有RAM及ROM(同步型半導體記憶裝置模組)等資訊記憶手段、操作輸入手段、顯示初期畫面及資訊處理結果等之液晶顯示裝置等之顯示手段、及接受來自操作輸入手段之操作指令，依據特定之資訊處理程式及其資料，一面對資訊記憶手段施行資訊之脈衝串讀出動作等，一面施行各種資訊處理之CPU(中央運算處理裝置)時，即可容易地將本發明之同步型半導體記憶裝置模組適用於資訊記憶手段(RAM及ROM)。

如以上所述，本發明可依據更新位址切換多數之同步型半導體記憶裝置之選擇狀態/非選擇狀態，同時可由從該選擇狀態變成非選擇狀態之同步型半導體記憶裝置，橫跨至從非選擇狀態變成選擇狀態之另一同步型半導體記憶裝置，而無間斷地連續讀出資料。且可實現脈衝串長度比一個記憶體晶片之情形長之非揮發性半導體記憶裝置。例如，脈衝串長度最多為非揮發性半導體記憶裝置模組之總位元，即，在 $2M$ 字 $\times 16$ 位元構成之 $32M$ 位元之記憶體2個之情形時，可延長至 $32M \times 2$ 位元。

又，由3個以上之任意個數之記憶體晶片所構成時，可

依照與2個之情形同樣之方法，循序切換至選擇狀態，故可藉此實現更長脈衝串長度之非揮發性半導體記憶裝置模組，對於在影像、聲音之類之多媒體處理及系統程式之提升時等需要讀出大量資料之際特別有效。

此外，預先設定或利用來自外部之指令輸入設定選擇多數個記憶體晶片之順序時，即可自動地依照順序切換於晶片選擇狀態，故可簡化有關CPU之記憶體存取之處理，減輕CPU之負荷。

如以上所述，對於多數記憶體晶片，無需個別地加以控制，可將多數記憶體晶片所構成之模組視為一個記憶裝置，僅需要在最初輸入並設定存取開始位址與脈衝串長度，即可施行連續性的高速資料讀出。

又，將上述多數記憶體晶片疊層安裝於一個封裝體內時，也可減少記憶體之安裝面積，降低系統之製造成本。

另外，由於可在保持與一個記憶體晶片時相同之接腳數及接腳之配置之狀態下，容易地應付記憶體容量之增大之需要，對用戶而言，非常有利，且在安裝於多數封裝體所構成之非揮發性半導體記憶裝置中，也可期待同樣的效果。

產業上之可利用性

在多數晶片內建有可與時鐘脈衝同步地施行脈衝串輸出之同步型半導體記憶裝置之同步型半導體記憶裝置模組之技術領域中，即使作為連續存取對象之多數記憶單元橫跨存在於二個記憶體晶片時，也可利用1次之位址輸入，與單一快閃記憶體同等地使用大容量之二個記憶體晶片。

肆、中文發明摘要

本發明係關於同步型半導體記憶裝置模組及其控制方法、資訊機器。利用輸入位址訊號及資料訊號，指定存取開始位址及脈衝串長度，由存取開始位址及脈衝串長度算出存取最終位址，依據來自內部控制電路 131A 之指示，脈衝串位址運算電路 113 將位址依序更新，且計數其更新次數，將被更新之位址輸出至位址鎖存電路 103，而在被更新之位址與存取最終位址一致，且更新次數與上述脈衝串長度一致時，結束動作，在更新位址與一個列位址之最終行位址一致時，改變晶片之選擇狀態。

伍、英文發明摘要

A burst address arithmetic circuit 113 designates an access start address and a burst length based on an input address signal and a data signal, and calculates an access end address based on the access start address and the burst length. Upon receipt of an instruction from an internal control circuit 131A, the burst address arithmetic circuit 113 sequentially updates addresses, counts the number of updates, and outputs each of the updated addresses to an address latch circuit 103. When the updated address matches the address end address and also the number of time of update matches the burst length, the burst address arithmetic circuit 113 terminates its operation. When the updated address matches the last column address among column addresses corresponding to one row address, the burst address arithmetic circuit 113 changes the selection/non-selection state of the chip.

陸、(一)、本案指定代表圖為：第_____圖

(二)、本代表圖之元件代表符號簡單說明：

柒、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

拾、申請專利範圍

1. 一種同步型半導體記憶裝置模組，其係將可與時鐘脈衝同步地施行資料之連續讀出動作之同步型半導體記憶裝置搭載於多數個晶片者，其特徵在於

該多數之同步型半導體記憶裝置分別包含

資訊保持手段，其係至少保持晶片識別資訊、晶片選擇狀態設定指令及存取開始位址者；

位址運算手段，其係運算存取結束位址，同時依序運算由該存取開始位址至該存取結束位址之更新位址者；及

資料連續讀出控制手段，其係依據該更新位址，利用該晶片識別資訊及晶片選擇狀態設定指令，切換該多數之同步型半導體記憶裝置之選擇狀態/非選擇狀態，同時可由從該選擇狀態變成非選擇狀態之同步型半導體記憶裝置，橫跨至從非選擇狀態變成選擇狀態之另一同步型半導體記憶裝置，而無間斷地連續讀出資料者。

2. 如申請專利範圍第1項之同步型半導體記憶裝置模組，其中前述位址運算手段包含位址初始化手段，其係與外部時鐘訊號同步而以外部控制訊號與位址訊號及資料訊號為輸入訊號，利用被輸入之該位址訊號及資料訊號，設定存取開始位址及脈衝串長度，同時將位址更新次數初始化者；

位址更新手段，其係由該存取開始位址依序更新位址，同時計數位址更新次數者；及

最終位址算出手段，其係由該脈衝串長度及存取開始位址，算出存取最終位址者。

3. 如申請專利範圍第1或2項之同步型半導體記憶裝置模組，其中前述位址運算手段包含第一判定手段，其係在更新位址與一個列位址之最終行位址一致時，將第一判定訊號輸出至前述資料連續讀出控制手段者；及第二判定手段，其係在該更新位址與前述存取最終位址一致，且前述更新次數與前述脈衝串長度一致時，將第二判定訊號輸出至該資料連續讀出控制手段者；

前述資料連續讀出控制手段包含晶片選擇狀態切換手段，其係依據該第一判定訊號，僅將該晶片選擇設定指令指定之資訊與前述晶片識別資訊一致之晶片切換為晶片選擇狀態者；動作結束控制手段，其係依據該第二判定訊號，施行動作結束處理者；及資料輸出控制手段，其係對晶片選擇狀態之晶片，依序讀出對應於由該存取開始位址依序被更新之更新位址之資料，非為晶片選擇狀態時，不施行資料讀出者。

4. 如申請專利範圍第1項之同步型半導體記憶裝置模組，其中前述資料連續讀出控制手段係控制內部位址，使內建於第一同步型半導體記憶裝置之記憶單元陣列之一個列位址之最終行位址之次一位址，成為與內建於第二同步型半導體記憶裝置之記憶單元陣列之該列位址同一之列位址之前導行位址，並使內建於該第二同步型半導體記憶裝置之記憶單元陣列之一個列位址之最終行位址之

次一位址，成為與內建於該第一同步型半導體記憶裝置之記憶單元陣列之該列位址之次一位址之前導行位址者。

5. 如申請專利範圍第1項之同步型半導體記憶裝置模組，其中搭載N個(N為自然數)可與時鐘脈衝同步地施行脈衝串讀出之同步型半導體記憶裝置，

前述資料連續讀出控制手段係控制內部位址，對第1~N-1個之任意之i(i為自然數)個中，使內建於第i個同步型半導體記憶裝置之記憶單元陣列之一個列位址之最終行位址之次一位址，成為與內建於第i+1個同步型半導體記憶裝置之記憶單元陣列之該列位址同一之列位址之前導行位址，

並使內建於第N個同步型半導體記憶裝置之記憶單元陣列之一個列位址之最終行位址之次一位址，成為與內建於第i個同步型半導體記憶裝置之記憶單元陣列之該列位址之次一位址之前導行位址者。

6. 如申請專利範圍第1項之同步型半導體記憶裝置模組，其中前述同步型半導體記憶裝置之記憶單元係非揮發性者。
7. 如申請專利範圍第1項之同步型半導體記憶裝置模組，其中前述同步型半導體記憶裝置之記憶單元係快閃記憶體單元者。
8. 如申請專利範圍第1項之同步型半導體記憶裝置模組，其中對應於前述多數同步型半導體記憶裝置之同一訊號

之外部端子係全部互相共通被連接者。

9. 如申請專利範圍第1項之同步型半導體記憶裝置模組，其中在前述資訊保持手段，設定施行連續讀出之字長者。

10. 一種同步型半導體記憶裝置模組之控制方法，其特徵在於包含

第一步驟，其係輸入脈衝串長度設定指令、晶片選擇設定指令、由存取開始至資料輸出為止之延遲時間(等待時間)設定指令、及存取開始位址者；

第二步驟，其係僅將該晶片選擇設定指令指定之資訊與晶片識別資訊一致之晶片切換於可輸出讀出資料之有效模態者；

第三步驟，其係將輸入存取開始位址設定於存取開始位址，並將位址更新次數初始化者；

第四步驟，其係由該脈衝串長度及存取開始位址算出存取最終位址者；

第五步驟，其係在該有效模態之時，輸出對應於現在之更新位址之資料，在非有效模態之等待模態之時，不輸出資料者；

第六步驟，其係判定現在之更新位址與該存取最終位址是否一致、及該位址更新次數與該脈衝串長度是否一致，此等均一致時，施行動作結束處理者；

第七步驟，其係判定現在之更新位址與該存取最終位址是否一致、及該位址更新次數與該脈衝串長度是否一

致，其中有一方不一致時，判定現在之更新位址是否為一個列位址上之最終行位址者；

第八步驟，其係在該第七步驟中判定為非最終行位址時，將現在之行位址與該位址更新次數增量，再返回該第五步驟以後之處理者；

第九步驟，其係在該第七步驟中判定為最終行位址時，將行位址移至前導位址，將位址更新次數增量，並施行晶片選擇狀態之判定者；

第十步驟，其係在該第九步驟中判定為有效模態時，將列位址增量而轉移至等待位址，再返回該第五步驟以後之處理者；及

第十一步驟，其係在該第九步驟中判定為等待模態時，轉移至有效模態，再返回該第五步驟以後之處理者。

11. 一種資訊機器，其特徵在於利用申請專利範圍第1項之同步型半導體記憶裝置模組施行脈衝串讀出動作者。

拾壹、圖式

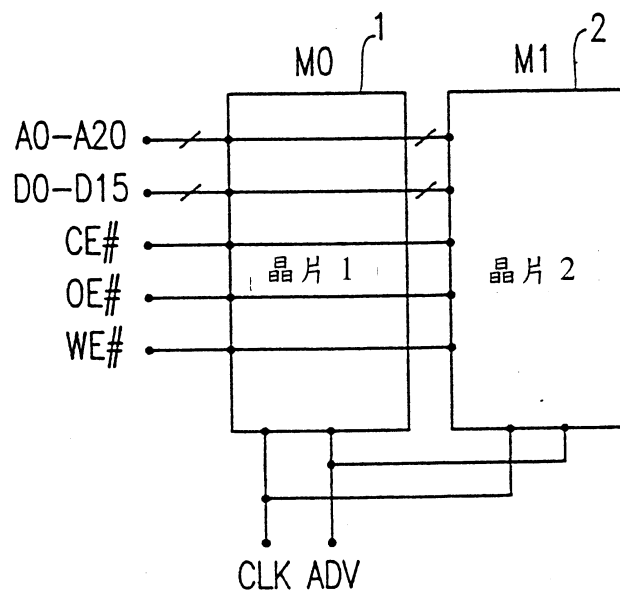
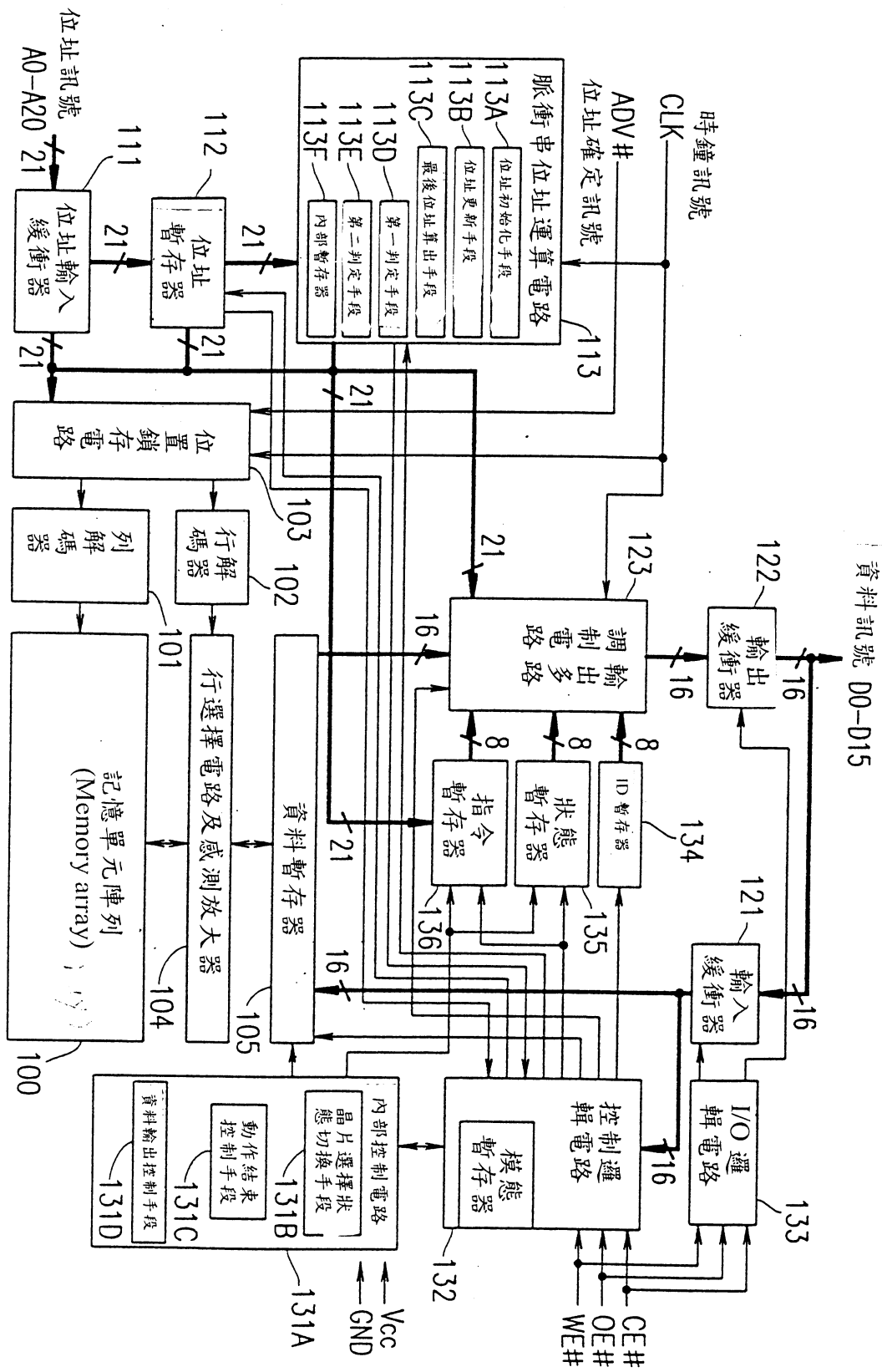


圖 1



資料訊號 D0-D15

圖 2

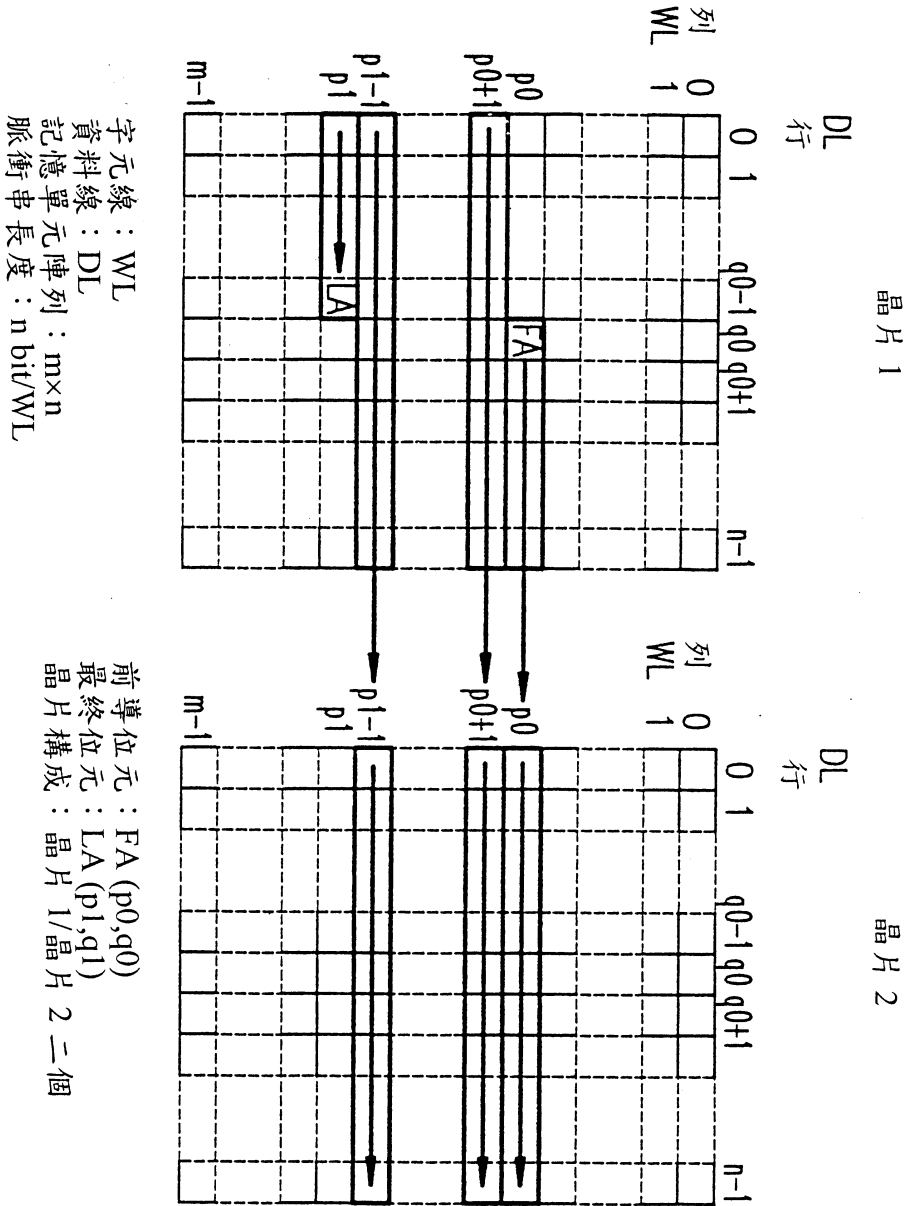


圖 3

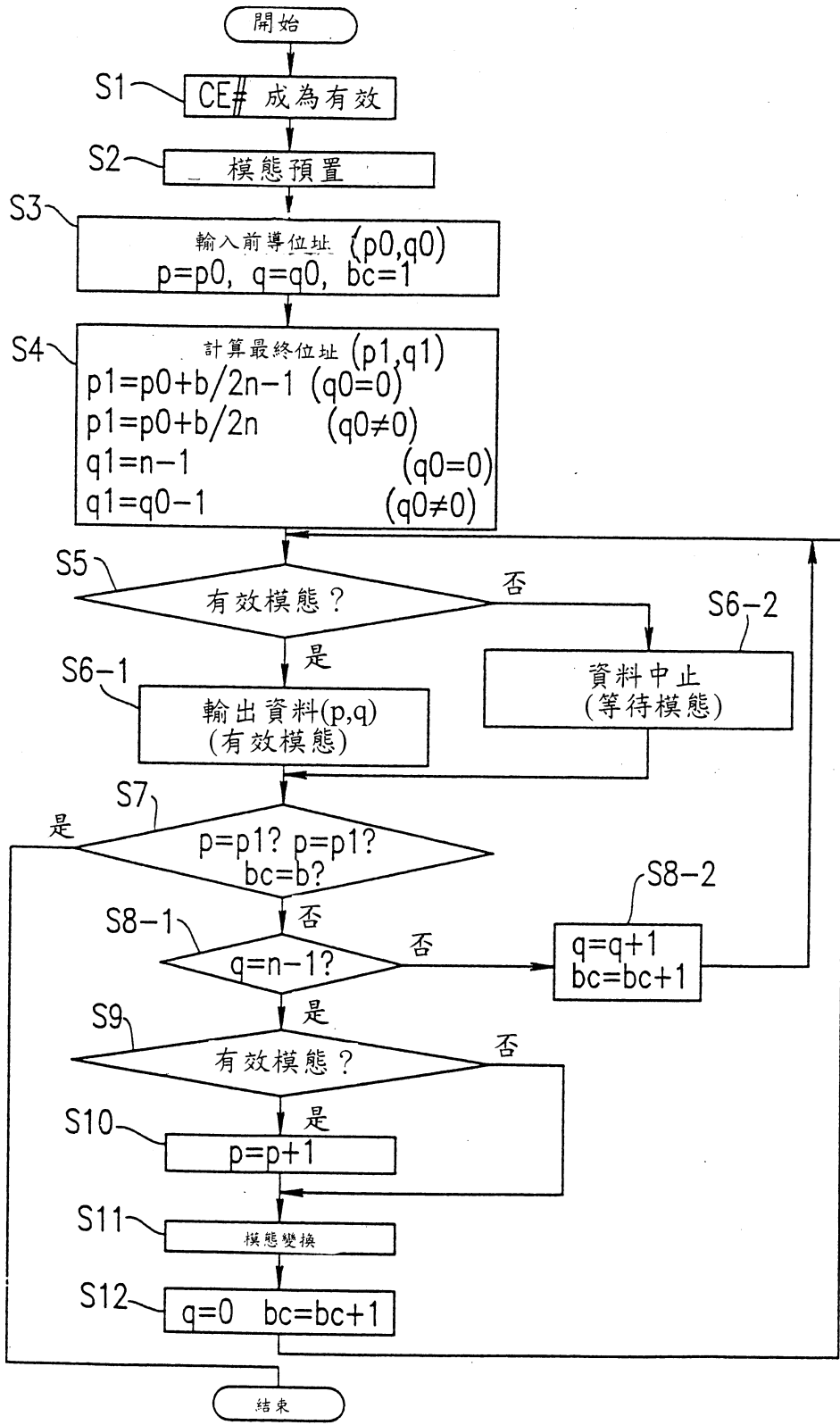


圖 4

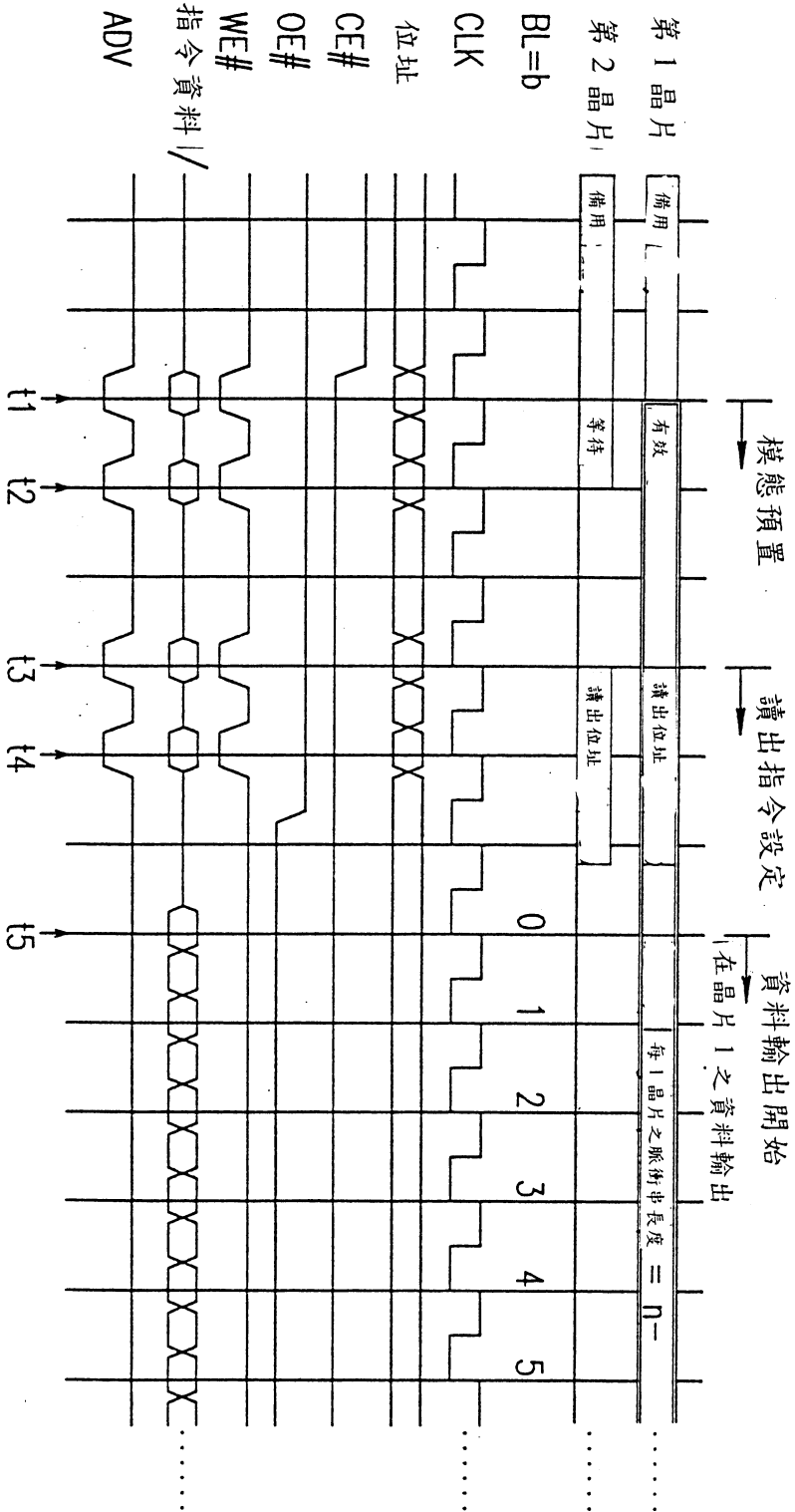


圖 5

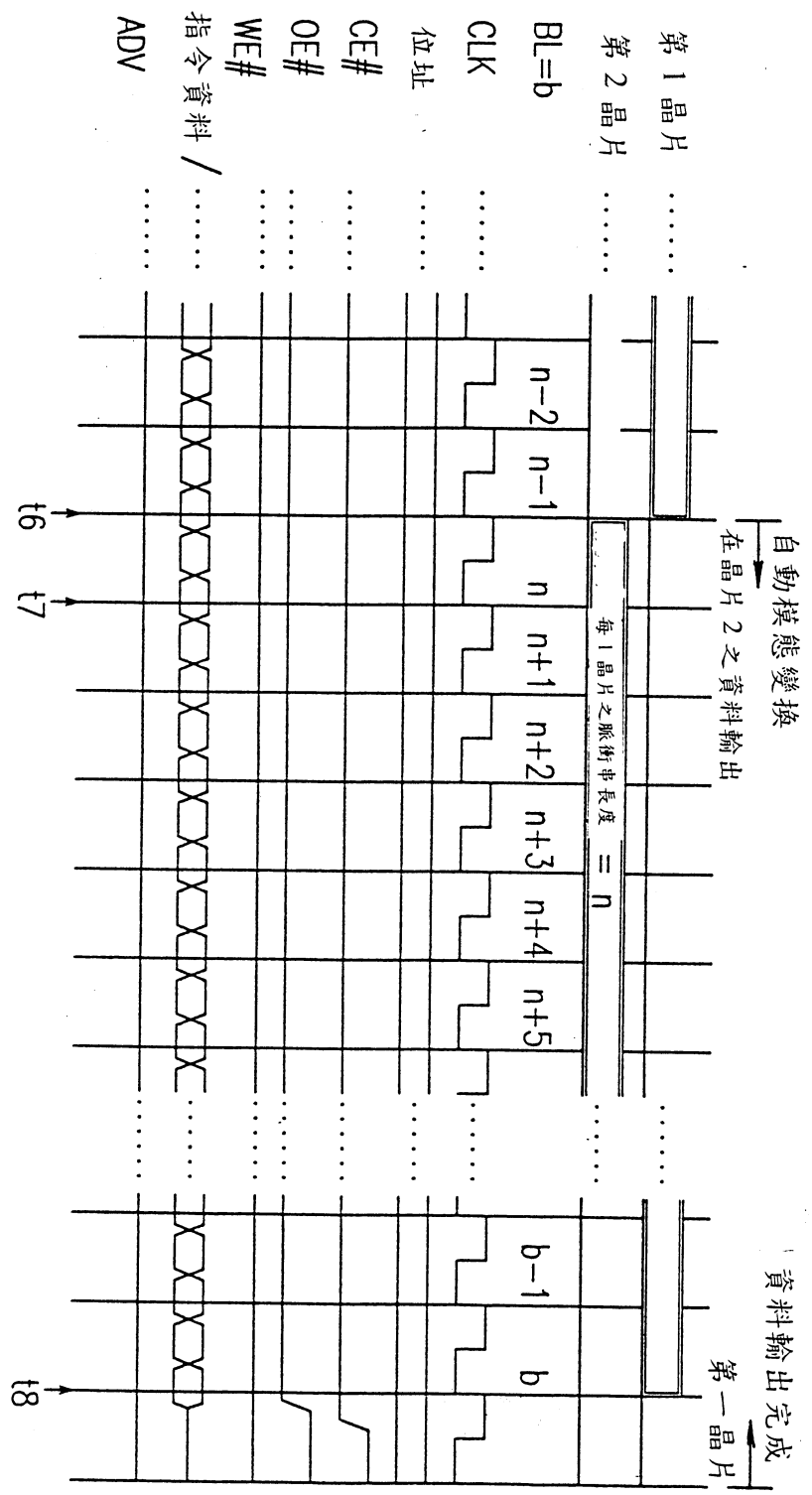


圖 6

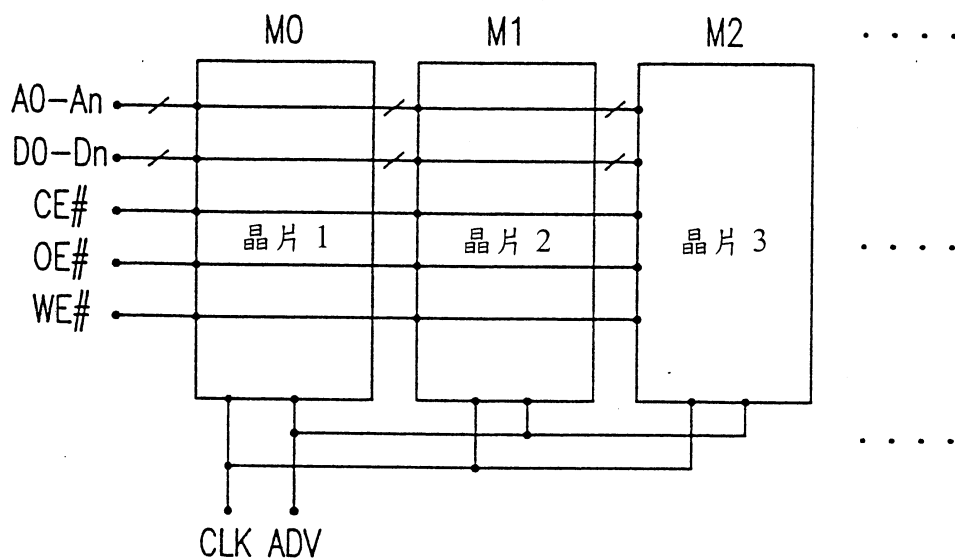


圖 7

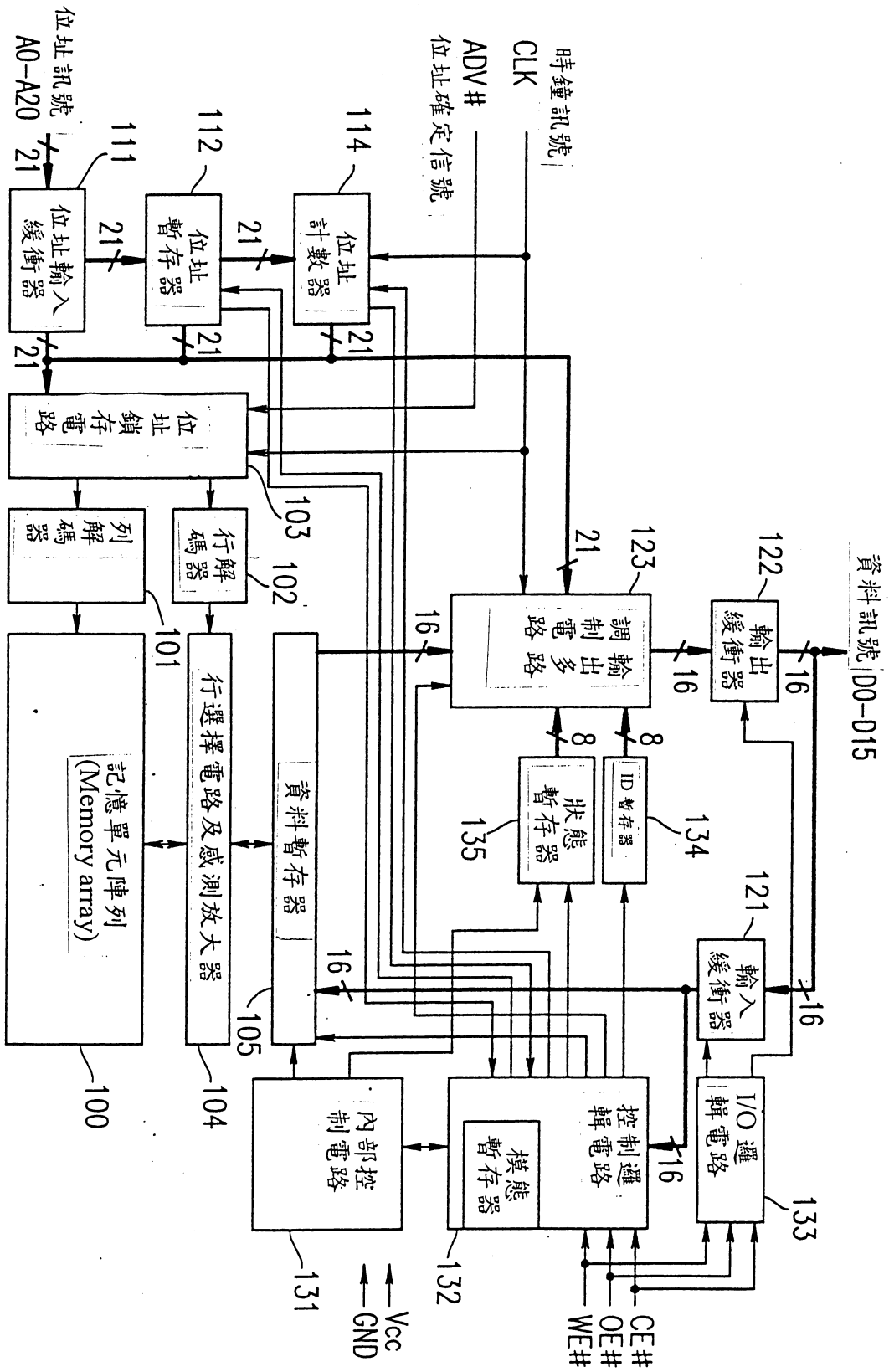


圖 8

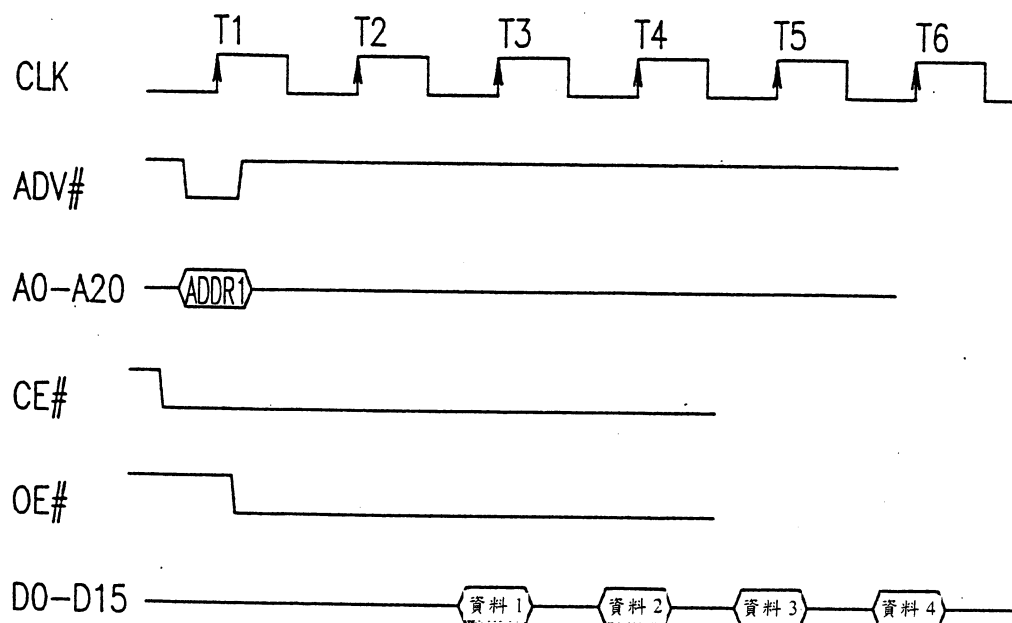


圖 9

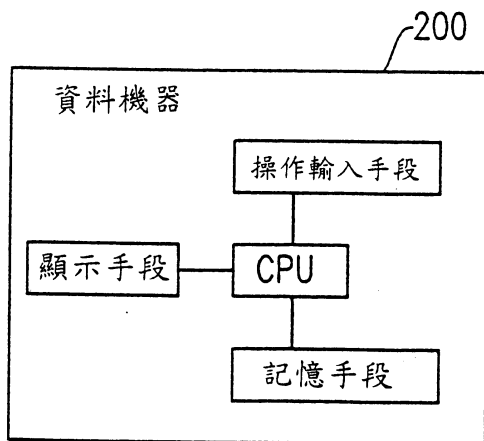


圖 10