

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5510862号
(P5510862)

(45) 発行日 平成26年6月4日(2014.6.4)

(24) 登録日 平成26年4月4日(2014.4.4)

(51) Int.Cl.

F 1

HO1L 21/82	(2006.01)	HO1L 21/82	F
HO1L 21/3205	(2006.01)	HO1L 21/88	S
HO1L 21/768	(2006.01)	HO1L 27/04	V
HO1L 23/522	(2006.01)	HO1L 21/88	Z
HO1L 27/04	(2006.01)		

請求項の数 3 (全 83 頁) 最終頁に続く

(21) 出願番号

特願2009-56761(P2009-56761)

(22) 出願日

平成21年3月10日(2009.3.10)

(65) 公開番号

特開2010-212445(P2010-212445A)

(43) 公開日

平成22年9月24日(2010.9.24)

審査請求日

平成24年2月7日(2012.2.7)

(73) 特許権者 302062931

ルネサスエレクトロニクス株式会社

神奈川県川崎市中原区下沼部1753番地

(74) 代理人 100064746

弁理士 深見 久郎

(74) 代理人 100085132

弁理士 森田 俊雄

(74) 代理人 100083703

弁理士 仲村 義平

(74) 代理人 100096781

弁理士 堀井 豊

(74) 代理人 100109162

弁理士 酒井 将行

(74) 代理人 100111246

弁理士 荒川 伸夫

最終頁に続く

(54) 【発明の名称】半導体装置

(57) 【特許請求の範囲】

【請求項 1】

複数の金属配線層を有する半導体装置であって、

前記複数の金属配線層の第1金属配線層を用いて形成される第1配線及び第2配線と、

前記第1金属配線層よりも1層上層の第2金属配線層を用いて形成され、第1ビアを介して前記第1配線と電気的に接続される第3配線及び第2ビアを介して前記第2配線と電気的に接続される第4配線と、

前記第2金属配線層よりも1層上層の第3金属配線層の配線を用いて形成される少なくとも1つのヒューズと、

前記第3金属配線層を用いて形成され、第3ビアを介して前記第3配線と電気的に接続される第5配線及び第4ビアを介して前記第4配線と電気的に接続される第6配線と、

前記第3金属配線層よりも1層上層の第4金属配線層を用いて形成され、第5ビアを介して前記第5配線と電気的に接続される第7配線及び第6ビアを介して前記第6配線と電気的に接続される第8配線と、

を備え、

前記ヒューズは、銅を含み、

前記半導体装置は、さらに、

前記ヒューズを囲むように前記第1、第2、第3、第4、第5、第6、第7、および、第8配線と前記第1、第2、第3、第4、第5、及び、第6ビアを利用して形成され、前記ヒューズと平面的に見て重ならないように形成される第1拡散防護壁を備え、

前記第1拡散防護壁は、半導体基板上に前記半導体基板から連続的に上に延在するよう
に形成され、前記ヒューズを溶断するための電流を供給するMOSトランジスタと電気的
に接続し、

前記半導体装置は、さらに、

前記第4金属配線層よりも1層上層に、前記ヒューズと平面的に見て重なり合うように
配置される電源電圧を伝達する電源配線と、

前記電源配線に接続して形成され、前記第1拡散防護壁の外側に前記半導体基板方向に
向かって延在するように形成される第2拡散防護壁とを備え、

前記第2拡散防護壁は、少なくとも前記第4金属配線層と同層の配線層を含み、

前記第1拡散防護壁に囲まれた領域において、前記第2金属配線層と前記第4金属配線
層には、配線が形成されない、半導体装置。

10

【請求項2】

前記ヒューズと平面的に見て重なる前記第1金属配線層の配線が形成されていない、請求
項1記載の半導体装置。

【請求項3】

前記第1、第2、第3、第4、第5、第6、第7、および、第8配線と前記第1、第2
、第3、第4、第5、及び、第6ビアは銅を含む、請求項1記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

20

この発明は、半導体装置に関し、特に、固定情報を格納するヒューズ素子を含むヒューズプログラム回路を有する半導体装置に関する。より特定的には、この発明は、低消費電力かつ低占有面積で確実にヒューズ素子の切断および切断状態判定を行なうことのできるヒューズプログラム回路を実現するための構成に関する。

【背景技術】

【0002】

半導体集積回路装置（半導体装置）においては、種々の用途に対してヒューズプログラム回路が用いられる。ヒューズプログラム回路は、ヒューズ素子の溶断／非溶断によりその出力信号の状態が、固定的に設定される。たとえば、アナログ回路の定数を微調整（トリミング）するために、このようなヒューズ素子が用いられる。具体的に、トランジスタ素子の電流駆動力の調整、基準電流源の供給電流量の調整、および／または基準電圧源の生成する基準電圧レベルの調整などを行なうために、ヒューズ素子のプログラミング（溶断／非溶断）が行なわれる。また、抵抗素子の抵抗値を微調整するためにも、このようなヒューズプログラム回路が用いられる。

30

【0003】

このようなアナログ値の調整と同様の調整が、デジタル回路においても行なわれる。また、半導体メモリにおいては、不良セルを冗長セルで置換するために不良セルを特定する不良アドレスをプログラムする必要があり、このような不良アドレスを格納するためにヒューズプログラム回路が用いられる。このようなヒューズプログラム回路を利用することにより、アナログ回路およびデジタル回路に係わらず回路動作特性の最適化を実現し、また半導体メモリにおいて不良セルの救済による歩留まりの改善を図る。

40

【0004】

このようなヒューズプログラムにおいて、ヒューズ素子を電流により溶断する配線溶断型電気ヒューズ素子を含むヒューズプログラム回路の構成が、特許文献1（特開2007-317882号公報）に示されている。この特許文献1に記される構成においては、多層金属配線層の上層の配線を用いてヒューズを形成し、このヒューズを囲むように防護壁を形成する。ヒューズは銅（Cu）配線で形成され、溶断後の銅の拡散による切断不良が生じるのを防護壁構造により抑制する。ヒューズ素子直上部には、ヒューズ素子を溶断するための電流を流すトランジスタに接続されるノードを構成する配線が配置される。このノードを構成する配線の上層に電源電圧を供給する電源配線が配置される。

50

【先行技術文献】**【特許文献】****【0005】****【特許文献1】特開2007-317882号公報****【発明の概要】****【発明が解決しようとする課題】****【0006】**

上述の特許文献1においては、いわゆる銅(Cu)原子の拡散防止のための防護壁により、ヒューズを取り囲んでいる。この構成の場合、壁構造により、ヒューズを構成する銅原子の熱拡散は抑制することができる。しかしながら、このヒューズ上部に配設される配線層に、このヒューズに対し溶断電流を流すトランジスタとの接続ノードを構成する配線を配置して、この防護壁に蓋をする構成としている。電源配線が、この蓋用の配線上部に形成される。ヒューズと防護壁との間の距離は、銅拡散による絶縁不良に起因する切断不良が生じないように銅原子の拡散距離よりも大きく取る必要がある。したがって、この蓋配線構造として、2層の配線層の距離を置く必要があり、必要とされる配線層の数が、増大する。

10

【0007】

このヒューズプログラム回路が配置される半導体集積回路装置(半導体装置)の多層金属配線の配線層数が十分であれば、特に問題はない。しかしながら、配線層数に制限がある場合、最上層の電源配線をヒューズ形成領域の近傍にまで延在させるようにレイアウトした後に、配線でヒューズプログラム回路の電源配線を、さらにヒューズ上部にまで配置配線する必要があり、配線リソースが必要以上に消費されるという問題が生じ、この配線リソースの削減の点でもまだ改善の余地がある。

20

【0008】

また、ヒューズ溶断には、半導体集積回路装置の内部回路の動作電源電圧と同じ電圧が使用される。したがって、内部回路動作時においても、ヒューズの一端には電源電圧が常時供給される。このため、ヒューズが非切断状態のとき、溶断電流を供給するためのトランジスタにリーク電流が流れる可能性があり、このリーク電流を抑制するために複雑な回路制御構成が必要となり、このリーク電流低減についても、改善の余地がある。

30

【0009】

さらに、このヒューズ上部に設けられる蓋は平面視においてヒューズの殆どを蔽うような構造となっている。そのため、蓋が広くなってしまい、蓋部分を製造する際、C M P(ケミカル・メカニカル・ポリッシング)によるディッキングにより過剰に窪むという問題がある。

【0010】

また、このヒューズ上部に設けられる蓋は、ヒューズ1本に対して一つの蓋というようペアで設けられ、ヒューズ/蓋の対が複数存在するため、これらの複数の蓋を覆うさらに大きな蓋が存在している。この非常に大きな蓋が存在するため、この大きな蓋部分を製造する場合、C M Pによるディッキングによりこの大きな蓋が過剰に窪むという問題が発生する。

40

【0011】

それゆえ、この発明の目的は、簡易な回路構成で確実にヒューズを切断状態に設定することのできる小レイアウト面積のヒューズプログラム回路を備える半導体装置を提供することである。

【0012】

この発明の他の目的は、容易に、非切断状態のヒューズ素子を流れるリーク電流を低減することのできる半導体装置を提供することである。

【課題を解決するための手段】**【0013】**

この発明に係る半導体装置は、多層金属配線層を最下層の第1金属配線層よりも上層の

50

金属配線層の配線を用いて形成されるヒューズ素子を備える。このヒューズ素子は、上層の金属配線のうちの特定の配線層の銅配線を用いて形成されたヒューズと、このヒューズを囲むように形成される拡散防護壁と、このヒューズ上層にヒューズと平面的に見て重なり合うように配置される電源配線を備える。この電源配線には電源電圧が伝達される。この電源配線とヒューズとの間の配線層の配線は、ヒューズと平面的に見て重なる領域以外の領域に配置される。

【0014】

一実施の形態にかかる半導体装置は、銅電気ヒューズとこの銅電気ヒューズと直列に接続されて導通時銅電気ヒューズに対して切斷電流を流す第1のトランジスタとを有するヒューズ回路と、この第1のトランジスタの導通を制御する切断制御回路と、電気ヒューズの切断を判定する判定回路とを備える。切断制御回路および判定回路は第1のパッドを介して供給される第1の電源電圧を動作電源電圧として受ける。ヒューズ回路は、第1のパッドと別に設けられる第2のパッドを介して供給される第2の電源電圧をヒューズ回路電源ノードに受ける。第2の電源電圧は、通常動作モード時には接地電圧レベルに設定され、電気ヒューズの切断を行なう切断モード時には前記第1の電源電圧と異なる電圧レベルに設定され、第1のパッドは通常動作モード時および切断モード時において第1の電源電圧を受ける。

10

【発明の効果】

【0015】

ヒューズ直上層の防護蓋配線として電源配線を利用することにより、ヒューズ素子に対して必要とされる配線層数を低減することができ、また、ヒューズ素子の占有面積を低減することができる。

20

【0016】

また、第2の電源電圧を通常動作モード時において接地電圧に設定することにより、ヒューズ溶断時の銅原子の拡散を防止することができ、周辺の回路に対する悪影響が生じるのを防止することができる。

【図面の簡単な説明】

【0017】

【図1】この発明の実施の形態1に従う半導体装置の全体の構成を概略的に示す図である。

30

【図2】図1に示す配線溶断プログラム回路の構成を概略的に示す図である。

【図3】図1に示すAND回路の構成の一例を示す図である。

【図4】図2に示す切断判定回路の構成の一例を示す図である。

【図5】図4に示す切断判定回路の動作を示すタイミング図である。

【図6】電圧ストレス印加時のヒューズ素子両端の印加電圧を示す図である。

【図7】図2に示すAND回路形成領域の断面構造を概略的に示す図である。

【図8】この発明の実施の形態1の変更例の構成を示す図である。

【図9】図8に示すヒューズプログラム回路のヒューズ切断時の動作を示すタイミング図である。

【図10】図8に示すヒューズプログラム回路のヒューズ切断判定時の動作を示すタイミング図である。

40

【図11】図8に示すヒューズプログラム回路のヒューズ溶断トランジスタの断面構造および切断判定回路の構成を示す図である。

【図12】この発明の実施の形態2に従うヒューズ素子の平面レイアウトを概略的に示す図である。

【図13】図12に示す線L13-L13に沿った断面構造を概略的に示す図である。

【図14】図13に示す断面構造の第2メタル配線および第2ビアの平面レイアウトを概略的に示す図である。

【図15】ヒューズボックスにおける端部のヒューズ素子の第2メタル配線層および第2ビアの平面レイアウトを概略的に示す図である。

50

【図16】図14に示す平面レイアウトの上層の第3メタル配線層の配線レイアウトを概略的に示す図である。

【図17】図15に示す配線レイアウトの上層の第3メタル配線層の配線レイアウトを概略的に示す図である。

【図18】図16に示す配線層の上層の第4メタル配線層の平面レイアウトを概略的に示す図である。

【図19】図17に示す平面レイアウトの上層の第4メタル配線層および第4ビアの平面レイアウトを概略的に示す図である。

【図20】図18に示す平面レイアウトの上層の第5メタル配線層の配線レイアウトをビアのレイアウトとともに示す図である。 10

【図21】図19に示す配線レイアウトの上層の第5メタル配線層の配線およびビアのレイアウトを概略的に示す図である。

【図22】図20および図21に示す配線レイアウトの上層の第6メタル配線層のレイアウトを概略的に示す図である。

【図23】この発明の実施の形態2の変更例の第6メタル配線層の配線レイアウトを概略的に示す図である。

【図24】この発明の実施の形態2の変更例のヒューズ素子の断面構造を概略的に示す図である。 20

【図25】図24に示すヒューズ素子利用時のヒューズ溶断電流の流れる経路を概略的に示す図である。

【図26】この発明の実施の形態3に従うヒューズ素子の断面構造を概略的に示す図である。

【図27】図26に示すヒューズ素子の第2メタル配線層の平面レイアウトを概略的に示す図である。 20

【図28】ヒューズプログラム回路の端部のヒューズ素子の第2メタル配線層の配線レイアウトを概略的に示す図である。

【図29】図27に示す平面レイアウトの上層の第3メタル配線層および第3ビアのレイアウトを概略的に示す図である。

【図30】図28に示す配線層の上層の第3メタル配線層および第3ビアの平面レイアウトを概略的に示す図である。 30

【図31】図29に示す平面レイアウトの上層の第4メタル配線層の平面レイアウトを概略的に示す図である。

【図32】図30に示す配線層の上層の第4メタル配線層および第4ビアの平面レイアウトを概略的に示す図である。

【図33】図31に示す配線層の上層の第5メタル配線層の平面レイアウトをビアの平面レイアウトとともに示す図である。

【図34】図32に示す配線層の上層の第5メタル配線層および第5ビアのレイアウトを概略的に示す図である。

【図35】図33および図34に示す平面レイアウトの上層の第6メタル配線層の平面レイアウトを概略的に示す図である。 40

【図36】図35に示す平面レイアウトの変更例の平面レイアウトを概略的に示す図である。

【図37】この発明の実施の形態3の変更例のヒューズ素子の断面構造を概略的に示す図である。

【図38】この発明の実施の形態4に従うヒューズボックスの平面レイアウトを概略的に示す図である。

【図39】図38に示す線L39-L39に沿った断面構造を概略的に示す図である。

【図40】図39に示す断面構造の変更例の断面構造を概略的に示す図である。

【図41】この発明の実施の形態5に従うヒューズ素子の断面構造を概略的に示す図である。 50

【図42】図41に示すヒューズ素子の第5メタル配線層のレイアウトを概略的に示す図である。

【図43】この発明の実施の形態6に従うヒューズ素子の断面構造を概略的に示す図である。

【図44】図43に示すヒューズ素子の第3メタル配線層の配線レイアウトをヒューズのレイアウトとともに示す図である。

【図45】この発明の実施の形態7に従うヒューズの全体の平面レイアウトを概略的に示す図である。

【図46】図45に示す線L46-L46に沿った断面構造を概略的に示す図である。

【図47】図45に示す線L47-L47に沿った断面構造を概略的に示す図である。

10

【図48】図45に示す線L48-L48に沿った断面構造を概略的に示す図である。

【図49】図45に示すヒューズ素子の第2メタル配線層および第2ビアの平面レイアウトを概略的に示す図である。

【図50】この発明の実施の形態7に従うヒューズ素子のヒューズボックス端部の第2メタル配線層および第2ビアの平面レイアウトを概略的に示す図である。

【図51】図49に示す平面レイアウトの上層の第3メタル配線層および第3ビアの平面レイアウトを概略的に示す図である。

【図52】図50に示す平面レイアウトの上層の第3メタル配線層および第3ビアの平面レイアウトを概略的に示す図である。

20

【図53】図51に示す配線レイアウトの上層の第4メタル配線層および第4ビアの平面レイアウトを概略的に示す図である。

【図54】図52に示す平面レイアウトの上層の第4メタル配線層および第4ビアの平面レイアウトを概略的に示す図である。

【図55】図53に示す平面レイアウトの上層の第5メタル配線層および第5ビアのレイアウトを概略的に示す図である。

【図56】図54に示す平面レイアウトの上層の第5メタル配線層および第5ビアの平面レイアウトを概略的に示す図である。

【図57】図55および図56に示す平面レイアウトの上層の第6メタル配線層の平面レイアウトを概略的に示す図である。

【図58】図50に示す平面レイアウトの変更例の第6メタル配線層のレイアウトを概略的に示す図である。

30

【図59】この発明の実施の形態8に従うヒューズプログラム回路の構成を概略的に示す図である。

【図60】図59に示す切断判定回路の構成の一例を示す図である。

【図61】図60に示す切断判定回路のヒューズ切断時の動作を示すタイミング図である。

【図62】図60に示す切断判定回路の切断判定動作および電圧ストレス印加時の動作を示すタイミング図である。

【図63】この発明の実施の形態8に従う半導体装置の全体の構成を概略的に示す図である。

40

【図64】この発明の実施の形態7の変更例のヒューズプログラム回路の構成を概略的に示す図である。

【発明を実施するための形態】

【0018】

[実施の形態1]

図1は、この発明の実施の形態1に従う半導体装置の全体の構成を概略的に示す図である。図1において、半導体装置1は、所定の機能を実現する内部回路(コア回路)2と、内部回路2の動作状態または動作態様を規定する情報(内部回路に関連する情報)を固定的に記憶する配線溶断プログラム回路4とを含む。

【0019】

50

この半導体装置 1 は、1 つの半導体チップ上に形成されてもよく、また他のプロセッサまたはメモリなどの機能ブロックと同一チップ上に集積化されてもよく、この半導体装置は、半導体集積回路装置と等価である。

【 0 0 2 0 】

内部回路 2 は、電源ノード（パッド）5 を介して外部から与えられる電源電圧 V D D を動作電源電圧として受け、所定の機能を実現する。この内部回路 2 は、半導体装置（半導体集積回路装置）1 のコア回路であり、たとえばメモリセルアレイを含むメモリ回路であってもよく、またプロセッサなどの処理装置であってもよい。内部回路 2 は、銅（C u）の多層配線を用いて内部配線の配置・配線が行なわれていればよい。

【 0 0 2 1 】

この内部回路 2 においては、ヒューズ情報利用回路 3 が含まれ、ヒューズ情報利用回路 3 は、配線溶断プログラム回路 4 からのプログラム情報（ヒューズ情報）に従ってその動作状態または動作様態が規定される。

【 0 0 2 2 】

たとえばこの内部回路 2 がメモリ回路の場合、ヒューズ情報利用回路 3 は不良セル救済のための冗長デコーダを含み、この冗長デコーダが配線溶断プログラム回路 4 の記憶情報に従って選択的に冗長置換を行なって不良セルの救済を行なう。このヒューズ情報利用回路 3 は、また、配線溶断プログラム回路 4 からのプログレシブ情報（ヒューズ情報）に従ってその発生する電圧レベルまたは電流、もしくは抵抗値などのアナログ量が設定されてもよい。

10

【 0 0 2 3 】

配線溶断プログラム回路 4 は、複数のヒューズ素子を含み、これらのヒューズ素子の溶断／非溶断により情報を固定的に記憶する。ヒューズ素子 F S のヒューズは、多層配線内の第 i 層の配線 M i により形成される。

【 0 0 2 4 】

この配線溶断プログラム回路 4 は、内部回路 2 と同じ配線およびメタル配線（銅（C u）配線）のうちの上層のメタル配線を用いてヒューズ素子を実現する。配線溶断プログラム回路 4 は、電源ノード 5 からの電源電圧 V D D とヒューズ電源ノード（パッド）6 を介して外部から与えられるヒューズゲート電源電圧 F G V D D を受ける。このヒューズゲート電源電圧 F G V D D は、ヒューズ素子プログラム時に、溶断用の電流を流すための制御電圧として利用される。ヒューズゲート電源電圧 F G V D D を外部から印加することにより、ヒューズ溶断時にヒューズに供給される溶断電流量を最適値に設定する。

20

【 0 0 2 5 】

この配線溶断プログラム回路 4 においては、後に説明するように、複数のヒューズ素子が並列に配列され、これらのヒューズ素子の溶断／非溶断の選択的なプログラムを行なうためにスキャンバスが設けられる。このスキャンバスにおいては、ヒューズ素子に対応してフリップフロップが設けられる。フリップフロップ列で構成されるスキャンバスを介して入力ノード 7 からのシリアル入力 S I N を転送し、各ヒューズ素子に対応するフリップフロップにヒューズプログラム情報を設定し、出力ノード 8 からフリップフロップの記憶情報をシリアル出力 S O U T として出力する。シリアル出力 S O U T の用途については、後に説明する。

30

【 0 0 2 6 】

図 2 は、配線溶断プログラム回路 4 の具体的構成の一例を示す図である。図 2 において、配線溶断プログラム回路 4 は、各々がヒューズ回路を含みかつ互いに継続接続される複数のヒューズプログラム回路 F P K 1 - F P K n を含む。これらのヒューズプログラム回路 F P K 1 - F P K n の数は任意である。このヒューズプログラム回路 F P K 1 - F P K n は、同一構成を有するため、図 2 においては、ヒューズプログラム回路 F P K 1 - F P K n 各々において同一または対応する部分には同一参照番号を付す。

40

【 0 0 2 7 】

ヒューズプログラム回路 F P K 2 - F P K n の各々は、電源電圧 V D D を供給するノー

50

ド（ヒューズ電源ノード）と内部ノードND1の間に接続されるヒューズ素子FSと、内部ノードND1と接地ノードの間に接続される溶断電流供給トランジスタCTRと、溶断電流供給トランジスタCTRの導通を制御する3入力AND回路AG1を含む。AND回路AG1は、内部ヒューズゲート電源電圧FGVD1を動作電源電圧として受ける。

【0028】

このヒューズゲート電源電圧FGVD1は、電源電圧VDDおよび外部ヒューズゲート電源電圧FGVDDの一方を溶断イネーブル信号CUTENに従って選択する電圧選択回路9から与えられる。溶断イネーブル信号CUTENはk、ヒューズ素子FSの溶断時に活性化される。

【0029】

ヒューズプログラム回路FPK1 - FPKn各自においては、また、プログラムスキャンフリップフロップ(FF)PSRとFS選択スキャンフリップフロップ(FF)FSSRが設けられ、これらのフリップフロップPSRおよびFSSRにより、ヒューズ素子FSの溶断／非溶断を規定するプログラム情報の転送および設定が行なわれる。

【0030】

AND回路AG1は、対応のFS選択スキャンフリップフロップFSSRの出力信号と対応のプログラムスキャンフリップフロップPSRの出力信号とヒューズカットクロック信号FCCLKとを受ける。

【0031】

FS選択スキャンフリップフロップFSSRは、前段のヒューズプログラム回路のFS選択スキャンフリップフロップFSSRの出力データを、ヒューズ選択スキャンクロック信号SESLKに従って取込み次段へ転送する。プログラムスキャンフリップフロップPSRは、入力部に配置されたマルチブレクサ(MUX)SX1を介して与えられるデータを、プログラムスキャンクロック信号PSCLKに従って取込み、次段へ転送する。したがって、FS選択スキャンフリップフロップFSSRは、ヒューズ選択スキャンクロック信号SESLKに従ってシフト動作を行なってデータを転送するスキャンパスを構成し、また、プログラムスキャンフリップフロップPSRも、プログラムスキャンクロック信号PSCLKに従って順次シフト動作を行なってデータを転送するスキャンパスを構成する。

【0032】

これらのフリップフロップFSSRおよびPSRの組を、各ヒューズ回路（ヒューズ素子FSと溶断電流供給トランジスタCTRで構成される）に対応して設けることにより、ヒューズ回路のヒューズ素子FSのプログラミング（溶断／非溶断処理）を、選択的にかつ逐次的に1つのヒューズ素子単位で実行することができる。また、少ないパッドを用いて、ヒューズ素子のプログラム情報を各ヒューズ素子に対して転送することができる。

【0033】

ヒューズプログラム回路FPK2 - FPKnの各自は、さらに、ノードND1の電圧レベルに従ってヒューズ素子FSの切斷状態を判定する切斷判定回路CJCと、プログラムスキャンフリップフロップPSRの出力信号と切斷判定回路CJCの出力信号の一方を選択して出力するマルチブレクサSX2を含む。マルチブレクサSX2の出力信号は、また、対応の同じヒューズプログラム回路内に設けられるマルチブレクサSX1へ与えられる。このマルチブレクサSX1は、前段のプログラムスキャンフリップフロップPSRの出力信号と対応のマルチブレクサSX2の出力信号の一方を、スキャン選択信号SCSELに従って選択する。ここで、「切斷」と「溶断」と同じ意味で用いる。

【0034】

1つのヒューズプログラム回路において2つのマルチブレクサSX1およびSX2を用い、そのデータ転送経路を切換えることにより、以下の効果を得ることができる。マルチブレクサSX1によりマルチブレクサSX2の出力信号を選択してプログラムスキャンフリップフロップPSRへ伝達する。マルチブレクサSX2は、テスト動作時、プログラムフリップフロップ選択信号PRFFSELに従って切斷判定回路CJCの出力信号を選択

10

20

30

40

50

する。この接続様式により、切断判定回路 C J C の出力信号は、順次プログラムスキャンフリップフロップ P S R を介して転送され、対応のヒューズ素子 F S の状態をシリアル出力 S O U T として外部へ読出しができる。これにより、外部でヒューズ素子 F S の切断不良の有無を判定することができる。

【 0 0 3 5 】

また、マルチプレクサ S X 2 において、プログラムスキャンフリップフロップ P S R の出力信号を選択し、マルチプレクサ S X 1 においてスキャン選択信号 S C S E L に従ってマルチプレクサ S X 2 の出力信号を選択する。この接続様式において、ヒューズプログラム回路 F P K 1 - F P K n 各々において、プログラムスキャンフリップフロップ P S R の保持データをフィードバックしてループ状に転送することができる。したがって、プログラムスキャンクロック信号 P S C L K を自走状態に設定することができ（各ヒューズプログラム回路 F P K 1 - F P K n のフリップフロップ P S R の保持データが維持され）、クロック信号の制御および設計の自由度が高くなる（タイミング関係の制御が簡略化され、またタイミング関係の自由度が高くなる）。

10

【 0 0 3 6 】

また、マルチプレクサ S X 2 から、ヒューズ素子 F S の溶断 / 非溶断に応じたプログラム情報 F O S 1 - F O S n が出力される。マルチプレクサ S X 2 の出力信号をマルチプレクサ S X 1 で選択して対応のプログラムスキャンフリップフロップ P S R に格納する。この後、マルチプレクサ S X 1 を前段のフリップフロップ P S R の列を介して順次格納データを転送する。この転送データを外部のテスタまたは B I S T (ビルトインセルフテスト回路) で書き情報と比較する。これにより、マルチプレクサ S X 2 が正常にプログラムフリップフロップ選択信号 P R F F S E L に従って切換動作を行なっているかをテストすることができる。

20

【 0 0 3 7 】

初段のヒューズプログラム回路 F P K 1 は、以下の点を除いて、2段以降のヒューズプログラム回路 F P K 2 - F P K n と構成が同じである。すなわち、F S スキャンフリップフロップ F S S R およびプログラムスキャンフリップフロップ P S R へは、前段のヒューズプログラム回路の出力信号に代えて、外部のテスタまたは同一チップ上に形成される B I S T (ビルトイン・セルフ・テスト回路) からの切断制御情報 C T S C I N およびヒューズプログラム用のスキャン入力 S C I N がそれぞれ与えられる。

30

【 0 0 3 8 】

このヒューズプログラム回路 F P K 1 - F P K n の出力信号 F O S 1 - F O S n がヒューズ情報利用回路 3 の対応の内部状態を設定する回路へ与えられる。

【 0 0 3 9 】

ヒューズ情報利用回路 3 は、前述のように、メモリ回路における冗長セル置換を行なうための冗長デコーダであってもよく、またアナログ回路の定数を決定する、すなわちアナログ回路の抵抗素子の抵抗値のトリミングまたはトランジスタ素子の駆動電流量の調整または基準電圧レベルの調整）を行なう回路のいずれであってもよい。したがって、ヒューズ情報利用回路 3 は、これらのヒューズプログラム回路 F P K 1 - F P K n のプログラム情報に従って動作様式または動作状態が設定されればよく、配線溶断プログラム回路において記憶される情報は、内部回路（コア回路）2 の内部状態に関連する情報であればよい。

40

【 0 0 4 0 】

F F 選択スキャンフリップフロップ F S S R の記憶データに従って、各ヒューズプログラム回路において対応のヒューズ素子 F S の切断サイクルが規定される。ヒューズプログラム回路 F P K 1 - F P K n において、順次、プログラムスキャンフリップフロップ P S R の格納データおよびヒューズカットクロック信号 F C C L K に従って選択的に溶断電流が供給され、書き情報に応じてヒューズ素子 F S が選択的に溶断される。

【 0 0 4 1 】

50

ヒューズ素子 F S は、本実施の形態 1においては、内部回路（コア回路）に対する電源ノードからの電源電圧 V D D が供給される。この構成の場合、ヒューズプログラム回路 F P K 1 - F P K n に対して設けられるヒューズ溶断のための専用のパッドの数を低減することができる。

【 0 0 4 2 】

ヒューズプログラム回路 F P K 1 - F P K n および図 2においては示されない制御回路のトランジスタとしては、図 1に示す内部回路（コア回路）2において用いられるトランジスタと同一構造（ゲート絶縁膜の膜厚および材質が同じ）を用いる。これにより、配線溶断プログラム回路 4 の占有面積の増大および製造工程の増加を抑制する。

【 0 0 4 3 】

通常、ヒューズ素子 F S の溶断のために必要とされる電流（溶断電流）は、20 mA から 40 mA と比較的大きい。しかしながら、後に説明するように、ヒューズプログラム回路 F P K 1 - F P K n においては、順次、F S 選択スキャンフリップフロップ F S S R の記憶情報に従って順次選択的にヒューズ素子のプログラム（溶断）が実行されるため、その消費電流は小さく、電源を、内部回路（コア回路）の電源と共有することができ、パッド数を低減することができる。

【 0 0 4 4 】

A N D ゲート A G 1 に対し、ヒューズゲート電源電圧 F G V D 1 が動作電源電圧として与えられる。ヒューズ溶断時には、ヒューズゲート電源電圧 F G V D 1 として、外部からのヒューズゲート電源電圧 F G V D D が選択される。この場合に、単に溶断電流供給トランジスタ C T r のゲートを駆動することが要求されるだけであり、A N D 回路 A G 1 の消費電流は、交流電流（A C 電流）を含めてもわずかである。したがって、ヒューズ素子 F S が数多く設けられる場合においても、1つのヒューズゲート電源電圧 F G V D D 供給用のパッド（図 1 のノード 6 ）を設けることが要求されるだけであり、配線溶断プログラム回路 4 のレイアウト面積を低減することができる。

【 0 0 4 5 】

また、マルチプレクサ S X 2 を用いてプログラムスキャンフリップフロップ P S R の格納データと切断判定回路 C J C の出力信号の一方を選択して出力する。したがって、ヒューズ素子 F S の切断前に、冗長デコーダなどの対象回路（ヒューズ情報利用回路 3 ）の状態をプログラム情報に従って設定してテストを行なうことができる。たとえばメモリ回路などにおいて、ヒューズ情報利用回路の対象回路が冗長デコーダの場合、外部から順次、冗長アドレスを印加して冗長セル行／列を選択し、冗長デコーダおよび冗長セルが正常であるかのテストを行なうことができる。これにより、不良発生時、ヒューズ素子の切断不良と冗長セル系の不良とを分離することができる。

【 0 0 4 6 】

図 2 に示す各ヒューズプログラム回路 F P K 1 - F P K n に含まれるスキャンフリップフロップ P S R および F S S R の構成としては、二相のクロック信号に従ってホールド状態およびスルーリー状態を繰返す 2 段のラッチ回路が用いられればよく、その構成としては、任意の構成を利用することができる。

【 0 0 4 7 】

図 3 は、図 2 に示す A N D 回路 A G 1 の構成の一例を示す図である。図 3 において、A N D 回路 A G 1 は、内部回路（コア回路）2 の電源電圧 V D D を動作電源電圧として受け、3 入力 N A N D ゲート 1 0 と、3 入力 N A N D ゲート 1 0 の出力信号の振幅を、内部ヒューズゲート電源電圧 F G V D 1 レベルに変換するレベル変換器 1 2 と、レベル変換器 1 2 の出力信号を反転するインバータ 1 4 を含む。このインバータ 1 4 の出力信号が、図 2 に示す溶断電流供給トランジスタ C T r のゲートへ与えられ、インバータ 1 4 の出力信号に従って溶断電流供給トランジスタ C T r のゲート電圧が制御される。

【 0 0 4 8 】

この A N D 回路 A G 1 において、N A N D ゲート 1 0 に対し、プログラムスキャンフリップフロップ P S R と、F S 選択スキャンフリップフロップ F S S R の出力信号と、ヒュ

10

20

30

40

50

ーズカットクロック信号 F C C L K とが与えられる。これらの信号の振幅は、内部回路（コア回路）の電源電圧 V D D のレベルである。N A N D ゲート 1 0 は、これらの与えられた信号に従って電源電圧振幅の信号を生成し、すべての入力信号が H レベルのときに L レベルの信号を出力する。

【 0 0 4 9 】

レベル変換器 1 2 およびインバータ 1 4 は、電源ノード 6 a に、内部ヒューズゲート電源電圧 F G V D 1 を動作電源電圧として受け、N A N D ゲート 1 0 の出力信号の振幅を、内部ヒューズゲート電源電圧 F G V D 1 レベルに変換する。

【 0 0 5 0 】

レベル変換器 1 2 は、交差結合される P チャネル M O S トランジスタと、これらの P チャネル M O S トランジスタそれぞれと接地ノードの間にそれぞれ接続され、N A N D ゲート 1 0 の出力信号およびその反転信号を受ける N チャネル M O S トランジスタを含む。N A N D ゲート 1 0 の出力信号が H レベルのとき、レベル変換器 1 2 においてインバータ 1 4 への出力信号が H レベルとなり、応じて、ヒューズゲート電源電圧 F G V D 1 レベルの信号がインバータ 1 4 から出力される。一方、N A N D ゲート 1 0 の出力信号が L レベルのとき、レベル変換器 1 2 においてインバータ 1 4 への出力信号が L レベルとなり、インバータ 1 4 の出力信号が、ヒューズゲート電源電圧 F G V D 1 レベルとなる。

【 0 0 5 1 】

インバータ 1 4 は、このレベル変換器 1 2 の出力信号を反転し、N A N D ゲート 1 0 の出力信号と反対の論理値の信号を出力する。従って、フリップフロップ F S S R および P S R からのデータとヒューズカットクロック信号 F C C L K が全て H レベルの時に、インバータ 1 4 の出力信号が H レベルとなり、溶断電流供給トランジスタ C T r がオン状態となり、対応のヒューズ素子が溶断される。

【 0 0 5 2 】

このレベル変換器 1 2 およびインバータ 1 4 のヒューズゲート電源ノード 6 a は、図 1 に示すヒューズゲート電源ノード 6 にヒューズゲート電源線宅回路 9 を介して結合される。ヒューズ溶断時には、外部からのヒューズゲート電源電圧 F G V D D が選択されて内部ヒューズゲート電源線に伝達される。したがって、ヒューズゲート電源ノード 6 からの電圧 F G V D D の電圧レベルを調整することにより、図 2 に示す溶断電流供給トランジスタ C T r のゲート電圧を調整することができる。応じて、ヒューズ素子 F S の溶断電流を調整することができ、ヒューズ素子 F S のプログラム時の溶断電流を最適化することができる。

【 0 0 5 3 】

このヒューズ選択スキャンフリップフロップ F S S R からの信号が H レベルとなると、対応のヒューズプログラム回路が選択されたことが示される。プログラムスキャンフリップフロップ F S R からの信号の H レベル / L レベルにより、対応のヒューズ素子の溶断 / 非溶断が設定される。すなわち、プログラムスキャンフリップフロップ P S R からの信号が H レベルのときには、対応のヒューズ素子を切断することが指定される。

【 0 0 5 4 】

ヒューズカットクロック信号 F C C L K は、所定のパルス幅で与えられる。したがってこのヒューズカットクロック信号 F C C L K のパルス幅および印加回数を調整することにより、ヒューズ素子溶断に必要な電流パルス幅および電流パルス印加回数を実現することができる。

【 0 0 5 5 】

電源電圧 V D D の投入時においては、内部ヒューズゲート電源電圧 F G V D 1 としてヒューズゲート電源電圧 F G V D D が選択される。内部回路電源電圧 V D D が安定化すると、たとえばパワーオンリセット信号に従ってリセット信号 R S T がワンショットパルスの形態で生成される。このリセット信号 R S T が活性化されると、ヒューズプログラム回路 F P K 1 - F P K n のプログラムスキャンフリップフロップ P S R および F S 選択スキャンフリップフロップ F S S R の内部ノードが L レベルに設定される。これらの出力信号 C

10

20

30

40

50

T S (1) - C T S (n) および S C (1) - S C (n) がすべて L レベルに固定される。応じて、A N D 回路 A G 1 からの出力信号が、L レベルに初期設定される。この状態においては、溶断電流供給トランジスタ C T r が、確実に非導通状態に設定され、電源投入時に非切斷状態のヒューズ素子 F S を介して貫通電流が流れるのを防止することができる。

【 0 0 5 6 】

また、内部回路電源電圧 V D D 投入時、ヒューズゲート電源電圧 F G V D D は、溶断電流供給トランジスタ C T r のしきい値電圧 V t h よりも低い電圧レベルに維持される。これは、以下の効果を得るために行なわれる。すなわち、電源投入時においてヒューズゲート電源電圧 F G V D D が、溶断電流供給トランジスタ C T r のしきい値電圧 V t h よりも高い電圧レベルとなると、不安定な状態で A N D 回路 A G 1 の出力信号が H レベルとなり、溶断電流供給トランジスタ C T r が導通する可能性がある。非切斷状態のヒューズ素子においては溶断電流供給トランジスタ C T r のゲート電圧を、このしきい値電圧 V t h よりも低い電圧レベルに設定することにより、非切斷状態のヒューズ素子および溶断電流供給トランジスタを介して大きな貫通電流が流れるのを防止する。10

【 0 0 5 7 】

また、レベル変換器 1 2において、不安定な N A N D ゲート 1 0 の出力信号に従って内部ノードの電圧レベルが中間電圧レベルとなる場合がある。この場合、ヒューズゲート電源電圧 F G V D D を、溶断電流供給トランジスタ C T r のしきい値電圧 V t h よりも低い電圧レベルに維持することにより、インバータ 1 4 の出力信号を、溶断電流供給トランジスタ C T r のしきい値電圧 V t h よりも低い電圧レベルに維持することができる。これにより、溶断電流供給トランジスタ C T r が導通するのを防止することができる。20

【 0 0 5 8 】

したがって、電源投入時、リセット信号 R S T が活性化されるまで、ヒューズゲート電源電圧 F G V D D は、溶断電流供給トランジスタ C T r のしきい値電圧 V t h よりも低い電圧レベル（例えば接地電圧レベル）に設定して、電源ノードから接地ノードへ大きな電流が流れる状態が生じるのを防止する。

【 0 0 5 9 】

ヒューズゲート電源電圧 F G V D D および内部回路電源電圧 V D D は、先の図 1 に示すように、半導体装置（半導体集積回路装置）外部から与えられる。したがって、外部の電源制御部において、この電源電圧 V D D の供給開始時のパワーオンリセット信号を用いてリセット信号 R S T を生成し、配線溶断プログラム回路 4 の内部を初期設定した後に、ヒューズゲート電源電圧 F G V D D を供給する（その電圧レベルを上昇させる）。この電源制御は、プロセッサなどのシーケンスコントローラにより、この電源供給シーケンスが制御されればよい。30

【 0 0 6 0 】

図 4 は、図 2 に示す切斷判定回路 C J C の構成の一例を示す図である。図 4 において、切斷判定回路 C J C は、ノード N D 1 を電源ノードとして、動作し、ヒューズ素子リセット信号 F S R S T を反転するインバータを構成する P チャネル M O S トランジスタ P Q 1 および N チャネル M O S トランジスタ N Q 1 と、ノード N D 2 と接地ノードの間に直列に接続される N チャネル M O S トランジスタ N Q 2 および N Q 3 と、電源ノード V D D とノード N D 1 の間に接続される P チャネル M O S トランジスタ P Q 2 を含む。40

【 0 0 6 1 】

ノード N D 1 は、ヒューズ素子 F S の一端に接続され、ヒューズ素子 F S の他方端は、電源電圧 V D D を供給する電源ノードに結合される。ここで、ノードとその電圧を同一参考符号で示す。この切斷判定回路 C J C は、ヒューズ素子リセットディレー信号 F S R S T D を受ける 2 段の継続接続されるインバータ I V 1 0 および I V 1 1 と、ノード N D 2 上の信号を活性化時反転するトライステートインバータ T V 1 と、トライステートインバータ T V 1 の出力信号を受ける 2 段の継続接続されるインバータ I V 1 2 および I V 1 3 と、インバータ I V 1 2 と反平行に接続されるトライステートインバータ T V 2 を含む。50

【 0 0 6 2 】

トライステートインバータ T V 1 は、インバータ I V 1 0 および I V 1 1 の出力信号がそれぞれ L レベルおよび H レベルのときに活性化され、ノード N D 2 上の信号を反転する。トライステートインバータ T V 2 は、トライステートインバータ T V 1 と相補的に活性化され、活性化時、インバータ I V 1 2 の出力信号を反転してインバータ I V 1 2 の入力に伝達する。すなわち、トライステートインバータ T V 2 は、活性化時、インバータ I V 1 2 とラッチ回路を構成する。

【 0 0 6 3 】

N チャネル M O S トランジスタ N Q 2 は、トライステートインバータ T V 1 の出力信号をゲートに受け、M O S トランジスタ N Q 3 が、インバータ I V 1 1 の出力信号をゲートに受ける。P チャネル M O S トランジスタ P Q 2 は、そのゲートに、インバータ I V 1 1 の出力信号を受ける。インバータ I V 1 3 から、切断判定回路 C J C からの切断判定結果指示信号 J o u t が出力される。10

【 0 0 6 4 】

図 5 は、図 4 に示す切断判定回路 C J C の動作を示す信号波形図である。以下、図 5 を参照して、図 4 に示す切断判定回路 C J C の動作について説明する。

【 0 0 6 5 】

ヒューズ素子リセット信号 F S R S T およびヒューズ素子リセットディレー信号 F S R S T D がともに L レベルのとき、ノード N D 2 が、ノード N D 1 に M O S トランジスタ P Q 1 を介して電気的に結合される。一方、インバータ I V 1 0 の出力信号が H レベルであり、また、インバータ I V 1 1 の出力信号が L レベルである。なお、ここで、電源電圧 V D D は安定状態にあるとする。20

【 0 0 6 6 】

応じて、M O S トランジスタ P Q 2 が導通状態になり、ノード N D 1 が電源ノードに電気的に結合される。一方、M O S トランジスタ N Q 3 は非導通状態であり、ノード N D 2 は接地ノードから分離される。したがって、ノード N D 2 も M O S トランジスタ P Q 1 を介して電源電圧 V D D レベルに充電される。インバータ I V 1 0 の出力信号は H レベルであり、トライステートインバータ T V 1 は、出力ハイインピーダンス状態になり、判定結果出力信号 J o u t の状態は変化しない。

【 0 0 6 7 】

ヒューズ素子リセット信号 F S R S T が H レベルに設定されると、M O S トランジスタ P Q 1 が非導通状態となり、一方、M O S トランジスタ N Q 1 が導通状態となり、ノード N D 2 が接地電圧レベルに駆動される。この状態において、M O S トランジスタ P Q 1 が非導通状態であるため、ノード N D 1 および N D 2 は、互いに電気的に分離される。30

【 0 0 6 8 】

ヒューズ素子リセットディレー信号 F S R S T D がヒューズ素子リセット信号 F S R S T と同時またはそれより遅れて H レベルに立ち上がり、インバータ I V 1 0 および I V 1 1 の出力信号は、それぞれ、L レベルおよび H レベルに駆動される。応じて、M O S トランジスタ P Q 2 が非導通状態となり、一方、M O S トランジスタ N Q 3 が導通状態となる。また、トライステートインバータ T V 1 が活性化され、ノード N D 2 上の接地電圧レベルに従ってその出力信号が H レベルとなり、M O S トランジスタ N Q 2 が導通状態となる。これにより、トライステートインバータ T V 1 および M O S トランジスタ N Q 2 , N Q 3 によりラッチ回路が構成され、ノード N D 2 が接地電圧レベルに維持される。40

【 0 0 6 9 】

以上の処理により、内部ノード N D 2 の初期設定が行なわれ、また、判定結果出力信号 J o u t が H レベルとなる。

【 0 0 7 0 】

初期設定完了後、ヒューズ素子リセット信号 F S R S T が L レベルに駆動される。このとき、まだ、ヒューズ素子リセットディレー信号 F S R S T D は H レベルである。この状態においては、M O S トランジスタ N Q 1 が非導通状態、M O S トランジスタ P Q 1 が導

10

20

30

40

50

通状態となり、ノードND1およびND2が電気的に結合される。ヒューズ素子FSが非溶断状態のときには、その電流駆動力は、MOSトランジスタNQ2およびNQ3の電流駆動力よりも大きく、ノードND2の電圧レベルが上昇し、応じてトライステートインバータTV1の出力信号がLレベルとなり、応じてMOSトランジスタNQ2が非導通状態となり、ノードND2が電源電圧VDDレベルに駆動される。

【0071】

一方、ヒューズ素子FSが切斷状態のときには、ノードND1がMOSトランジスタPQ1、NQ2およびNQ3を介して放電され、その電圧レベルが接地電圧レベルに維持され、トライステートインバータTV1およびMOSトランジスタNQ2、NQ3により、ノードND2はLレベルに維持され、応じて、判定結果信号JoutもHレベルに維持される。10

【0072】

次に、ヒューズ素子リセットディレー信号FSRSTDがLレベルとなると、インバータIV10およびIV11の出力信号がそれぞれ、HレベルおよびLレベルとなり、トライステートインバータTV1が出力ハイインピーダンス状態となり、また、MOSトランジスタPQ2が導通状態、MOSトランジスタNQ3が非導通状態となる。応じて、ノードND1およびND2が、再びMOSトランジスタPQ2およびPQ1により、電源電圧VDDレベルにプリチャージされる。このときには、トライステートインバータTV1が出力ハイインピーダンス状態であり、ノードND2とインバータIV12およびIV13とは分離され、判定結果出力信号Joutは、その直前の状態に維持される。すなわち、ヒューズ素子FSが切斷状態のときにはHレベル、ヒューズ素子FSが非切斷状態のときにはLレベルに維持される。20

【0073】

これにより、初期設定後、ヒューズプログラム回路におけるヒューズ素子FSのプログラム状態に応じて、切斷判定回路CJCからの出力信号Joutをプログラム情報（ヒューズ素子の状態）に応じた論理レベルに設定することができる。

【0074】

テストモード時においては、リセット信号FSRSTおよびFSRSTDに従って内部ノードの初期設定を行なった後、ヒューズ素子リセットディレー信号FSRSTDをHレベルに維持し、リセット信号FSRSTのみをLレベルに駆動する。この状態においては、ノードND1およびND2は、ヒューズ素子FSの切斷／非切斷状態に応じてそれぞれLレベルまたはHレベルに維持される。同様、判定結果出力信号Joutも、トライステートインバータTV1が活性状態にあるため、ヒューズ素子FSの切斷／非切斷状態に応じた論理レベルに設定される。30

【0075】

このテスト動作時において、ヒューズ素子FSが非切斷状態野場合には、ノードND1は、ヒューズ素子FSにより電源電圧VDDレベルに維持される。この場合、ノードND2も、同様、電源電圧VDDレベルに維持されるものの、MOSトランジスタNQ3が、ヒューズ素子リセットディレー信号FSRSTDに従って非導通状態であり、ヒューズ素子FSを介して電源ノードから接地ノードへ至る電流経路は遮断される。したがって、非切斷状態のヒューズ素子FSには、バイアス電圧VDDによるストレスの印加は行なわれない。40

【0076】

一方、ヒューズ素子FSが切斷状態の場合には、ノードND1は、MOSトランジスタPQ1、NQ2およびNQ3がすべて導通状態となるため、接地電圧レベルとなる。したがって、ヒューズ素子FSが切斷状態の場合、ヒューズ素子FSの両端にバイアス電圧が印加され、ヒューズ素子の切斷後の破片（FS片）または高抵抗状態のヒューズ配線に対しバイアス電圧が印加される。この印加電圧に従ってエレクトロマイグレーション現象により銅（Cu）原子が移動する。この結果、高抵抗状態のヒューズ素子が低抵抗状態に移行する。50

【 0 0 7 7 】

図6は、この切断状態のヒューズ素子の状態を模式的に示す図である。図6において、ヒューズ素子電源ノード5a（電源ノード5に結合される）とノードND1の間に、電圧VDDのストレスが印加される。ヒューズ素子FSが、銅配線の場合、切断破片（FS片）または高抵抗状態の配線中の銅原子が、その電圧印加に従って絶縁膜中を移動する。この絶縁膜中を移動する銅原子により、絶縁膜の絶縁破壊が生じ、配線間短絡などにより、ヒューズプログラム回路が不良となる。また、高抵抗状態にあり、切断状態と判定されるヒューズ素子の抵抗値が低下し、プログラム状態の反転が生じる可能性がある。

【 0 0 7 8 】

したがって、この電圧ストレスを印加することにより、ヒューズ素子FSとして、銅配線を用いた場合の寿命を測定することができる。また、非切断状態のヒューズ素子には電圧ストレスは印加されず、また電流が流れる経路は存在しない。したがって、電圧ストレス印加時においては、このヒューズ素子FSの切断／非切断にかかわらず、電流が流れる経路を遮断して切断状態のヒューズ素子の寿命を測定することができる。10

【 0 0 7 9 】

なお、ヒューズ素子リセットディレー信号FSRSTDについては、ノードND1およびND2がヒューズ素子FSの切断／非切断に応じてその電圧レベルが設定される期間が確保されるようにその立下がりタイミングが設定されればよく、その立下りタイミングはヒューズ素子リセット信号FSRSTと同一タイミングであってもよく、またそれよりも遅れてもよい。20

【 0 0 8 0 】

図7は、このヒューズプログラム回路のヒューズ素子下部のトランジスタ配置領域の構造を概略的に示す図である。ヒューズ素子は、後に詳細に説明するように、多層配線構造のうちの上層のメタル配線（Mi）を用いて形成される。したがって、ヒューズ素子下部には、空き領域が形成され、この空き領域において、ヒューズ回路のトランジスタを配置するとともに、他の関連の回路のトランジスタを配置する。

【 0 0 8 1 】

図7において、ヒューズプログラム回路のヒューズ素子下部の領域において、基板領域20の表面に、Nウェル21、Pウェル22およびNウェル23が間を置いて形成される。Nウェル23には、さらに、その表面にPウェル24が形成される。Nウェル21および23には、PチャネルMOSトランジスタ（PMOS）が形成され、Pウェル22および24には、NチャネルMOSトランジスタ（NMOS）が形成される。30

【 0 0 8 2 】

これらのNウェル23およびPウェル24がP型基板領域20表面に形成されるトリップルウェル構造の領域において、溶断電流供給トランジスタCTRおよびレベル変換器（インバータバッファを含む）が形成される。Nウェル21およびPウェル22には、対応のヒューズプログラム回路におけるフリップフロップ（FF；PSR, FSSR）等の構成要素およびマルチプレクサなどの回路が形成される。Nウェル21に電源電圧VDDが基板バイアス電圧として印加され、また、Pウェル22には、接地電圧GNDが基板バイアス電圧として印加される。Nウェル23に対しては、内部ヒューズゲート電源電圧FGVD1が基板バイアス電圧として印加され、Pウェル24は、後に説明する仮想接地線VGNDに結合される。P型半導体基板領域20は接地ノードに結合される。40

【 0 0 8 3 】

ヒューズゲート電源電圧FGVD0は、電源電圧VDDと別のパッド（電源ノード）から与えられる。このヒューズゲート電源電圧FGVD0は、溶断電流供給トランジスタCTRの駆動する電流を調整するため、その電圧レベルが、電源電圧VDDよりも高い電圧レベルまたは低い電圧レベルに設定される。したがって、これらのNウェル23およびPウェル24を、基板領域20上の他のウェル21および22と分離して設けることにより、ヒューズゲート電源電圧FGVD0の電圧レベルを、他の電源電圧VDDを受ける回路に対して影響を及ぼすことなく調整することができる。50

【 0 0 8 4 】

仮想接地線 V G N D は、後に詳細に説明するが、各ヒューズプログラム回路のヒューズ回路に含まれる溶断電流供給トランジスタ C T r およびレベルコンバータ（変換器）の接地線として利用される。P ウェル 2 4 を仮想接地線 V G N D に結合することにより、ヒューズ溶断時に流れる溶断電流により基板ノイズが他の回路領域へ伝搬するのを防止して、回路誤動作を防止する。また、仮想接地線 V G N D を利用することにより、ヒューズゲート電源電圧 V G V D D の電圧レベルを、電源電圧 V D D の電圧レベルと別個に最適値に設定することができる。

【 0 0 8 5 】

この図 7 に示すトリプルウェル構造は、各ヒューズプログラム回路に共通に配置され、その表面に形成される素子分離領域により、各ヒューズプログラム回路ごとに電気的に分離して設けられる。10

【 0 0 8 6 】

図 8 は、溶断電流駆動トランジスタ C T r を駆動する部分に関連する電源系統の構成を示す図である。図 8 において、ヒューズプログラム回路 F P K 1 - F P K n が設けられる。これらのヒューズプログラム回路 F P K 1 - F P K n は、同一構成を有するため、図 8 においては、ヒューズプログラム回路 F P K 1 の構成を代表的に示す。

【 0 0 8 7 】

ヒューズ素子 F S は、ヒューズ F U を含み、このヒューズ F U の下部に、ヒューズ回路ブロック 4 0 が配置される。このヒューズ回路ブロック 4 0 は、レベル変換部 1 2 a と、レベル変換部 1 2 a の出力信号を反転するインバータバッファ 1 4 と、このインバータバッファ 1 4 の出力信号に従って選択的に導通する溶断電流供給トランジスタ C T r を含む。このヒューズ回路ブロック 4 0 の配置領域が、図 7 に示す N ウェル 2 3 および P ウェル 2 4 の領域に対応し、回路ブロック 4 0 の各構成要素のトランジスタが N ウェル 2 3 および P ウェル 2 4 に形成される。20

【 0 0 8 8 】

レベル変換部 1 2 a は、インバータ 1 2 b とともに、先に図 3 に示すレベル変換器 1 2 を構成する。このインバータ 1 2 b は、電源電圧 V D D を動作電源電圧として受けており、ヒューズ F U の下部には配置されない。ヒューズ F U の下部に配置される回路ブロック 4 0 においては、内部ヒューズゲート電源電圧 F G V D 1 を受けるトランジスタが配置される。30

【 0 0 8 9 】

ヒューズプログラム回路 F P K 1 - F P K n に共通に、ヒューズゲート電源線 3 0 と、仮想接地線（V G N D）3 2 とが設けられる。ヒューズゲート電源線 3 0 は、ヒューズ回路ブロック 4 0 の P チャネル M O S トランジスタ（符号 P で示す）のソースおよび基板領域に結合される。仮想接地線 3 2 は、ヒューズ回路ブロック 4 0 の N チャネル M O S トランジスタ（符号 N で示す）のソースおよび基板領域に結合される。仮想接地線 3 2 の電位変化に対してバックゲートバイアス効果が生じるのを防止し、また、基板領域と不純物領域の間の P N 接合が導通するのを防止する。これにより、仮想接地線 3 2 の電圧変化に対し、このヒューズ回路ブロック 4 0 の構成要素を安定に動作させる。40

【 0 0 9 0 】

ヒューズゲート電源線 3 0 に対し、ヒューズゲート電源選択回路 9 として、切断イネーブル信号 C U T E N に従って選択的に導通し、導通時、電源電圧 V D D をヒューズゲート電源線 3 0 に伝達する P チャネル M O S トランジスタ 4 4 と、切断イネーブル信号 C U T E N が H レベルのとき導通し、ヒューズゲート電源ノード 6（6 a）をヒューズゲート電源線 3 0 に結合する C M O S トランスマッシュゲート 4 2 が設けられる。

【 0 0 9 1 】

C M O S トランスマッシュゲート 4 2 は、P チャネル M O S トランジスタ 4 2 a および N チャネル M O S トランジスタ 4 2 b を含む。P チャネル M O S トランジスタ 4 2 a の基板領域はヒューズゲート電源線 3 0 に結合される。この C M O S トランスマッシュゲート50

ート42において、ヒューズゲート電源電圧F G V D Dが、電源電圧V D D以上に昇圧される場合においても、このPチャネルMOSトランジスタ42aのバックゲート（基板領域）-ソース／ドレイン間の接合が導通するのを防止することができ、確実に、電源電圧V D D以上に昇圧されたヒューズゲート電源電圧F G V D Dをヒューズゲート電源線30に伝達することができる。

【0092】

また、ヒューズゲート電源電圧F G V D Dが接地電圧レベルであり、ヒューズゲート電源線30がMOSトランジスタ44により電源電圧V D Dレベルに設定される場合でも、PチャネルMOSトランジスタ42aのバックゲートは、N型基板領域（21）であり、そのバックゲート（基板領域）-ドレイン間は逆バイアス状態であり、安定にヒューズゲート電源線30は、電源電圧V D Dレベルに維持される。10

【0093】

仮想接地線32に対しては、PチャネルMOSトランジスタ45と、NチャネルMOSトランジスタ46a、46bおよび47とが設けられる。PチャネルMOSトランジスタ45は、切断イネーブル信号C U T E NがLレベルのとき導通し、仮想接地線32へ電源電圧V D Dを伝達する。NチャネルMOSトランジスタ46aおよび46bはそのゲートに電源ノード6aを介してヒューズゲート電源電圧F G V D Dをゲートに受け、抵抗素子として機能する。これらのMOSトランジスタ46aおよび46bは、内部回路のトランジスタと同一の構成（ゲート絶縁膜膜厚、ゲート絶縁膜材料およびゲート幅素子長さが同じ）を有するコアトランジスタで構成され、比較的大きな電流駆動力を有する。20

【0094】

NチャネルMOSトランジスタ47は、切断イネーブル信号C U T E NがHレベルのとき導通し、仮想接地線32を接地ノードに結合する。このMOSトランジスタ47は、その電流駆動力は比較的小さくされ、通常動作モード時、仮想接地線32上の電位の浮き上がりを防止するために利用される。

【0095】

ヒューズプログラム回路F P K 1における他のフリップフロップおよび切断判定回路等の構成は図2に示す構成と同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略する。

【0096】

これらのヒューズゲート電源線30およびヒューズ仮想接地線32は、一例として多層配線層の第2メタル配線層M2の配線を用いて構成される。ヒューズ素子F Sに含まれるヒューズF Uは、一例として、ヒューズゲート電源線30およびヒューズ仮想接地線32が形成される第2メタル配線層よりも2層以上上層の配線層の配線を用いて形成される。この配線構造により、ヒューズプログラム回路F P K 1 - F P K nに共通にヒューズゲート電源線30および仮想接地線32を配置しても、何らヒューズ素子F Sの配置には影響は及ぼさない。30

【0097】

図9は、図8に示すヒューズプログラム回路におけるヒューズ素子切断時の内部ヒューズゲート電源電圧F G V D 1および仮想接地線電圧V G N Dの変化シーケンスを示す図である。以下、図9を参照して、ヒューズ切断時のヒューズゲート電源線30および仮想接地線32上の電圧印加シーケンスについて説明する。40

【0098】

ヒューズ切断前においては、リセット信号F S R S T DおよびF S R S TはともにLレベルである。この場合、図4に示すように、ノードN D 1がMOSトランジスタP Q 2により電源電圧V D Dレベルに充電されている。また、切断イネーブル信号C U T E NがLレベルであるため、MOSトランジスタ44がオン状態、CMOSトランスマッショングート42がオフ状態であり、ヒューズゲート電源線30上の電圧F G V D 1は、電源電圧V D Dレベルである。

【0099】

10

20

30

40

50

ヒューズゲート電源電圧 F G V D D は、L レベルであり、MOS トランジスタ 4 6 a および 4 6 b はともに非導通状態であり、仮想接地線 3 2 は、MOS トランジスタ 4 5 により電源電圧 V D D レベルに維持される。この状態においては、回路ブロック 4 0 内において、その両側の電源線 3 0 および接地線 3 2 がともに電源電圧 V D D レベルであり、インバータ 1 4 の出力信号 G D は、電源電圧 V D D レベルである。同様、ヒューズ回路ブロック 4 0 における内部配線（第 1 および第 2 メタル配線）もすべて電源電圧 V D D レベルであり、すなわちヒューズ F U の両端それぞれの電圧レベルに等しい電圧レベルに維持される。この条件により、ヒューズ溶断時に生成された配線片（銅原子）の移動を防止する。

【 0 1 0 0 】

ヒューズ切断時、まず、ヒューズ素子リセットディレーレ信号 F S R S T D およびヒューズ素子リセット信号 F S R S T が H レベルとなり、また、切断イネーブル信号 C U T E N が H レベルとなる。リセット信号 R S T は、接地電圧 G N D の L レベルに維持される。また、ヒューズゲート電源電圧 F G V D D は、接地電圧レベルに維持される。

【 0 1 0 1 】

切断イネーブル信号 C U T E N に従って、CMOS トランスマッシュゲート 4 2 が導通し、P チャネル MOS トランジスタ 4 4 がオフ状態となり、ヒューズゲート電源線 3 0 上の電圧 F G V D 1 が接地電圧レベルに低下する。一方、仮想接地線 3 2 は、MOS トランジスタ 4 5 、 4 6 a および 4 6 b がすべてオフ状態（非導通状態）となる。一方、MOS トランジスタ 4 7 が導通状態（オン状態）となり、この仮想接地線 3 2 を小さな電流駆動力で接地電圧レベルに駆動される。

【 0 1 0 2 】

MOS トランジスタ 4 7 の電流駆動力は、回路ブロック 4 0 内に形成されるトランジスタの電流駆動力よりも十分小さく、仮想接地線 3 2 上の電圧 V G N D が、接地電圧レベルに低下しても、回路ブロック 4 0 内の電源電圧レベルにプリチャージされていた内部配線の電荷の移動によりインバータバッファ 1 4 の出力信号 G D は、最悪中間電位レベルに変化する（インバータ 1 2 b の出力信号は電源電圧 V D D レベルまたは接地電圧レベルのいずれか）。この状態において、溶断電流供給トランジスタ C T r のゲート電位は中間電位レベルであっても、そのゲート - ソース間電圧は、溶断電流供給トランジスタ C T r のしきい値電圧よりも低い電圧レベルである。従って、溶断電流供給トランジスタ C T r は、最悪弱い導通状態となるだけであり、ヒューズ回路ブロック 4 0 においてリーク電流はほとんど流れない。

【 0 1 0 3 】

また、図 4 に示すように、切斷判定回路 C J C においては、MOS トランジスタ P Q 1 および P Q 2 はオフ状態であり、この切斷判定回路 C J C からノード N D 1 への電流供給が停止される。

【 0 1 0 4 】

次いで、ヒューズ切断においてヒューズ電源ノード 6 a へ供給されるヒューズゲート電源電圧 F G V D D が切斷電圧レベルに立上げられる。このヒューズゲート電源電圧 F G V D D の立上がりに応答して、CMOS トランスマッシュゲート 4 2 を介してヒューズゲート電源線 3 0 上の電圧 F G V D 1 が、ヒューズゲート電源電圧 F G V D D のレベルとなる。一方、このヒューズゲート電源電圧 F G V D D の電圧レベルが上昇すると、MOS トランジスタ 4 6 a および 4 6 b がオン状態となり、仮想接地線 3 2 上の電圧 V G N D を大きな電流駆動力により接地 G N D レベルに維持する。

【 0 1 0 5 】

非選択ヒューズプログラム回路においては、NAND ゲート 1 0 の出力信号に従って、最悪中間電圧レベルにあったインバータ 1 4 の出力信号 G D が、接地電圧 G N D レベルに維持される。選択ヒューズプログラム回路においては、NAND ゲート 1 0 の出力信号に従ってインバータの出力信号 G D がヒューズゲート電源電圧 F G V D D レベルとなり、溶断電流供給トランジスタ C T r が導通し、ヒューズ F U に電流が流れ、ヒューズ F U の切斷が行なわれる。このヒューズゲート電源電圧 F G V D D の電圧レベルを調整することに

10

20

30

40

50

より、溶断電流供給トランジスタ C T r を介して流れるヒューズ溶断電流の大きさを調整することができる。

【 0 1 0 6 】

このヒューズ溶断時に大きな電流が流れても、仮想接地線 3 2 は、M O S トランジスタ 4 6 a および 4 6 b により確実に接地電圧レベルに維持され、所望の大きさの溶断電流を、切断対象のヒューズに供給することができる。また、ヒューズ溶断時においては、図 4 に示す切断判定回路 C J C においては、M O S トランジスタ P Q 1 および P Q 2 がともに非導通状態であり、このヒューズ溶断に対しては何ら影響を及ぼさない。

【 0 1 0 7 】

ヒューズ切断期間が完了すると、ヒューズゲート電源電圧 F G V D D が再び接地電圧レベルに駆動され、応じてヒューズゲート電源線 3 0 上の電圧 F G V D 1 が接地電圧レベルに低下する。また、仮想接地線 3 2 においては、M O S トランジスタ 4 6 a および 4 6 b がオフ状態（非導通状態）となるものの、まだ、切断イネーブル信号 C U T E N が H レベルであり、M O S トランジスタ 4 7 により、高抵抗で接地電圧レベルに維持される。このヒューズゲート電源線 3 0 上の電圧 F G V D 1 のレベル低下により、選択ヒューズプログラム回路においては、回路ブロック 4 0 内の内部ノードの電圧レベルが電荷の移動により中間電圧レベルとなるかまたは接地電圧レベルに低下する。図 8 においては、最悪ケースを想定して、選択ヒューズプログラム回路においてインバータバッファ 1 4 の出力信号 G D が中間電圧レベルに維持される場合を示す。この場合においても、仮想接地線 3 2 の電圧 V G N D は、接地電圧 G N D レベルであり、溶断電流供給トランジスタ C T r は、非導通状態を維持し、ヒューズ切断不良時においても、十分にリーク電流を抑制することができる。

10

20

【 0 1 0 8 】

非選択ヒューズプログラム回路においては、インバータ 1 4 の出力信号 G D は接地電圧レベルを維持する。したがって、溶断電流供給トランジスタ C T r は、選択 / 非選択ヒューズプログラムいずれにおいても非導通状態に設定され、ヒューズ電源ノードから仮想接地線へのリーク電流経路は十分に遮断される。

【 0 1 0 9 】

選択ヒューズプログラム回路においてヒューズの切断が完了すると、信号 F S R S T D 、 F S R S T および C U T E N が L レベルに立下がる。応じて、C M O S トランスマッシュョンゲート 4 2 が非導通状態となり、また、P チャネルM O S トランジスタ 4 4 がオン状態となり、ヒューズゲート電源線 3 0 上の電圧 F G V D 1 が電源電圧 V D D レベルに維持される。また、仮想接地線 3 2 は、P チャネルM O S トランジスタ 4 5 により電源電圧 V D D レベルとなる（M O S トランジスタ 4 6 a 、 4 6 b および 4 7 が、非導通状態）。

30

【 0 1 1 0 】

したがって、ヒューズ切断時において、実際にヒューズ切断が行なわれるときの動作以外においては、この回路ブロック 4 0 内のメタル配線はヒューズ F U の両端の電圧レベルと同じであり、切断ヒューズの破片の銅原子の配線への移動を抑制することができる。また、P チャネルM O S トランジスタ 4 4 および 4 5 を用いて、切断イネーブル信号 C U T E N に従ってそれらの導通を制御することにより、ヒューズゲート電源線 3 0 および仮想接地線 3 2 の電圧レベルを、ヒューズ切断動作に応じて容易に変更することができる。

40

【 0 1 1 1 】

なお、切断イネーブル信号 C U T E N が H レベルのときに、ヒューズカットクロック信号 F C C L K に従ってヒューズ F U の切断が行なわれる。非選択ヒューズプログラム回路においては、N A N D ゲート 1 0 の出力信号は、ヒューズカットクロック信号 F C C L K の状態に関わらず H レベルである。したがって、切断イネーブル信号 C U T E N の H レベルの期間により、ヒューズを切断する期間が規定される。

【 0 1 1 2 】

図 1 0 は、ヒューズ切断後の判定時の動作を示す信号波形図である。以下、図 1 0 および図 4 を参照して、図 8 に示すヒューズゲート電源線 3 0 および仮想接地線 3 2 の電圧変

50

化について説明する。

【0113】

ヒューズの切断判定前においては、切断イネーブル信号 C U T E N は L レベルであり、またリセット信号 R S T 、ヒューズ素子リセット信号 F S R S T およびヒューズ素子リセットディレー信号 F S R S T D も L レベルである。したがって、ヒューズゲート電源線 3 0 上の電圧 F G V D 1 および仮想接地線 3 2 上の電圧 V G N D は、ともに電源電圧 V D D レベルである。従って、インバータバッファ 1 4 の出力信号 G D は、電源電圧 V D D レベルであり、溶断電流供給トランジスタ C T r は、ゲートおよびソースおよびドレインが同一電圧レベルにあり、非導通状態にある（ノード N D 1 が、図 4 に示す M O S トランジスタ P Q 2 により電源電圧レベルに維持される。 10

【0114】

次いで、切断イネーブル信号 C U T E N が H レベルに駆動され、また、リセット信号 R S T および F S R S T は H レベルに駆動される。応じて、C M O S トランスマッシュョンゲート 4 2 が導通し、ヒューズゲート電源線 3 0 上の電圧 F G V D 1 がヒューズゲート電源電圧 F G V D D と同じ接地電圧 G N D レベルに維持される。また、リセット信号 R S T により、ヒューズプログラム回路 F P K 1 - F P K n におけるフリップフロップ P S R および F S R の出力信号が L レベルとなり、N A N D ゲート 1 0 の出力信号が、全て H レベルとなる。応じて、レベル変換器 1 2 a の出力信号が、内部配線の電荷の移動により中間電圧レベルとなり、応じてインバータ 1 4 の出力信号 G D も中間電圧レベルとなり、最悪ケースにおいて溶断電流供給トランジスタ C T r が非導通状態となる（トランジスタ C T r のゲート-ソース間電圧は、しきい値電圧よりも低い）。 20

【0115】

仮想接地線 3 2 については、M O S トランジスタ 4 5 、 4 6 a および 4 6 b がオフ状態であるものの、M O S トランジスタ 4 7 がオン状態である。したがって、非切斷状態のヒューズまたは切斷判定回路 C J C からの初期設定時の M O S トランジスタ（P Q 2 ）からの供給電流により仮想接地線 3 2 に供給される電荷は、回路ブロック 4 0 を介してヒューズゲート電源線 3 0 へ分流され、仮想接地線 3 2 の電圧レベルが低下するとともに、M O S トランジスタ 4 7 により、この仮想接地線 3 2 が接地電圧 G N D レベルに維持される。またヒューズゲート電源線 3 0 は、接地電圧レベルにヒューズゲート電源電圧 F G V D D に従って維持される。 30

【0116】

インバータ 1 4 の出力信号 G D と仮想接地線 3 2 の電圧 V G N D の差が溶断電流供給トランジスタ C T r のしきい値電圧レベル以下となると、溶断電流供給トランジスタ C T r は非導通状態となり、リーケ電流が低減される。応じて、仮想接地線 3 2 の電圧レベルは、M O S トランジスタ 4 7 より確実に、接地電圧レベルに維持される。

【0117】

また、仮想接地線 3 2 に対して設けられる M O S トランジスタ 4 6 a および 4 6 b は、それぞれのゲート電圧が接地電圧レベルであり、これらのトランジスタ 4 6 a および 4 6 b を介した仮想接地線 3 2 から接地ノードへのリーケ電流は十分に抑制される。

【0118】

次いで、ヒューズリセットディレー信号 F S R S T D が H レベルに駆動される。その後リセット信号 R S T および F S R S T が L レベルに駆動される。このとき、これらのプログラムスキャンフリップフロップ P S R においてマルチプレクサ S X 2 を介してリセット前のプログラム情報が再格納されてもよい。ヒューズ素子の切断判定時においては、単に、切断判定回路 C J C において判定動作が行なわれるだけであり、スキャンフリップフロップ P S R および F S R の格納情報は、判定動作に影響を及ぼさない。したがって、これらのスキャンフリップフロップ P S R および F S R がリセット状態を維持していても特に問題は生じない。

【0119】

リセット信号 R S T および F S R S T D のこの状態において、図 4 に示す切断判定回路 40

10

20

30

40

50

C J Cにおいてヒューズ素子F Sの切断／非切斷に応じて内部ノード（N D 2）の電圧レベルが変化し、ヒューズの切断／非切斷の判定が行なわれる。この判定期間において、仮想接地線3 2は接地電圧G N Dレベルに維持されており、後に説明するような誤判定は生じない。また、仮想接地線3 2への溶断電流供給トランジスタC T rからの電流供給は停止される。

【0 1 2 0】

判定期間が完了すると、ヒューズ素子リセットディレー信号F S R S T Dおよび切斷イネーブル信号C U T E NがLレベルに駆動される。応じて、ヒューズゲート電源線3 0がM O Sトランジスタ4 4により電源電圧V D Dレベルに駆動される。また、仮想接地線3 2も、M O Sトランジスタ4 5により電源電圧V D Dレベルに充電される。応じて、回路ブロック4 0内の内部ノード（第2メタル配線M 2）の電圧レベルも電源電圧V D Dレベルに復帰する。10

【0 1 2 1】

したがって、実際にヒューズの切断が行なわれるとき以外は、ヒューズ回路ブロック4 0において内部ノード（第2メタル配線）の電圧レベルはヒューズF Uの両端の電圧（電源電圧V D Dレベル）に維持される。したがってヒューズ切断時以外は、ヒューズF Uと第2メタル配線M 2が同電位に維持される。ヒューズF Uが切断状態であっても、銅（C u）の破片部または飛散部の銅原子のヒューズ素子F Sからの回路ブロック4 0内の第2メタル配線（M 2）の拡散およびヒューズ素子切断破片等による絶縁破壊は、抑制される。20

【0 1 2 2】

図1 1は、溶断電流供給トランジスタC T rの断面構造および溶断電流供給トランジスタC T rと切斷判定回路C J Cの接続様を概略的に示す図である。この図1 1に示す切斷判定回路C J Cの構成は、図4に示す切斷判定回路C J Cの構成と同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略する。

【0 1 2 3】

回路ブロック4 0において、P型半導体基板2 0表面に、Nウェル2 3が形成され、このNウェル2 3表面にPウェル2 4が形成される。このPウェル2 4表面に、電流切斷トランジスタC T rが形成される。この溶断電流供給トランジスタC T rは、Pウェル2 4表面に形成される高濃度N型不純物領域5 0および5 2と、これらの不純物領域5 0および5 2の間の領域上にゲート絶縁膜を介して形成されるゲート電極5 4とを含む。不純物領域5 0は、仮想接地線3 2を介してM O Sトランジスタ4 7に結合される。一方、不純物領域5 2は、溶断電流供給トランジスタC T rのドレイン領域を構成し、ノードN D 1およびヒューズ素子F Sに接続される。Pウェル2 4は、仮想接地線3 2に結合され、ヒューズプログラム回路F P K 1 - F P K nに含まれる溶断電流供給トランジスタC T rに対し共通に設けられる（溶断電流供給トランジスタごとに、素子分離膜が形成される）。30

【0 1 2 4】

この構成において、不純物領域5 2に×印5 5に示すように接合不良が存在する状態を考える。この場合、ヒューズ素子F SのヒューズF Uが非切斷状態の場合、ヒューズ素子F Sを介してヒューズ電源ノードから不純物領域5 2を介して電荷がPウェル2 4に供給される。しかしながら、この場合、切斷イネーブル信号C U T E NがHレベルのとき、仮想接地線3 2がM O Sトランジスタ4 7を介して接地ノードに結合されており、接合不良5 5によりヒューズ電源ノードから供給される電荷は、接地ノードへ放電される。したがって仮想接地線3 2上の電圧V G N Dは、切斷イネーブル信号C U T E NがHレベル期間において、たとえ接合不良5 5が存在する場合においても接地電圧G N Dレベルに維持される。なおヒューズ素子F SにおいてヒューズF Uが切断状態にあり、その抵抗がたとえばM オーダーの高抵抗状態とすると、ノードN D 1は、ほぼ電源ノードから分離され、この切斷判定回路C J Cの判定ノードN D 2に対しては、N型不純物領域5 2とそのP N接合が電気的に接続される状態と言える。ヒューズ素子リセット信号F S R S TをHレベルとした場合、切斷判定回路C J Cにおいて、PチャネルM O SトランジスタP Q 1は才4050

フ状態、MOSトランジスタNQ1がオン状態となり、内部ノードND2は、ノードND1と電気的に分離され、接地電圧レベルのLレベルに低下される。

【0125】

図10に示すようにヒューズ素子リセットディレーレベルがHとなると、トライステートインバータTV1が活性化され、ノードND2の信号電位が反転され、Hとなる。その後、ヒューズ素子リセット信号FSRSTがLとなると、切断判定回路CJCのMOSトランジスタPQ1がオン状態、MOSトランジスタNQ1がオフ状態となる。この状態においては、切断判定回路CJCの内部ノードND2は、ノードND1と電気的に接続され、ノードND1を介してさらにN型不純物領域52へ結合される。しかしながら、この場合、Pウェル24は、仮想接地線32からMOSトランジスタ47を介して接地ノードに結合されており、Pウェル24は接地電圧GNDレベルである。したがって、切断判定回路CJCの内部ノードND2が、トライステートインバータTV1の入力しきい値を超えるレベルにまで充電されることはなく、正確に、切断判定期間においてヒューズ切断状態を示すHレベルの信号がトライステートインバータTV1から出力される。この後、ヒューズ素子リセットディレーレベルがLになると、トライステートインバータTV1が出力ハイインピーダンス状態となり、その判定結果信号JoutがHレベルに維持される。10

【0126】

一方、ヒューズFUが非切断状態の低抵抗状態の場合には、ノードND1は、電源電圧VDDレベルとなる。たとえPN接合不良55が存在しても、MOSトランジスタ47の電流駆動力よりもヒューズFUの電流供給力は高く、ノードND1は、電源電圧レベルに維持される。また、溶断電流供給トランジスタCTRは、非導通状態であり、PN接合不良55からのリーク電流は小さく、仮想接地線32の電圧VENDは判定期間中においてもほぼ接地電圧レベルに維持される。20

【0127】

この場合、切断判定回路CJCにおいては、ノードND2が判定期間中にHレベルにMOSトランジスタPQ1を介して充電され、トライステートインバータTV1の出力信号がLレベルとなる。したがって、ヒューズFUの非切断時には、その判定結果信号JoutはLレベルとなり、正確に、ヒューズ素子FSの切断／非切断の状態に応じた判定結果を出力することができ、正確に切断判定を行なうことができる。30

【0128】

Pウェル24には、複数のヒューズプログラム回路SPK1 - SPKnの溶断電流供給トランジスタが共通に設けられる（図示しない素子分離領域は形成される）。これらのヒューズプログラム回路SPK1 - SPKnにおいては、ヒューズ素子FSは、切断状態または非切断状態であり、切断状態のヒューズ素子および非切断状態のヒューズ素子が混在する。このような場合においても、切断状態判定時、MOSトランジスタ47をオン状態に設定して、Pウェル24をほぼ接地電圧GNDレベルに維持することにより、正確に、各ヒューズ素子FSの状態を識別することができる。

【0129】

なお、図8において、仮想接地線32に対し、MOSトランジスタ46aおよび46bが直列に接続されている。しかしながら、この場合、1つのMOSトランジスタが配置され、そのゲートにヒューズゲート電源電圧FDVDDが与えられてもよい。40

【0130】

以上のように、この発明の実施の形態1に従えば、複数のヒューズプログラム回路に共通に設けられる仮想接地線に対し、切断動作時接地電圧レベルに維持するトランジスタを配置しており、切断判定時正確にヒューズ素子の切断／非切断を判定することができる。

【0131】

また、仮想接地線を接地電圧レベルに維持するMOSトランジスタ（47、46aおよび46b）は、通常動作時には、オフ状態に設定され（ヒューズゲート電源電圧FGVDは、通常動作モード時には設置電圧レベルに維持される）、仮想接地線は電源電圧VDD50

D レベルに維持される。これにより、ヒューズ素子FSの両端に印加される電圧と同一電圧レベルに、ヒューズ下部に配置されるヒューズ回路ブロック40の配線の電圧レベルを維持することができ、銅原子のマイグレーションによる銅配線の不良を防止することができる。

【0132】

[実施の形態2]

図12は、この発明の実施の形態2に従うヒューズ素子FSの構成を概略的に示す図である。図12において、ヒューズ素子FSは、ヒューズFUを含み、ヒューズFUは、銅(Cu)配線で形成され、第3メタル配線層以上の上層のメタル配線を用いて実現される。本実施の形態2においては、このヒューズ素子FUが第4メタル配線層の配線を用いて形成される。

10

【0133】

ヒューズFUは、幅の広い配線ベッド領域VDBを介して図示しない電源線に結合され、またノードベッド領域ND1Bを介してノードND1を実現する配線領域に結合される。ヒューズFU、ベッド領域VDBおよびND1Bを囲むように銅拡散防護壁構造74が配置される。この銅拡散防護壁構造74の構成については後に詳細に説明するが、ヒューズFU上層にヒューズFUの少なくとも溶断部を蔽うように形成される上部拡散防護壁配線76を含む。上部拡散防護壁配線76として、本実施の形態2においては、電源電圧VDDを伝達する電源配線を用い、この電源配線として、第5メタル配線層(M5)の配線を利用する。

20

【0134】

このヒューズFUの直上部の配線層においては、配線およびビアは配置されない。銅配線で形成するヒューズFUの溶断時、銅切片が熱拡散により移動するのを、この防護壁構造74により防止し、配線短絡およびヒューズ素子の切断不良が生じるのを抑制する。

【0135】

ヒューズFU下部に、ヒューズFUを切断するためのトランジスタを配置するトランジスタ配置領域が設けられ、先の図8に示すヒューズ回路ブロック40の各トランジスタが配置される。図12に示すヒューズ素子FSが、ヒューズプログラム回路(FPK)それぞれに対応して並列に整列して配置される。

30

【0136】

図13は、図12に示すヒューズ素子FSの線L13-L13に沿った断面構造を概略的に示す図である。図13において、P型ウェル(Pウェル)80表面に、間をおいてN型活性領域(不純物領域)84a-84dが互いに間をおいて形成される。このPウェル80下部にディープNウェル82が形成され、Pウェル80が、他の回路形成領域と分離される。Pウェル80は、ヒューズプログラム回路に対して共通に配置される。このPウェル80およびディープNウェル82は、図7に示すP型ウェル領域24に対応する。

【0137】

不純物領域84a-84dの間のPウェル80表面上に、たとえばポリシリコンで形成されるゲート電極配線86a、86b、…86cが配置される。これらのゲート電極配線86a-86cおよび活性領域(不純物領域)84a-84dにより、ヒューズプログラム回路のヒューズ回路ブロック40(図8参照)に含まれるNチャネルMOSトランジスタ(溶断電流供給トランジスタ)が形成される。すなわち、溶断電流供給トランジスタCTRは、複数の並列に配置される単位MOSトランジスタで構成され、これらの単位MOSトランジスタが、図示の活性領域およびゲート電極配線により形成される。

40

【0138】

不純物領域84a-84dは、それぞれコントクト91a-91dを介して第1メタル配線層M1の配線90a-90dにそれぞれ結合される。第1メタル配線90bおよび90cは、第1ビア93cおよび93dを介して第2メタル配線層M2の配線92cおよび92dに結合される。この第2メタル配線92cおよび92dは、それぞれ仮想接地線に結合され、仮想接地電圧VCNDを受ける。

50

【0139】

第1メタル配線90aは、第1ビア93bを介して第2メタル配線92bに結合され、第1メタル配線90dは、第1ビア93eを介し手代2メタル配線92eに結合される。

【0140】

第2メタル配線層M2において、さらに、第2メタル配線92bおよび92e外部に、第2メタル配線92aおよび92fが配置される。これらの第2メタル配線92aおよび92fは、後に説明するように、電源電圧VDDを伝達する。

【0141】

第3メタル配線層M3において、第3メタル配線94a、94b、94cおよび94dが互いに間をおいて配置され、それぞれ第2ビア95a、95b、95cおよび95dを介して第2メタル配線92a、92b、92eおよび92fにそれぞれ電気的に接続される。第2メタル配線92cおよび92d上部には、第3メタル配線は配置されない。10

【0142】

第4メタル配線層M4において、第4メタル配線98a、98b、98cおよび98d互いに間をおいて配置され、それぞれ、第3ビア97a、97b、97cおよび97dを介して第3メタル配線94a、94b、94cおよび94dに電気的に接続される。この第4メタル配線M4において、第4メタル配線を用いて形成されるヒューズFUが配置される。このヒューズFU直下部において第3メタル配線層M3においては配線が配置されず、また、第2メタル配線層M2における第2メタル配線92cおよび92dとヒューズFUとは整列しない位置に配置される。20

【0143】

第5メタル配線層M5において、第5メタル配線100a、100b、100cおよび100dが互いに間をおいて配置され、それぞれ第4ビア99a、99b、99cおよび99dを介して第4メタル配線98a、98b、98cおよび98dに電気的に接続される。

【0144】

第5メタル配線100bおよび100cが、図12に示すノードベッド領域ND1Bに結合され、ノードND1に結合される。

【0145】

一方、第5メタル配線100a、および100dは、第6ビア101aおよび101bを介して第6配線層M6の第6メタル配線102に結合される。この第6メタル配線102へは、電源電圧VDDが伝達される。この第6メタル配線102は、ヒューズ素子FUの上部にヒューズを蔽うように配置される。したがって、ヒューズFUの直上部および直下部においては、少なくとも2層の配線層の隙間が確保される。ヒューズFUのトリミング領域105は、その溶断電流によるジュール熱により溶断される領域であり、このトリミング領域105から、溶断時の銅原子が熱拡散により移動する。このヒューズトリミング領域周辺にダメージ予想領域107が存在する。このダメージ予想領域107は、ジュール熱によりヒューズが溶断される場合、銅の融点(1000以上)にまで温度が上昇し、その内に銅が拡散すると予想される領域である。現実には、熱による絶縁膜の品質劣化が生じることが予想される領域であり、銅原子のマイグレーションによる絶縁不良は生じないと予想される領域である。3040

【0146】

銅拡散防護壁構造により、このダメージ予想領域107内において、銅原子の熱拡散による配線短絡(絶縁不良)およびヒューズFUの切断不良が発生するのを抑制する。

【0147】

このヒューズFUの周辺に配置されるビアおよび配線により、銅(Cu)拡散防止膜を形成し、図12に示す銅拡散防止構造74を実現する。この図12に示す上部拡散防護壁配線76が、図13に示す第6メタル配線102に対応する。この図13に示すように、第6メタル配線層の配線を用いてヒューズFUの上部銅拡散防止膜を形成することにより、ヒューズ素子形成に利用される配線層の数を低減でき、またノードND1を形成する配50

線 100b および 100c を利用して、ヒューズ上部に防護膜を形成する構成に比べて占有面積を低減することができる。

【0148】

また、図 13 に示すように、第 5 メタル配線 100b および 100c 上部の空隙領域を越えた銅の熱拡散は、第 5 ビア 101a および 101b により防止される。これにより隣接して配置されるヒューズ素子に対して銅が熱拡散するのを抑制することができる。また、防護壁は第 6 メタル配線から第 2 メタル配線までの中間メタル配線およびビアで構成されるプラグと基板領域から第 5 メタル配線層までの中間メタル配線およびビアとで構成されるプラグとで 2 重壁構造としており、確実に銅の熱拡散経路を遮断することができる。

【0149】

なお、各メタル配線層のメタル配線間には、層間絶縁膜が配置され、この層間絶縁膜の配線層毎に銅 (Cu) 拡散を防止する SiCN などで構成される銅拡散係数の小さな拡散防止膜が配置される。この銅拡散防止膜を配置することにより、ダメージ領域における銅拡散を抑制し、絶縁膜の劣化を抑制するとともに、絶縁膜中を銅原子が熱拡散するのを抑制する。特に、この銅拡散防止膜は、第 2 - 第 5 メタル配線層 M2 - M5 に配置されるものであり、電源電圧 VDD が印加される配線とノード ND1 の電圧が印加される配線との間に配置される拡散防止膜は、隣接するヒューズ FU が溶断されたことにより拡散した銅原子が拡散するのを防止するために重要となる。

【0150】

図 14 は、図 13 に示すヒューズ素子の第 2 メタル配線層 M2 および第 2 ビアの平面レイアウトを概略的に示す図である。図 14において、線 L13 - L13 に沿った断面構造は、図 13 に示される断面構造となる。以下の図においても同様である。このヒューズ素子 FSi は、複数のヒューズ素子が整列して配置されるヒューズボックス内の端部以外に配置されるヒューズ素子である。

【0151】

図 14において、第 2 メタル配線 92a および 92f は、ヒューズトリミング領域 105 に関して対向して縦長形状に形成される。これらの第 2 メタル配線 92a および 92f 表面には、同様、縦長形状の第 2 ビア 95a および 95d が配置される。この縦長形状の第 2 ビア 92a および 95d は、通常の単位コンタクト形成時のように小単位面積で互いに分離されるのではなく、直線的に連続的に形成される溝形状のビアである。この連続的に延在する溝形状のビアを形成することにより、破線矢印で示す銅 (Cu) の拡散経路を遮断する。

【0152】

第 2 メタル配線 92b および 92e は、第 2 メタルベッド配線 110 に結合される。この第 2 メタルベッド配線 110 に対し、また、第 2 メタル配線 92y および 92z が接続される。これらの第 2 メタル配線 92b、92y、92z および 92e の間に第 2 メタル配線 92c、92x および 92d が配置される。第 2 メタル配線 92x - 92z は、図 13 に示す平面レイアウトにおいては、その図示が省略されているものの、溶断電流供給トランジスタ (CTR) の単位トランジスタの数に応じて、これらの第 2 メタル配線 92x - 92z が配置される。

【0153】

第 2 メタル配線 92c、92x および 92d は、横方向に連続的に延在して配置される第 2 メタル配線 114b に結合される。この第 2 メタル配線 114b は、仮想接地 SEN に結合され、仮想接地電圧 VGN 伝達する。この第 2 メタル配線 114b 表面に、連続的に延在する溝形状第 2 ビア 116b が形成され、ヒューズボックス外部に対する銅拡散経路が遮断される。

【0154】

ノード ND1 を構成するベッド配線 110 に対して最外部に配置される第 2 メタル配線 92b および 92e 上に溝形状の第 2 ビア 95b および 95c が配置され、これらの第 2 ビア 95b および 95c が、第 2 メタルベッド配線 110 上において溝形状の第 2 ビア 9

10

20

30

40

50

$5 \times$ に相互接続される。したがって、U字型の溝形状の第2ビア95b、95cおよび95xにより、トリミング領域105を囲む防護壁が第2メタル配線層において形成される。

【0155】

第2メタルベッド配線110に対しては、上層配線との電気的接続のために、単位面積を有する第2ビア112が複数個互いに間をおいて配置される。

【0156】

この第2メタル配線110外部に横方向に連続的に延在する第1メタル配線114aが配置され、その表面に溝形状の第2ビア116aが配置される。この第2メタル配線114aは、仮想接地線に結合され、仮想接地電圧VGNNDを伝達する。この第2メタル配線114aおよび溝形状第2ビア116aにより、ベッド配線110を超えて拡散する銅原子の拡散経路を遮断する。10

【0157】

図15は、ヒューズボックス内のヒューズ素子列の端に配置されるヒューズFSnの平面レイアウトを概略的に示す図である。図15に示すヒューズ素子FSnの平面レイアウトは、以下の点において図14に示すヒューズ素子FSiの平面レイアウトと異なる。すなわち、端部のヒューズ素子FSnに対しては、第2メタル配線114aおよび114aが、縦方向に延びる第2メタル配線118に相互接続される。また、溝形状第2ビア116aおよび116bが、だい2メタル配線118表面に形成される縦方向に延びる溝形状第2ビア119により相互接続される。この図15に示すヒューズ素子FSnの他の構成の平面レイアウトは図14に示すヒューズ素子FSiの平面レイアウトと同じであり、対応する部分には同一参照番号を付して、その詳細説明は省略する。20

【0158】

この端部のヒューズ素子FSnにおいては、溝形状の第2ビア119および第2メタル配線118によりその端部領域においてヒューズ素子列外部に、銅(Cu)が熱拡散により伝播するのを防止する。

【0159】

この図14および図15に示すように、第2メタル配線層において、トリミング領域105からの銅(Cu)の熱拡散経路(図14および図15において破線矢印で示す)の経路は遮断される。この場合、第2メタル配線92aおよび92bの間および第2メタル配線92eおよび92fの間の熱拡散経路は、第2メタル配線92c、92dおよび92x-92zにより確実に遮断される。また、第2メタル配線114b外部に、ヒューズ回路(回路ブロック40)以外のトランジスタを配置しており、第2メタル配線114bおよび溝形状第2ビア116bにより確実に、破線矢印で示す銅の熱拡散経路が遮断され、他回路の配線に対し銅(Cu)を熱拡散するのを確実に防止することができる。30

【0160】

図16は、図14に示すヒューズ素子FSiの平面レイアウトの上層の平面レイアウトを概略的に示す図である。すなわち図16においては、ヒューズ素子FSiの第3メタル配線層M3の配線の配置を示す。この図16においても、線L13-L13に沿った断面構造としては、図13に示す断面構造が得られる。40

【0161】

図16において、第3メタル配線94aおよび94dが縦方向に長い形状に形成され、この第3メタル配線94aおよび94d上に溝形状第3ビア97aおよび97dがそれぞれ連続的に延在して形成される。この第3メタル配線94aおよび94dが、その下部に形成される第3メタル配線120に結合され、また第3ビア97aおよび97dも、この第3メタル配線120上に形成される溝形状の第3ビア121に電気的に接続される。この第3メタル配線120は、図15に示す第2メタル配線114aおよび114b配置領域より内部の位置に配置され、電源電圧VDDを伝達する。この第3メタル配線120は、図15に示す第2メタル配線92aおよび92fに溝形状第2ビアを介して電気的に接続される。50

【0162】

第3メタル配線94bおよび94cが、同様、第3メタル配線94aおよび94dと平行に縦方向に長い形状に形成され、また、これらの第3メタル配線94bおよび94c表面Iに対し、連続的に延在する溝形状第3ビア97b、97cが形成される。この第3メタル配線94bおよび94cは、第3メタルベッド配線122に電気的に接続され、また、溝形状第3ビア97bおよび97cも、第3メタルベッド配線122上に形成される溝形状第3ビア123により電気的に接続される。この第3メタル配線122においても、上層配線との電気接続を取るための単位第3ビアが互いに間をおいて配置される。

【0163】

第3メタルベッド配線122は、図14に示す第2ビア112を介して第2メタルベッド配線110に電気的に接続される。 10

【0164】

ヒューズ素子の上部および下部領域に、第3メタル配線124aおよび124bが横方向に連続的に延在して形成され、それぞれ、図14に示す第3メタル配線114aおよび114bに、第2ビア116aおよび116bを介して電気的に接続される。第3メタル配線124aおよび124bは、仮想接地線を構成し、仮想接地電圧V G N Dを伝達する。この第3メタル配線124aおよび124b表面には溝形状ビアは形成されない。この第3メタル配線124aおよび124bが、グローバル仮想接地線(32)として配置され、低抵抗で仮想接地電圧V G N Dを伝達する。

【0165】

20

図17は、ヒューズ素子列の端部のヒューズ素子F S nの第3メタル配線層のレイアウトを概略的に示す図である。図17に示す端部のヒューズ素子F S nの平面レイアウトは、図16に示すヒューズ素子F S i(i=1, n)の平面レイアウトと以下の点でその配置が異なる。すなわち、ヒューズ素子列の下部領域および上部領域において横方向に連続的に延在する第3メタル配線124aおよび124bが、縦方向に延びる第3メタル配線125により電気的に接続される。第3メタル配線120は、その終端部120aにおいて配線レイアウトが終端される。この図17に示すヒューズ素子F S nの他の要素の平面レイアウトは図16に示すヒューズ素子F S iの平面レイアウトと同じであり、対応する部分には、同一参照番号を付して、その詳細説明は省略する。

【0166】

30

図16および図17に示すように、第3メタル配線層M3においても、ヒューズ素子トリミング領域105からの銅(Cu)の熱拡散経路は、破線矢印で示すように、第3メタル配線94aおよび94bの間の領域および第3メタル配線94cおよび94dの間の隙間領域に存在する。しかしながら、この経路においては、銅の熱拡散経路長以上の間の距離にヒューズに対して十分長い距離が確保されており、この拡散経路による銅(Cu)の隣接ヒューズ素子に対する熱拡散の影響は、十分に抑制することができる。

【0167】

また、端部のヒューズ素子F S nにおいて第3メタル配線125を配置することにより、ヒューズ素子列(ヒューズボックス)外部に配置される回路に対する銅の熱拡散は、抑制され、外部回路に対する悪影響は確実に回避される。 40

【0168】

また、先に説明したように、図16および図17の第3メタル配線124b下側領域の外部に配置される他回路のトランジスタ形成領域に対する銅(Cu)の熱拡散は確実に抑制される。

【0169】

また、端部のヒューズ素子F S nは、図17に示すように、第2メタル配線120aが、第2メタル配線94dの端部より突出しないように配置される。これにより、第2メタル配線125および120aが電気的に短絡されるのを防止する。

【0170】

図18は、図16に示すヒューズ素子の上層の第4メタル配線層M4の配線レイアウト

50

を示す図である。図18において、線L13-L13に沿った断面構造は、図13に示す第4メタル配線層および第4ビアおよび下層の断面構造が得られる。

【0171】

図18において、ヒューズ素子FSiの第4メタル配線層M4において、第4メタル配線98aおよび98dが縦方向に延在して配置され、これらの第4メタル配線98aおよび98d上に、溝形状第4ビア99aおよび99dが直線的に連続的に延在して形成される。この第4メタル配線98aおよび98dに対し、横方向に連続的に延在する第4メタル配線132が設けられ、この第4メタルベッド配線132に対し、溝形状第4ビア138が形成される。第4メタル配線132に、第4メタル配線98aおよび98dが結合され、また第4ビア133に、第4ビア99aおよび99dが結合される。この第4メタル配線132表面に上層配線との電気的接続を取るための、単位第4ビア134が互いに間をおいて複数個整列して配置される。10

【0172】

第4メタル配線132は、電源電圧VDDを伝達し、図16に示す下層の第3メタル配線120に溝形状第3ビアを介して電気的に接続される。

【0173】

これらの第4メタル配線98aおよび98dの内部に、直線的に延在して第4メタル配線98bおよび98cが配置される。これらの第4メタル98bおよび98c上に、溝形状第4ビア99bおよび99cが配置される。

【0174】

第4メタル配線98bおよび98cに対し、図16に示す第3メタルベッド配線122に整列して、第4メタルベッド配線135が配置され、第3メタルベッド配線135表面に、溝形状第5ビア136が形成される。第4メタル配線98bおよび98cが、第4メタルベッド配線135に結合され、第4溝形状ビア136が、第4ビア99bおよび99cに結合される。20

【0175】

この第4メタル配線98bおよび98cの内側に、ヒューズFUを構成する第4メタル配線が配置され、このヒューズFUの両端に、第4メタルパッド配線130および131が配置される。第4メタルパッド配線130は、第4メタルベッド配線135に接続され、第4メタルパッド配線131が第4メタル配線132に結合される。これにより、ヒューズFUの両端が、それぞれノードND1および電源ノードに結合される。30

【0176】

図19は、このヒューズ素子列の端のヒューズFSnのレイアウトを概略的に示す図である。この図19においてヒューズ素子FSnにおいては、その端部に第4メタル配線140および溝形状第4ビア141が縦方向に長い矩形形状に形成される。第4メタル配線140は、第4メタル配線138および132に結合され、溝形状第4ビア141が、第4ビア139および133に接続される。したがって端部のヒューズ素子FSnにおいては、端部に第4メタル配線および第4ビアにより防護壁が形成される。この図19に示す配線レイアウトにおいて他の配置は図18に示すヒューズ素子の平面レイアウトと同じであり、図19において、図18に示すヒューズ素子FSiの構成要素と対応する部分には同一参照番号を付し、その詳細説明は省略する。40

【0177】

図18および図19に示すように、ヒューズFUを囲むように、第4メタル配線98a、98b、98cおよび98dが配置され、また溝形状第4ビア99a-99dが配置される。したがって、ヒューズFUのトリミング領域105において配線が溶断された場合、その銅(Cu)の熱拡散経路(破線矢印で示す)がごく一部に存在するだけであり、この破線で示す銅(Cu)の拡散経路長は、その銅の拡散長より十分長く、他配線に対する影響は、十分に抑制される。

【0178】

なお、ベッド配線132および135それぞれに設けられる複数のビア134および1

10

20

30

40

50

37はそれぞれ、上層配線との電気的接続をとるためのビアである。防護壁としては、溝形状ビアが利用される。

【0179】

図20は、図18に示すヒューズ素子の平面レイアウトの上層の第5メタル配線層M5の配線レイアウトを示す図である。図20において、線L13-L13に沿った打面構造は、図13に示す第5メタル配線層以下の下層の断面構造が得られる。図20において、第5メタル配線100aおよび100dが縦方向に長く配置され、これらの第5メタル配線100aおよび100d上に、溝形状第5ビア101aおよび101bが連続的に延在して形成される。これらの第5メタル配線100aおよび100bに対し、第5メタル配線140が横方向に連続的に延在して配置され、またこの第5メタル配線140上に溝形状第5ビア141が連続的に延在して配置される。第5メタル配線100aおよび100bが、第5メタル配線140に結合され、溝形状第5ビア101aおよび101bが溝形状第5ビア141に結合される。この第5メタル配線140においては、上層のメタル配線と電気的接続を取るための単位第5ビア142が複数個形成される。

【0180】

この第5メタル配線100aおよび100bは、図18に示す第4メタル配線98aおよび98dに溝形状第4ビア99aおよび99dを介して電気的に接続される。また、第5メタル配線140は、図18に示す第4メタル配線132にビア133および134を介して電気的に接続される。

【0181】

第5メタル配線100aおよび100dの内側に、第5メタル配線100bおよび100cがヒューズFUを囲むように直線的に縦方向に延在して配置される。これらの第5メタル配線100bおよび100cに対し第5メタルベッド配線143が配置される。この第5メタルベッド配線143は、図18に示す第4メタルベッド配線135とビア136および137を介して電気的に接続され、また、互いに整列して配置される。

【0182】

図18に示す第4メタル配線138に整列して第5メタル配線144が形成され、この第5メタル配線144上に溝形状第5ビア145が形成される。第5メタル配線144は、図18に示す第4メタル配線138と溝形状第4ビア139を介して電気的に接続される。

【0183】

図21は、ヒューズ素子列の端部のヒューズ素子FSnの第5メタル配線層の配線レイアウトを示す図であり、図19に示す配線レイアウトの上層の配線レイアウトを示す図である。図21に示す端部のヒューズ素子FSnの配線レイアウトは、以下の点で、図20に示すヒューズ素子FSiの配線レイアウトと異なる。すなわち、ヒューズ素子列端部のヒューズ素子FSnにおいてさらに、縦方向に長い第5メタル配線146および第5溝形状ビア147が形成される。第5メタル配線146が、それぞれ横方向に連続的に延在する第5メタル配線144および140に結合され、第5ビア147が溝形状第5ビア145および141に結合される。第5メタル配線層M5においても、端部のヒューズ素子FSnにおいては、第5メタル配線144および140と溝形状第5ビアを、第5メタル配線146および溝形状第5ビア147により終端して、ヒューズボックスの拡散防護壁が形成される。図21に示す平面レイアウトの他の配置は図20に示す平面レイアウトの配置と同じであり、図21において、図20に示す要素と対応する部分には同一参照番号を付し、端部のヒューズ素子FSnの配線レイアウトの詳細説明は省略する。

【0184】

図20および図21に示すように、ヒューズ素子FUのトリミング領域105においてヒューズFUが溶断され、銅の熱拡散経路が破線矢印に示すように存在する場合、トリミング領域105から直線的に銅原子が熱拡散する経路は遮断され、単に、第5メタル配線100aおよび100bの間および100dおよび100cの間を拡散する経路が存在するだけである。この場合においても、熱拡散経路までのヒューズトリミング領域105か

10

20

30

40

50

らの距離は長く、破線矢印で示す銅の拡散経路長は、ヒューズ素子の熱拡散距離よりも十分長く、隣接ヒューズ素子に対して銅が拡散するのを防止することができる。

【0185】

図22は、ヒューズ素子FSの第6メタル配線層の配線レイアウトを概略的に示す図である。図22においては、第6メタル配線層M6については、端部のヒューズ素子FSnおよびそれ以外のヒューズ素子FSiについて同じ配線レイアウトであり、図22においては、ヒューズ素子FSとして示す。また、図22においては、ヒューズFUに関連する部分の配線レイアウトを合わせて示す。この図22においても、線L13-L13に沿った断面構造は図13に示す第6メタル配線層以下の断面構造に対応する。

【0186】

図22において、ヒューズFU上部に、第6メタル配線160(102)が配置される。この第6メタル配線160(102)は、図13に示す上部防護壁配線102に対応する。この第6メタル配線160(102)は、幅の太いべた配線で形成され、ヒューズFUのトリミング領域を覆うように形成される。第6メタル配線160(102)は、第5メタル配線100bおよび100c外側に形成される第6メタル配線150aおよび151aに第6メタル配線152に結合され、また、第6メタル配線150bおよび151bにより横方向に連続して形成される第6メタル配線153に接続される。これらの第6メタル配線152および153は電源電圧VDDを伝達する配線である。第6メタル配線150aおよび150bは、図20に示す第5メタル配線100aと整列して配置され、溝形状第5ピア101aを介してこの第6メタル配線150aおよび150bと第5メタル配線100aが電気的に結合される。第6メタル配線151aおよび151bは、図20に示す第5メタル配線100bと整列して配置され、溝形状第5ピア101bによりこれらの第6メタル配線151aおよび151bと第5メタル配線100aが電気的に結合される。

【0187】

この図22に示す平面レイアウトにおいて、第6メタル配線(電源線)152および153は複数のヒューズ素子(FS0-FSn)に対し共通に連続的に延在して配置され、また第6メタル配線102も、普通のヒューズ素子に対し共通に配置される。

【0188】

図20に示す平面レイアウトにおいて、ヒューズ素子FUの両端のベッド配線130および131の部分においては、隙間が形成される。しかしながら、ヒューズ素子トリミング領域(図22には示さず)が、第6メタル配線102により覆われている。ヒューズFUを溶断した場合、ヒューズFUと銅拡散防止膜と層間膜との接触部であるヒューズFUの角の部分の2箇所を起点とし、ヒューズFUの上側にヒューズから離れるようにクラックが発生し、第6メタル配線102にクラックが到達し、このクラック内に銅金属が入り込むことにより、ヒューズFUと第6メタル配線102とが短絡することがある。このとき、ヒューズFUの電位が第6メタル配線102上の電源電圧VDDとなるために、切断判定回路CJCによりトリミング不良の検出が可能となり、不良品としてこのようなクラックが発生したチップ(半導体装置)を製品出荷前に除去可能となる。逆に言うと、もしヒューズ素子トリミング領域が、第6メタル配線102に蔽われていないと、このクラックが発生して銅金属が入り込んだものを、不良検出ができずに、製品として出荷してしまうことになる。その場合、製品出荷されたチップが、その後、チップ動作(半導体装置としての実動作)に伴う電位バイアスまたは熱により経時変化し、クラックに入り込んだ銅金属がヒューズ素子周辺の回路に拡散し、チップに悪影響を与える。

【0189】

さらに、本発明においては、ヒューズ素子トリミング領域直上において、ヒューズFUの上側に配置されていて最もヒューズFUに近いメタル配線は、第6メタル配線102であり、この第6メタル配線102には、電源電圧VDDが与えられている。それに対して、前述の特許文献1(特開2007-317882号公報)においては、ヒューズ素子トリミング領域直上において、ヒューズFUの上側に配置されていてヒューズに最も近いメタル配線は、ノードND1の電圧に対応する電圧が供給されている。従って、本発明のよ

10

20

30

40

50

うにヒューズFUを溶断した場合、上側にクラックが発生し第6メタル配線102にクラックが到達し、このクラック内に銅金属が入り込み、ヒューズFUと第6メタル配線とが短絡した場合、以下のような問題が生じる。すなわち、ヒューズFUの電位が、第6メタル配線上の電圧のような電源電圧VDDとならないため、切断判定回路CJCによりトリミング不良を検出するのが困難となり、不良品としてこのようなチップを製品出荷前に検出除去するのが困難となる。なお、本発明においては、ヒューズFUの細身の直上において、ヒューズFUの上に配置されていてかつヒューズFUに最も近いメタル配線は、第6メタル配線102であり、この第6メタル配線102に電源電圧VDDが供給されるようなレイアウトとなる。

【0190】

10

また、第6メタル配線層M6にも銅拡散防止膜が設けられていること、ヒューズ素子(FS0-FSn)のヒューズFUがそれぞれ、第6メタル配線152、151a、150b、151b、153により囲まれているため、図20に示す平面レイアウトに示される破線矢印に示すような直線的に進む経路を介しての第6メタル配線層M6の配線に対する銅拡散が、ヒューズ素子(FS0-FSn)外部の回路に到達するのは防止される。

【0191】

さらに、ヒューズFU両端のベッド配線130および131の部分においては、隙間が形成されるため、十分に第6メタル配線102の面積を小さくすることができ、製造時のCMPによるディッシングの悪影響を防止することができる。

【0192】

20

この図20に示す第6メタル配線(べた配線)160(102)の線幅が太い場合には、銅のCMP(ケミカル・メカニカル・ポリッシング)時に、ディッシングという現象が生じ、銅の膜厚が薄くなる場合がある。従って、設計ルールで定められる配線幅に基づいて、ディッシングが生じさせないで十分に配線抵抗が小さくなる配線幅を利用する。

【0193】

[変更例]

図23は、ヒューズ素子FSの第6配線層M6の配線レイアウトの変更例を示す図である。この図23においては、ヒューズFUを覆う部分に、ベタ配線160に代えて、ストライプ状の複数の配線162が上部拡散防護壁配線102として形成される。このストライプ状第6メタル配線162は、それぞれ第6メタル配線150および151を介して両側に配置される第6メタル配線(電源線)152および153に電気的に結合される。

30

【0194】

図23に示すヒューズ素子の他の配線レイアウトは図22に示すヒューズ素子FSの配線レイアウトと同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略する。

【0195】

図23に示すように、ヒューズFUのトリミング領域105の直上部においてストライプ状の配線162を配置しても、図20に示すベタ配線160と、ヒューズ直上部における銅の熱拡散を防止する効果は同じである。隣接ヒューズ素子への銅の熱拡散の防止は、図20および図21に示す溝形状ビア101a、101bとこの第6メタル配線150a、150b、151a、151bまたは150、151により防止している。このストライプ状第6メタル配線162の配線幅を、配線抵抗を小さくする線幅に形成されればよく、図22および図23に示すヒューズFU直上部の第6メタル配線(防護壁配線)の形状は、ディッシングが生じない配線幅でかつ配線抵抗が小さくなるパターンを利用されればよい。

40

【0196】

このヒューズ素子においては、ヒューズFUの溶断時の銅の熱拡散を防護する最上層配線として第6メタル配線層の配線を利用している。したがって、第7メタル配線を利用する必要がなく、配線層の数を低減することができる。また、配線層数が低減されるため、防護壁を形成する部分のレイアウト面積を低減することができ、ヒューズ素子の占有面積

50

を低減することができる。

【0197】

また、図22に示すヒューズ素子の構造について上で説明したのと同様の効果を得ることができる。

【0198】

[ヒューズ素子の変更例]

図24は、この発明の実施の形態2に従うヒューズ素子の変更例の断面構造を概略的に示す図である。この図24に示すヒューズ素子FSは、以下の点で、図13に示すヒューズ素子の構造とその構造が異なる。すなわち、第1メタル配線層M1の第1メタル配線90bおよび90cが、仮想接地線に結合され、仮想接地電圧VWNDを伝達する。この第1メタル配線90bおよび90c上には、図13に示す第2メタル配線92c、92dは配置されない。第3メタル配線層M3においてヒューズ素子FU(M3)が配置される。すなわち、ヒューズが第3メタル配線層の配線で形成される。この場合、第5メタル配線層M5において、電源電圧VDDを伝達する電源線170が、このヒューズ素子FUのトリミング領域105を覆うように配置される。第4メタル配線層M4において、第4メタル配線98bおよび98cがノードND1に結合される。平面レイアウトにおいては、したがって、ヒューズ素子外部に配置される仮想接地電圧VGNDを伝達するグローバル仮想接地線、および複数のヒューズ素子に共通に設けられて電源電圧VDDを伝達するグローバル電源線が配置される配線層が1つ下層に配置され、また図14に示す第2メタル配線92c、92dおよび92xが配置されない。

10

20

【0199】

図24に示すヒューズ素子の断面構造の他の構成は、図13に示すヒューズ素子の断面構造と同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略する。

【0200】

図24に示す構成においても、ヒューズ素子FU(M3)のトリミング領域105を中心としてダメージ領域107が存在するものの、このダメージ領域107は、銅(Cu)原子の拡散領域であり、銅溶断時の熱により層間絶縁膜が劣化する可能性がある領域である。しかしながら、図24に示す構成においても、ヒューズ素子FU(M3)直上および直下部において、少なくとも2層の配線層分の間隙があり、銅原子の熱拡散による配線短絡等は抑制される。また、上部の電源配線(第5メタル配線)170から、下方向に銅拡散防止膜が連続的に形成され、また基板領域から電源配線方向に向かって第4メタル配線により拡散防止膜が形成され、ヒューズ素子FU(M3)の溶断時の銅拡散を完全に防止する防護壁構造が実現される。また、この場合、第5メタル配線層までの配線が利用されるだけであり、使用される配線層の数を低減することができ、このヒューズ素子のレイアウト面積の低減とともに、最上層の第6メタル配線層を他の配線に利用することができ、配線の自由度が改善される。

30

【0201】

ヒューズ素子トリミング領域が、第5メタル配線170により覆われている。ヒューズFUを溶断した場合、ヒューズFUと銅拡散防止膜と層間膜(層間絶縁膜)との接触部であるヒューズFUの角の部分の2箇所を起点として、ヒューズFUの上側にヒューズから離れるようにクラックが発生し、第5メタル配線170にクラックが到達し、このクラック内に銅金属が入り込み、ヒューズFUと第5メタル配線170とが短絡することがある。このとき、ヒューズFUの電位が、第5メタル配線170上の電源電圧VDDとなる。応じて、切断判定回路CJCにより、トリミング不良を検出することが可能となり、不良品として、このチップ(半導体装置)を製品出荷前に検出、除去可能となる。なお、本発明の実施の形態においては、ヒューズFUの細身の直上においてヒューズFUの上側に配置され、かつヒューズFUに最も近いメタル配線は、第5メタル配線170であり、電源電圧VDDが供給されるようなレイアウト構造となる。

40

【0202】

図25は、図24に示すヒューズ素子のヒューズ溶断時の電源の接続態様を概略的に示

50

す図である。第5メタル配線層M5に電源電圧VDDを伝達するグローバル電源線170g1が配置され、第3メタル配線層M3に形成されるヒューズ素子FU(M3)の一端が、このグローバル電源線170g1に中間配線およびビアを介して結合される。一方、このヒューズ素子FU(M3)の他端は、第4メタル配線層M4に形成されるノードベッド配線98ndを結合される。このノードベッド配線98ndは、図24に示す第4メタル配線98bおよび98cが結合されるノードパッド配線に結合される(図24には示さず)。このノードベッド配線98ndが、その下層の基板領域に形成されるドレイン不純物領域84drに結合される。基板領域表面においては、不純物領域84drと平行にソース不純物領域84srが配置される。これらの不純物領域84srおよび84drは、互いに平行に配置されるものの、図25においては、電流の流れる経路を明確にするために、互いに隣接して配置されるように示す。

【0203】

このソース不純物領域84srは、溶断電流供給トランジスタCTRの単位トランジスタの不純物領域を対応し、ほぼ、図14に示す第2メタル配線92cに対応するように長い形状を有する。このソース不純物領域84srと平行に、第1メタル配線層M1にローカル接地配線90gnが配置される。このローカル接地配線90gnは、図24に示す第1メタル配線90b、90cに対応する。

【0204】

このローカル接地配線90gnは、第2メタル配線層M2に形成されるグローバル仮想接地線175g1に結合され、仮想接地電圧VGNPを受ける。ヒューズ溶断時においては、グローバル電源線170g1からヒューズFU(M3)、ノードベッド配線98nd、ドレイン不純物領域84dr、ソース不純物領域84srおよびローカル接地配線90gnを介してグローバル仮想接地配線175g1に電流が流れる。この第1メタル配線層M1のメタル配線は、第2メタル配線層M2のメタル配線に比べてその電気的特性が劣り(不純物濃度がストレス耐性を強くするため高くされる)、溶断電流が流れるときの銅エレクトロマイグレーション耐性については、第1メタル配線層M1のメタル配線90gnは、第2メタル配線層のメタル配線層よりも低い。したがって、このヒューズ素子溶断時において、溶断電流供給トランジスタCTRを介して大きな溶断電流が流れることで、このローカル接地配線90gnに大きな電流が流れ、エレクトロマイグレーションにより配線が切断される可能性がある。したがって、この図24に示す構造を利用する場合には、第1メタル配線層M1のローカル接地配線90gn(図24の第1メタル配線90bおよび90c)のエレクトロマイグレーション耐性を正確に評価し、その配線長を見積り、このグローバル仮想接地配線175g1からヒューズFU(M3)までに至る電流経路が、第1メタル配線(90gn)でエレクトロマイグレーション耐性により切断される可能性がないことを保障する必要がある。

【0205】

以上のように、この発明の実施の形態2に従えば、ヒューズの直上および直下に、少なくとも2層の配線層の間において配線を配置するとともに、ヒューズの銅拡散防護壁構造を配置し、さらにヒューズ直上層の配線として電源電圧を伝達する配線を設置している。これにより、ヒューズ素子形成に要する配線層の数を低減することができ、応じて防護壁構造を実現するためのレイアウト面積が低減され、また、製造工程数を低減することができる。

【0206】

また、防護壁構造としては、最上層の電源線から基板方向に向かって延びる第1の防護壁と基板から電源方向に流れる第2の防護壁とで構成し、この第1の防護壁内部に第2の防護壁構造を形成している。これにより、確実に、ヒューズ溶断時の銅(Cu)の熱拡散経路を遮断することができ、ヒューズ溶断による配線短絡等の影響を確実に防止することができ、正確にヒューズをプログラムすることのできるヒューズ素子を実現することができる。

【0207】

10

20

30

40

50

[実施の形態 3]

図26は、この発明の実施の形態3に従うヒューズ素子の断面構造を概略的に示す図である。図26において、Pウェル200下部にディープNウェル202が設けられる。このPウェル200およびディープNウェル202が、ヒューズボックス内のヒューズ素子に共通に配置される。ここで、ヒューズボックスは、ヒューズ素子が複数個整列して配置される領域を示す。

【0208】

Pウェル200表面に互いに間をおいて活性領域(N型不純物領域)204a - 204dが配置され、また、隣接ヒューズ素子領域において活性領域204xおよび204yが配置される。不純物領域204aおよび204dは、各々、隣接するヒューズプログラム回路に含まれるヒューズ素子に対する溶断電流供給トランジスタにより共有される。
10

【0209】

不純物領域204a - 204dの間のPウェル200表面上にゲート絶縁膜を介してゲート電極配線206a、206b、206cが配置される。また、隣接ヒューズ素子領域においても、不純物領域204xおよび204aの間の領域上にゲート電極配線206xが配置され、また、不純物領域204dおよび204yの間の領域上にゲート電極配線206yが配置される。

【0210】

不純物領域204a - 204dおよび204x、204y各々に対応して第1メタル配線層M1の第1メタル配線208a - 208d、208xおよび208yが配置される。これらの第1メタル配線208A - 208d、208xおよび208yは、それぞれコントラクト210a - 210d、210xおよび210yを介して対応の不純物領域204a - 204d、204xおよび204yにそれぞれ接続される。
20

【0211】

第2メタル配線層M2において、これらの第1メタル配線208a - 208d、208xおよび208y各々に対応して第2メタル配線211a - 211d、211xおよび211yが配置される。第2メタル配線211a - 211d、211xおよび211yは、それぞれ溝形状第1ビア212a - 212b、212xおよび212yを介して下層の対応の第1メタル配線208a - 208d、208xおよび208yに接続される。第2メタル配線211aおよび211bは、それぞれ仮想接地線に結合され、仮想接地電圧VGNDを伝達する。第2メタル配線211bおよび211cは、それぞれノードND1に接続される。
30

【0212】

第3メタル配線層M3においては、第2メタル配線211aおよび211d各々に対応して、第3メタル配線213aおよび213bが配置される。第3メタル配線213aおよび213b下部にはビアは形成されず、第2メタル配線211aおよび211dと第3メタル配線213aおよび213bの間には隙間が存在する。

【0213】

第4メタル配線層M4において、第3メタル配線213aおよび213bに対応して第4メタル配線214aおよび214bが配置され、それぞれ、溝形状第3ビア215aおよび215bを介して対応の第3メタル配線213aおよび213bに電気的に接続される。
40

【0214】

この第4メタル配線層M4の配線を用いて、第4メタル配線214aおよび214bの間にヒューズFU(M4)が形成される。ヒューズFU(M4)と第4メタル配線214aおよび214bの間には十分の距離がとられる。

【0215】

第5メタル配線層M5において、第4メタル配線214aおよび214bに対応して第5メタル配線216aおよび216bが配置され、それぞれ、溝形状第4ビア217aおよび217bを介して対応の第4メタル配線214aおよび214bに電気的に接続され
50

る。

【0216】

第5メタル配線216aおよび216b各々に対応して溝形状第5ピア218aおよび218bが配置され、これらの第5ピア218aおよび218bは、第6メタル配線層M6の電源配線220に電気的に接続される。この第6メタル配線220で構成される電源線は、複数のヒューズ素子に対して共通に配置されるとともに、ヒューズトリミング領域225を蔽うように配置され、ヒューズに対する上部拡散防護壁配線として機能する。

【0217】

この図26に示す構成において、ヒューズFU(M4)のトリミング領域225を中心として、ダメージ領域227が存在する。このダメージ領域227は、ヒューズFU(M4)を構成する銅(Cu)溶断時の銅の融点以上に加熱されるため、この影響による劣化が生じる可能性のある領域である。また、各メタル配線層の層間絶縁膜においては、銅拡散防止膜が配置される。

【0218】

この図26に示す構成においても、第3メタル配線層から第6メタル配線層の配線を用いてヒューズFU(M4)の銅(Cu)に対する拡散防止膜を形成し、銅拡散防護壁構造を実現する。

【0219】

この図26に示す構成においては、第2メタル配線211bおよび211cがノードND1に接続される構成を利用してあり、ヒューズFU(M4)と第2メタル配線211bおよび211cの距離を十分長くすることができ、また、ノードND1を上層の第4または第5メタル配線層に配置する必要がなく、ノードND1を延在させるための配線およびビアを配置する空間を確保する必要がなく、ヒューズのレイアウト面積を低減することができる。

【0220】

また、ヒューズFU(M4)の溶断時の銅の熱拡散については、防護壁構造により、図26に示す構成における水平方向の銅拡散経路を遮断することができる。

【0221】

ただし、第3メタル配線層M3の配線213aおよび213bの下部に隙間が存在するため、この領域において銅(Cu)が熱拡散する可能性がある。しかしながら、この場合、第3メタル配線213aおよび213bとヒューズFU(M4)のトリミング領域225の距離を、銅の熱拡散距離を考慮して十分に大きくとることにより、この図26の破線で示す銅が隣接ヒューズに熱拡散するのを防止することができる。

【0222】

特に、ヒューズボックス内における配線は、回路的に電源電圧VDDレベルと同一電位に維持されるため(実施の形態1参照)、銅の熱拡散距離を十分短い距離に設定することができ、隣接ヒューズ素子領域への銅の熱拡散は確実に抑制することができる。

【0223】

図27は、図26に示すヒューズ素子FSiの第2メタル配線層および第2ビアの平面レイアウトを概略的に示す図である。このヒューズ素子は、ヒューズボックス内に配置されるヒューズである。また、図27において、線L26-L26が、図26に示す断面構造の断面線である。以下、図28から図36においても、同様線L26-L26は、図26の断面構造の断面線を示す。

【0224】

図27において、第2メタル配線層M2において、縦方向に長い第2メタル配線211aおよび211dが最外側に配置され、これらの内側に第1メタル配線211bおよび211cが配設される。この図27においては、図26において破線で示す不純物領域に対応して配置される第2メタル配線211u、211v、および211wを併せて示す。第2メタル配線211b、211cおよび211wは、矩形形状の第2メタルパッド配線230に接続され、一方、第2メタル配線211a、211d、211uおよび211vは

10

20

30

40

50

、横方向に延在する第2メタル配線232に結合される。

【0225】

第2メタル配線232は仮想接地線に結合され、仮想接地電圧VGN Dを伝達する。この第2メタル配線232表面には、溝形状の第2ビア233が配設される。一方、第2メタルベッド配線232は、複数の単位ビア231が整列して配設される。この第2ビア231は上層配線との電気的接続のために設けられ、銅の拡散を防止する目的は特に有していない。

【0226】

この第2メタルパッド配線230外部に、横方向に連続的に延在する第2メタル配線233が設けられ、この第2メタル配線233は、電源電圧VDDを供給する。10 第2メタル配線233には溝形状第2ビア234が配置される。溝形状第2ビア233および234は、ヒューズ素子形成領域それぞれに対応して配置されてもよく、複数のヒューズ素子形成領域にわたって連続的に延在するように形成されてもよい。

【0227】

図28は、ヒューズボックスにおける複数のヒューズFS0 - FSnの端部のヒューズ素子FSnの第2メタル配線層の平面レイアウトを示す図である。このヒューズ素子FSnにおいて、以下の点で、そのレイアウトが図27に示すヒューズ素子FSiの平面レイアウトと異なる。すなわち、縦方向に長い第2メタル配線235が形成され、この第2メタル配線235表面上に溝形状第2ビア236が設けられる。この第2メタル配線235は、第2メタル配線233に結合され、また、溝形状第2ビア236が、溝形状第2ビア234に結合される。20 この場合、第2メタル配線235が電源電圧VDDを伝達し、一方、第2メタル配線232が、仮想接地電圧VGN Dを伝達するため、第2メタル配線235および232の間には隙間が存在する。

【0228】

これらの図27および図28に示すように、トリミング領域（ヒューズ溶断領域）225からの銅の熱拡散経路（図27、図28において破線で示す）は確実に、第2メタル配線で遮断され、またヒューズボックス外部への銅の熱拡散は、第2メタル配線232、233、235および溝形状第2ビア233、234、236により確実に抑制される。

【0229】

図28に示す端部のヒューズ素子FSnにおいて、第2メタル配線235および232の間に隙間が存在し、ヒューズボックス外部へ銅が拡散する可能性がある。しかしながら、ヒューズトリミング領域225とこの隙間領域との間の距離をどう熱拡散距離よりも大きくとることにより、ヒューズボックス外部への銅の熱拡散を確実に抑制することができる。30

【0230】

これらの図27および図28に示す配置においても、ヒューズの第2メタル配線232外部の領域に、ヒューズプログラム回路の溶断電流供給トランジスタ以外のトランジスタ素子が設置されるため、これらのトランジスタ素子を配置するための配線に対する銅の熱拡散は確実に防止される。

【0231】

図29は、図26に示すヒューズ素子FSiの第3メタル配線層M3および第3ビアの平面レイアウトを概略的に示す図である。図29においても、図26の断面構造の断面線L26 - L26を併せて示す。

【0232】

図29において、第3メタル配線213aおよび213bが、それぞれ縦方向に長く形成され、第3メタル配線213aおよび213b表面上に溝形状第3ビア215aおよび215bが長く形成される。この第3メタル配線213aおよび213bに対し横方向に連続的に延在する第3メタル配線242が形成され、この第3メタル配線242上にヒューズ素子FSiに対応して溝型第3ビア243が形成される。この第3メタル配線242は電源電圧VDDを伝達し、第3メタル配線213aおよび213bに接続される。また50

溝型第3ビア243は、それぞれ、第3溝型ビア215aおよび215bに接続される。この第3メタル配線242は、図26に示す第2メタル配線232が配置される領域よりもヒューズに近い内側の領域に配置される。

【0233】

一方、図27に示す第2メタルパッド配線231に対応して、第3メタルノードベッド配線240が配設される。この第3メタルベッド配線240には、上部配線との電気的接続を取るための単位第3ビア241が複数個整列して配置される。

【0234】

第3メタル配線242外部に、第2メタル配線232に対応して第3メタル配線244が配置され、この第3メタル配線244表面上に溝形状第3ビアが配置される。第3メタルパッド配線240外部に、図26示す第2メタル配線233に対応して連続的に延在する第3メタル配線245が配置され、この第3メタル配線245表面に、図26に示す溝形状第2ビア234に対応して溝形状第3ビア246が配置される。第3メタル配線245は電源電圧VDDを伝達し、第3メタル配線244は仮想接地線に結合され、仮想接地電圧VGNNDを伝達する。

【0235】

図30は、ヒューズボックス端部のヒューズ素子FSnの第3メタル配線層M3の平面レイアウトを概略的に示す図である。この図30に示すヒューズ素子FSnの平面レイアウトは以下の点で図29に示すヒューズ素子の平面レイアウトと異なる。すなわち、ヒューズボックス端部において縦方向に長い第3メタル配線247が配置され、また縦方向に長く溝形状第3ビア248が形成される。第3メタル配線247が、第3メタル配線245および242にそれぞれ結合され、溝形状第3ビア248が、溝形状第3ビア246および243に接続される。したがって、ヒューズボックス端部においては、第3メタル配線245、247および242と溝形状第3ビア246、248および243により確実に、隙間のない銅拡散防護壁が形成され、ヒューズボックス外部への銅の熱拡散は抑制される。図30に示すヒューズ素子FSnの他の配置は図29に示すヒューズ素子FSiの配置と同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略する。

【0236】

図29および図30に示すように、ヒューズトリミング領域225からの銅原子の伝搬経路は、図において破線矢印で示すように、第3メタル配線213aおよび213bと第3メタルパッド配線240の間の隙間領域だけである。このレイアウトの場合、隣接ヒューズ素子への銅原子の熱拡散が考えられるものの、ヒューズボックス外部への銅原子の熱拡散は確実に抑制される。また、ヒューズボックス内部においては、内部配線は、通常同一電圧（電源電圧VDD）に維持されるため（実施の形態1参照）、銅熱拡散距離は十分小さく、ほぼ、その影響を抑制することができる。

【0237】

図31は、図26に示すヒューズ素子FSiの第4メタル配線層M4および第4ビアの平面レイアウトを概略的に示す図である。図31においても、図26に示すヒューズ素子の断面構造に対する断面線L26-L26を示す。

【0238】

図31において、第4メタル配線214aおよび214bが縦方向に長く形成され、また第4メタル配線214aおよび214bに対して溝形状第4ビア217aおよび217bがヒューズ素子形成領域内において連続的に延在して形成される。第4メタル配線214aおよび214bの間に第4メタル配線で形成されるヒューズFU(M4)が配置される。ヒューズFU(M4)の両端に、第4メタルパッド配線250および251が形成される。これらの幅の広いパッド配線250および251により、ヒューズFU(M4)に対して溶断時に電流集中が生じるのを抑制する。

【0239】

第4メタルパッド配線250に隣接して、図29に示す第3メタルベッド配線241に対応して第5メタルベッド配線252に配置され、これらのパッド配線250およびベッ

10

20

30

40

50

ド配線 252 が結合される。一方、第4メタル配線 214a および 214b と第4メタルパッド配線 251 に接して、横方向に連続的に延在する第4メタル配線 253 が配置される。この第4メタル配線 253 表面上に溝形状第4ビア 254 が配置される。この第5メタル配線 214a、214b およびパッド配線 251 が第4メタル配線 253 に結合され、また溝形状第4ビア 254 が、第4ビア 217a および 217b に結合される。この第4メタル配線 253 は、複数のヒューズ素子に共通に配置され、その表面に形成される複数の単位第4ビア 255 により上層の配線に電気的に結合される。

【0240】

また、ベッド配線 252 外部領域に、図図 29 に示す第3メタル配線 245 に対応して横方向に連続的に延在する第4メタル配線 256 が配置され、この第4メタル配線 256 表面に溝形状第4ビア 257 が形成される。10 第4メタル配線 253 および 256 は、電源電圧 VDD を伝達する。

【0241】

図 32 は、ヒューズボックス端部に配置されるヒューズ素子 FSn の第4メタル配線層 M4 および第4ビアのレイアウトを示す図である。この図 32 に示すヒューズ素子 FSn の平面レイアウトは、以下の点で、図 31 に示すヒューズ素子 FSi の平面レイアウトと異なる。すなわち、ヒューズボックス端部において、縦方向に長い第4メタル配線 258 および溝形状第4ビア 259 が配置される。この第4メタル配線 258 は、第4メタル配線 256 および 253 に結合され、溝形状第4ビア 259 が、溝形状第4ビア 257 および 254 に結合される。この図 32 に示す平面レイアウトの他の要素のレイアウトは図 31 に示すヒューズ素子の平面レイアウトと同じであり、対応する部分には同一参照番号を付して、その詳細説明は省略する。20

【0242】

図 31 および図 32 に示すように、第4メタル配線層 M4 においても、破線矢印で示すヒューズトリミング領域 225 からの銅の熱拡散経路において、第4メタル配線 253 およびビア 254 によりヒューズボックス外部へ到達する拡散経路は遮断される。また図 32 に示すヒューズ素子 FSn においても、第4メタル配線 258 および溝形状第4ビア 259 により、銅の熱拡散経路が遮断され、ヒューズボックス外部へ銅が熱拡散する経路は遮断される。

【0243】

また、図 31 および図 32 においても、破線矢印で示す銅の熱拡散経路において隣接ヒューズ素子へ銅が熱拡散する可能性はあるものの、ヒューズボックス内の配線は、通常、同一電位に維持されており、この配線層においても、銅の熱拡散距離は、十分短くすることができ、隣接ヒューズ素子への銅の拡散は十分に抑制される。30

【0244】

図 33 は、図 26 に示すヒューズ素子の第5メタル配線層 M5 および第5ビアの平面レイアウトを概略的に示す図である。図 33 においても、図 26 に示す断面構造の断面線 L26-L26 を併せて示す。

【0245】

図 33において、第5メタル配線 216a および 216b が縦方向に延在して配設され、この図 31 に示す第4メタルベッド配線 252 上にまで延在して配置される。この第5メタル配線 216a および 216b 表面に、溝形状第4ビア 218a および 218b が縦方向に連続的に延在して配置される。この第5メタル配線 216a および 216b に接して、連続的に横方向に延在して第5メタル配線 260 が配置され、また、第5メタルベッド配線 252 の外部領域に、連続的に延在して第5メタル配線 263 が配設される。第5メタル配線 260 表面に、溝形状第5ビア 261 が配設され、この第5ビア 261 は、第5ビア 218a および 218b と連結される。この第5メタル配線 260 は、図 31 に示す第4メタル配線 253 に整列して配置され、これらのメタル配線 260 および 253 は、図 31 に示す第4ビア 250 および単位ビア 255 を介して電気的に接続される。この第5メタル配線 260 においても上層の配線との電気的接続をとるための単位第5ビア 240
50

6 2 が複数個並列して配置される。

【 0 2 4 6 】

図 3 4 は、このヒューズボックス端部のヒューズ素子 F S n の第 5 メタル配線層 M 5 および第 5 ビアの平面レイアウトを概略的に示す図である。図 3 4 に示すヒューズ素子 F S n の配線レイアウトは、以下の点で、図 3 3 に示すヒューズ素子 F S i の平面レイアウトと異なる。すなわち、ヒューズボックス端部において、縦方向に延在して第 5 メタル配線 2 6 5 が配設され、この第 5 メタル配線 2 6 5 表面に、第 5 ビア 2 6 6 が縦方向に連続的に延在して形成される。第 5 メタル配線 2 6 5 は、第 5 メタル配線 2 6 3 および 2 6 0 に連結され、第 5 ビア 2 6 6 が第 5 ビア 2 6 4 および 2 6 1 に連結される。この図 3 4 に示すヒューズ素子 F S n の他の構成要素の配置は、図 3 3 に示すヒューズ素子 F S i の平面レイアウトと同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略する。
10

【 0 2 4 7 】

図 3 3 および図 3 4 に破線矢印で示すように、ヒューズトリミング領域 2 5 5 からの銅の熱拡散経路は、第 5 メタル配線層 M 5 においては、ベッド配線 2 5 2 と第 5 メタル配線 2 1 6 a および 2 1 6 b の間の隙間領域を介して延在する。しかしながら、この場合、上側領域に形成される第 5 メタル配線 2 6 3 および第 5 ビア 2 6 4 により、銅の熱拡散経路が遮断され、ヒューズボックス外部への拡散経路は遮断される。一方、トリミング領域 2 2 5 からの銅の熱拡散経路は、その下側領域においては、第 5 メタル配線 2 6 0 および第 5 ビア 2 6 1 により遮断される。したがって、ヒューズ素子 F S i および F S n いずれにおいても、トリミング領域 2 2 5 からの銅原子のヒューズボックス外部への熱拡散経路は遮断される。
20

【 0 2 4 8 】

図 3 5 は、図 2 6 に示すヒューズ素子の第 6 メタル配線層 M 6 の配線レイアウトを概略的に示す図である。図 3 5 においては、ヒューズ F U (M 4) に関する要素を併せて示す。この第 6 メタル配線層の配線レイアウトは、ヒューズ素子 F S i および F S n について同じであり、図 3 5 においては、ヒューズ素子 F S としてこれらのヒューズ素子 F S i および F S n を示す。また、線 L 2 6 - L 2 6 は、図 2 6 に示す断面構造の断面線を示す。
30

【 0 2 4 9 】

図 3 5 において、ヒューズ F U (M 4) の溶断部（トリミング領域：図 3 5 には示さず）上層部に上部拡散防護壁配線 2 2 0 として、幅の広い第 6 メタル配線 2 7 0 が連続的に延在して配置される。また、図 3 3 に示す第 5 メタル配線 2 6 3 および 2 6 1 に対応して、それぞれ横方向に連続的に延在する第 6 メタル配線 2 7 4 および 2 7 2 が配設される。これらの第 6 メタル配線 2 7 2 および 2 7 4 は電源電圧 V D D を伝達する幅の広いグローバル電源線である。
30

【 0 2 5 0 】

この第 6 メタル配線層の拡散防護壁構造の蓋部分の配線 2 2 0 として、幅の広いベタ配線 2 7 0 は、ヒューズ F U (M 4) の溶断部分（トリミング領域）に対応する領域にのみトリミング領域を蔽うように配置される。この電源線を構成する第 6 メタル配線 2 7 4 、 2 7 0 および 2 7 2 は、複数のヒューズ素子に配置されるため、ヒューズボックスにおける端部のヒューズ素子 F S n についても同様の配線レイアウトが第 6 メタル配線層において配置される。
40

【 0 2 5 1 】

第 6 メタル配線 2 7 0 は、ヒューズ F U (M 4) 両側において第 6 メタル配線 2 7 5 a 、 2 7 5 b および 2 7 7 a 、 2 7 7 b により、それぞれ第 6 メタル配線 2 7 4 および 2 7 2 に連結される。これらの第 6 メタル配線 2 7 5 a 、 2 7 5 b 、 2 7 7 a および 2 7 7 b は、それぞれの下部に、図 3 3 に示す溝形状第 5 ビア 2 1 8 a および 2 1 8 b が設置されており、下層の第 5 メタル配線 2 1 6 a および 2 1 6 b と電気的に結合される。
50

【 0 2 5 2 】

図35に示すように、ヒューズFU(M4)両側には、第5メタル配線275a、275b、277a、277bおよび272の銅の熱拡散経路が遮断され、ヒューズ直上領域を超えて熱拡散が生じるのは確実に抑制される。

【0253】

この平面レイアウトの場合、ヒューズFU(M4)の防護壁構造は、電源線を構成する第6メタル配線274および270および277から基板方向に向かって第3メタル配線層M3にまで延在する中間メタル配線およびビアにより形成されているだけであり、その防護壁構造は、一重側壁構造とされており、ヒューズ素子のレイアウト面積を低減することができる。

【0254】

また、図26に示すように、この防護壁構造の側壁は、隣接ヒューズ素子間で共有されており、ヒューズ素子のレイアウト面積をより低減することができる。

【0255】

また、この防護壁220を形成する第6メタル配線270の線幅は、先の実施の形態2の場合と同様、CMPにおける設計ルールを考慮してその配線幅が定められればよい。

【0256】

本実施の形態においても、ヒューズ素子トリミング領域が、第6メタル配線270により覆われている。ヒューズFUを溶断した場合、ヒューズFUと銅拡散防止膜と層間膜（層間絶縁膜）との接触部であるヒューズFUの角の部分の2箇所を起点として、ヒューズFUの上側にヒューズから離れるようにクラックが発生し、第6メタル配線270にクラックが到達し、このクラック内に銅金属が入り込み、ヒューズFUと第6メタル配線270とが短絡することがある。このとき、ヒューズFUの電位が、第6メタル配線270上の電源電圧VDDとなる。応じて、切断判定回路CJCにより、トリミング不良を検出することが可能となり、不良品として、このチップ（半導体装置）を製品出荷前に検出、除去することが可能となる。なお、本発明の実施の形態においては、ヒューズFUの細身の直上においてヒューズFUの上側に配置され、かつヒューズFUに最も近いメタル配線は、第6メタル配線270であり、電源電圧VDDが供給されるようなレイアウト構造となる。

【0257】

[第6メタル配線の変更例]

図36は、図26に示すヒューズ素子の第6メタル配線層M6の配線レイアウトの変更例を概略的に示す図である。図36において、ヒューズ素子FU(M4)のトリミング領域225の直上部領域を覆う第6メタル配線220として、ストライプ状の第6メタル配線280が複数個平行して配置される。これらのストライプ状の第6メタル配線280は、ヒューズ配置領域の外部領域において縦方向に延在して配置される第6メタル配線275a, 275b, 277a、および277bにより第6メタル配線272および274に接続される。図36に示す第6メタル配線層M6の平面レイアウトの他の配置は図35に示すヒューズ素子FSの第6メタル配線層M6の配線レイアウトと同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略する。

【0258】

図35および図36においてもヒューズ素子FSの線L26-L26に沿って切断すると、図26に示すヒューズ素子の断面構造が得られる。

【0259】

このストライプ形状の第6メタル配線280を上部拡散防護壁配線220として利用する場合においても、ヒューズFU(M4)のトリミング領域225の直上部にストライプ状配線280が設置されれば、その熱拡散の遮断効果は、ベタ配線270の場合と同じである。これらの防護壁構造の蓋として機能する第6メタル配線270および280の線幅は、CMPプロセス時のディシングおよび配線抵抗および設計ルールに従って適宜定められれば良い。

【0260】

10

20

30

40

50

本実施の形態においても、ヒューズ素子トリミング領域が、第6メタル配線280により覆われている。ヒューズFUを溶断した場合、ヒューズFUと銅拡散防止膜と層間膜（層間絶縁膜）との接触部であるヒューズFUの角の部分の2箇所を起点として、ヒューズFUの上側にヒューズから離れるようにクラックが発生し、第6メタル配線280にクラックが到達し、このクラック内に銅金属が入り込み、ヒューズFUと第6メタル配線280とが短絡することがある。このとき、ヒューズFUの電位が、第6メタル配線280上の電源電圧VDDとなる。応じて、切断判定回路CJCにより、トリミング不良を検出することが可能となり、不良品として、このチップ（半導体装置）を製品出荷前に検出、除去可能となる。なお、本発明の実施の形態においては、ヒューズFUの細身の直上においてヒューズFUの上側に配置され、かつヒューズFUに最も近いメタル配線は、第6メタル配線280であり、電源電圧VDDが供給されるようなレイアウト構造となる。

10

【0261】

[ヒューズ素子の変更例]

図37は、この発明の実施の形態3のヒューズ素子の変更例の断面構造を概略的に示す図である。この図37に示すヒューズ素子の断面構造は、以下の点で、図26に示すヒューズ素子の構造と異なる。すなわち、第1メタル配線層M1において第1メタル配線208aおよび208dが、それぞれ仮想接地電圧VGNPを受け、仮想接地線として機能する。第2メタル配線層M2においては、第1メタル配線208aおよび208dに対応して第2メタル配線290aおよび290bが配設される。これらの第2メタル配線290aおよび290b以外、第2メタル配線層には配線は配置されない。第1メタル配線層M1の第1メタル配線208bおよび208cが、ノードND1に結合される。

20

【0262】

第2メタル配線290aおよび290bは溝形状第2ビア291aおよび291bを介して対応して第3メタル配線層M3に配置される第3メタル配線213aおよび213bに電気的に接続される。この第3メタル配線層M3において、第1メタル配線208bおよび208cが配置される領域の間の領域上部にヒューズFU2（M3）を形成する第3メタル配線が配置される。

【0263】

第4メタル配線層M4におけるレイアウトは、図26に示すものと同じである。しかしながら第5メタル配線層M5においては、第4ビア217aおよび217bが、第5メタル配線292に電気的に接続され、この第5メタル配線292が電源電圧VDDを伝達する。

30

【0264】

図37に示す他の構成は、図26に示すヒューズ素子の構成と同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略する。

【0265】

第3メタル配線層M3の配線を用いてヒューズFU2（M3）が形成される。この場合、ヒューズFU2（M3）のトリミング領域295およびダメージ領域297を囲むように一重の防護壁が第2メタル配線層M2の第2メタル配線から第5メタル配線層M5の第5メタル配線292により形成される。また、ヒューズFU2（M3）のダメージ領域297が、配線に到達していないため、ヒューズ溶断時に発生した熱による絶縁膜および配線の劣化が抑制される。

40

【0266】

この場合、先の実施の形態2の変更例において説明したように、第1メタル配線208aおよび208bが仮想接地電圧VGNPを伝達するために利用され、またノードND1が、第1メタル配線208bおよび208cが電気的に接続される。したがって、この第1メタル配線層M1のメタル配線は、第2メタル配線層M2のメタル配線よりもその電気的特性が低く、エレクトロマイグレーション耐性が低い。したがって、実施の形態2の変更例の場合と同様、第1メタル配線のエレクトロマイグレーション耐性を評価し、そのヒューズFU2（M3）に対する第1メタル配線208a-208dのそれぞれの配線長を

50

評価し、ヒューズFU2(M3)溶断時の大さな溶断電流により、これらの第1メタル配線208a-208dがエレクトロマイグレーションにより切斷される状態が発生するのを抑制する。

【0267】

この図37に示す構造の場合、ヒューズFU2(M3)の防護壁構造を1配線層分低い状態に設定することができ、配線層数をより低減することができる。

【0268】

なお、防護壁を構成する配線およびビアについて、ヒューズ配置領域外部に連続的に延在して配置される電源線または仮想接地線に対応して配置されるメタル配線に対して配置される溝形状ビア(261, 264等)は、対応のメタル配線と同様複数のヒューズ素子に渡って連続的に延在するように配置されてもよく、各ヒューズ素子毎に分離して配置されてもよい。この配置は、実施の形態2においても同様である。10

【0269】

以上のように、この発明の実施の形態3に従えば、ヒューズ直上部に電源電圧を伝達する電源線を拡散防護壁として配置して、この電源線から半導体基板領域方向に向かってヒューズを取囲むように防護壁構造を形成しており、また、この防護壁を隣接ヒューズ素子で共有している。したがって、ヒューズ素子の配線層数を低減することができ、またレイアウト面積を低減することができる。

【0270】

なお、図示していないが、本実施の形態においても、平面視において、ヒューズ素子トリミング領域が、第5メタル配線292により覆われている。ヒューズFUを溶断した場合、ヒューズFUと銅拡散防止膜と層間膜(層間絶縁膜)との接触部であるヒューズFUの角の部分の2箇所を起点として、ヒューズFUの上側にヒューズから離れるようにクラックが発生し、第5メタル配線292にクラックが到達し、このクラック内に銅金属が入り込み、ヒューズFUと第5メタル配線292とが短絡することがある。このとき、ヒューズFUの電位が、第5メタル配線292上の電源電圧VDDとなる。応じて、切断判定回路CJCにより、トリミング不良を検出することが可能となり、不良品として、このチップ(半導体装置)を製品出荷前に検出、除去可能となる。なお、本発明の実施の形態においては、ヒューズFUの細身の直上においてヒューズFUの上側に配置され、かつヒューズFUに最も近いメタル配線は、第5メタル配線292であり、電源電圧VDDが供給されるようなレイアウト構造となる。2030

【0271】

[実施の形態4]

図38は、この発明の実施の形態4に従うヒューズ素子の平面配置を概略的に示す図である。図38において、複数のヒューズ素子が配設されるヒューズボックスの第4メタル配線層M4の配線および第4ビアのヒューズボックス端部近傍の配置を示す。

【0272】

図38において、ヒューズFUa-FUcが第4メタル配線層M4の配線で形成され、かつ互いに間をおいて配置される。ヒューズFUa-FUcは、それぞれピッチFPTで整列して配置される。40

【0273】

これらのヒューズFUa-FUcは、それぞれが、一方端において、第4メタルパッド配線301a-301cに結合され、それぞれの他方端部において第4メタルパッド配線302a-302cに結合される。これらの第4メタルパッド配線302a-302cは、ヒューズFUa-FUcそれぞれに対応して互いに分離して配置される。第4メタルパッド配線301a-301cにそれぞれに連結して第4メタルベッド配線303a-303cがノードND1をそれぞれ形成する。これらの第4メタルベッド配線303a-303cもヒューズFUa-FUcそれぞれに対応して互いに分離して配置される。

【0274】

10

20

30

40

50

一方、第4メタルパッド配線302a - 302cに共通に、連続的に横方向に延在する第4メタル配線306が配置され、これらの第4パッド配線302a - 302cが第4メタル配線306に結合される。この第4メタル配線306は、電源電圧VDDを伝達する電源線を構成する。この第4メタル配線306の外周部には、上層配線との電気的接続のために、複数の単位第4ビア308が整列して配置される。また、拡散防護壁構造を形成するために、第4メタル配線306表面に、連続的に複数のヒューズ素子にわたって延在する溝形状第4ビア307が配置される。

【0275】

第4メタルベッド配線303a - 303c外部領域にまた連続的に横方向に延在する第4メタル配線304が配置され、この第4メタル配線304表面に、溝形状第4ビア305が連続的に形成される。この第4ビアによりヒューズボックス外部に対する銅原子の熱拡散を防止する拡散防護壁構造の一部が形成される。10

【0276】

ヒューズボックス端部において、これらの第4メタル配線304および306を連結するように第4メタル配線309が配置され、また、第4メタル配線309上に、溝形状第4ビア305および307を連結するように第4ビアア310が連続的に延在して形成される。

【0277】

コア回路の通常動作時等のヒューズ溶断時および電圧ストレス印加テスト以外の状態においては、メタル配線がヒューズボックス内において同一電圧、すなわちノードND1の電圧レベルが電源電圧VDDレベルに維持され、ヒューズF U a - F U c両端部の電圧が、同一電圧レベル（一例として、電源電圧VDDレベル）に設定され、また、他の配線層の配線も同一電圧レベルに設定される。この場合、ヒューズF U a - F U cのトリミング領域311a - 311cにおいてヒューズ溶断時に発生した銅片の銅原子の熱拡散距離を、ヒューズピッチF P Tよりも小さくすることができ、隣接ヒューズ素子間に銅熱拡散防護壁を配置する必要がなく、ヒューズボックスの占有面積をより低減することができる。20

【0278】

図39は、図38に示す線L39 - L39に沿った断面構造を概略的に示す図である。図39においては、この線L39 - L39に沿った上層の第5メタル配線層M5および第6メタル配線層M6の配線も併せて示す。30

【0279】

図39において、ヒューズ回路の溶断電流供給トランジスタがPウェル320表面に形成される。このPウェル320下部にはディープNウェル322が配置される。Pウェル320およびディープNウェル322は、複数のヒューズ素子に対する溶断電流供給トランジスタに共通に配置され、特にトランジスタ間を分離するための素子分離領域は配置されていないように示す。しかしながら、溶断電流供給トランジスタCTR毎にPウェル表面に素子分離領域が配置されてもよい。

【0280】

すなわち、Pウェル320表面に互いに間をおいて不純物領域324a - 324dが1つのヒューズ素子FSbに対応する領域に対して配置され、ヒューズ素子FSaおよびFScに対応する領域においてまた不純物領域324xおよび324yが配置される。40

【0281】

図39においては、ヒューズ素子FSbに対し、溶断電流供給トランジスタの単位トランジスタの数を多く示し、ヒューズ素子FSaおよびFScに対する溶断電流供給トランジスタの単位トランジスタの数を少なく示す。しかしながら、これらのヒューズ素子FSaおよびFScにおいても、ヒューズ素子FSbに対する構成と同様、溶断電流供給トランジスタを構成する複数の単位トランジスタが配置される。不純物領域324aがヒューズ素子FSaおよびFSbに対する溶断電流供給トランジスタにより共有され、また不純物領域324dが隣接ヒューズ素子FSbおよびFScの溶断電流供給トランジスタにより共有される。50

【0282】

この不純物領域 324x、324a - 324d および 324y の間に P ウェル 320 上にゲート電極 326x、326a、326b、326c および 326y が配置される。

【0283】

不純物領域 324x、324a - 324d および 324y は、それぞれコンタクト 328x、328a - 328d および 328y を介して第 1 メタル配線層 M1 の第 1 メタル配線 327x、327a - 327d および 327y にそれぞれ接続される。

【0284】

第 2 メタル配線層 M2 においては、第 1 メタル配線 327x、327a - 327d および 327y それぞれに対応して第 2 メタル配線 330x、330a - 330d および 330y が配置され、これらは、それぞれ第 1 ビア 331x、331a - 331d および 331y を介して対応の第 1 メタル配線 327x、327a - 327d および 327y に結合される。第 2 メタル配線 330a および 330d が仮想接地線に結合され、仮想接地電圧 VGNND を受け、第 2 メタル配線 331b および 331c がノード ND1 に結合される。10

【0285】

このヒューズ素子 FSA - FS C それぞれにおいては、第 4 メタル配線層 M4 の第 4 メタル配線を用いてヒューズ FUA、FUb および FUc が互いに間をおいて所定のヒューズピッチ FTP で配置される。これらのヒューズ FUA - FUc を覆うように第 6 メタル配線層 M6 において第 6 メタル配線 334 が連続的に延在して配置される。この第 6 メタル配線 334 は電源電圧 VDD を伝達する。20

【0286】

ヒューズ FUA - FUc 配置領域においては、第 3 メタル配線層 M3 および第 5 メタル配線層 M5 においては、配線は配置されず、また、第 4 メタル配線層 M4 においても、ヒューズ FUA - FUc を形成する配線以外は配置されない。

【0287】

ヒューズボックス端部において、第 6 メタル配線 334 は第 5 ビア 336 を介して第 5 メタル配線層 M5 の第 5 メタル配線 337 に結合される。この第 5 メタル配線 337 は、第 4 ビア 310 を介して第 4 メタル配線層 M4 の第 4 メタル配線 309 に結合される。この第 4 メタル配線 309 に対応して第 3 メタル配線層 M3 および第 2 メタル配線層 M2 に第 3 メタル配線 339 および第 2 メタル配線 341 がそれぞれ配置される。第 3 メタル配線 339 は、第 3 ビア 338 を介して第 4 メタル配線 309 に結合され、また、第 2 ビア 340 を介して第 2 メタル配線 341 に結合される。これらのビア 336、310、338 および 340 は、図 38 に示すように連続的に延在する溝形状ビアで構成される。30

【0288】

この各メタル配線層 M1 - M5 の間には、銅拡散防止膜 CDP が配置される。この銅拡散防止膜 CDP は、SiCN (窒化シリコンカーバイド) などで形成され、銅原子の拡散防止機能を有し、層間絶縁膜の各界面に形成される。

【0289】

この図 39 に示すように、ヒューズ FUA、FUb および FUc のトリミング領域 311a、311b および 311c からの熱拡散により層間絶縁膜が損傷を受けるダメージ領域 350a、350b および 350c は、互いに重なり合わないように配置され、また、内部配線の電圧制御により銅の熱拡散距離は、ヒューズピッチ FTP よりも十分小さくされる。またヒューズ FUA - FUc の直上部および直下部においては、2 層の配線層の間隙が生じ、十分に銅の熱拡散による短絡等を防止することができるとともに、熱の閉じ込めを抑制することができる。40

【0290】

また、このヒューズボックス端部において、第 2 メタル配線層から第 6 メタル配線層 M2 - M6 の配線と溝形状ビアとにより、銅拡散防護壁構造を実現しており、ヒューズボックス外部に銅が熱拡散するのを抑制することができる。

【0291】

また、図39に示すように、仮想接地線に結合される配線が隣接ヒューズ素子間で共有されており、ヒューズ素子のレイアウト面積をより低減することができる。また、ヒューズ素子間に銅拡散防護壁構造を配置する必要がなく、より一層、ヒューズ素子のレイアウト面積を低減することができる。

【0292】

但し、条件としては、この図38および図39に示す構成においては、銅の熱拡散距離を十分に低減するため、通常の回路動作時においては、各配線、特にノードND1は、第6メタル配線334の電圧VDDと同一電圧レベルに設定することが要求される（実施の形態1参照または後述の外部からのヒューズ電源供給の実施の形態参照）。

【0293】

本実施の形態においては、図示していないが、平面視において、ヒューズ素子トリミング領域が、第6メタル配線334により覆われている。ヒューズFUを溶断した場合、ヒューズFUと銅拡散防止膜と層間膜（層間絶縁膜）との接触部であるヒューズFUの角の部分の2箇所を起点として、ヒューズFUの上側にヒューズから離れるようにクラックが発生し、第6メタル配線334にクラックが到達し、このクラック内に銅金属が入り込み、ヒューズFUと第6メタル配線334とが短絡することがある。このとき、ヒューズFUの電位が、第6メタル配線334上の電源電圧VDDとなる。応じて、切断判定回路CJCにより、トリミング不良を検出することが可能となり、不良品として、このチップ（半導体装置）を製品出荷前に検出、除去可能となる。なお、本発明の実施の形態においては、ヒューズFUの細身の直上においてヒューズFUの上側に配置され、かつヒューズFUに最も近いメタル配線は、第6メタル配線334であり、電源電圧VDDが供給されるようなレイアウト構造となる。

【0294】

〔変更例〕

図40は、この発明の実施の形態4に従うヒューズ素子の変更例の断面構造を概略的に示す図である。この図40に示すヒューズ素子の構造は、図39に示すヒューズ素子の構造と以下の点で異なる。すなわち、第1メタル配線層M1において、第1メタル配線327aおよび327dが仮想接地電圧VGNPを伝達する配線として利用され、また第1メタル配線327bおよび327cが、ノードND1に結合される配線として利用される。また、第2メタル配線層M2においては、ヒューズ直下部にはメタル配線は配置されない。一方、第3メタル配線層M3の配線を用いて、ヒューズ素子FUa(M3)-FUb(M3)を形成する。これらのヒューズ素子FUa(M3)-FUb(M3)の上層に、第5メタル配線層M5のメタル配線354を配置して上部拡散防護壁配線として利用する。この第5メタル配線354は電源電圧VDDを伝達する。

【0295】

この第5メタル配線354は、ヒューズボックス端部において、溝形状第4ピア310を介して第4メタル配線層M4のメタル配線309に結合される。また、第2メタル配線層M3の第2メタル配線341は、第1ピア358を介して第1メタル配線層M1のメタル配線359に結合される。これらのヒューズボックス端部において、第5メタル配線層M5から第1メタル配線層M1のメタル配線とそれらの間の溝形状ピアを用いて、銅熱拡散防護壁を形成する。

【0296】

この図40に示すヒューズの他の構成は、図39に示すヒューズ素子の構成と同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略する。

【0297】

この図40に示すヒューズ素子の場合、仮想接地電圧VGNPが、第1メタル配線層M1の第1メタル配線327aおよび327dを介して伝達される。したがって、先の実施の形態2および3の変更例の構成と同様、ヒューズ溶断時に大きな電流が流れる際のエレクトロマイグレーション耐性を考慮し、その配線長および配線幅を設定する必要がある。第1メタル配線層のメタル配線のエレクトロマイグレーション耐性が保障されれば、この

10

20

30

40

50

ヒューズボックスに使用される配線層の数を1つ低減することができる。

【0298】

図40に示すヒューズ素子F Sa - F Scの構成において、ダメージ領域350a - 350cが、その上層および下層の第5メタル配線354および第1メタル配線にまで到達するように示す。しかしながら、これらのダメージ領域350a - 350cは、ヒューズ溶断時の高熱により層間絶縁膜が劣化する可能性のある領域であり、物理的に損傷を受ける領域と異なり、配線部分にまでダメージ領域が延在しても特に問題は無い。

【0299】

また、ヒューズボックス内のメタル配線はすべて、通常使用時、例えば電源電圧VDDレベルの同一電圧レベルに維持されるため、銅拡散距離は十分に小さくすることができ、層間絶縁膜および銅拡散防止膜CDPの銅原子拡散による絶縁性の劣化も十分に抑制することができる。

10

【0300】

以上のように、この発明の実施の形態4に従えば、ヒューズを等間隔で配置し、隣接ヒューズ間には、銅熱拡散防護壁が設けられていない。ヒューズボックス端部においてのみ、メタル配線およびビアにより上層の電源線から基板領域方向に向かって延在する防護壁構造を形成している。したがって、ヒューズ素子のレイアウト面積を低減することができる。

【0301】

なお、ヒューズ直上部に形成される電源配線の形状は、実施の形態3に示す構成と同様、トリミング領域311a - 311cを蔽うように形成されるベタ配線およびストライプ形状の配線のいずれが利用されてもよい。

20

【0302】

また、図に示していないが、本実施の形態においても、平面視において、ヒューズ素子トリミング領域が、第5メタル配線354により覆われている。ヒューズFUを溶断した場合、ヒューズFUと銅拡散防止膜と層間膜（層間絶縁膜）との接触部であるヒューズFUの角の部分の2箇所を起点として、ヒューズFUの上側にヒューズから離れるようにクラックが発生し、第5メタル配線354にクラックが到達し、このクラック内に銅金属が入り込み、ヒューズFUと第5メタル配線354とが短絡することがある。このとき、ヒューズFUの電位が、第5メタル配線354上の電源電圧VDDとなる。応じて、切断判定回路CJCにより、トリミング不良を検出することが可能となり、不良品として、このチップ（半導体装置）を製品出荷前に検出、除去可能となる。なお、本発明の実施の形態においては、ヒューズFUの細身の直上においてヒューズFUの上側に配置され、かつヒューズFUに最も近いメタル配線は、第5メタル配線354であり、電源電圧VDDが供給されるようなレイアウト構造となる。

30

【0303】

[実施の形態5]

図41は、この発明の実施の形態5に従うヒューズ素子の断面構造を概略的に示す図である。図41において、ヒューズ素子は、Pウェル400上に形成される。このPウェル（半導体基板領域）400の下部に、ウェル分離用のディープNウェル402が形成される。Pウェル400表面に互いに間をおいて不純物領域（活性領域）404a - 404dが形成される。これらの不純物領域404a - 404dの間の基板領域上にゲート電極406a、406b、406cが図示しないゲート絶縁膜を介して配置される。不純物領域404a - 404dおよびゲート電極406a - 406cにより、複数の単位トランジスタの並列体で構成される溶断電流供給トランジスタが形成される。

40

【0304】

第1メタル配線層M1において、これらの不純物領域404a - 404dそれぞれに対応して第1メタル配線407a - 407dが形成され、それぞれコンタクト408a - 408dを介して対応の不純物領域404a - 404dに接続される。

【0305】

50

第2メタル配線層M2において、第1メタル配線407a - 407dそれぞれに対応して第2メタル配線409a - 409dが整列して配置される。これらの第2メタル配線409a - 409dは、それぞれ、溝形状の第1ビア410a - 410dを介して対応の第1メタル配線407a - 407dに接続される。第2メタル配線層M2において、第2メタル配線409bおよび409cが仮想接地線に結合され、仮想接地電圧VGN Dを伝達する。

【0306】

第3メタル配線層M3においては、第2メタル配線409aおよび409dに対応してかつ整列して第3メタル配線411aおよび411bが配設される。これらの第3メタル配線411aおよび411bは、溝形状の第2ビア412aおよび412bを介して対応の第2メタル配線409aおよび409dに電気的に接続される。10

【0307】

第4メタル配線層M4において、第3メタル配線411aおよび411bに対応して第4メタル配線413aおよび413bが配設される。これらの第4メタル配線413aおよび413bの間に、第4メタル配線を用いてヒューズFUが形成される。第4メタル配線413aおよび413bは、それぞれ溝形状の第3ビア414aおよび414bを介して対応の第3メタル配線411aおよび411bに接続される。第3メタル配線層M3においては、ヒューズFUの直下部においては配線は配置されない。

【0308】

第5メタル配線層M5において、第4メタル配線413aおよび413b各々に対応してかつ整列して第5メタル配線415aおよび415bが配設される。これらの第5メタル配線415aおよび415bの間に、第5メタル配線415cおよび415dが配設される。第5メタル配線415aおよび415bは、それぞれ溝形状の第4ビア416aおよび416bを介して第4メタル配線413aおよび413bに接続される。第5メタル配線415cおよび415dは、溝形状の第5ビア417aおよび417bを介して第6メタル配線層M6の配線420に接続される。この第6メタル配線420は電源電圧VDDを伝達し、ヒューズFUのトリミング領域425上部を覆うように形成される。この電源線を構成する第6メタル配線420は、ベタ配線であってもよく、またストライプ形状の配線であってもよい。第5メタル配線415aおよび415bはノードND1を構成する。20

【0309】

この図41に示すように、ヒューズFUの銅熱拡散経路を遮断する拡散防護壁構造として、ノードND1を構成するメタル配線の内側に電源電圧VDDが伝達される第5メタル配線を配置することにより、防護壁構造のレイアウト面積を低減することができた、第5メタル配線層において、銅拡散経路を確実に遮断することができる。30

【0310】

図41においても、各メタル配線層の境界部に、銅拡散防止膜CDPが配置され、このヒューズFU溶断時のダメージ領域427における銅拡散を抑制する。このダメージ領域427は、単にヒューズ溶断時に発生する熱により、層間絶縁膜の劣化が生じる可能性がある領域である。40

【0311】

図42は、図41に示すヒューズ素子の第5メタル配線層の配線レイアウトを概略的に示す図である。図42においては、このヒューズFUの関連する部分の配置を併せて示す。また、図42に示す線L41-L41に沿った断面構造が、図41に示す断面構造である。

【0312】

図42において、ヒューズFUの両端に対向してかつヒューズFUに接続して第4メタルベッド配線422および423が配置される。この第4メタルベッド配線422に対応して、矩形形状の第5メタル配線425が配置され、第5メタル配線425は、ヒューズFU両側に配置される第5メタル配線415aおよび415bに結合される。50

【0313】

第5メタル配線415cおよび415dに対応して横方向に連続的に延在する第5メタル配線426が配置される。第5メタル配線415cおよび415d表面には、連続的に延在する溝形状の第4ビア417aおよび417bが形成される。第5メタル配線415cおよび415dは、第5メタル配線426に接続され、また、第5ビア417aおよび417bが、第5メタル配線426表面に形成される第5ビア427に結合される。この第5メタル配線426は、電源電圧VDDを伝達する電源線を構成する。第5メタル配線426表面には、上層に形成されるグローバル電源線に結合するために、単位第5ビア428が複数個整列して配置される。

【0314】

10

図42に示すように、ヒューズトリミング領域425からの銅熱拡散経路（破線矢印で示す）は、第5メタル配線426方向に対しては完全に遮断することができる。一方、第5メタル配線415aおよび415cの間および第5メタル配線415dおよび415bの間の隙間領域を通って銅熱拡散が生じる可能性がある。しかしながら、この経路は銅の拡散距離よりも十分長く、隣接ヒューズへの銅熱拡散はほぼ抑制することができる。特に、ノードND1および電源線（第5メタル配線）426とともに一例として電源電圧VDDレベルに通常動作時に維持することにより、銅の熱拡散距離は十分小さくすることができ、隣接ヒューズ素子への銅拡散は十分に抑制することができる。

【0315】

20

この図41および図42に示すように、ノードN1に接続される配線および溝形状ビアを利用して、拡散防護壁を形成し、この拡散防護壁内部に第5メタル配線および溝形状ビアを配置して上層の第6メタル配線に接続することにより、トリミング領域425の直上部は塞がれた状態となり、銅の熱拡散を確実に抑制することができる。

【0316】

なお、この図41および図42に示すヒューズ素子の他の配線層の平面レイアウトは、先の図27から図32および図35または図36に示す平面レイアウトと同じである。

【0317】

30

以上のように、この発明の実施の形態5に従えば、ヒューズの銅拡散防護壁構造として、ノードN1に接続される防護壁内部に、上部の電源配線に接続されるメタル配線を配置しており、この防護壁構造のレイアウト面積を低減することができ、ヒューズ素子のレイアウト面積を低減することができる。

【0318】

なお、この図41に示すヒューズの構成においても、第1メタル配線層M1のメタル配線のエレクトロマイグレーション耐性が十分に強いときには、ヒューズFUを、第3メタル配線層M3のメタル配線を用いて形成することができ、各配線を、1層ずつ下の配線層に配置することができる。

【0319】

40

なお、本実施の形態においても、図示していないが、平面視において、ヒューズ素子トリミング領域が、第6メタル配線475により覆われている。ヒューズFUを溶断した場合、ヒューズFUと銅拡散防止膜と層間膜（層間絶縁膜）との接触部であるヒューズFUの角の部分の2箇所を起点として、ヒューズFUの上側にヒューズから離れるようにクラックが発生し、第6メタル配線475にクラックが到達し、このクラック内に銅金属が入り込み、ヒューズFUと第6メタル配線475とが短絡することができる。このとき、ヒューズFUの電位が、第6メタル配線475上の電源電圧VDDとなる。応じて、切断判定回路CJCにより、トリミング不良を検出することが可能となり、不良品として、このチップ（半導体装置）を製品出荷前に検出、除去可能となる。なお、本発明の実施の形態においては、ヒューズFUの細身の直上においてヒューズFUの上側に配置され、かつヒューズFUに最も近いメタル配線は、第6メタル配線475であり、電源電圧VDDが供給されるようなレイアウト構造となる。

【0320】

50

[実施の形態 6]

図43は、この発明の実施の形態6に従うヒューズ素子の断面構造を概略的に示す図である。図43において、ヒューズ素子は、Pウェル450上に形成される。このPウェル450下部には、これまでの実施の形態と同様ディープNウェル452が形成される。ディープNウェル452により、仮想接地線の電圧VGNPを他回路に対して悪影響を及ぼすなく所望の電圧レベルに設定する。

【0321】

Pウェル450において、隣接ヒューズ素子間の溶断電流供給トランジスタを分離するための素子分離領域は配置されない、Pウェル450表面に、互いに間をおいて不純物領域460a - 460d、460xおよび460yが設けられる。不純物領域460aおよび460dは、それぞれ隣接するヒューズ素子領域間で共有される。図43において、この隣接ヒューズ素子領域における不純物領域460xおよび460yを合わせて示す。

10

【0322】

これらの不純物領域460x、460a - 460d、および460yのPウェル（基板領域）450表面上に図示しないゲート絶縁膜を介してゲート電極配線460x、462a - 462dが配置される。

【0323】

第1メタル配線層M1において、これらの不純物領域460x、460a - 460d、および460yそれぞれに対応して第1メタル配線464x、464a - 464d、および464yが配置され、それぞれ、コンタクト465x、465a - 465dおよび465yを介して対応の不純物領域460x、460a - 460d、および460yに結合される。

20

【0324】

第2メタル配線層M2において、これらの第1メタル配線464x、464a - 464d、および464yそれぞれに対応してかつ整列して第2メタル配線466x、466a - 466d、および466yが配置される。これらの第2メタル配線466x、466a - 466d、および466yは、それぞれ、溝形状の第1ビア467x、467a - 467d、および467yを介して対応の第1メタル配線464x、464a - 464d、および464yに結合される。

30

【0325】

第3メタル配線層M3において、第2メタル配線466a - 466dに対応してかつ整列して第3メタル配線468a - 468dが配置される。第3メタル配線468bおよび468cは、それぞれ溝形状の第2ビア469aおよび469bを介して対応の第2メタル配線466bおよび466cに結合される。これらの第3メタル配線468bおよび468cは、ノードND1に接続される。一方、第3メタル配線468aおよび468dは、下層の対応の第2メタル配線466aおよび466dと分離される。第2メタル配線466aおよび466dが、仮想接地線に結合され、仮想接地電圧VGNPを伝達する。

【0326】

第4メタル配線層M4において、第3メタル配線468aおよび468dに対応してかつ整列して第4メタル配線470aおよび470bが配置される。これらの第4メタル配線470aおよび470bの間の第4メタル配線を用いてヒューズFUが形成される。第4メタル配線470aおよび470bは、それぞれ溝形状の第3ビア471aおよび471bを介して対応の第3メタル配線468aおよび468dに結合される。

40

【0327】

第5メタル配線層M5において、第4メタル配線470aおよび470bに対応して第5メタル配線472aおよび472bが配置され、これらの第5メタル配線472aおよび472bは、それぞれ溝形状の第4ビア473aおよび473bを介して対応の整列して配置される下層の第4メタル配線470aおよび470bに結合される。

【0328】

この第5メタル配線472aおよび472bは、溝形状の第5ビア474aおよび474bに結合される。

50

4 b を介して、それぞれ、第 6 メタル配線層 M 6 のメタル配線 4 7 5 に結合される。このメタル配線 4 7 5 は、電源電圧 V D D を伝達する電源線であり、ヒューズトリミング領域 4 8 0 を蔽うように配置され、その配線構造はベタ配線であってもよく、またストライプ形状の配線であってもよい。

【 0 3 2 9 】

この図 4 3 に示すヒューズ素子の構造においても、各メタル配線層の境界部には、銅拡散防止膜 C D P が配置される。ヒューズ F U は、トリミング領域 4 8 0 において溶断される。ヒューズ溶断時の熱により、ダメージ領域 4 8 2 に溶断時の高温が伝達され、層間絶縁膜がダメージを受ける可能性がある。しかしながら、ヒューズ F U の直上および直下部においては、配線は配置されていないため、配線に対する悪影響は生じない。

10

【 0 3 3 0 】

ノード N D 1 に結合される第 3 メタル配線層 4 6 8 b および 4 6 8 c を、電源電圧 V D D を伝達する第 3 メタル配線 4 6 8 a および 4 6 8 b の内側に配置することにより、隙間のない拡散防護壁構造を実現することができ、ヒューズ F U 溶断時における銅の熱拡散経路を確実に遮断することができ、隣接ヒューズへの銅熱拡散経路を確実に遮断することができる。拡散防護壁は、隣接ヒューズ素子間で共有される。

【 0 3 3 1 】

図 4 4 は、図 4 3 に示すヒューズ素子の第 3 メタル配線層 M 3 の配線レイアウトを概略的に示す図である。図 4 4 においては、第 4 メタル配線層 M 4 の配線で形成されるヒューズ F U の配置を破線で併せて示す。この図 4 4 に示す線 L 4 3 - L 4 3 に沿った断面構造が、図 4 3 に示す断面構造に対応する。

20

【 0 3 3 2 】

図 4 4 において、第 3 メタル配線 4 6 8 b および 4 6 8 c は、それぞれ縦方向に長く延在し、ヒューズ F U の第 4 メタルベッド配線に対応して配置される第 4 メタルベッド配線 4 8 5 に結合される。第 3 メタルベッド配線 4 8 5 表面には、複数の単位第 3 ビア 4 8 6 が整列して配置されており、上層のベッド配線と電気的に接続される。第 3 メタル配線 4 6 8 b および 4 6 8 c に対しては、溝形状のビアは設けられない。

【 0 3 3 3 】

これらの第 3 メタル配線 4 6 8 b および 4 6 8 c 外側領域に配置される第 3 メタル配線 4 6 8 a および 4 6 8 d は、それぞれ縦方向に長くヒューズ素子形成領域内に延びるように形成され、連続的に横方向に延在する第 3 メタル配線 4 8 7 に結合される。この第 3 メタル配線 4 8 7 上には、連続的に延在して溝形状の第 3 ビア 4 8 8 が形成され、第 3 メタル配線 4 6 8 a および 4 6 8 d 上に形成される溝形状の第 3 ビア 4 7 1 a および 4 7 1 b が、この溝形状第 3 ビア 4 8 7 と結合される。この第 3 メタル配線 4 8 7 は、電源電圧 V D D を伝達し、最終的に、中間配線およびビアを介して第 6 メタル配線層 M 6 に配置される電源線に結合される。

30

【 0 3 3 4 】

この第 3 メタルベッド配線 4 8 5 外側領域に、連続的に横方向に延在する第 3 メタル配線 4 8 9 が配置され、この第 3 メタル配線 4 8 9 表面に溝形状の第 3 ビア 4 9 0 が形成され、電源電圧 V D D を伝達する。

40

【 0 3 3 5 】

第 3 メタル配線 4 8 7 外側領域には、第 3 メタル配線 4 9 1 が横方向に連続的に延在して配置され、仮想接地電圧 V G N D を伝達する。この第 3 メタル配線 4 9 1 表面には、溝形状ビアは形成されず、その下部に形成される第 2 ビアにより、下層の第 2 メタル配線に電気的に結合される。

【 0 3 3 6 】

ヒューズ F U は、その両端に第 4 メタルパッド配線 4 8 5 および 4 8 6 がそれぞれ形成され、第 3 メタルベッド配線 4 8 5 が、対応して配置される第 4 メタルベッド配線と電気的に結合され、また、パッド配線 4 8 6 は、第 3 メタル配線 4 8 7 に対応して上層に配置される第 4 メタルベッド配線を介して電源線に結合される。

50

【0337】

図43および図44に示すように、ヒューズFUのトリミング領域480を囲むように、ノードND1に結合される第3メタル配線458bおよび468cを配置することにより、第3メタル配線468aおよび468dと第2メタル配線466aおよび466dとの間に隙間が生じる場合においても、この隙間を介して銅が熱拡散するのを防止することができる。トリミング領域480からの銅の熱拡散経路は、図44の破線矢印で示すように、第3メタル配線468aおよび468bの間、および468cおよび468dの間の領域であり、この経路長は、銅の熱拡散距離よりも十分長く、この経路を介して隣接ヒューズ素子へ、銅が熱拡散するのは確実に抑制される。

【0338】

10

したがって、この図43および図44に示すように、隣接ヒューズ素子で銅拡散防護壁を共有する場合においては、この外部の防護壁構造内部にノードN1に接続される防護壁を配置することにより、確実に、銅の熱拡散を、ヒューズ素子面積を増大させることなく抑制することができる。

【0339】

また、下層接地線VGNに結合される中間配線およびビアと電源電圧VDDに結合される中間配線およびビアとを縦方向において整列して配置することにより、ヒューズ素子防護壁構造のレイアウト面積を低減することができる。

【0340】

20

なお、この図43に示すヒューズ素子の構造においても、第1メタル配線層M1の配線がエレクトロマイグレーション耐性が優れている場合には、ヒューズFUを第3メタル配線層の配線で形成し、この図43に示す各配線を、配線層1層分下部にずらせ、第5メタル配線層M5に形成される電源配線を、ヒューズトリミング領域上部を覆うように構成してもよい。

【0341】

30

なお、本実施の形態においても、図示していないが、平面視において、ヒューズ素子トリミング領域が、第6メタル配線475により覆われている。ヒューズFUを溶断した場合、ヒューズFUと銅拡散防止膜と層間膜（層間絶縁膜）との接触部であるヒューズFUの角の部分の2箇所を起点として、ヒューズFUの上側にヒューズから離れるようにクラックが発生し、第6メタル配線475にクラックが到達し、このクラック内に銅金属が入り込み、ヒューズFUと第6メタル配線475とが短絡することがある。このとき、ヒューズFUの電位が、第6メタル配線475上の電源電圧VDDとなる。応じて、切断判定回路CJCにより、トリミング不良を検出することが可能となり、不良品として、このチップ（半導体装置）を製品出荷前に検出、除去可能となる。なお、本発明の実施の形態においては、ヒューズFUの細身の直上においてヒューズFUの上側に配置され、かつヒューズFUに最も近いメタル配線は、第6メタル配線475であり、電源電圧VDDが供給されるようなレイアウト構造となる。

【0342】

[実施の形態7]

40

図45は、この発明の実施の形態7に従うヒューズ素子の上から見た平面レイアウトを概略的に示す図である。図45において、ヒューズ素子FSの形成領域は、ヒューズFUと、ヒューズFU両端に配置されるパッド/ベッド配線領域500, 502とを含む。パッド/ベッド配線領域500および502は、一方がノードND1に接続され、他方が、電源電圧を供給する電源線に結合される。

【0343】

ヒューズFUの両側に第1の防護壁構造を形成する第1のサブ防護壁構造504Aおよび50Bが配置され、この第1の防護壁構造の外部に、第2の防護壁構造を形成する第2のサブ防護壁構造506A、506Bおよび506Cがコの字形状に連続的に延在して形成される。この第1の防護壁構造504Aおよび504Bが電源電圧VDDを供給する電源線に結合され、第2の防護壁構造を構成する仮想接地電圧VGNを伝達する仮想接地

50

線に結合される。これらの防護壁構造 504A, 504B および 506A - 506C により、ヒューズ FU 溶断時に生成された銅 (Cu) 原子の熱拡散の経路を遮断する。

【0344】

このパッド / ベッド配線領域 500 外部に、さらにグローバル配線領域 508 が配置される。このグローバル配線領域 508 は、複数のヒューズ素子に共通に設けられ、また溝形状ビアと協働してヒューズボックス外部に銅原子が熱拡散するのを防止する防護壁構造を実現する。

【0345】

また、図 45においては明確に示していないが、ヒューズ FU の上部 (ヒューズトリミング領域上部) には、電源配線を用いて銅拡散防護壁が形成される。

10

【0346】

図 46 は、図 45 に示す線 L46 - L46 に沿った断面構造を概略的に示す図である。図 46において、ヒューズ素子は、P ウェル (半導体基板領域) 510 表面上に形成される。この P ウェル 510 表面に互いに間をおいて不純物領域 512x, 512a - 512d および 512y が形成される。不純物領域 512a および 512d は、それぞれ隣接するヒューズ素子間で共有される。不純物領域 512a - 512d により、1 つのヒューズ素子に対する溶断電流供給トランジスタの単位トランジスタのソース / ドレイン不純物領域が形成され、隣接ヒューズ素子の不純物領域 512x および 512y も、それぞれ対応の溶断電流供給トランジスタのドレイン領域を形成するために利用される。

【0347】

これらの不純物領域 514x, 512a - 512d および 512y の間の基板領域表面上にゲート電極配線 514x, 514a - 514c および 514y が配置される。これらの不純物領域およびゲート電極配線により、溶断電流供給単位トランジスタが実現される。

20

【0348】

不純物領域 512x, 512a - 512d および 512y それぞれに対応して第 1 メタル配線層 M1 において第 1 メタル配線 515x, 515a - 515d および 515y が配置される。これらの配線はそれぞれ、コンタクト 516x, 516a - 516d および 516y を介して対応の不純物領域に接続される。

【0349】

第 2 メタル配線層 M2 において、第 1 メタル配線 515x, 515a - 515d および 515y に対応してかつ整列して第 2 メタル配線 517x, 517a - 517d および 517y が配置される。これらの第 2 メタル配線 517x, 517a - 517d および 517y は、それぞれ溝形状の第 1 ビア 518x, 518a - 518d および 518y を介して第 1 メタル配線 515x, 515a - 515d および 515y に接続される。第 2 メタル配線 517b および 517c が、ノード ND1 に結合され、溶断電流供給トランジスタのドレイン不純物領域 512b および 512c に結合される。隣接ヒューズ素子においても、同様、第 2 メタル配線 517x および 517y が、対応のヒューズの端部が接続されるノード ND1 を構成し、ドレイン不純物領域 512x および 512y に結合される。

30

【0350】

第 3 メタル配線層 M3 においては、第 2 メタル配線 517a および 517d に対応してかつ整列して第 3 メタル配線 519a および 519b が配置される。これらの第 2 メタル配線 517b および 517c 上には、第 3 メタル配線は配設されない。第 3 メタル配線 519a および 519b は、それぞれ溝形状の第 2 ビア 520a および 520b を介して下層の第 2 メタル配線 517a および 517d に結合される。

40

【0351】

第 4 メタル配線層 M4 において、第 3 メタル配線 519a および 519b に対応してかつ整列して第 4 メタル配線 521a および 521b が配設される。また、これらの第 4 メタル配線 521a および 521b の間に、第 4 メタル配線を用いてヒューズ FU が配設される。

50

【0352】

第4メタル配線521aおよび521bは、それぞれ溝形状の第3ビア522aおよび522bを介して下層の第3メタル配線519aおよび519bに結合される。

【0353】

第5メタル配線M5において、第5メタル配線523aおよび523bがそれぞれ第4メタル配線521aおよび521bに対応してかつ整列して配置され、これらの第5メタル配線523aおよび523bの内側に、第5メタル配線524aおよび524bが配置される。第5メタル配線523aおよび523bは、それぞれ、溝形状の第4ビア525aおよび525bを介して第4メタル配線521aおよび521bに結合される。第5メタル配線524aおよび524bは、それぞれ溝形状の第5ビア526aおよび526bを介して第6メタル配線層M6に形成される第6メタル配線528に結合される。10

【0354】

第5メタル配線523aおよび523bは、仮想接地線に結合され、仮想接地電圧VGNDを伝達する。第6メタル配線528は、電源線に結合され電源電圧VDDを伝達する。この第6メタル配線528は、ヒューズFUのトリミング領域529を蔽うように配置され、上部拡散防護壁配線を構成する。第6メタル配線535は、グローバル電源線を構成し、電源電圧VDDを伝達する。ヒューズFU直上部に形成される第6メタル配線528(図46参照)の形状は、これまでの実施の形態と同様、ベタ配線であってもよく、ストライプ形状の配線であってもよい。

【0355】

第5メタル配線523aから第1メタル配線515aおよび第5メタル配線523bから第1メタル配線515dが縦方向に連続的に配設され、図45に示す第2防護壁構造506Bおよび506Aを、それぞれ構成する。第5メタル配線524aおよび524bと第5ビア526aおよび526bにより、図45に示す第1防護壁構造504Bおよび504Aが形成される。20

【0356】

この図46に示すように、ヒューズFUのトリミング領域529からの破線矢印で示す銅熱拡散経路は、この上層に形成される第5メタル配線524aおよび524bにより遮断される。したがって、ヒューズFUの銅切片からの銅原子が熱拡散により隣接ヒューズへ伝搬するのを確実に抑制することができる。30

【0357】

この図46においても、各配線層の境界領域においては、層間絶縁膜の間に銅拡散防止膜CDPが配置され、層間絶縁膜を介して銅が熱拡散するのは抑制される。また、防護壁構造506Aおよび506Bは、それぞれ隣接するヒューズ素子間で共有され、ヒューズ素子のレイアウト面積を低減することができる。

【0358】

図47は、図45に示す線L47-L47に沿った断面構造を概略的に示す図である。この図47に示す断面構造において、図46に示す断面構造の対応する構成要素(メタル配線、ビア、不純物領域等)に対しては、同一参照番号を付し、その詳細説明は省略する。40

【0359】

この図47に示す構造においては、図45に示すパッド/ベッド配線領域500において、第4メタル配線層M4において第4メタルパッド/ベッド配線530が配置される。この第4メタルパッド/ベッド配線530は、複数の単位ビア531を介して第5メタル配線層M5に形成されるパッド/ベッド配線532に結合される。この第5メタルパッド/ベッド配線532は、その上層に形成される第6メタル配線層M6のメタル配線535に単位第5ビア533を介して結合される。

【0360】

第6メタル配線535は、グローバル電源線を構成し、電源電圧VDDを伝達する。ヒューズFU直上部に形成される第6メタル配線528(図46参照)は、ヒューズFUの50

トリミング領域 529 が覆われる構造であればよいため、図 47においては、第6メタル配線 535 と第6メタル配線 528 とは別の参照番号を付しているが、これらは図示しない第6メタル配線により電気的に結合される。

【0361】

このヒューズ素子 FS の端部においても、第4メタル配線層 M4 において、第4メタル配線 521a、パッド/ベッド配線 530 および第5メタル配線 521b が配置されており、このヒューズ素子外部への銅原子の熱拡散経路は遮断される（図 47 に示す領域においてはヒューズ FU は設けられていないが、ヒューズ FU と同一メタル配線層 M4 において、パッド/ベッド配線 530 が配置されているため）。

【0362】

図 48 は、図 46 に示す線 L48 - L48 に沿った断面構造を概略的に示す図である。この図 48 に示す断面構造は、以下の点で、図 46 に示すヒューズ素子の断面構造とその構造が異なる。すなわち、図 45 に示すパッド/ベッド配線領域 502 においてヒューズは配置されず、代わりに、ノード ND1 を構成するパッド/ベッド配線 544 が第4メタル配線層 M4 において配置される。パッド/ベッド配線 544 は、第3メタル配線層 M3 に配置される第4メタル中間配線 540u - 540w に単位ビア 542 を介してそれぞれ結合される。これらの第4メタル中間配線 540u - 540w は、第2メタル配線層 M2 に配置される第2メタル配線 517b - 517c それぞれに対応して配置され、それぞれ単位ビア 541u - 540w を介して対応の第2メタル配線に結合される。このヒューズ素子 FS 形成領域内においては、溶断電流供給トランジスタが複数の単位トランジスタで形成され、各単位トランジスタのドレイン電極に対応して第3メタル中間配線 540 (540u - 540w) が配置される。図 48 においては、この単位トランジスタが多く形成されることを示すために、第2メタル配線層 M2 における第2メタル配線 517b、517c より多くの第4メタル中間配線 540 が配置されるように示す。

【0363】

この図 48 に示すヒューズ素子の断面構造の他の構造は、図 46 に示すヒューズ素子の断面構造と同じであり、対応する部分には同一参照番号を付しその詳細説明は省略する。

【0364】

図 48 に示すヒューズ素子 FS の構造においても、ヒューズが形成される第4メタル配線層 M4 と同一配線層にパッド/ベッド配線 544 が形成され、その上部に第5メタル配線 523a、523b、524a および 524b が配置されおり、ヒューズ終端部においても、溝形状ビア 525a、525b、526a および 526b により、隙間のない防護壁構造が形成されており、ヒューズボックス外部への銅の熱拡散経路を遮断することができる。

【0365】

また、図 46 から図 48 に示すように、隣接ヒューズ素子で第1の防護壁構造を共有しており、また、その内部に第2の防護壁を第5メタル配線層に形成しており、確実に、銅の熱拡散が隣接ヒューズ素子へ生じる経路を遮断することができるとともに、ヒューズ素子の占有面積を低減することができる。

【0366】

図 49 は、この図 45 から図 48 に示すヒューズ素子の第2メタル配線層の配線レイアウトを概略的に示す図である。この図 49 において線 L46 - L46 に沿って切断すると図 46 に示す断面構造の第2メタル配線層の配置が得られ、線 L48 - L48 に沿って切断すると図 48 に示す第2メタル配線層下部の断面構造が得られる。ヒューズ素子 FS は、ヒューズボックス内において端部以外の位置に配設される。

【0367】

溶断電流供給トランジスタを構成する単位トランジスタの数が、溶断電流供給トランジスタの電流駆動力に応じて決定されるため、図 46 から図 48 に示す溶断電流供給トランジスタのソースおよびドレインノードを構成する第2メタル配線層の配線の数が、図 49 に示すソース/ドレインノードの第2メタル配線の数と異なる。したがって、この図 46

10

20

30

40

50

から図48の断面構造に示されていない第2メタル配線について、仮想接地線に結合される第2メタル配線を符号517gで示し、ノードND1に結合される第2メタル配線を符号517nで示す。

【0368】

図49において、第2メタル配線517aおよび517dが、縦方向に連続的に延在してヒューズ素子形成領域内に配置される。第2メタル配線517aおよび517d上に矩形形状の第2ビア520aおよび520bが連続的に縦方向に延在して形成される。この第2メタル配線517aおよび517dに対し、横方向に連続的に延在する第2メタル配線550が形成され、また、この第2メタル配線550表面上に横方向に延在する溝形状第2ビア551が形成される。溝形状第2ビア520aおよび520bが溝形状第2ビア551に結合され、また、第2メタル配線517a、517dおよび517gが、第2メタル配線550に結合される。第2メタル配線517gは、溶断電流供給トランジスタの単位トランジスタのソース電極を構成するため、これらの第2メタル配線517g上にはビアは、形成されない。第2メタル配線550は、仮想接地線に結合され、下層接地電圧VGNNDを伝達する。

【0369】

第2メタル配線517bおよび517cが、縦方向に延在して形成され、その端部においてビア541uおよび541wが形成される。同様、第2メタル配線517nにおいても、その端部において単位第2ビア541vが形成される。第2メタル配線517b、517cおよび517nと第2メタル配線517gとは交互に配設される。

【0370】

この第2メタル配線配置領域外部のグローバル配線領域508に、横方向に連続的に延在する第2メタル配線552が形成され、第2メタル配線552表面上に溝形状第2ビア553が形成される。これらの配線552およびビア553は、電源電圧VDDを伝達する。

【0371】

図50は、このヒューズ素子FSiが配列されるヒューズボックスの端部のヒューズ素子FSnの平面レイアウトを概略的に示す図である。図50において、ヒューズボックス端部において、第2メタル配線554および溝形状第2ビア555が縦方向に延在して形成される。第2メタル配線554が第2メタル配線552に結合され、溝形状第2ビア555が第2ビア553に結合される。この図50に示すヒューズ素子FSnの他の構成は図49に示すヒューズ素子FSiの構成と同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略する。

【0372】

図49および図50に示すように、第2メタル配線層M2において、破線矢印で示すように、トリミング領域529からの銅の熱伝搬経路はすべて遮断され、特にヒューズボックス外部への銅の熱拡散経路は確実に遮断される。また、第2メタル配線層において溝形状第2ビア520aおよび520bに沿って銅の熱拡散経路が破線矢印で示すように存在するものの、この経路長は、銅の熱拡散距離より十分長く、隣接ヒューズ素子への銅の熱拡散は確実に抑制される。

【0373】

図51は、図45から図48に示すヒューズ素子の第3メタル配線層M3の配線レイアウトを概略的に示す図である。図51においても、図46および図48に示す断面構造の切断線L46-L46およびL48-L48を併せて示す。

【0374】

図51において、第3メタル配線519aおよび519bが縦方向に延在して形成され、これらの第3メタル配線519aおよび519b表面上に溝形状第3ビア522aおよび522bが連続的に縦方向に延在して形成される。これらの第3メタル配線519aおよび519bの間に矩形形状の第3メタル中間配線540が配置される。この第3メタル中間配線540は、図48に示す第3メタル中間配線540u, 540vおよび540w

10

20

30

40

50

に対応し、それぞれ第3ビア542が設けられる。この第3メタル中間配線540は、図49に示す第2メタル配線517b, 517cおよび517nにそれぞれビア541v, 541uおよび541wを介して結合される。この第3メタル中間配線は、下層の第2メタル配線それぞれに対応して分離されて配置されてもよい（配線540u, 540v, 540w個々に配設してもよい）。ここでは、図面を簡略化するため、矩形形状の中間配線540を示す。

【0375】

第3メタル配線519aおよび519bに対応して横方向に連続的に延在して第3メタル配線560が形成され、この第3メタル配線560表面上に、溝形状第3ビア561が形成される。第3メタル配線519aおよび519bが、第3メタル配線560に結合され、第3ビア522aおよび522bが第3ビア561に結合される。この第3メタル配線560は、仮想接地線に結合され、下層接地電圧VGDを伝達する。
10

【0376】

グローバル配線領域508において、横方向に連続的に延在して第3メタル配線562が配設され、この第3メタル配線562表面上に横方向に連続的に延在する溝形状第3ビア563が配設される。この第3メタル配線560は、電源電圧VDDを伝達する。

【0377】

図52は、このヒューズボックスにおける端部に配置されるヒューズFSnの第3メタル配線層の配置を概略的に示す図である。このヒューズ素子FSnにおいては、ヒューズボックス端部においてさらに、第3メタル配線564が縦方向に延在して形成され、またこの第3メタル配線564表面上に溝形状第3ビア565が形成される。第3メタル配線564は、ヒューズ素子列に対してヒューズボックス内に連続的に延在して形成される第3メタル配線563に結合され、また、第3ビア565が、第3メタル配線562上に形成される溝形状第3ビア563に結合される。
20

【0378】

この第3メタル配線560は、図49および図50に示す第2メタル配線550に溝形状の第2ビアを介して結合され、第3メタル配線562が、図49および図50に示す第2メタル配線552に第2ビア553を介して結合される。

【0379】

この図51および図52において破線矢印で示すように、第3メタル配線層M3においても、第3メタル配線519a, 519bおよび560と第3ビア522a, 522bおよび561とにより、ヒューズトリミング領域529からの銅(Cu)の熱拡散経路は確実に遮断されており、ヒューズボックス外部への銅の熱拡散は確実に抑制される。
30

【0380】

図53は、図45から図48に示すヒューズ素子FSiの第4メタル配線層M4の配線レイアウトを概略的に示す図である。図53において、図46に示す断面構造に対する切断線L46-L46を併せて示す。

【0381】

図53において、第4メタル配線521aおよび521bが縦方向に延在して配置され、これらの第4メタル配線521aおよび521b表面上に、それぞれ、溝形状の第4ビア525aおよび525bが配置される。ヒューズFUが第4メタル配線層M4のメタル配線を用いて形成され、その両端部それぞれに、パッド/ベッド配線530およびベッド配線544が配置される。パッド/ベッド配線530は、パッド配線530aとベッド配線530bとを含み、互いに結合される。パッド配線530aがヒューズFUの一端に結合され、ベッド配線530bが、その表面に単位ビア531が複数個整列して配置される。ベッド配線544は、図51に示す第3メタル中間配線540にビア542を介して結合され、ノードND1を構成する。
40

【0382】

ベッド配線544外部領域に、第4メタル配線570が連続的に横方向に延在して配置され、また、第4メタル配線570表面上に溝形状第4ビア571が配置される。第4メ
50

タル配線 5 7 0 が、第 4 メタル配線 5 2 1 a および 5 2 1 b に結合され、溝形状第 4 ピア 5 7 1 が溝形状第 4 ピア 5 2 5 a および 5 2 5 b に結合される。この第 4 メタル配線 5 7 0 においては、また上部配線との接続を取るための単位第 4 ピア 5 7 2 が複数個整列して配置される。この第 4 メタル配線 5 7 0 は、図 5 1 に示す第 3 メタル配線 5 6 0 にピア 5 6 1 を介して結合される。

【 0 3 8 3 】

このパッド / ベッド配線 5 3 0 外部のグローバル配線領域 5 0 8 に、また横方向に延在して第 4 メタル配線 5 7 3 が配置され、またこの第 4 メタル配線 5 7 3 上に溝形状の第 4 ピア 5 7 4 が配置される。第 4 メタル配線 5 7 3 は、図 5 1 に示す第 3 メタル配線 5 6 2 に第 3 ピア 5 6 3 を介して電気的に結合される。第 4 メタル配線 5 7 0 が仮想接地線に結合され、下層接地電圧 V G N D を伝達し、第 4 メタル配線 5 7 3 が、電源線に結合され、電源電圧 V D D を伝達する。10

【 0 3 8 4 】

図 5 4 は、ヒューズボックス端部に配置されるヒューズ素子 F S n の第 4 メタル配線層の配置を概略的に示す図である。この図 5 4 に示すヒューズ素子 F S n においては、ヒューズボックス端部において、縦方向に延在する第 4 メタル配線 5 7 5 が配置され、また、第 4 メタル配線 5 7 5 表面上に溝形状の第 4 ピア 5 7 6 が配置される。この第 4 メタル配線 5 7 5 が、第 4 メタル配線 5 7 3 に結合され、第 4 ピア 5 7 6 が第 4 ピア 5 7 0 に結合される。この図 5 4 に示すヒューズ素子 F S n の他の構成は、図 5 3 に示すヒューズ素子 F S i の構成と同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略する。20

【 0 3 8 5 】

この図 5 3 および図 5 4 に示すように、第 4 メタル配線層 M 4 においても、ヒューズトリミング領域 5 2 9 からの破線矢印で示す銅の熱拡散経路は確実に遮断されており、ヒューズボックス外部への銅の熱拡散は抑制される。また、隣接ヒューズ素子に対する銅の熱拡散経路は存在するものの、この経路の長さは、銅の熱拡散距離より十分長く、隣接ヒューズへの銅原子の熱拡散は確実に抑制される。

【 0 3 8 6 】

図 5 5 は、図 4 5 から図 4 8 に示すヒューズ素子の第 5 メタル配線層 M 5 の配線レイアウトを概略的に示す図である。図 5 5 において、ヒューズ素子 F S i において、第 5 メタル配線 5 2 3 a および 5 2 3 b がヒューズ素子形成領域内に連続的に縦方向に延在して配置される。第 5 メタル配線 5 2 3 a および 5 2 3 b の内側に、ヒューズ形成領域内において連続的に延在する第 5 メタル配線 5 2 4 a および 5 2 4 b が配設される。これらの第 5 メタル配線 5 2 4 a および 5 2 4 b 表面上に、溝形状第 5 ピア 5 2 6 a および 5 2 6 b がそれぞれ連続的に縦方向に延在して形成される。第 5 メタル配線 5 2 3 a および 5 2 3 b 表面にはピアは形成されない。30

【 0 3 8 7 】

図 5 3 に示すベッド配線 5 3 0 b に対応して第 5 メタルベッド配線 5 3 2 が配設され、これらの第 5 メタル配線 5 2 4 a および 5 2 4 b が、第 5 メタルベッド配線 5 3 2 により相互結合される。この第 5 メタルベッド配線 5 3 2 は、下層のヒューズ F U のパッド / ベッド配線に結合される。図 5 5 においては、このヒューズ F U に対して配置されるパッド配線 5 3 0 a を示す。また、ヒューズ F U の第 4 メタルパッド配線 5 4 4 もこのヒューズに対する第 5 メタル配線層の配置を示すために併せて示す。第 5 メタルベッド配線 5 3 2 表面には上層配線との電気的接続を取るために、単位第 4 ピアが、複数個整列して配置される。40

【 0 3 8 8 】

この第 5 メタル配線 5 2 3 a および 5 2 3 b は、ともに、横方向に連続的に延在して配置される第 5 メタル配線 5 8 0 に結合される。この第 5 メタル配線 5 8 0 は、グローバル仮想接地線を構成し、ヒューズボックス内のヒューズ素子に対して共通に下層接地電圧 V G N D を伝達する。グローバル仮想接地線を構成する第 6 メタル配線 5 8 0 には、上層に50

電源電圧 V D D を伝達する電源線が配置されるため、溝形状ビアは形成されない。同様、第 5 メタル配線 5 2 3 a および 5 2 3 b に対しても、その上層に電源配線が配置されるためビアは配置されない。

【 0 3 8 9 】

一方、このベッド配線 5 3 2 外部のグローバル配線領域 5 0 8 に、横方向に連続的に延在する第 6 メタル配線 5 8 1 が形成され、この第 5 メタル配線 5 8 1 表面上に、溝形状第 5 ビア 5 8 2 が形成される。溝形状の第 5 ビア 5 8 2 は、溝形状第 5 ビア 5 2 6 a および 5 2 6 b に結合され、また、第 5 メタル配線 5 2 4 a および 5 2 4 b ならびにベッド配線 5 3 2 が、第 5 メタル配線 5 8 1 に結合される。第 5 メタル配線 5 8 1 は、図 5 3 に示す第 4 メタル配線 5 7 3 に、溝形状第 4 ビア 5 7 4 を介して結合される。

10

【 0 3 9 0 】

図 5 6 は、ヒューズボックスの端部に配置されるヒューズ素子 F S n の第 5 メタル配線層のレイアウトを概略的に示す図である。このヒューズボックス端部のヒューズ素子 F S n においては、第 5 メタル配線 5 8 0 近傍にまで縦方向に延在する第 5 メタル配線 5 8 3 が形成され、また、この第 5 メタル配線 5 8 3 表面上に溝形状第 5 ビア 5 8 4 が形成される。第 5 メタル配線 5 8 3 は、第 5 メタル配線 5 8 1 に結合され、第 5 ビア 5 8 4 が第 5 ビア 5 8 2 に結合される。この図 5 6 に示すヒューズ素子 F S n の他の配置は、図 5 5 に示すヒューズ素子 F S i の配置と同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略する。

【 0 3 9 1 】

この図 5 5 および図 5 6 に示す構成においても、第 5 メタル配線層 M 5 においても、第 5 メタル配線および溝形状ビアにより、トリミング領域 5 2 9 からの破線矢印で示す銅の熱拡散経路は確実に遮断され、隣接ヒューズへの銅原子の熱拡散は確実に抑制されるとともに、ヒューズボックス外部への銅の熱拡散も防止される。

20

【 0 3 9 2 】

図 5 7 は、図 4 5 から図 4 8 に示すヒューズ素子の第 6 メタル配線層 M 6 の配線レイアウトを概略的に示す図である。この図 5 7 においては、下層のヒューズ F U に対する配線部分および第 5 メタル配線 5 2 3 a および 5 2 3 b の配置を併せて示す。

【 0 3 9 3 】

図 5 7 に示す線 L 4 6 - L 4 6 、 L 4 7 - L 4 7 および L 4 8 - L 4 8 は、それぞれ、図 4 6 から図 4 8 に示す断面構造を得るための切断線を示す。

30

【 0 3 9 4 】

この図 5 7 に示す第 6 メタル配線層 M 6 の配線レイアウトは、ヒューズボックス内のヒューズに共通に配置され、端部のヒューズ素子 F S n に対しても同じレイアウトが用いられる。従って、図 5 7 においては、ヒューズ素子を符号 F S で示す。

【 0 3 9 5 】

図 5 7 において、第 6 メタル配線 5 3 5 が横方向に連続的に延在してベッド配線 5 3 2 上部に配置される。この第 6 メタル配線 5 3 5 は複数のヒューズ素子に共通に設けられ、電源電圧 V D D を伝達し、図 5 5 に示すビア 5 3 3 を介して下層のベッド配線 5 3 2 に電気的に結合される。同様、ヒューズ素子の下側領域においても、第 6 メタル配線 5 3 6 が、図 5 5 に示す第 5 メタル配線 5 8 0 上層に配置され、電源電圧 V D D を複数のヒューズ素子に対して共通に伝達する。

40

【 0 3 9 6 】

中央部のヒューズ F U の溶断領域（トリミング領域）5 2 9 上部に、図 4 6 に示す第 6 メタル配線 5 2 8 に対応するメタル配線 5 9 0 が配置される。この第 6 メタル配線は、ベタ配線であり、それぞれ第 6 メタル配線 5 9 2 a , 5 9 2 b および 5 9 4 a および 5 9 4 b を介してそれぞれ第 6 メタル配線 5 3 5 および 5 3 6 に結合される。第 6 メタル配線 5 9 2 a , 5 9 2 b は、図 5 5 に示す第 5 メタル配線 5 2 4 a にビア 5 2 6 a を介して結合され、また、第 6 メタル配線 5 9 4 a および 5 9 4 b は、図 5 5 に示す第 5 メタル配線 5 2 4 b に第 5 ビア 5 2 6 b を介して結合される。

50

【 0 3 9 7 】

この図57に示すように、ヒューズFUの溶断領域（トリミング領域）直上部に電源電圧VDDを伝達する第6メタル配線590を配置することにより、ヒューズ溶断部近傍からの銅の熱拡散を抑制することができる。またノードND1を構成する配線をヒューズ上部の拡散防止配線として利用していないため、銅の熱拡散を防止するために必要とされる配線層の数を低減することができる。

【 0 3 9 8 】

図58は、この第6メタル配線層M6の配線レイアウトの変更例を示す図である。図58においては、上部拡散防止配線528として、ストライプ形状の第6メタル配線595が互いに平行に間をおいて配置される。これらのストライプ形状第6メタル配線595は、それぞれ第6メタル配線592および594を介してそれぞれ、第6メタル配線535および536に結合される。このストライプ形状の配線595の構成以外、図58に示す第6メタル配線層M6のレイアウトは図57に示す配線レイアウトと同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略する。

10

【 0 3 9 9 】

このストライプ形状の配線を用いてヒューズFUの溶断領域529直上部を覆うことにより、図57に示すメタルベタ配線590を用いて銅の熱拡散を防止する構成と同様の効果を得ることができ、実施の形態2の変更例の場合と同様、この配線のプロセス工程でのディシングおよび配線抵抗等を考慮して、配線幅が定められればよい。

【 0 4 0 0 】

20

なお、この実施の形態6においても、第1メタル配線層M1の第1メタル配線のエレクトロマイグレーション耐性が十分な大きさを有する場合には、各配線層を1段下方向に低下させることにより、第5メタル配線層M5までの配線を利用して拡散防護壁構造を実現することができ、同様の効果を得ることができる。

【 0 4 0 1 】

以上のように、この実施の形態7に従えば、ヒューズ両側に、防護壁構造を形成し、さらに最上部において、電源線から多方向に低下する防護壁を内部に設けており、少なくとも一部において防護壁が二重構造とされており、隣接ヒューズへの銅の熱拡散を確実に防止することができる。また、第1防護壁内部に上部からの拡散防止用の防護壁を形成しており、ヒューズ素子のレイアウト面積を低減することができる。

30

【 0 4 0 2 】

また、ノードND1を形成する配線構造を防護壁構造として利用するのを避けており、このヒューズの銅熱拡散を防止するための構造を簡略化することができる（ノードを防護壁として利用する場合そのノードを下層部まで配置するための配線回路が複雑となる）。

【 0 4 0 3 】

なお、平面視において、ヒューズ素子トリミング領域が、第6メタル配線536により覆われている。ヒューズFUを溶断した場合、ヒューズFUと銅拡散防止膜と層間膜（層間絶縁膜）との接触部であるヒューズFUの角の部分の2箇所を起点として、ヒューズFUの上側にヒューズから離れるようにクラックが発生し、第6メタル配線536にクラックが到達し、このクラック内に銅金属が入り込み、ヒューズFUと第6メタル配線536とが短絡することがある。このとき、ヒューズFUの電位が、第6メタル配線536上の電源電圧VDDとなる。応じて、切断判定回路CJCにより、トリミング不良を検出することが可能となり、不良品として、このチップ（半導体装置）を製品出荷前に検出、除去可能となる。なお、本発明の実施の形態においては、ヒューズFUの細身の直上においてヒューズFUの上側に配置され、かつヒューズFUに最も近いメタル配線は、第6メタル配線536であり、電源電圧VDDが供給されるようなレイアウト構造となる。

40

【 0 4 0 4 】

また、拡散防護壁構造を隣接ヒューズ素子間で共有しており、ヒューズ素子のレイアウト面積を低減することができる。

【 0 4 0 5 】

50

[実施の形態 8]

図59は、この発明の実施の形態8に従う半導体装置の要部の構成を示す図である。この図59に示す半導体装置の構成は、以下の点で、図8に示す半導体装置の構成と異なる。すなわち、ヒューズプログラム回路F P K 1 - F P K nに対して共通に、ヒューズゲート電源線600が設けられ、このヒューズゲート電源線600へは、電源電圧V D Dが供給される。また、ヒューズゲート接地線602が、ヒューズプログラム回路F P K 1 - F P K nに対し共通に設けられ、接地電圧V S S (G N D)が与えられる。ヒューズ素子F Sの電源ノードへは、電源ノード604を介して外部からヒューズ電源電圧V D D Qが与えられる。また、切断判定回路C J C Kに、制御信号Z F S R S TおよびZ F S R S T Dが与えられる。これらの制御信号Z F S R S TおよびZ F S R S T Dは、先の図8に示す制御信号F S R S TおよびF S R S T Dの相補な制御信号である。ヒューズプログラム回路F P K 1 - F P K nの他の構成は、図8に示すヒューズプログラム回路の構成と同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略する。

【0406】

ヒューズ素子F Sに対し、外部から専用のヒューズ電源電圧V D D Qを供給することにより、以下の効果が得られる。すなわち、ヒューズ素子溶断時以外ヒューズ電源電圧V D D Qを接地電圧レベルに維持することにより、ヒューズ素子を介してのリーク電流を低減することができる。また、ヒューズ回路ブロック40内に対するヒューズ電源線600およびヒューズゲート接地線602の電圧を、ヒューズ状態判定等の動作モードに応じて調整する必要がなく、この電源切換えの制御回路が不要となり、回路構成を簡略化することができる。

【0407】

図60は、図59に示す切断判定回路C J C Kの構成の一例を示す図である。図60において、切断判定回路C J C Kは、電源ノード(V D D)と内部ノードN D 1の間に直列に接続されるPチャネルM O SトランジスタP Q 1 0およびNチャネルM O SトランジスタN Q 1 0と、電源ノードと内部ノードN D 2の間に直列に接続されるPチャネルM O SトランジスタP Q 1 1およびP Q 1 2と、内部ノードN D 1と接地ノードV S Sの間に接続されるNチャネルM O SトランジスタN Q 1 1を含む。

【0408】

PチャネルM O SトランジスタP Q 1 0は、リセット信号Z F S R S TがLレベルのとき導通し、内部ノードN D 2へ電源電圧V D Dを伝達する。NチャネルM O SトランジスタN Q 1 0は、リセット信号Z F S R S TがHレベルのとき導通し、内部ノードN D 1およびN D 2を相互結合する。NチャネルM O SトランジスタN Q 1 1は、導通時、内部ノードN D 1を接地ノードに結合する。PチャネルM O SトランジスタP Q 1 1およびP Q 1 2は、両者が導通状態のときに、内部ノードN D 2へ電源電圧V D Dを伝達する。

【0409】

切断判定回路C J C Kは、さらに、内部ノードN D 2の信号を反転するトライステートインバータT V 1 0と、判定結果信号J o u tを生成する2段の縦続接続されるインバータI V 2 0およびI V 2 1と、リセットディレー信号Z F S R S T Dを受ける2段の縦続接続されるインバータI V 2 1およびI V 2 2と、インバータI V 2 0と反並行に接続されるトライステートインバータT V 1 1を含む。

【0410】

トライステートインバータT V 1 0は、リセットディレー信号Z F S R S T DがLレベルのとき、インバータI V 2 1およびI V 2 2からの相補信号に従って活性化される。このトライステートインバータT V 1 0の出力信号は、また、PチャネルM O SトランジスタP Q 1 2のゲートへ与えられる。インバータI V 2 2の出力信号が、PチャネルM O SトランジスタP Q 1 1およびNチャネルM O SトランジスタN Q 1 1のゲートへ与えられる。トライステートインバータT V 1 1は、リセットディレー信号Z F S R S T DがHレベルのときにインバータI V 2 1およびI V 2 2の出力信号に従って活性化され、インバータI V 2 0とラッチ回路を構成する。

10

20

30

40

50

【0411】

図61は、図60に示すヒューズ切断回路CJCKのヒューズ溶断時の動作を示すタイミング図である。以下、図61を参照して、図60に示す切断判定回路CJCKのヒューズ溶断時の動作について説明する。

【0412】

時刻t0以前の初期状態においては、リセット信号ZFSRSTおよびリセットディレーフィルタ信号ZFSRSTDはHレベルにある。応じて、NチャネルMOSトランジスタNQ10およびNQ11がオン状態、PチャネルMOSトランジスタPQ10およびPQ11がオフ状態である。したがって、内部ノードND1およびND2は、ともにMOSトランジスタNQ10およびNQ11により接地電圧VSSレベルに維持される。また、このとき、ヒューズ電源ノードの電圧VDDQは、接地電圧レベルである。10

【0413】

時刻t0において、このヒューズ素子FSの切断を行なうヒューズ切断サイクルが始まる。このヒューズ切断サイクル開始に従って、ヒューズリセット信号ZFSRSTがLレベルとなり、またヒューズリセットディレーフィルタ信号ZFSRSTDがこれと並行してまたはそれより遅れてリセットディレーフィルタ信号ZFSRSTDがLレベルとなる。応じて、NチャネルMOSトランジスタNQ10がオフ状態となり、内部ノードND1およびND2が電気的に分離される。MOSトランジスタPQ10が、オン状態となり、内部ノードND2が電源電圧VDDレベルに充電される。20

【0414】

このとき、また、インバータIV21およびIV22の出力信号がそれぞれHレベルおよびLレベルとなり、トライステートインバータTV10が活性状態となり、内部ノードND2の信号を反転して出力する。応じて、PチャネルMOSトランジスタPQ11およびPQ12がオン状態となり、トライステートインバータTV10とMOSトランジスタPQ11、PQ12によりラッチ回路が形成され、内部ノードND2が電源電圧VDDレベルに維持され、また、トライステートインバータTVの出力信号がLレベルに維持される。トライステートインバータTV11が、非活性化されても、判定結果信号Joutに対してはこのトライステートインバータTV11は、何ら影響を及ぼさない。30

【0415】

この状態を維持して、時刻t1において、ヒューズ電源電圧VDDQが所定の電圧レベルに設定される。このとき、図59に示す溶断電流供給トランジスタCTRがヒューズ切断ロック信号FGCLKおよび対応のプログラムスキャンフリップフロップ(FF)PSRおよびFS選択スキャンフリップフロップ(FF)FSRからの信号に従って選択的にオン状態となる。ヒューズ素子FSにおいてヒューズFUの溶断時においては、溶断電流供給トランジスタCTRがオン状態となり、ノードND1へヒューズ溶断電流が流れその電圧レベルが一旦上昇するものの、ヒューズFU溶断後その電圧レベルは、Lレベルに低下する(溶断電流供給トランジスタによる)。一方、ヒューズFUの非溶断時には溶断電流供給トランジスタCTRはオフ状態に維持されるため、ノードND1は、ヒューズFUを介してヒューズ電源電圧VDDQの電圧レベルに維持される。40

【0416】

このヒューズ溶断時においては、MOSトランジスタNQ10およびNQ11がオフ状態であり、内部ノードND1に対する切断判定回路CJCKの充放電電流経路は遮断されており、ヒューズ溶断処理に対して、切断判定回路CJCKは、何ら影響を及ぼさない。

【0417】

時刻t2においてヒューズ切断期間が完了すると、ヒューズ電源電圧VDDQがLレベルに設定される。したがって、ヒューズFUの切断後、ヒューズ両端の電圧はともに接地電圧レベルに維持される。非切断ヒューズにおいても、このヒューズ電源電圧VDDQの電圧レベルの低下により、その両端電圧は同じ電圧レベルに維持される。

【0418】

時刻t3においてヒューズ切断サイクルが完了すると、リセット信号ZFSRSTおよ50

びリセットディレー信号Z F S R S T DがHレベルとなり、MOSトランジスタP Q 1 0およびP Q 1 1がオフ状態となり、MOSトランジスタN Q 1 0およびN Q 1 1がオン状態となり、内部ノードN D 1およびN D 2がともに接地電圧レベルに維持される。

【0419】

また、トライステートインバータT V 1 0が非活性化され、また、トライステートインバータT V 1 1が活性化され、MOSトランジスタP Q 1 2のゲート電位が直前のLレベルに維持される。PチャネルMOSトランジスタP Q 1 2がオン状態であっても、PチャネルMOSトランジスタP Q 1 1がオフ状態であり、内部ノードN D 2は電源ノードから分離されており、内部ノードN D 2は、NチャネルMOSトランジスタN Q 1 1により接地電圧V S Sレベルに維持される。

10

【0420】

図62は、図60に示す切断判定回路C J C Kの切断判定動作およびヒューズの電圧ストレス印加時の動作を示すタイミング図である。以下、図62を参照して、図60に示す切断判定回路のヒューズの状態判定動作およびヒューズ電圧ストレス印加時の動作について説明する。

【0421】

まず、ヒューズ切断動作時以外（テストモード時または通常動作時のシステムリセット後または電源投入時）においては、ヒューズ電源電圧V D D Qは、Lレベルの接地電圧レベルに維持される。判定動作前においては、リセット信号Z F S R S Tおよびリセットディレー信号Z F S R S T DはともにHレベルである。切断判定回路C J C Kにおいて、NチャネルMOSトランジスタN Q 1 0およびN Q 1 1がオン状態、PチャネルMOSトランジスタP Q 1 0およびP Q 1 1がオフ状態であり、内部ノードN D 1およびN D 2は、ともに接地電圧V S Sレベルにある。また、溶断電流供給トランジスタC T rは、オフ状態に維持される。

20

【0422】

ヒューズ素子の状態を判別するとき、ヒューズリセット信号Z F S T RがLレベルに設定され、またこれと並行してまたは少し遅れてヒューズリセットディレー信号Z F S R S T DがLレベルに駆動される。応じて、MOSトランジスタN Q 1 0およびN Q 1 1がオフ状態に設定され、一方、MOSトランジスタP Q 1 0はオン状態となり、内部ノードN D 2が、電源電圧V D Dレベルにプリチャージされる。トライステートインバータT V 1 0は、リセットディレー信号Z F S R S T DがLレベルであるため、活性状態であり、内部ノードN D 2の電圧レベルに応じてLレベルの信号を出力し、応じてPチャネルMOSトランジスタP Q 1 2がオン状態となり、内部ノードN D 2は、電源電圧V D Dレベルに維持される。このときトライステートインバータT V 1 1が、出力ハイインピーダンス状態にある。この状態においては、判定結果信号J o u tは、トライステートインバータT V 1 0の出力信号に従ってLレベルとなる。

30

【0423】

次いで、リセットディレー信号Z F S R S T DをLレベルに維持した状態で、リセット信号Z F S F S TをHレベルに立上げる。応じて、MOSトランジスタP Q 1 0がオフ状態、MOSトランジスタN Q 1 0がオン状態となり、内部ノードN D 2およびN D 1が電気的に接続される。ヒューズ素子F SのヒューズF Uの切断状態のときには、内部ノードN D 2からの電源電圧が内部ノードN D 1へ伝達され、内部ノードN D 1およびN D 2の電圧レベルが、電源電圧V D Dレベルに維持され、トライステートインバータT V 1 0の出力信号は、Lレベルに維持される。応じて、判定結果信号J o u tもLレベルに維持される。

40

【0424】

一方、ヒューズF Uが、非切断状態にあるときには、内部ノードN D 1が接地電圧レベルのヒューズ電源ノード（V D D Q）に結合され、内部ノードN D 1およびN D 2の電圧レベルがヒューズF Uを介して接地電圧レベルのヒューズ電源ノードに放電され、Lレベルに低下する。トライステートインバータT V 1 0は活性状態にあるため、この内部ノー

50

D N D 2 の電圧レベルに応じた信号を出力し、結果判定出力信号 J o u t の電圧レベルがヒューズの切断 / 非切断に応じて変化する。

【 0 4 2 5 】

次いで、リセットディレー信号 Z F S R S T D を H レベルに立上げ、トライステートインバータ T V 1 0 を出力ハイインピーダンス状態に設定する。このとき、トライステートインバータ T V 1 1 が活性化され、インバータ I V 2 0 およびトライステートインバータ T V 1 1 によりラッチ回路が形成され、内部ノード N D 2 の電圧レベルが保持され、判定結果信号 J o u t は、ヒューズ F U の切断・非切断状態に応じた電圧レベルに維持される。

【 0 4 2 6 】

外部で判定結果出力信号 J o u t の電圧レベルを見ることにより、ヒューズ素子 F S が切断状態であるか非切断状態であるかを識別することができる。また、通常動作時においては、初期化時において切断判定回路 C J C K の出力信号 J o u t が対象回路へ与えられ、ヒューズ情報利用回路の内部状態が設定される。

【 0 4 2 7 】

次に、ヒューズ素子 F S のヒューズ F U に電圧ストレスを印加し、このヒューズの寿命を測定する場合の動作について説明する。電圧ストレス印加時においても、ヒューズ電源電圧 V D D Q は L レベルに維持される。リセット信号 Z F S R S T を H レベルから L レベルに立下げ、また、リセットディレー信号 Z F S R S T D がリセット信号 Z F S R S T と並行してまたはそれより遅れて L レベルに設定する。M O S トランジスタ P Q 1 0 がオン状態、M O S トランジスタ N Q 1 0 がオフ状態となり、内部ノード N D 1 および N D 2 が、互いに分離される。内部ノード N D 2 が、M O S トランジスタ P Q 1 0 により充電され電源電圧 V D D レベルとなる。このとき、内部ノード N D 1 は、初期状態の接地電圧レベルである。また、M O S トランジスタ N Q 1 0 がオフ状態となり、また、トライステートインバータ T V 1 0 が活性状態となり、内部ノード N D 2 の電圧レベルを反転する。応じて、トライステートインバータ T V 1 0 の出力信号およびインバータ I V 2 2 の出力信号が L レベルとなり、M O S トランジスタ P Q 1 1 および P Q 1 2 がともにオン状態となり、内部ノード N D 2 は、電源電圧 V D D レベルに維持される。

【 0 4 2 8 】

リセットディレー信号 Z F S R S T D を L レベルに維持した状態で、リセット信号 Z F S R S T を H レベルに立上げる。応じて、M O S トランジスタ P Q 1 0 がオフ状態、M O S トランジスタ N Q 1 0 がオン状態となり、内部ノード N D 1 および N D 2 が電気的に結合される。このとき、M O S トランジスタ P Q 1 1 はオン状態である。ヒューズ F U が低抵抗状態のときには、ヒューズ電源電圧 V D D Q が接地電圧レベルであるため、内部ノード N D 2 の電圧レベルが低下し、トライステートインバータ T V 1 0 の出力信号が H レベルとなり、M O S トランジスタ P Q 1 2 がオフ状態となり、内部ノード N D 2 の電圧レベルは、L レベルとなる。ヒューズ F U が高抵抗状態（切断状態）のときには、内部ノード N D 1 および N D 2 は、H レベルに維持される。トライステートインバータ T V 1 0 の出力信号は L レベルとなり、M O S トランジスタ P Q 1 1 および P Q 1 2 により内部ノード N D 2 が充電され、その電圧レベルは H レベルを維持する。

【 0 4 2 9 】

内部ノード N D 2 の電圧レベルに応じて、判定結果出力信号 J o u t の電圧レベルは、ヒューズ F U の非切断時（低抵抗状態時）においては H レベル、切断状態の高抵抗状態においては、L レベルとなる。

【 0 4 3 0 】

この場合、ヒューズ F U が高抵抗状態のとき、ヒューズ F U の両端には、電源電圧 V D D レベルの電圧が印加され、銅切片による銅原子のマイグレーションにより、その抵抗値が低下した場合、結果判定出力信号 J o u t の電圧レベルが変化する。したがって、この高抵抗状態のヒューズ F U が低抵抗状態に変化するまでの時間を測定することにより、ヒューズ F U の寿命を測定することができる。また、低抵抗状態のヒューズ F U に対しては

10

20

30

40

50

、その両端が接地電圧レベルに設定され、不要な電圧ストレスが印加されるのは回避される。

【0431】

この電圧ストレス印加期間が完了すると、リセット信号ZFSRSTおよびリセットディレー信号ZFSRSTDがともにHレベルに維持され、トライステートインバータTV10が出力ハイインピーダンス状態、トライステートインバータTV11が活性状態となり、内部ノードND2およびND1は、MOSトランジスタNQ10およびNQ11により接地電圧VSSレベルに維持される。

【0432】

このヒューズゲート電源電圧VDDQは、ヒューズ溶断時のみ所定の電圧レベル（電源電圧VDD以上の溶断電圧）に設定するとともに、それ以外の動作時、接地電圧レベルに維持することにより、以下の利点が得られる。すなわち、仮想接地線およびヒューズゲート電源線を用いてヒューズゲート電源電圧FGVDD1および仮想接地電圧VGNPの電圧レベルを調整する場合、その変化タイミングの調整が複雑となり、また電圧を切換えるための回路構成が必要とされる。しかしながら、ヒューズゲート電源電圧VDDQが別途供給されるだけで、その電圧レベルをヒューズ素子溶断時においてのみ所定の溶断電圧レベル（電源電圧レベル以上またはそれ以下の適当な電圧レベル）に設定するだけであり、電圧切換のための回路構成が不要となり、また切換タイミングの調整も不要となる。また、ヒューズゲート電源電圧VDDQは、通常動作モード時においては、接地電圧レベルに維持されるため、電源立上げ時等におけるヒューズFUを介したリーク電流は十分に抑制される。特に、ヒューズ溶断時、通常動作モードにおいて、ヒューズゲート電源電圧を接地電圧と異なる所定の電圧、例えば、電源電圧VDDに設定した場合、溶断されたヒューズの銅原子が電圧により拡散し、周辺の回路に悪影響を与える。このヒューズゲート電源電圧VDDQは、ヒューズ溶断時のみ所定の電圧（電源電圧以上の溶断電圧）に設定するとともに、それ以外の動作時、接地電圧レベルに維持するため、このような不具合も無くなる。

【0433】

また、このヒューズゲート電源電圧VDDQを利用する場合、先の実施の形態2から7において示した銅拡散防護壁構造においては、内部ノードND1およびヒューズ電源電圧VDDQが通常動作モード時においてはともに接地電圧VSSレベルに維持されるため、内部のヒューズ素子下層の溶断電流供給トランジスタの電極配線および防護壁構造を構成するメタル配線および溝形状ビアはすべて接地電圧レベルの同一電圧レベルに維持される。したがって銅原子の拡散は、単に熱拡散を考慮するだけではなく、先の実施の形態2から7において示したヒューズ素子の防護壁構造において電源電圧VDDに代えてヒューズゲート電源電圧VDDQを伝達する配線を配置するとともに、仮想接地線に代えて接地線（VSS線）を配置するだけで、同様の効果を得ることができる。

【0434】

なお、このヒューズゲート電源電圧VDDQは、テスト時においては外部からのテスターにより供給され、また他の制御信号も、テスターから供給されればよい。通常動作モード時にヒューズ電源電圧VDDQを接地電圧に維持するためには、パッケージ封止時に、ヒューズ電源パッドを、接地ピン端子に結合するだけよい。

【0435】

図63は、この発明の実施の形態8に従う半導体装置（半導体集積回路装置）の全体の構成を概略的に示す図である。この半導体装置は、ビルトインセルフテスト回路（BIST）を含み、このBISTにより内部テストを実行する。図63において、半導体装置1内に配置されるビルトインセルフテスト回路610は、外部とテストデータSINOおよびSOUTを端子612および614を介して送受し、配線溶断プログラム回路4の動作制御および内部回路（コア回路）2内に含まれる制御回路620の動作を制御する。電源端子615および616からの電源電圧VDDおよび接地電圧VSSが内部回路（コア回路）2および配線溶断プログラム回路4に供給され、ヒューズ電源ノード（パッド）6

10

20

30

40

50

04からのヒューズ電源電圧VDDQは電源制御部625を介して配線溶断プログラム回路4へ供給される。この電源制御部625は、ビルトインセルフテスト回路610からの制御により、ヒューズ溶断時、所定のタイミングでこのヒューズゲート電源電圧VDDQを、ヒューズ溶断に必要な高電圧（電源電圧VDD以上）に設定する。

【0436】

この電源制御部625は、ヒューズ溶断時以外、ビルトインセルフテスト回路610により、そのヒューズゲート電源電圧VDDQを接地電圧（VSS）レベルに維持する。この半導体装置1のパッケージ封止時においては、ヒューズゲート電源ノード（パッド）はボンディングワイヤにより接地ピンに結合される。

【0437】

内部回路2の制御回路620に対しては、端子（パッド）618を介して与えられる外部制御信号EXCTLが与えられ、この内部回路2の動作モードが指定される。内部制御回路620は、テストモードがこの制御信号EXCTLにより指定されると、ビルトインセルフテスト回路610を起動し、テストを実行する。

【0438】

ヒューズ溶断時およびテストモード時においてはビルトインセルフテスト回路610が動作し、制御回路620の動作をテストするとともに、配線溶断プログラム回路4に対し必要なクロック信号および制御信号を供給し、プログラムデータSINIを、外部からのテストデータSINOに従って供給するとともに、この配線溶断プログラム4からのシリアル出力SOUTiに従って外部上のテストデータSOUToを生成する。

【0439】

したがって、この半導体装置1内においてビルトインセルフテスト回路610が設かれている場合においても、電源制御部625を設けることにより、ヒューズ溶断時においてのみヒューズ電源電圧VDDQを所定の電圧レベルに設定し、それ以外の動作時、および内部回路の動作する通常動作時（制御回路620による制御が行なわれる）においては、電源電圧VDDQは接地電圧レベルに維持される。

【0440】

以上のように、この発明の実施の形態8に従えば、特定のパッドを介して電源電圧とは別のヒューズ電源電圧を供給しヒューズ素子へ供給している。したがって、ヒューズ素子溶断後および溶断時、複雑な制御を必要とすることなく、ヒューズを溶断することができるとともに、通常動作時にヒューズ素子におけるリーク電流を低減することができる。

【0441】

〔変更例〕

図64は、この発明の実施の形態8の変更例の配線溶断プログラム回路の構成を概略的に示す図である。図64においては、1つのヒューズ素子FSに関連する部分の構成を代表的に示す。このヒューズ素子FSに対し、ヒューズ素子FSの切断／非切斷を判定するための切断判定回路650が設けられる。ヒューズ素子FSと接地ノードの間に溶断電流供給トランジスタ652が設けられ、この溶断電流供給トランジスタ652は対応の切断制御回路654によりオン／オフ状態が制御される。

【0442】

このヒューズ素子FSの電源ノードへは、電源制御回路656を介してヒューズ電源電圧VDDQが供給される。この電源制御回路656は、外部のヒューズ電源ノード（パッド）からの外部ヒューズ電源電圧EXVDDQに従ってヒューズ溶断時に、ヒューズ電源電圧VDDQを電源電圧VDD以上の溶断電圧レベルに設定し、それ以外のときには、この外部電源電圧EXVDDQは接地電圧レベルに維持され、ヒューズ電源電圧VDDQを接地電圧レベルに維持する。この切断判定回路650および切断制御回路654へは、電源電圧VDDが、動作電源電圧として供給される。

【0443】

この切断判定回路650は、ヒューズ素子FSのヒューズFUの切断／非切斷に応じた信号を送出するノード時において、このヒューズFUの切断／非切斷状態に応じた出力信

10

20

30

40

50

号 JOUT を生成する回路構成であればよく、任意の回路構成を利用することができます。また、切断制御回路 654 は、このヒューズ素子 FS のヒューズ FU の切断時、溶断電流供給トランジスタ 652 をオン状態に設定する回路構成であれば任意の構成を利用することができます。

【0444】

したがって、このような一般的ヒューズプログラム回路の構成に対しても、ヒューズ素子 FS とその周辺の切断判定回路 650 および切断制御回路 654 とに対し上述の外部電源ノード（パッド）からの電源電圧 VDD および EXVDDQ を供給することにより、ヒューズ FU を介しリーク電流を抑制することができるとともに、切断制御回路 654 における動作制御を簡略化することができる。

10

【産業上の利用可能性】

【0445】

この発明は、一般にヒューズ素子を用いて内部回路の動作様式および動作条件を設定するヒューズプログラム回路を含む構成であれば、半導体集積回路装置に対し一般に適用することができる。

【符号の説明】

【0446】

1 半導体装置、2 内部回路（コア回路）、4 配線溶断プログラム回路、FPK1 - FPKn ヒューズプログラム回路、CJC 切断判定回路、FS ヒューズ素子、AG1 AND 回路、CTR 溶断電流供給トランジスタ、FSSR FS 選択スキャンフリップフロップ、PSR プログラムスキャンフリップフロップ、10 NAND ゲート、12 レベル変換器、14 インバータ、9 電源切換回路、30 ヒューズゲート電源線、32 仮想接地線、47 NチャネルMOSトランジスタ、46a, 46b NチャネルMOSトランジスタ、45 PチャネルMOSトランジスタ、FU ヒューズ、74 熱拡散防護壁構造、76 ヒューズ直上防護壁層、92a - 92f 第2メタル配線、93b - 93e 第2ビア、94a - 94d 第3メタル配線、95a - 95d 溝形状第2ビア、98a - 98d 第2メタル配線、97a - 97d 溝形状第3ビア、99a - 99d 溝形状第4ビア、100a - 100d 第5メタル配線、102 第6メタル配線、101a, 101b 溝形状第5ビア、160 ヒューズ直上第6メタル配線、162 ストライプ状直上第6メタル配線、FU(M3) ヒューズ、170 第5メタル配線、208a - 208d 第1メタル配線、211a - 211d 第2メタル配線、212a - 212d 溝形状第1ビア、213a - 213b 第3メタル配線、214a, 214b 第4メタル配線、215a, 215b 溝形状第3ビア、216a, 216b 第5メタル配線、217a, 217b 溝形状第4ビア、220 第6メタル配線（電源線）、200 Pウェル（基板領域）、270 第6メタルメタ配線、280 スライプ状第6メタル配線、290a, 290b 第2メタル配線、291a, 291b 溝形状第2ビア、FU2(M3) ヒューズ、292 第5メタル配線、FUa - FUC ヒューズ、330x, 330a - 330d, 330y, 341 第2メタル配線、339 第3メタル配線、340 溝形状第2ビア、338 溝形状第3ビア、309 第4メタル配線、310 溝形状第4ビア、337 第5メタル配線、336 溝形状第5ビア、334 第6メタル配線、320 Pウェル（半導体基板領域）、407a - 407d 第1メタル配線、409a - 409d 第2メタル配線、410a - 410d 溝形状第1ビア、411a, 411b 第3メタル配線、412a, 412b 溝形状第2ビア、413a, 413b 第4メタル配線、414a, 414b 溝形状第3ビア、415a - 415d 第5メタル配線、416a, 416b 溝形状第4ビア、417a, 417b 溝形状第5ビア、420 第6メタル配線、450 Pウェル（半導体基板領域）、464a - 464d 第1メタル配線、467a - 467d 溝形状第1ビア、466a - 466d 第2メタル配線、469a, 469b 溝形状第2ビア、468a - 468d 第3メタル配線、470a, 470b 第4メタル配線、471a, 471b 溝形状第4ビア、472a, 472b 第5メタル配線、473a, 473b 溝形状第4

20

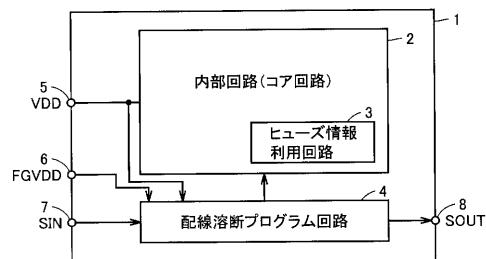
30

40

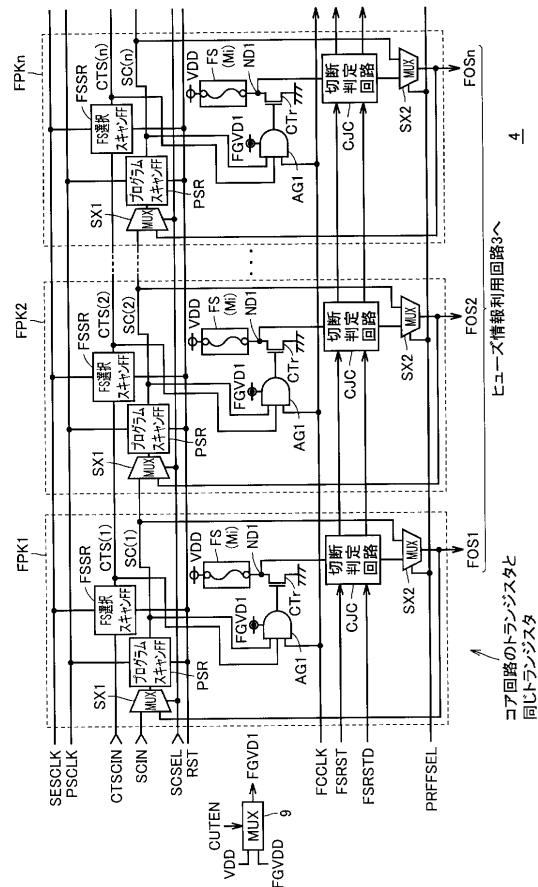
50

ビア、474a, 474b 溝形状第5ビア、475 第6メタル配線、516a - 51
 6d 第1メタル配線、510 Pウェル(半導体基板領域)、517a - 517d 第
 2メタル配線、518a - 518d 溝形状第1ビア、519a, 519b 第3メタル
 配線、520a, 520b 溝形状第2ビア、521a, 521b 第4メタル配線、5
 22a, 522b 溝形状第3ビア、523a, 523b, 524a, 524b 第5メ
 タル配線、525a, 525b 溝形状第4ビア、526a, 526b 溝形状第5ビア
 、528 第6メタル配線、504A, 504B 第1の防護壁構造、506A, 506
 B, 506C 第2の防護壁構造、530 第4メタル配線、532 第5メタル配線、
 540u, 540v, 540w 第3メタル配線、544 第4メタル配線、600 ヒ
 ューズゲート電源線、602 ヒューズゲート接地線、604 ヒューズ電源ノード(パ
 ッド)、CJCK 切断判定回路、610 ビルトインセルフテスト回路、620 制御
 回路、625 電源制御部、615 電源ノード、616 接地ノード、618 制御信
 号ノード、650 切断判定回路、652 溶断電流供給トランジスタ、654 切断制
 御回路、656 電源制御回路。
 10

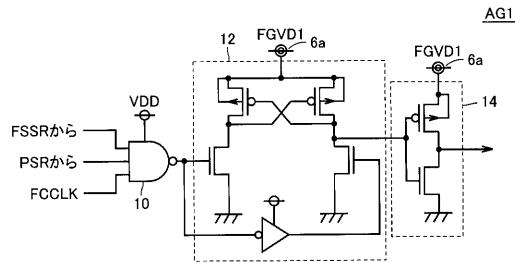
【図1】



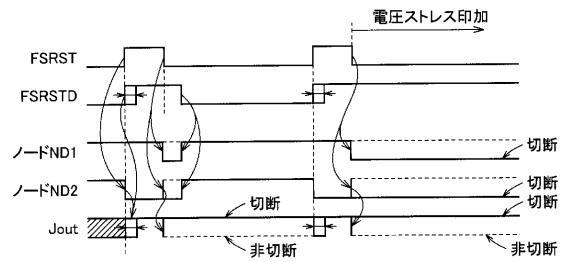
【図2】



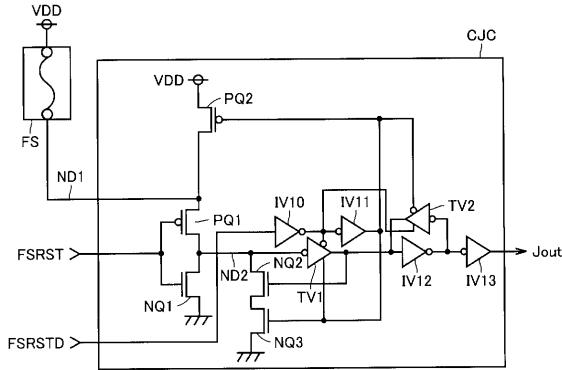
【図3】



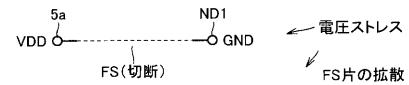
【図5】



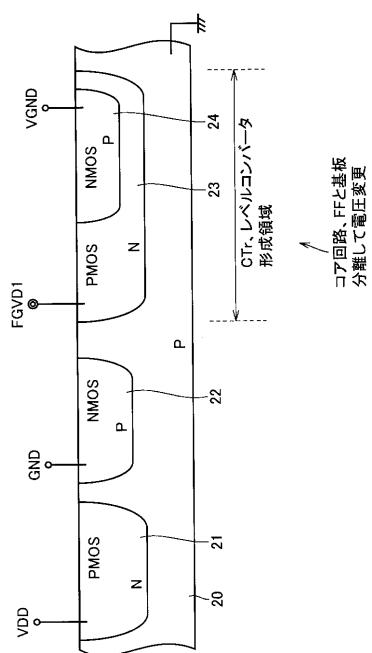
【図4】



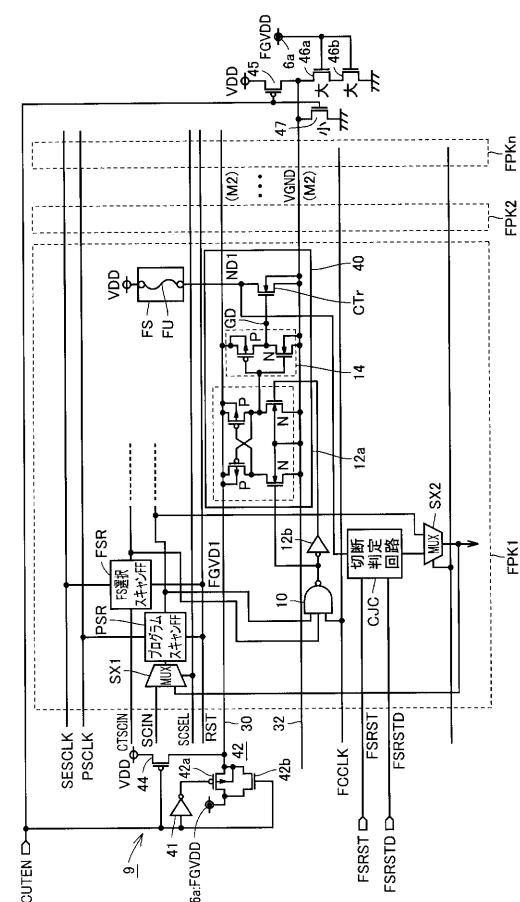
【図6】



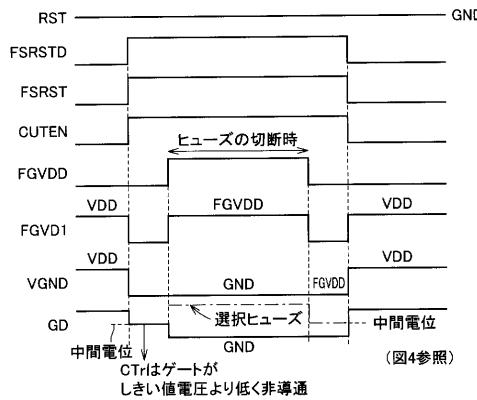
【図7】



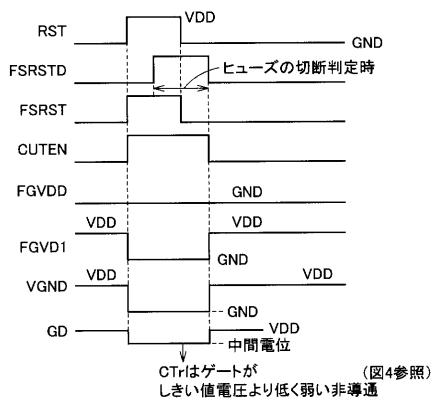
【図8】



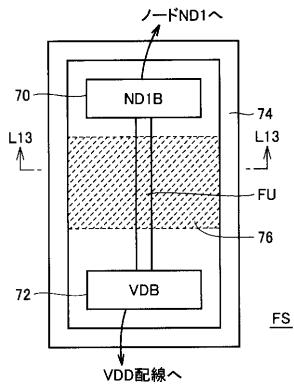
【図 9】



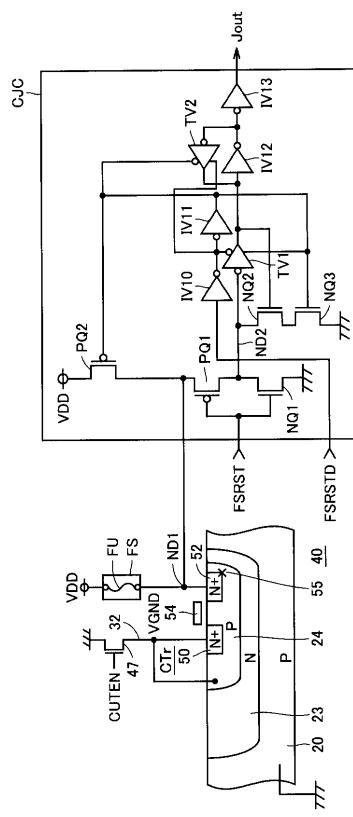
【図 10】



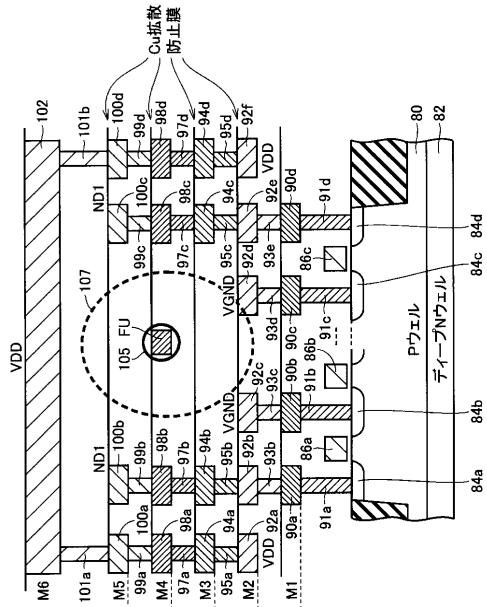
【図 12】



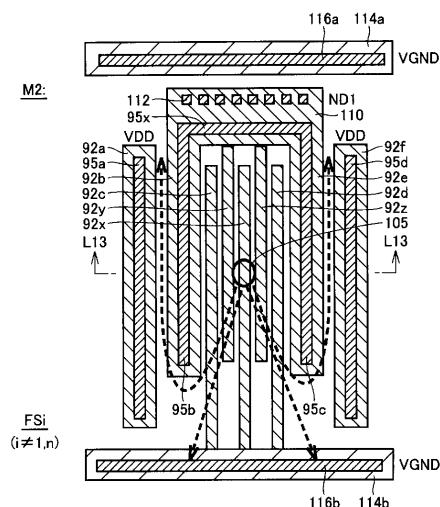
【図 11】



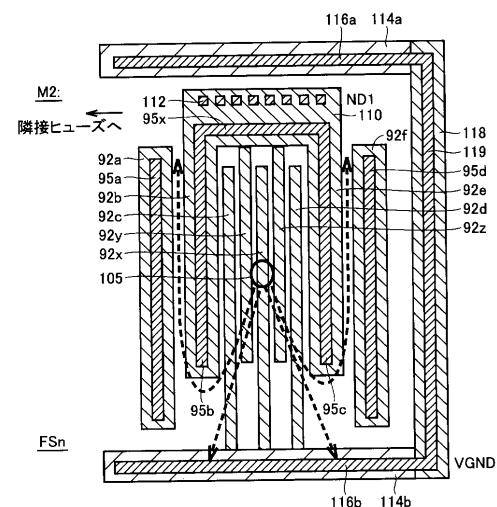
【図 13】



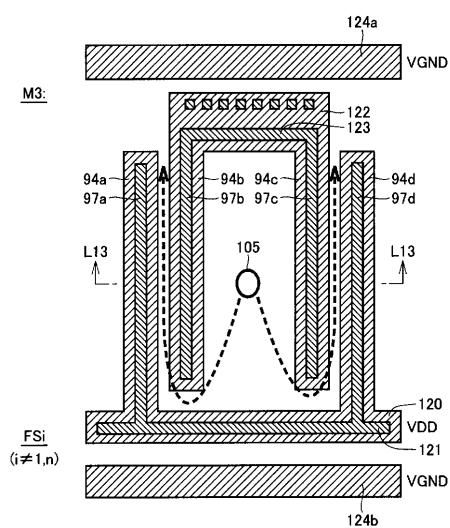
【 図 1 4 】



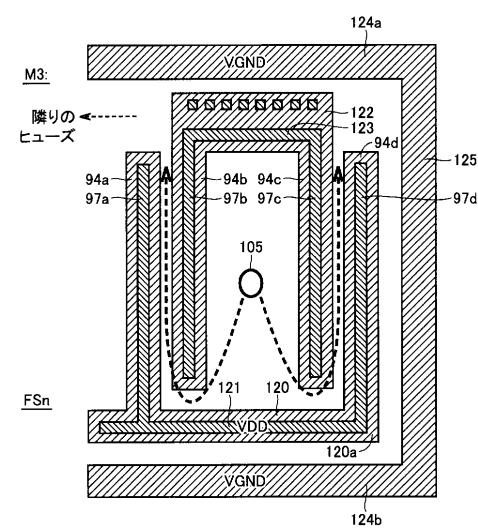
【図15】



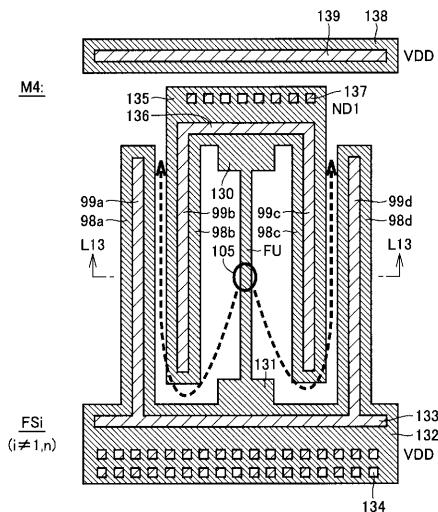
【図16】



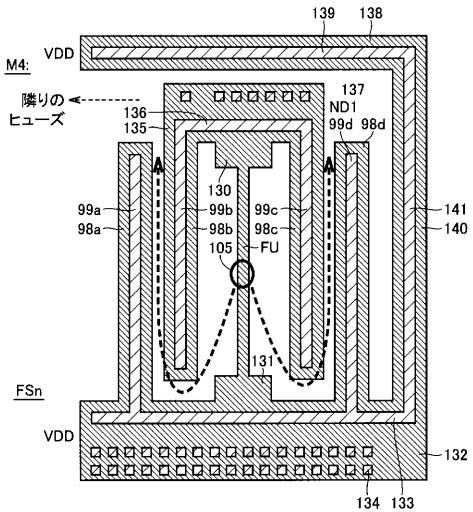
【 四 17 】



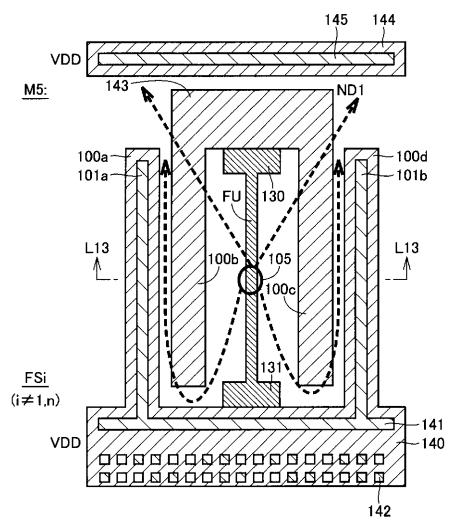
【図18】



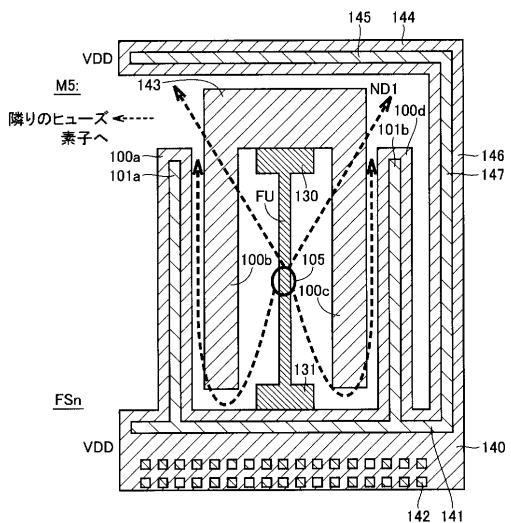
【 図 1 9 】



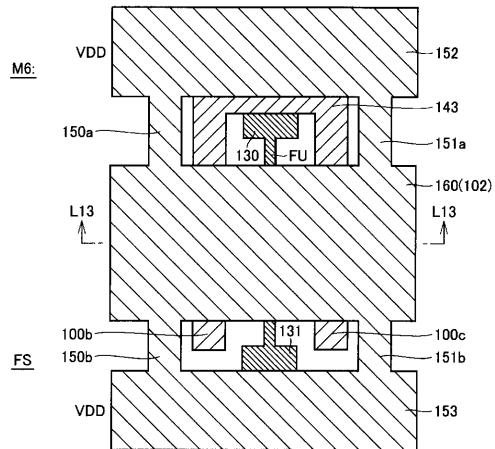
【図20】



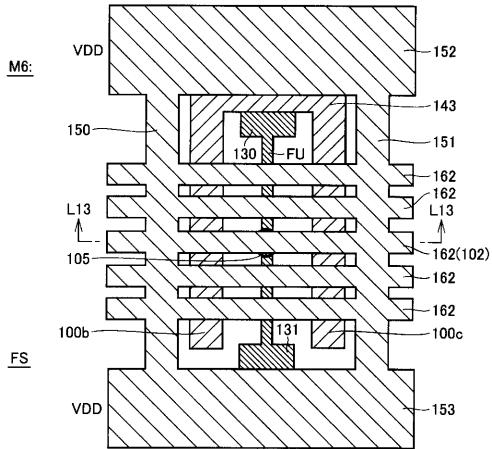
【 図 2 1 】



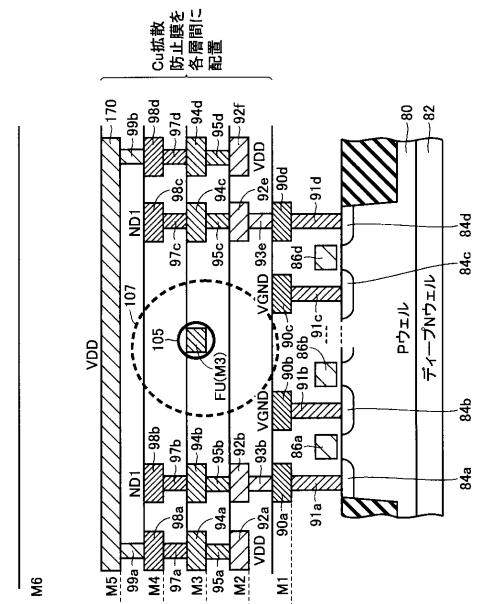
【図22】



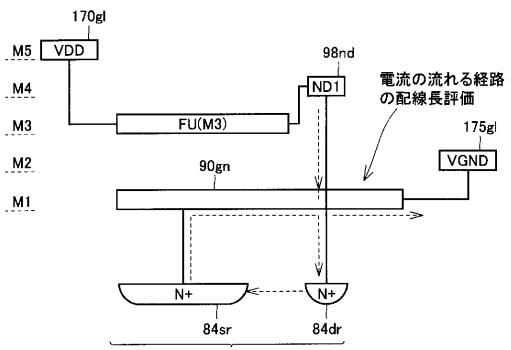
【図23】



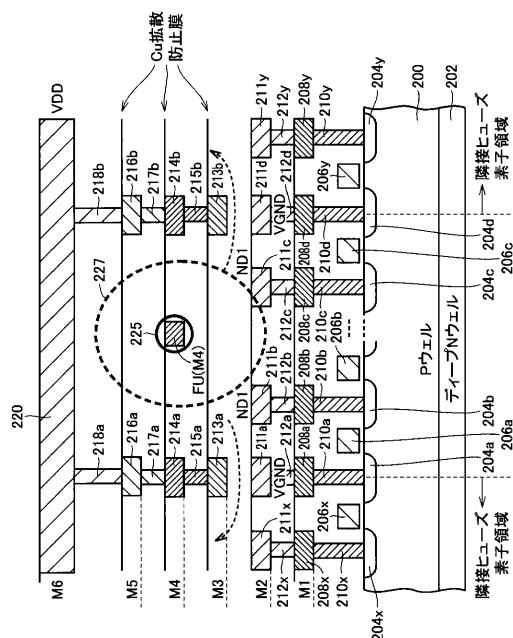
【図24】



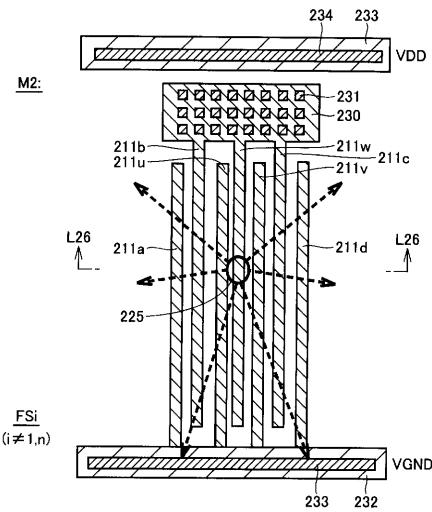
【図25】



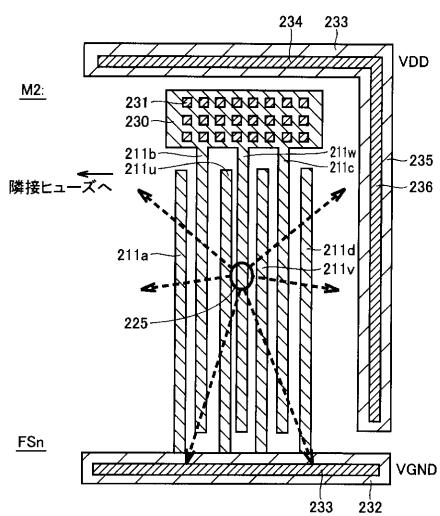
【図26】



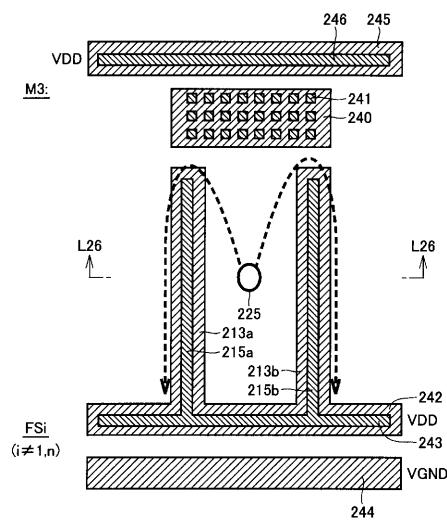
【図27】



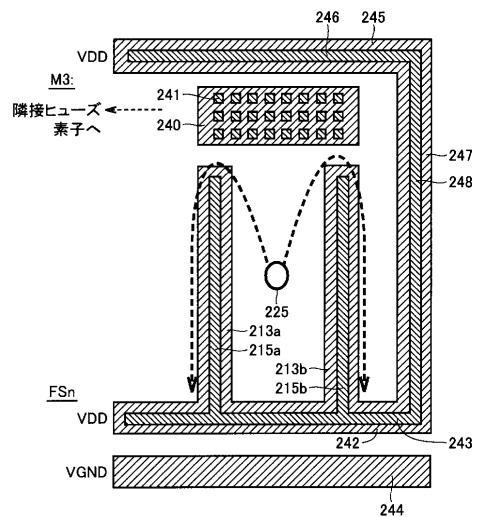
【図28】



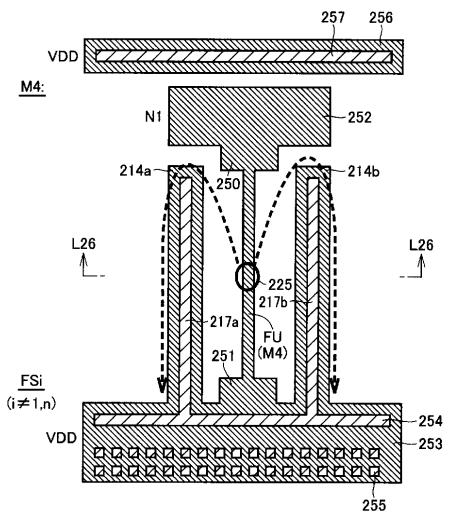
【図29】



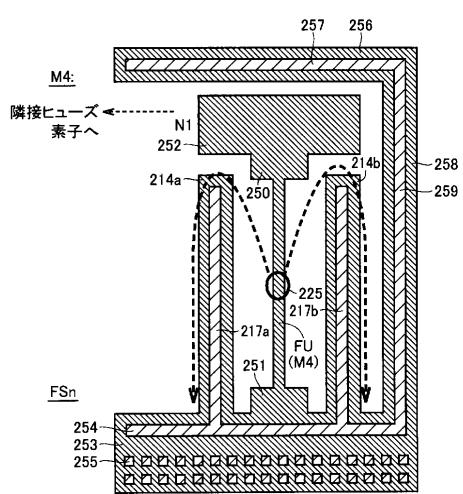
【図30】



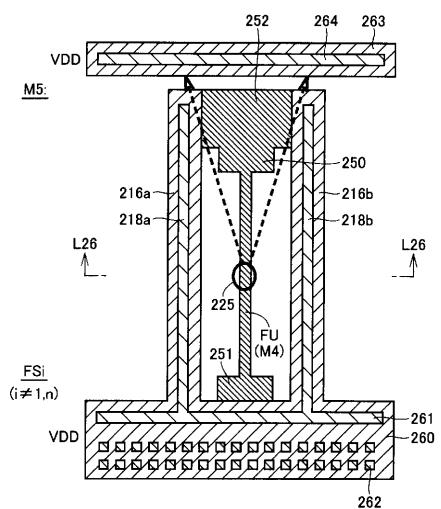
【図31】



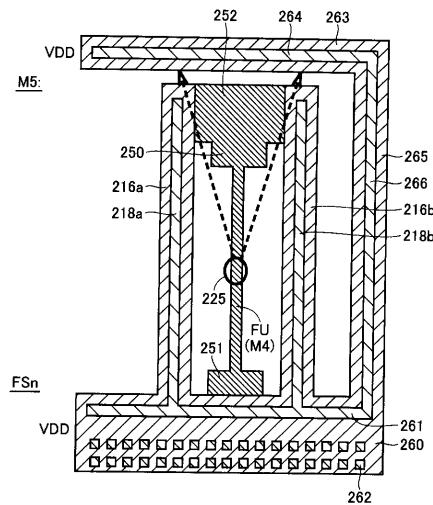
【図32】



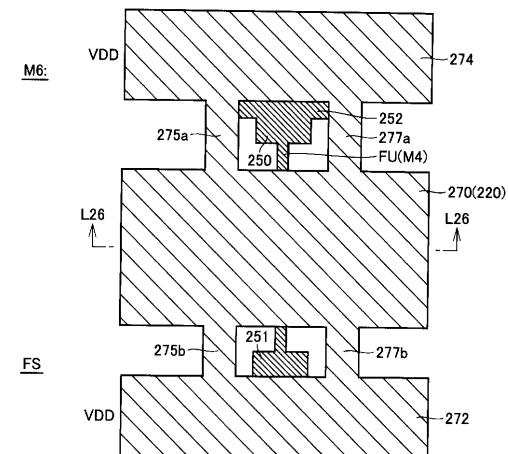
【図33】



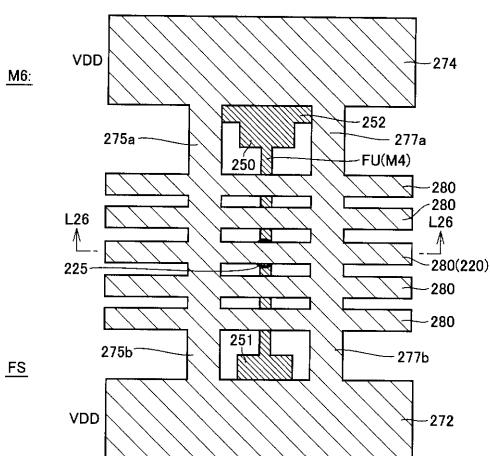
【図3-4】



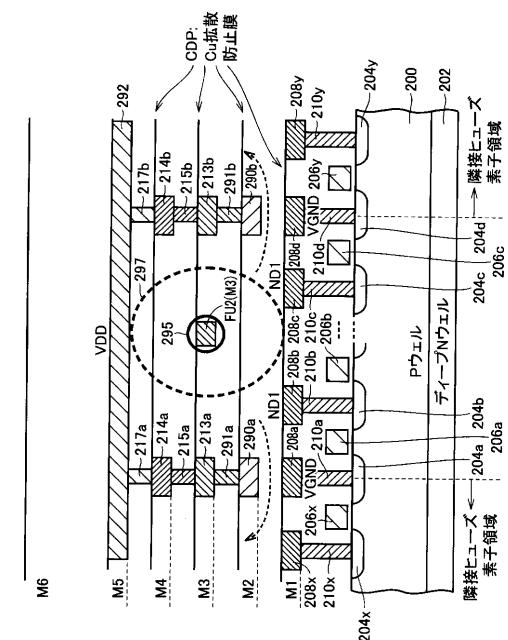
【 図 3 5 】



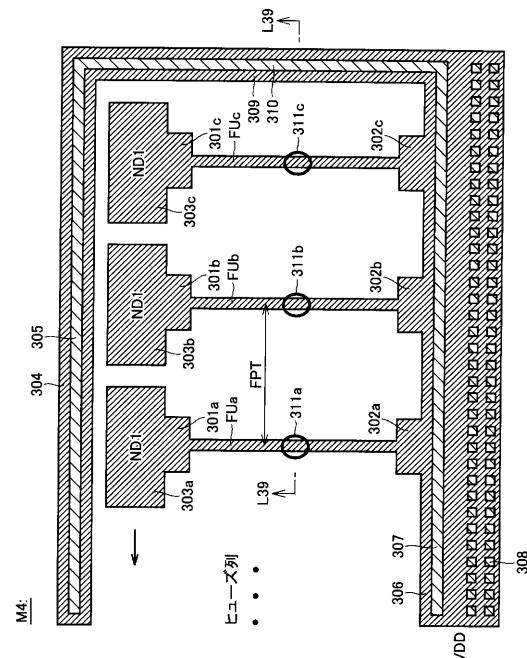
【図36】



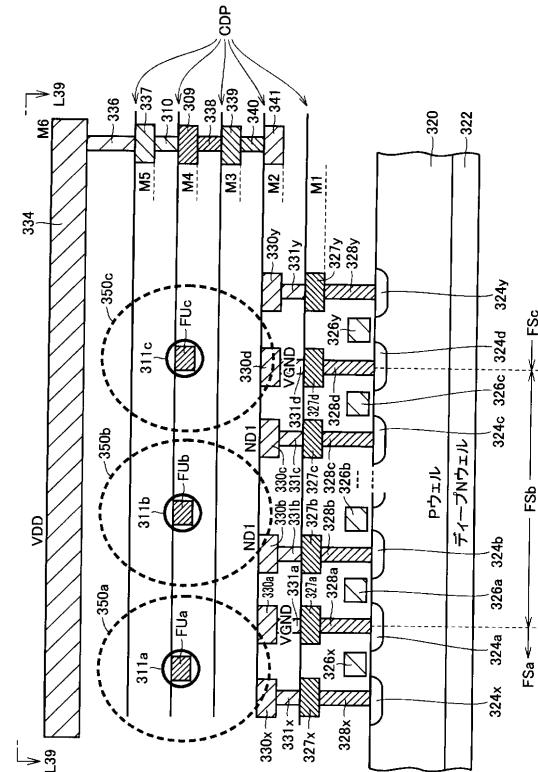
【 図 37 】



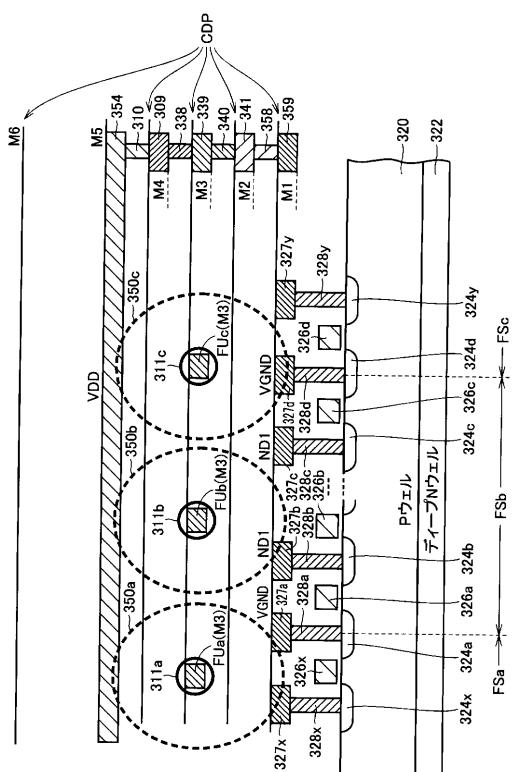
【図38】



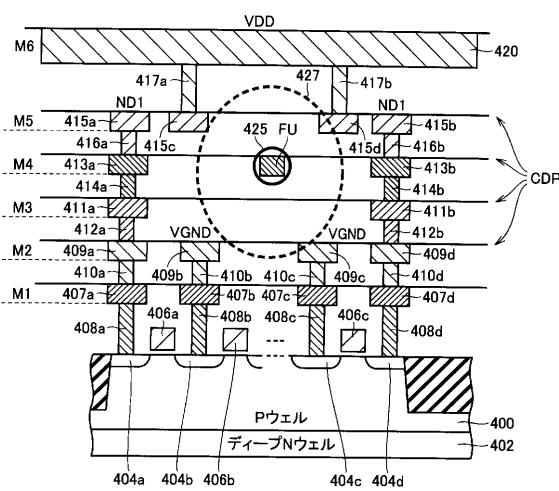
【 図 3 9 】



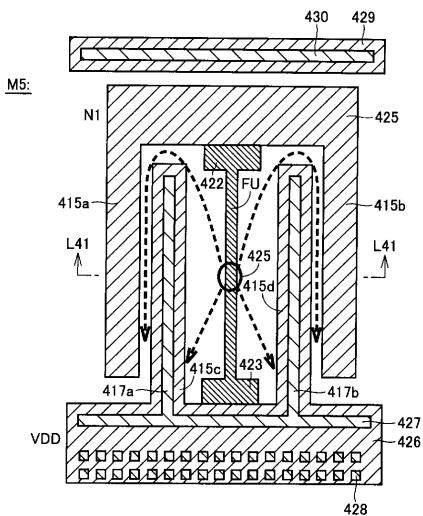
【図40】



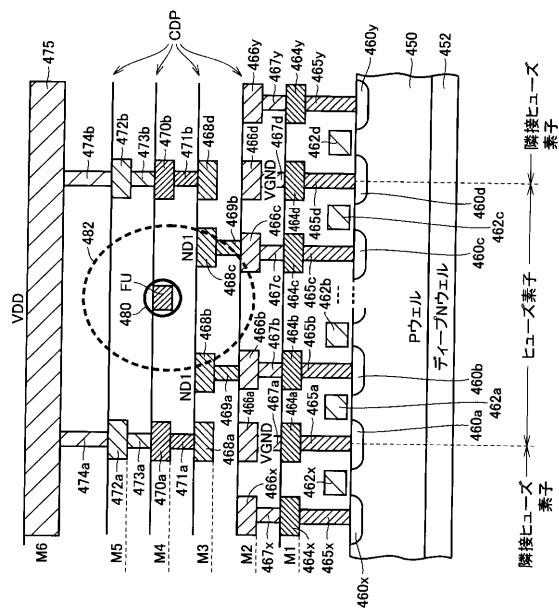
【図41】



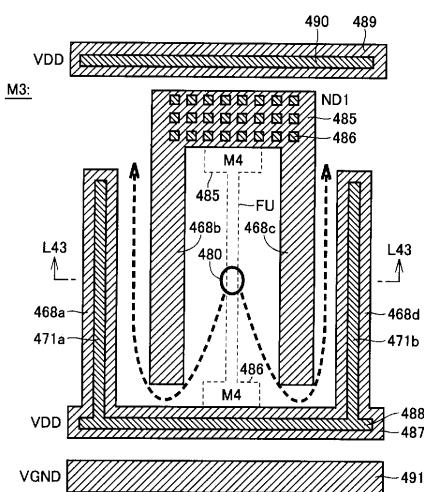
【図42】



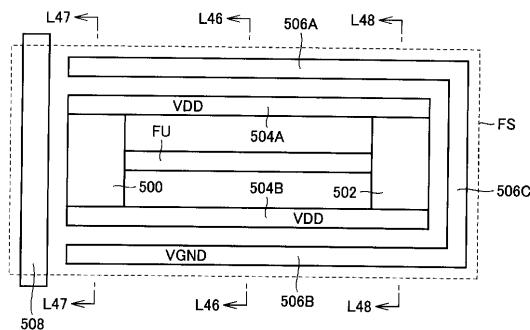
【 図 4 3 】



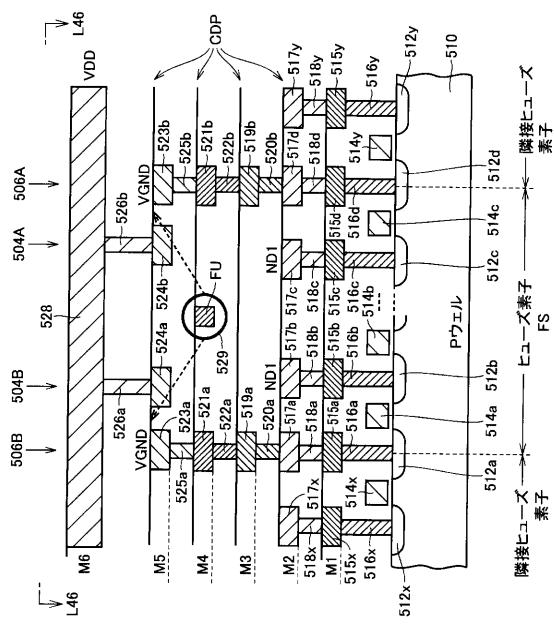
【図4-4】



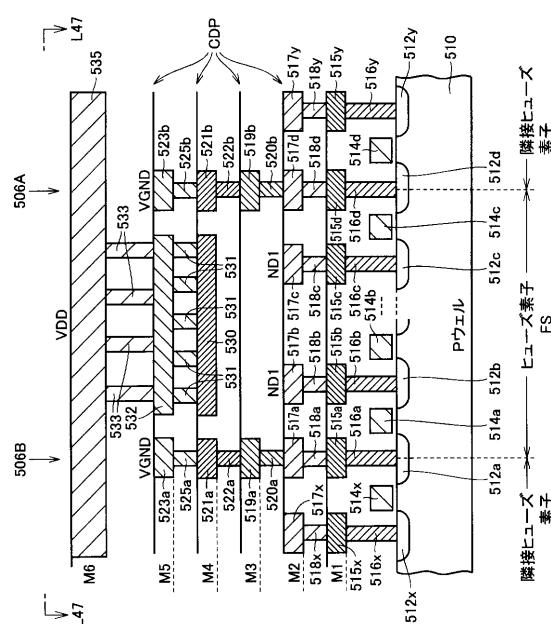
【 図 4 5 】



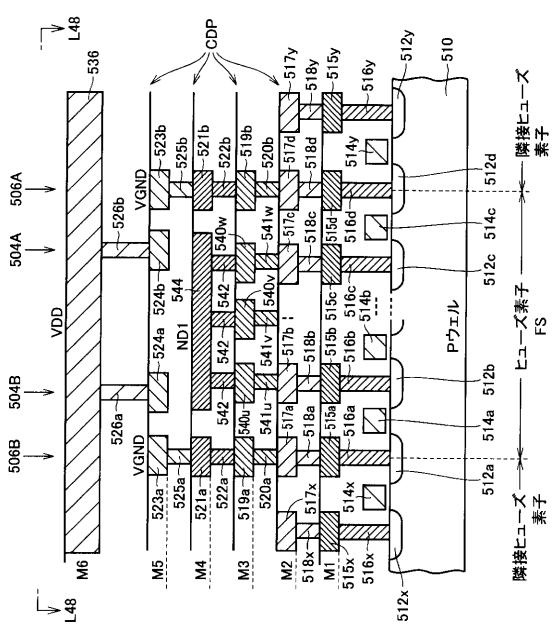
【図46】



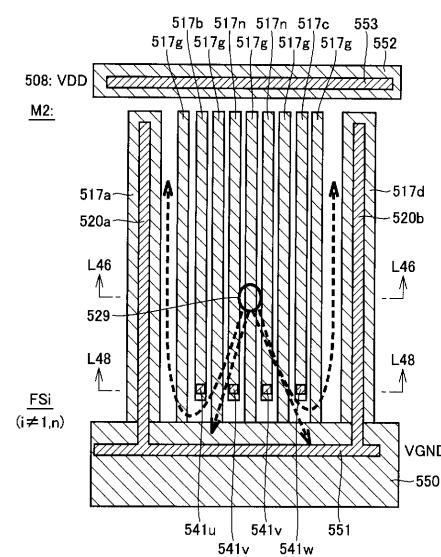
【図47】



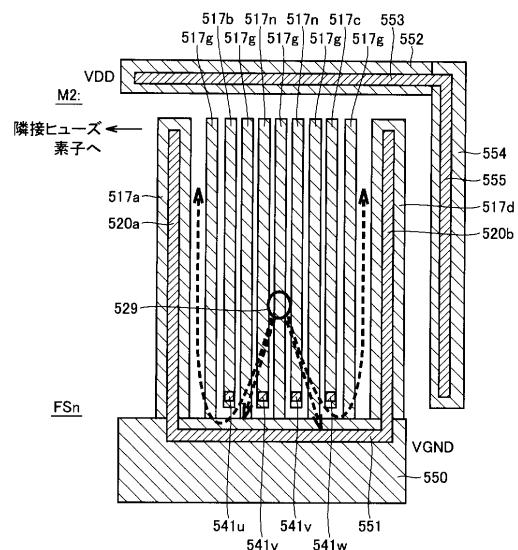
【図4-8】



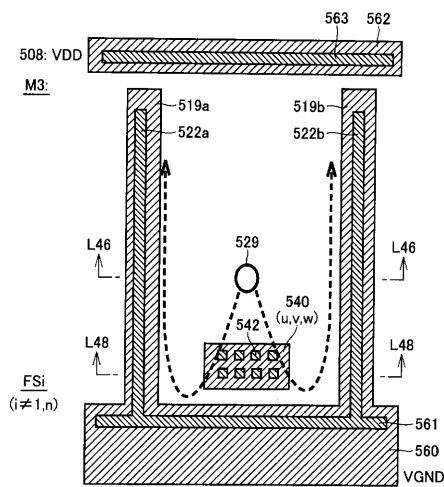
【 図 4 9 】



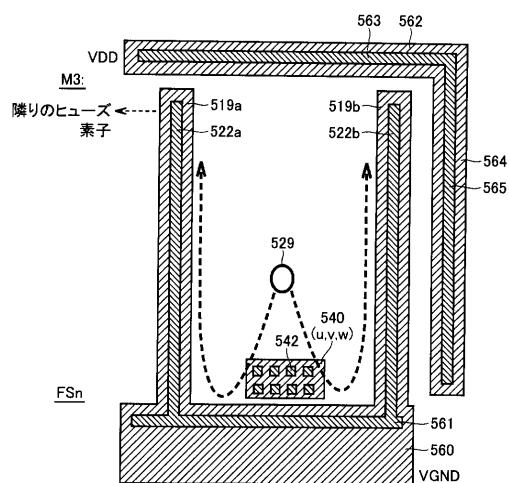
【図50】



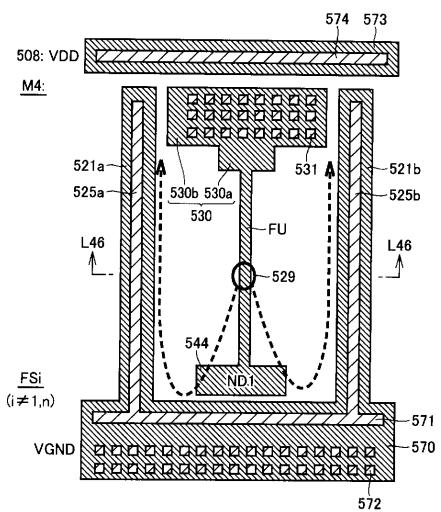
【図51】



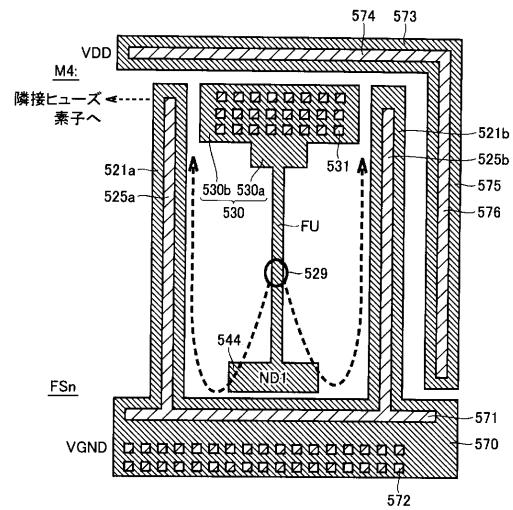
【図52】



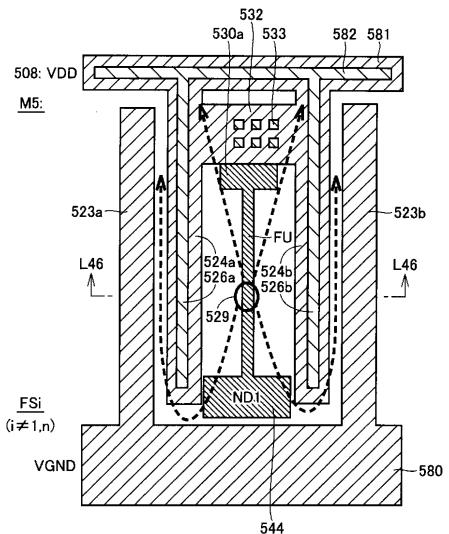
【図53】



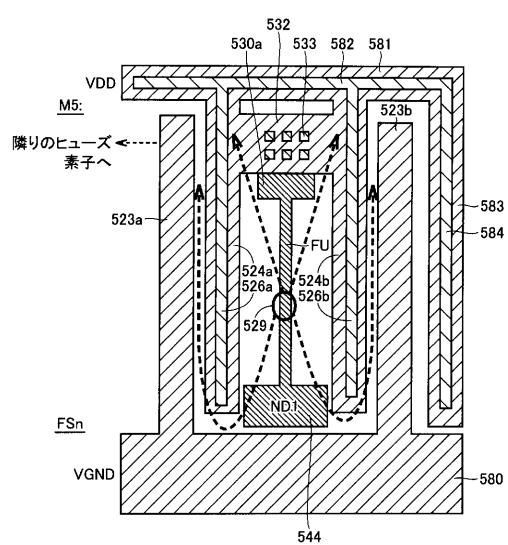
【図54】



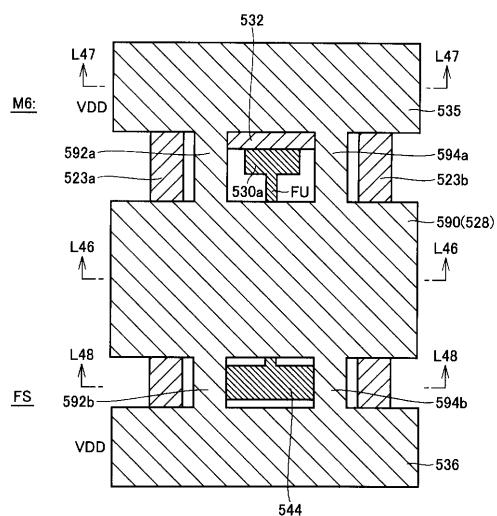
【図55】



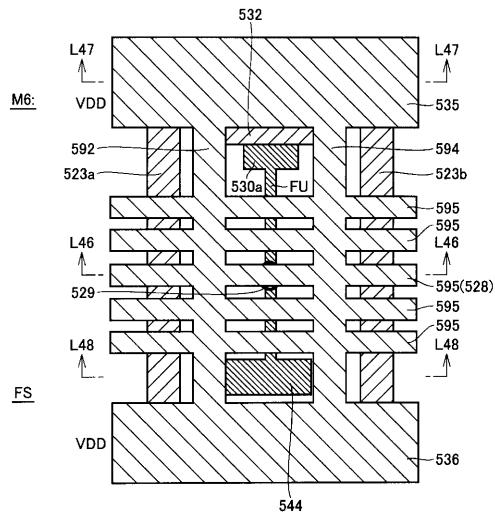
【図56】



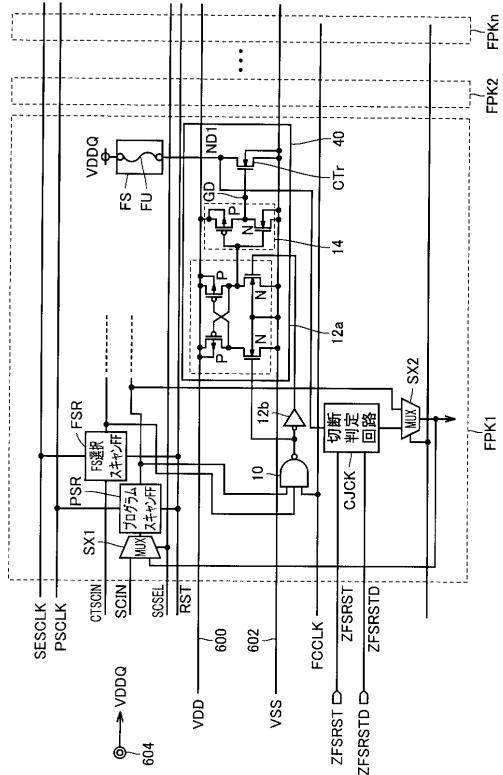
【図57】



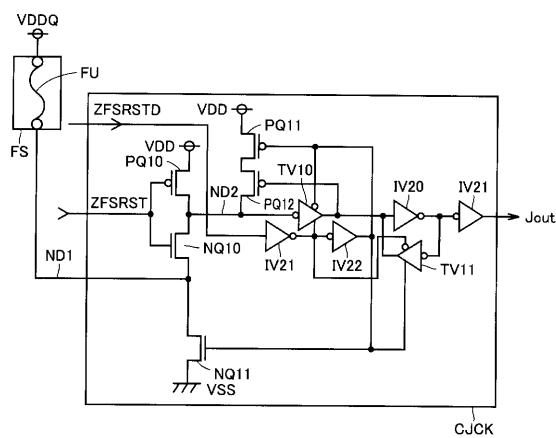
【図 5 8】



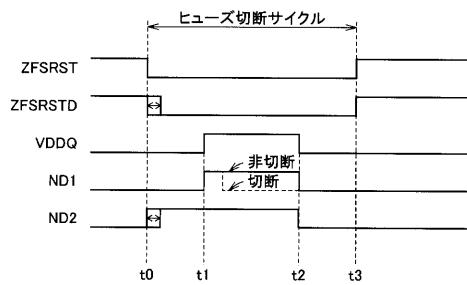
【図 5 9】



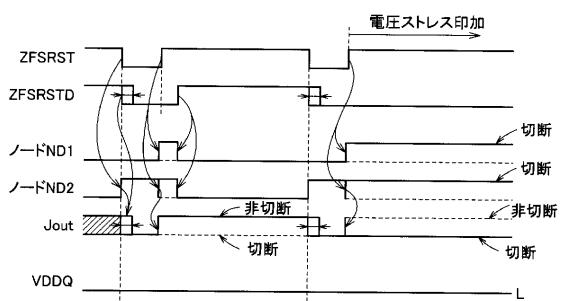
【図 6 0】



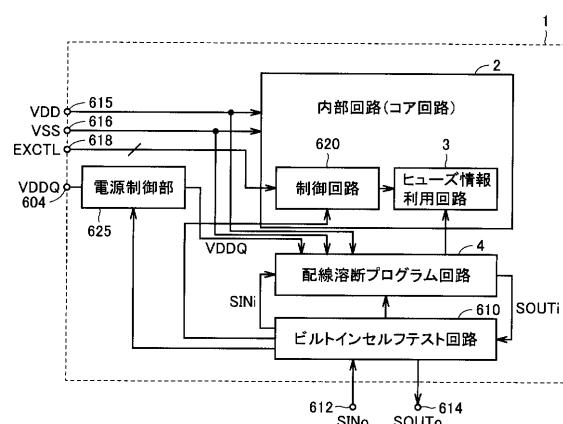
【図 6 1】



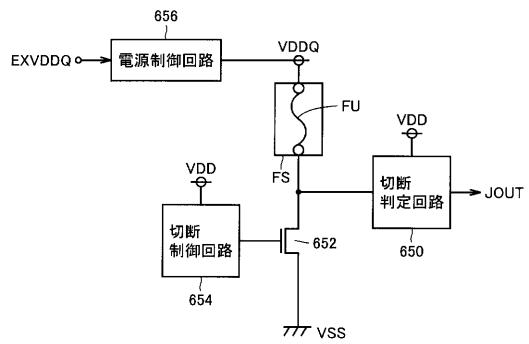
【図 6 2】



【図 6 3】



【図 6 4】



フロントページの続き

(51)Int.Cl. F I
H 01 L 21/822 (2006.01)

(74)代理人 100124523
弁理士 佐々木 真人

(74)代理人 100098316
弁理士 野田 久登

(72)発明者 大林 茂樹
東京都千代田区大手町二丁目 6 番 2 号 株式会社ルネサステクノロジ内

審査官 須原 宏光

(56)参考文献 特開2007-317882 (JP, A)
特開2008-053323 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H 01 L 21 / 82