

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：94142403

※申請日期：94.12.2

※IPC 分類：H01L 23/02, 23/04, 23/12

一、發明名稱：(中文/英文)

G11C 11/411 12006.01E

半導體裝置

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

日商羅姆股份有限公司

ROHM CO., LTD.

代表人：(中文/英文)

佐藤 研一郎

SATO, KENICHIRO

住居所或營業所地址：(中文/英文)

日本國京都府京都市右京區西院溝崎町 21 番地

21, SAIIN MIZOSAKI-CHO UKYO-KU, KYOTO 615-8585, JAPAN

國籍：(中文/英文)

日本 JAPAN

三、發明人：(共 1 人)

姓名：(中文/英文)

岩田 悠貴

IWATA, YUKI

國籍：(中文/英文)

日本 JAPAN

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家(地區)申請專利：

【格式請依：受理國家(地區)、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 日本；2004年12月03日；特願2004-350882

2.

3.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係有關半導體裝置，特別是有關利用再布線之半導體裝置。

【先前技術】

伴隨於近年來之行動電話、PDA (Personal Digital Assistance：個人數位助理)等資訊終端機器之小型化，對於內部所使用之LSI等半導體裝置，小型化之要求升高。於此狀況，稱為BGA (Ball Grid Array：球柵陣列)構造之安裝技術係受到注目。

所謂BGA構造，並非如同以往之QFP (Quad Flat Package：四平包)構造，藉由引線架而與基板連接，而是藉由稱為焊錫凸塊或焊錫球之設置於半導體裝置表面之端子，而與基板連接。若藉由此BGA構造，可於半導體裝置之表面全體，具備與外部之連接端子，不需要零件周圍之引線架，因此可大幅刪減安裝面積。

利用此種BGA構造，已開發出稱為CSP (Chip Size Package：晶片尺寸封裝)技術之半導體晶片之面積與安裝面積成為相同程度之封裝技術。並且，亦開發出一種稱為WL-CSP (Wafer Level CSP：晶圓級CSP)之技術，其於半導體晶片上，不經由基板而直接形成焊錫凸塊；半導體裝置之小型化正在進展(專利文獻1)。

如專利文獻1之圖1所示，應用此種CSP技術之半導體裝置，藉由焊錫凸塊所形成之外部連接端子規則地配置於半

導體裝置表面，與印刷基板連接之情況甚多。

另一方面，於半導體基板上形成半導體積體電路，並進行信號之輸出入，因此與QFP構造之情況相同，電極墊配置於半導體積體電路之外周部之情況甚多。形成於此半導體積體電路上之外周部之電極墊，係藉由再布線層牽繞至規則配置之焊錫凸塊之位置而電性地連接。

【專利文獻1】日本特開2003-297961號公報

發明所欲解決之問題

於應用CSP技術之半導體裝置，雖可減少安裝面積，但另一方面，各端子間之距離變得接近。特別是於WL-CSP技術，由於從半導體晶片表面之電極至凸塊之位置，藉由再布線進行信號之引繞，藉由稱為接線柱(post)之電極部分而與凸塊連接，因此無法忽視各電極間存在寄生電容，各電極端子間之串音或雜訊之繞入等係構成問題。

本發明係有鑑於此課題而實現者，其目的在於提供一種降低複數功能區塊間之信號干擾之半導體裝置。

【發明內容】

為了解決上述課題，本發明之某態樣之半導體裝置係具備：半導體基板，其形成有包含複數功能區塊之積體電路；及複數外部電極，其經由再布線而與設於積體電路上之複數電極墊連接，成為與外部電路之連接端子。複數外部電極係因應於所連接之功能區塊而分類為複數外部電極群，且各分類之外部電極群劃分成複數區域而配置。於複數區域之邊界區域，鋪設連接於低阻抗之外部電極之再布線。

所謂「設於積體電路上之複數電極墊」，係指用以對於構成積體電路之電路元件，供給信號、引出信號，或進行接地等而設置之電極墊。又，所謂「外部電極」，係指焊錫凸塊、焊錫球或接線柱等，作為與外部電路之連接端子而作用之電極。

若藉由此態樣，於積體電路，劃分為複數區域而形成不宜有信號干擾之複數功能區塊，進而將連接於各功能區塊之外部電極，分成複數區域而配置，藉由利用低阻抗之再布線，將外部電極彼此電性低阻隔，可降低以再布線所區劃之複數區域間之信號干擾。

複數功能區塊中，至少1個功能區塊為處理小信號之小信號電路亦可。

又，複數功能區塊中，其他之功能區塊亦可為處理大信號之大信號電路。

所謂處理小信號之小信號電路，係指例如：進行數位信號處理之電路、或類比之控制電路等；所謂處理大信號之大信號電路，係指包含功率電晶體等之處理大電流或高電壓之電路等，小信號電路及大信號電路亦能以信號位準之相對關係區分。

連接於低阻抗之外部電極之再布線，為與外部之接地端子連接之接地線、或連接於電源電壓端子之電源線亦可。

再布線鋪設於複數區域之邊界區域，連接於低阻抗之外部電極，於將其作為接地線之情況，由於信號逃逸至外部之接地端子，因此可降低複數區域間之信號干擾。又，藉

由將此再布線作為電源線，使信號可經由連接於外部之偏壓電容器等而逃逸，因此可降低複數區域間之信號干擾。

此再布線宜於製程規則所容許之範圍而較粗地形成。

連接於低阻抗之外部電極之再布線亦可為複數，互相鄰接而鋪設。藉由利用複數再布線而區隔複數區域，可更適宜地降低信號干擾。

連接於低阻抗之外部電極之複數再布線中之2條，亦可為接地線與電源線、接地線與接地線、或電源線與電源線之任一組合。

連接於低阻抗之外部電極之再布線，亦可接地線、電源線、接地線之3條依序鄰接而鋪設。

連接於低阻抗之外部電極之再布線，亦能以其兩端連接於低阻抗之外部電極。

藉由於作為遮蔽布線而作用之再布線之兩端，連接電源電壓端子或接地端子等，可降低再布線之阻抗，安定電位，可更適宜地降低複數區域間之信號干擾。

再者，將以上構成要素之任意組合或本發明之構成要素或表現，於方法、裝置、系統間互相置換者，作為本發明之態樣亦有效。

發明之效果

藉由關於本發明之半導體裝置，可降低連接於不同功能區塊之外部電極間之信號干擾。

【實施方式】

圖1係從電極墊側觀察關於本發明之實施型態之半導體

裝置100之圖。半導體裝置100具有CSP構造，為了與外部電路進行信號之輸出入，於該圖表示有：設於半導體基板40上之複數電極墊10、由焊錫凸塊所形成之外部電極20、及再布線30。於後續之圖，對於同一構成要素標示同一符號，並適當省略說明。

外部電極20係於半導體裝置100之表面，配置為矩陣狀。又，電極墊10係以在半導體裝置40之最外周，包圍積體電路之方式而配置。外部電極20及電極墊10係經由再布線30而連接。

圖2為圖1之2-2線剖面圖。此半導體裝置100具有WL-CSP構造，其係於半導體基板40上，直接形成與外部之連接電極者。半導體裝置100包含：半導體基板40、用於鈍化之保護膜42、電極墊10、再布線30、接線柱48、外部電極20、密封樹脂50。

於半導體基板40之上面，形成包含電晶體、電阻等電路元件之半導體積體電路，並設有信號輸出入用之電極墊10。電極墊10通常藉由鋁等材料而形成。

保護膜42為氮化矽膜等，將電極墊10之上部開口而形成。再布線30係由銅、鋁、金等形成，將信號從電極墊10，引繞至最終之外部引出電極之形成位置之外部電極20之位置，並與接線柱48連接。柱狀之接線柱48係由金或銅等形成，電性地連接外部電極20及再布線30。再者，於保護膜42之上層，亦可進而藉由氧化膜、或聚醯亞胺等樹脂膜而形成絕緣膜，於其上部形成再布線30。

圖3係表示形成於半導體基板40上之半導體積體電路300之配置圖。如該圖所示，半導體積體電路300包含小信號電路310及大信號電路320，以作為複數功能區塊。於小信號電路310與大信號電路320間產生之信號干擾，係成為電路之錯誤動作、或由半導體積體電路300所產生之信號之精度惡化之原因，因此小信號電路310及大信號電路320係劃分為2個區域而形成。例如：小信號電路310包含：用以產生基準電壓或定電流之能隙參考電路、或數位類比轉換器等。又，大信號電路320包含：設於用以驅動負載電路之輸出段之功率電晶體等。

為了避免電性干擾，分別對於小信號電路310及大信號電路320，個別地供給電源電壓及接地電壓。因此，小信號電路310及大信號電路320分別具備：用以供給電源電壓及接地電壓之電極墊。

圖中，電極墊10a、10c係用以對於大信號電路320供給接地電位之電極墊，電極墊10b係用以對於大信號電路320供給電源電壓之電極墊。又，電極墊10d係用以對於小信號電路310供給電源電壓之電極墊，電極墊10e係用以對於小信號電路310供給接地電位之電極墊。

回到圖1。複數外部電極20係劃分為：第一外部電極群210，其連接於小信號電路310；及第二外部電極群220，其連接於大信號電路320；並配置於2個區域。

與電極墊10相同，關於外部電極20，為了避免小信號電路310與大信號電路320間之電性干擾，對於各功能區塊供

給電源電壓及接地電壓。

外部電極20a為接地端子GND，於半導體裝置100之外部接地，經由再布線30a'而與電極墊10a連接，對於半導體積體電路300之大信號電路320供給接地電壓。

外部電極20b為電源電壓端子Vdd，連接於外部之電壓源，藉由再布線30b'而與電極墊10b連接，對於半導體積體電路300之大信號電路320供給電壓電源。

與外部電極20c相同，外部電極20a亦為接地端子，經由再布線30c'而連接於電極墊10c，對於大信號電路320供給接地電壓。

並且，關於本實施型態之半導體裝置100係具備再布線30a~30c。此再布線30a~30c係鋪設於，分別配置有第一外部電極群210及第二外部電極群220之區域之邊界區域。再布線30a~30c分別與外部電極20a~20c連接。

於此，外部電極20a、20c係固定於接地電位之端子，外部電極20b係固定於電源電壓之端子，任一者均為低阻抗。因此，連接於此等外部電極20a~20c之再布線30a~30c及30a'~30c'之阻抗，均較低地設定。

鋪設於第一外部電極群210與第二外部電極群220之邊界區域之再布線30a~30c及再布線30a'~30c'，宜儘可能較粗地設計布線寬，降低再布線之阻抗。

如以上，於關於本實施型態之半導體裝置100，複數外部電極20係因應於所連接之功能區塊，分類成第一、第二外部電極群210、220，且複數外部電極20係各複數外部電極

群劃分成複數區域而配置。

並且，於第一外部電極群210與第二外部電極群220之邊界區域，鋪設連接於低阻抗之外部電極20之再布線30a~30c、30a'~30c'。

藉由再布線，將第一外部電極群210及第二外部電極群220電性地阻隔，可使從小信號電路310及大信號電路320所產生之雜訊信號，經由低阻抗之再布線30a~30c及外部電極20，往半導體裝置100之外部逃逸，可降低複數功能區塊間之信號干擾。

若根據關於本實施型態之半導體裝置100，由於採用再布線30，將小信號電路310及大信號電路320間分離，因此相較於使用半導體積體電路300上之多層鋁布線分離之情況，可不使半導體基板40之面積、亦即晶片成本增加而減少信號干擾。又，由於在外部電極20間，可使再布線30之布線寬在容許範圍內儘可能變粗，因此可更有效地分離小信號電路310及大信號電路320。

並且，於關於本實施型態之半導體裝置100，由於使用再布線30a~30c、再布線30a'~30c'，進行小信號電路310與大信號電路320之電性分離，因此於封裝步驟以前、亦即圖2所示之剖面圖，關於比保護層42之更下層，可進行如以往之設計。

圖4係表示圖1之半導體裝置100之變形例之圖。於圖4之半導體裝置100，圖3所示之小信號電路310係進而由虛線330，分割為2個電路區塊310a、310b。又，大信號電路320

亦由虛線340，分割成2個電路區塊320a、320b。

伴隨於其，如圖4所示，連接於各電路區塊310a、310b之外部電極20，亦劃分為外部電極群210a及外部電極群210b。

於圖4之半導體裝置100之小信號電路310，鋪設有再布線30d、30d'、30e、30e'。再布線30d係與用以將電源電壓供給至小信號電路310之外部電極20d連接，再布線30e'係與用以將接地電位供給至小信號電路310之外部電極20e連接。再布線30d及再布線30e係鋪設於外部電極群210a及外部電極群210b之邊界區域，將兩外部電極群210a、210b間電性地阻隔。

同樣地，關於大信號電路320，分別連接於圖3之虛線340所劃分之2個電路區塊320a、320b之外部電極群220a、220b，係由再布線30f、30f'、30g、30g'電性地阻隔。

如圖4所示，若根據本變形例，關於2個以上之外部電極群，亦藉由利用與低阻抗之外部電極連接之再布線分割，而可電性地分離，降低小信號電路310或大信號電路320之內部之電路區塊間之信號干擾。

此種將小信號電路310或大信號電路320進而分割成複數電路區塊，並藉由再布線而電性地分離之技術，可適合用在於具有同一功能之電路設有複數通道之積體電路，欲防止各通道間之信號干擾之情況等。

圖5係表示半導體裝置100之其他變形例之圖。於圖5，省略與圖1或圖4相同之構成要素。於此半導體裝置100，外部電極20h、20h'分別為接地用之外部引出電極，外部電極

20i、20i'分別為電源電壓供給用之電極。

於圖5之半導體裝置100，再布線30h係以其兩端而與低阻抗之外部電極20h、20h'連接。同樣地，關於再布線30i，亦以其兩端而與外部電極20i、20i'連接。

如再布線30h及30i，藉由以兩端而與外部電極連接，再布線30h、30i將分別經由外部電極20h、20h'及20i、20i'而與外部電路連接。其結果，由於相較於經由1個外部電極而與外部電路連接之情況，連接電阻成為 $1/2$ ，因此相較於圖1或圖4所示之半導體裝置100，可進而降低再布線之阻抗。又，於經由1個外部電極而與外部電路連接之情況，隨著遠離外部電極，再布線之電阻成分及阻抗成分會增加，再布線之阻抗變得不均勻，但藉由於兩端連接外部電極，可將再布線之阻抗均勻地降低。

其結果，若根據圖5所示之半導體裝置100，由於可使從小信號電路310及大信號電路320產生之雜訊，經由外部電極20h、20h'、20i、20i'而逃逸至外部電路，因此可更適宜地降低小信號電路310與大信號電路320間之信號干擾。

熟悉該技藝人士應可理解上述實施型態為例示，於其等之各構成要素或各處理過程之組合，可實現各種變形例，而該變形例亦為本發明之範圍內。

於實施型態，說明有關將半導體積體電路300分割成2個或4個功能區塊，於連接於各功能區塊之外部電極群之邊界區域鋪設再布線之情況，但只要因應於半導體裝置100所要求之特性，自由地設定分割之電路區塊之數目即可。

又，於實施型態，說明有關小信號電路310及大信號電路320於半導體裝置100之中央分割，伴隨於其，第一、第二外部電極群210、220亦於半導體裝置100之中央分割而配置之情況，但亦不限定於此，因應於各電路之尺寸，於任意位置分割即可。

又，配置有功能區塊之小信號電路310及大信號電路320之區域、與配置有連接於各功能區塊之第一、第二外部電極群210、220之區域，未必要一致。例如：大信號電路320之一部分，亦可與配置有第一外部電極群210之區域之一部分重疊。

又，關於鋪設於複數外部電極群之邊界區域之再布線之條數，只要考慮應將功能區塊間之信號干擾，降低何種程度而決定即可。又，具有再布線30為多層之CSP構造之半導體裝置之情況，亦可將鋪設於第一外部電極群與第二外部電極群之邊界區域之再布線形成雙層，可進而使再布線之阻抗下降，進而降低信號干擾。

又，於實施型態，說明有關鋪設於第一外部電極群210與第二外部電極群220之邊界區域之再布線30，連接於用以供給大信號電路320之電源電壓及接地電壓之外部電極20之情況，但用以供給小信號電路310側之電源電壓、接地電壓之外部電極20，或其等之組合均可。

本發明可適用於類比電路、數位電路、類比數位混載電路之任一，而半導體製程亦可適用於雙極製程、CMOS製程、BiCMOS製程之任一。

產業上之利用可能性

藉由關於本發明之半導體裝置，可降低連接於不同功能區塊之外部電極間之信號干擾。

【圖式簡單說明】

圖1係表示從電極墊側觀察關於本發明之實施型態之半導體裝置之圖。

圖2為圖1之2-2線剖面圖。

圖3係表示形成於半導體基板上之半導體積體電路之配置圖。

圖4係表示關於實施型態之半導體裝置之變形例之圖。

圖5係表示關於實施型態之半導體裝置之其他變形例之圖。

【主要元件符號說明】

10	電極墊
20	外部電極
30	再布線
40	半導體基板
42	保護膜
48	接線柱
50	密封樹脂
100	半導體裝置
210	第一外部電極群
220	第二外部電極群
300	半導體積體電路

310	小信號電路
320	大信號電路

五、中文發明摘要：

本發明係提供一種半導體裝置，其降低複數功能區塊間之信號干擾。於具有CSP構造之半導體裝置100，包含複數功能區塊之積體電路形成於半導體基板40。複數外部電極20係因應於所連接之功能區塊，分類為複數外部電極群210、220，且各外部電極群劃分成複數區域而配置。於複數區域之邊界區域，鋪設連接於低阻抗之外部電極20a、20b、20c之再布線30a、30b、30c。

六、英文發明摘要：

十一、圖式：

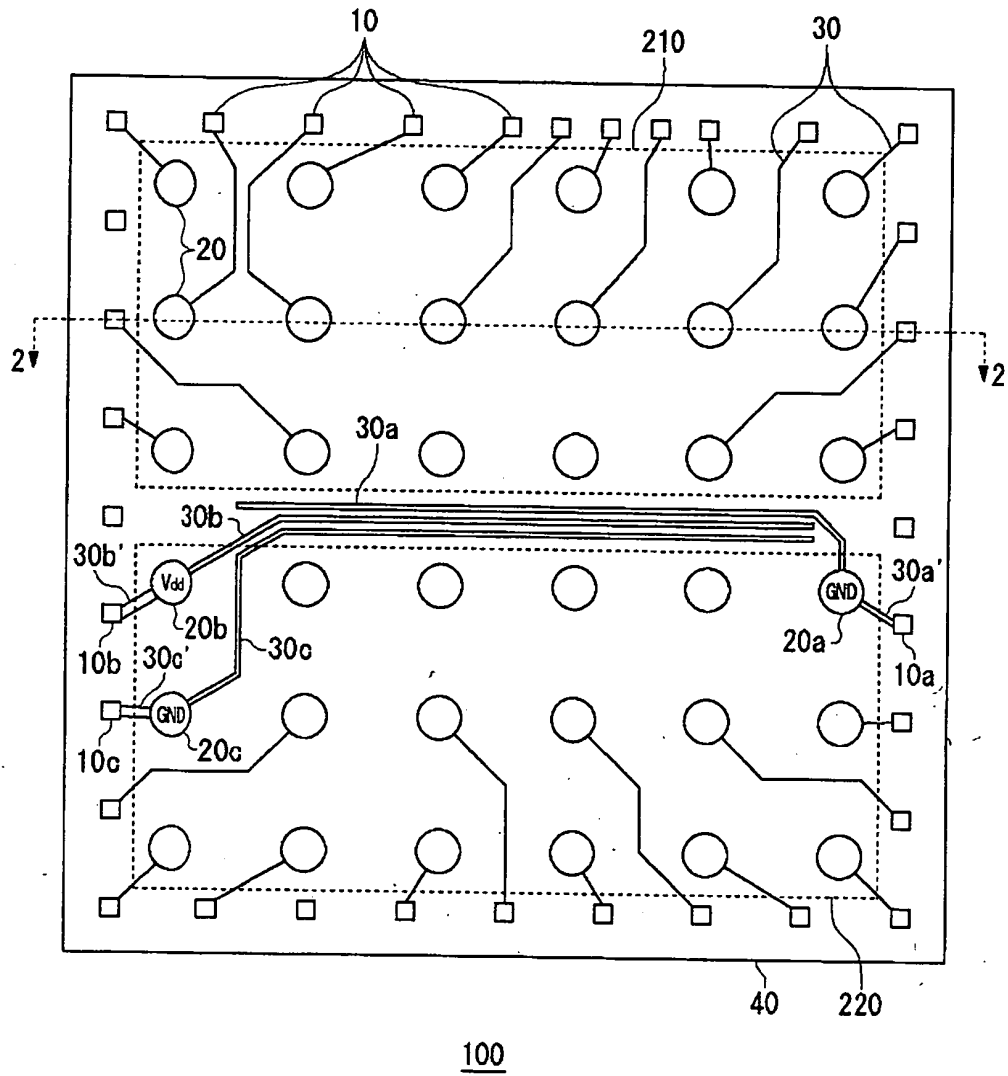


圖 1

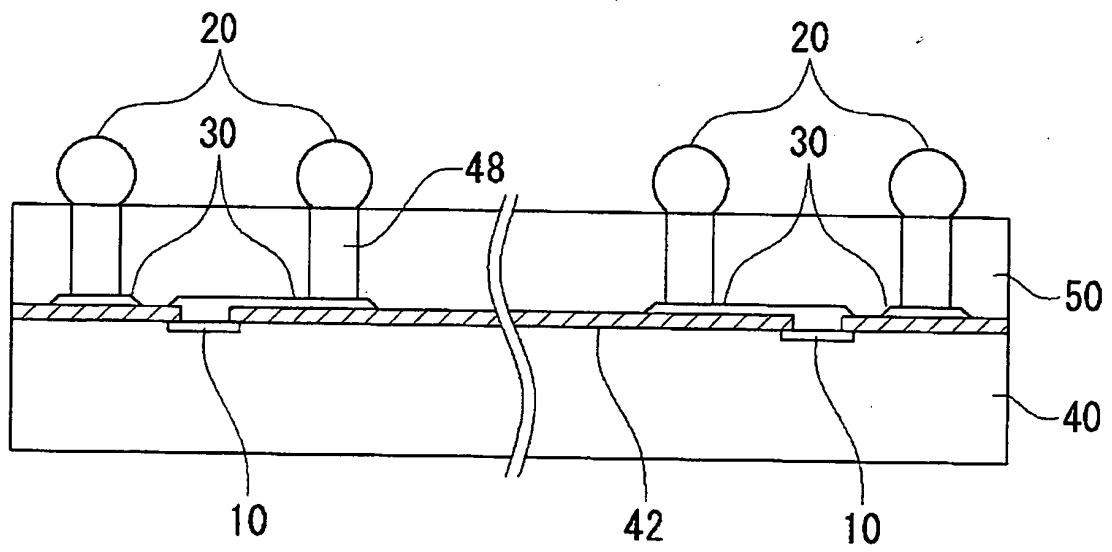


圖 2

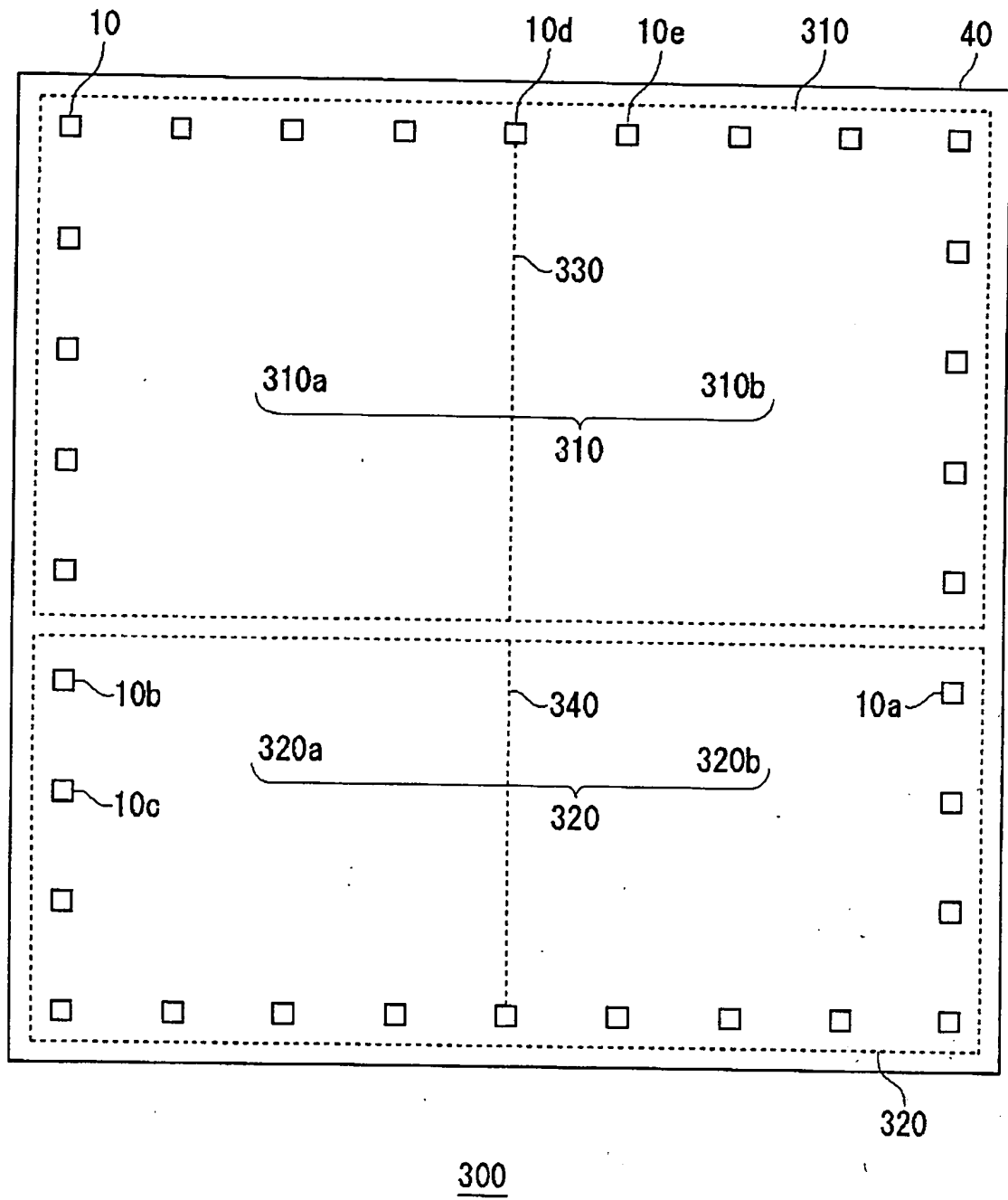


圖 3



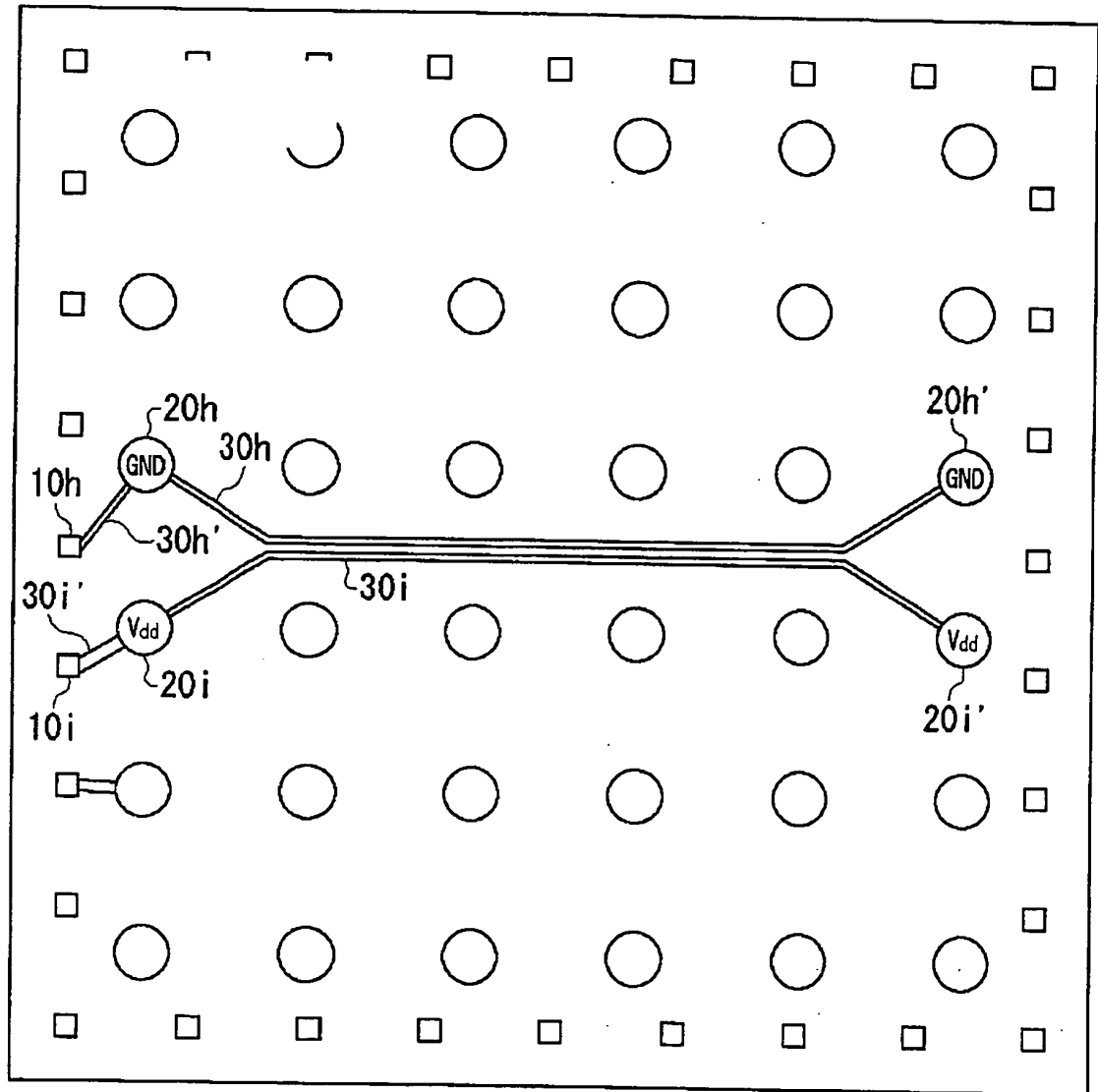


圖 5

七、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

10、10a~10c	電極墊
20、20a~20c	外部電極
30、30a~30c、30a'~30c'	再布線
40	半導體基板
100	半導體裝置
210	第一外部電極群
220	第二外部電極群

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

十、申請專利範圍：

101年7月30日修(更)正

1. 一種半導體裝置，其特徵在於包含：

半導體基板；

積體電路，其形成於上述半導體基板上，包含複數之功能區塊；

複數之電極墊，其設置於上述積體電路上；及

複數外部電極，其係作為與外部電路之連接端子而形成，並配置成M列N行之矩陣狀，且至少第k列第1行之外部電極及第k列第N行之外部電極係低阻抗；

複數之第1再布線，其係分別將對應之上述電極墊與對應之外部電極加以連接；及

第2再布線，其係配置於第1矩形區域與第2矩形區域之間的邊界區域，該第1矩形區域係配置第1列至第k列的外部電極者，該第2矩形區域係配置第(k+1)列至第M列的外部電極者，該第2再布線的一端與上述第k列第1行之低阻抗的外部電極連接，其另一端與上述第k列第N行之低阻抗的外部電極連接，而將上述第1矩形區域與上述第2矩形區域之間電性遮斷；

應降低互相之信號干涉的第1功能區塊及第2功能區塊分別配置於第1矩形區域與第2矩形區域。

2. 如請求項1之半導體裝置，其中進一步包含：第3再布線，其係於上述邊界區域與上述第2再布線鄰接地配置，其一端與第(k+1)列第1行或第(k+1)列第N行之外部電極連接。
3. 如請求項2之半導體裝置，其中上述第3再布線之一端與

第(k+1)列第1行之外部電極連接，另一端與第(k+1)列第N行之外部電極連接。

4. 如請求項1之半導體裝置，其中上述第2再布線所連接之上述低阻抗的外部電極係接地端子或電源電壓端子。
5. 如請求項2之半導體裝置，其中上述第3再布線所連接之上述低阻抗的外部電極係接地端子或電源電壓端子。
6. 如請求項1之半導體裝置，其中上述第1、第2功能區塊之一者係包含處理小信號之小信號電路。
7. 如請求項1之半導體裝置，其中上述第2再布線具有多層構造。
8. 如請求項1之半導體裝置，其包含CSP構造。
9. 如請求項1之半導體裝置，其中進而包含保護膜，其係形成於上述半導體基板上之上述複數之電極墊以外之處；
上述第1再布線及上述第2再布線係形成於上述保護膜上。
10. 如請求項1之半導體裝置，其中上述第1、第2再布線係以銅形成。