

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-199277

(P2012-199277A)

(43) 公開日 平成24年10月18日(2012.10.18)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 23/532 (2006.01)	HO 1 L 21/90 N	5 F 0 3 3
HO 1 L 21/768 (2006.01)	HO 1 L 29/78 3 7 1	5 F 0 8 3
HO 1 L 29/792 (2006.01)	HO 1 L 27/10 4 3 4	5 F 1 0 1
HO 1 L 29/788 (2006.01)	HO 1 L 27/10 4 8 1	
HO 1 L 21/336 (2006.01)		

審査請求 未請求 請求項の数 5 O L (全 15 頁) 最終頁に続く

(21) 出願番号 特願2011-60645 (P2011-60645)
 (22) 出願日 平成23年3月18日 (2011.3.18)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100089118
 弁理士 酒井 宏明
 (72) 発明者 春藤 健志
 東京都港区芝浦一丁目1番1号 株式会社
 東芝内
 (72) 発明者 相宗 史記
 東京都港区芝浦一丁目1番1号 株式会社
 東芝内

Fターム(参考) 5F033 HH04 HH08 HH18 HH19 HH20
 HH21 QQ08 QQ09 QQ12 QQ31
 RR04 RR30 SS11 SS15 SS21
 TT08 VV06 VV16 XX25 XX27
 最終頁に続く

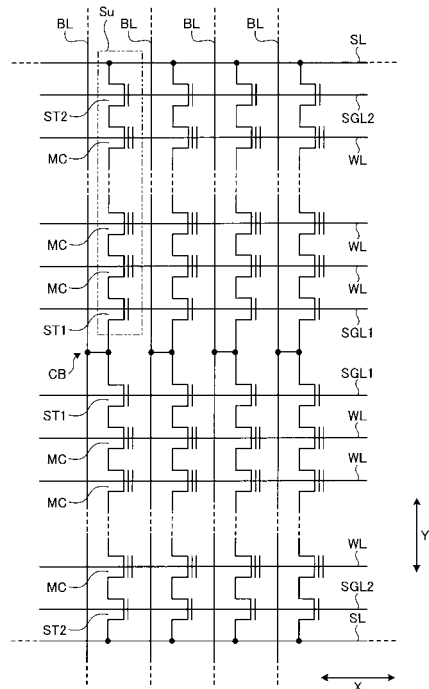
(54) 【発明の名称】 電子部品の製造方法

(57) 【要約】

【課題】 導電膜を含む層の加工によって密の配線と疎の配線とが混在して形成された配線層で、所望の配線間の領域にのみ空隙を形成することができる電子部品の製造方法を提供する。

【解決手段】 実施形態によれば、電子部品の製造方法は、まず、密の配線と疎の配線とを含む配線パターンとなるように、基板1上の導電性材料膜を含む加工対象を加工する。ついで、密の配線の形成領域にのみ配線間を埋め込む犠牲膜111を形成した後、基板1上に絶縁膜112を形成する。絶縁膜112上にレジスト113を塗布し、密の配線の形成領域上の一部と疎の配線の形成領域とが露出するようにレジスト113のパターニングを行った後、レジスト113をマスクとして絶縁膜112をエッチングする。さらに、密の配線の形成領域上の一部を通して、犠牲膜111を除去する。そして、疎の配線の形成領域で隣接する配線間を埋め込むように基板1上に埋込絶縁膜114を形成する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

隣接する配線間の距離が所定値以下となる密の配線と、隣接する配線間の距離が前記所定値よりも大きい疎の配線と、を含む配線パターンとなるように、基板上の導電性材料膜を含む加工対象を加工する加工工程と、

前記配線パターンが形成された前記基板上に犠牲膜を、前記密の配線の形成領域では隣接する前記配線間を埋め込むように形成する犠牲膜形成工程と、

前記密の配線の形成領域で隣接する前記配線間に埋め込まれた前記犠牲膜を残置させつつ、前記配線パターン上に形成された前記犠牲膜と、前記疎の配線の形成領域で隣接する前記配線間に形成された前記犠牲膜と、を除去する第 1 犠牲膜除去工程と、

前記配線パターンと残置した前記犠牲膜が形成された前記基板上に絶縁膜を形成する絶縁膜形成工程と、

前記密の配線の形成領域上の一部と前記疎の配線の形成領域とで前記絶縁膜が露出するように、前記絶縁膜上にマスクを形成するマスク形成工程と、

前記マスクを用いて、露出した前記絶縁膜をエッチングするエッチング工程と、

前記絶縁膜がエッチングされた前記密の配線の形成領域上の一部を通して前記犠牲膜を除去し、前記密の配線の形成領域で隣接する前記配線間に空隙を形成する第 2 犠牲膜除去工程と、

前記密の配線の形成領域で隣接する前記配線間に空隙を形成した後、前記疎の配線の形成領域で隣接する前記配線間を埋め込むように前記基板上に埋込絶縁膜を形成する埋込絶縁膜形成工程と、

を含むことを特徴とする電子部品の製造方法。

【請求項 2】

前記犠牲膜としてカーボン膜、前記絶縁膜としてシリコン酸化膜がそれぞれ用いられ、前記第 1 犠牲膜除去工程と前記絶縁膜形成工程とは、酸素プラズマを同一のチャンバ内に供給して行われることを特徴とする請求項 1 に記載の電子部品の製造方法。

【請求項 3】

前記埋込絶縁膜形成工程では、前記埋込絶縁膜を CVD 法によって形成することを特徴とする請求項 1 または 2 に記載の電子部品の製造方法。

【請求項 4】

前記エッチング工程では、前記疎の配線の形成領域で露出した前記絶縁膜をエッチバックし、前記疎の配線の配線パターンの側壁にスペーサ膜を形成することを特徴とする請求項 1 ~ 3 のいずれか 1 つに記載の電子部品の製造方法。

【請求項 5】

前記基板は、半導体基板であり、

前記加工対象は、

トンネル絶縁膜、浮遊ゲート電極膜、電極間絶縁膜および制御ゲート電極が順に積層された積層ゲート構造と、前記積層ゲート構造を挟んだ前記半導体基板の第 1 の方向の両側表面に形成されるソース/ドレイン領域と、を有するメモリセルトランジスタが前記第 1 の方向に所定の数直列に接続されたメモリセル列と、

前記トンネル絶縁膜、前記浮遊ゲート電極膜、厚さ方向に貫通する開口を有する前記電極間絶縁膜および前記制御ゲート電極膜が積層されたゲート構造と、前記ゲート構造を挟んだ前記半導体基板の前記第 1 の方向の両側表面に形成されるソース/ドレイン領域と、を有し、前記メモリセル列の両端に配置される選択ゲートトランジスタと、

を備えるセルユニットが、前記第 1 の方向に垂直な第 2 の方向に所定の間隔で配置され、前記第 2 の方向に配列される前記メモリセルトランジスタ同士がワード線によって互いに接続され、前記第 2 の方向に配列される前記選択ゲートトランジスタ同士が選択ゲート線によって互いに接続される構造の不揮発性半導体記憶装置であり、

前記密の配線は、前記ワード線によって接続された前記積層ゲート構造であり、

前記疎の配線は、前記選択ゲート線によって接続された前記ゲート構造であることを特

10

20

30

40

50

徴とする請求項 1 ~ 4 のいずれか 1 つに記載の電子部品の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、電子部品の製造方法に関する。

【背景技術】

【0002】

たとえば、NAND型フラッシュメモリなどの不揮発性半導体記憶装置では、高集積化を図るためにメモリセルが微細化されると、隣接ワード線間距離が小さくなる。このため、隣接するゲート電極間の寄生容量が増大し、書き込み速度の大幅な低下を招いていた。

10

【0003】

また、近年の半導体装置の微細化に伴って、配線も微細化されている。一般的に半導体装置での配線の周囲は絶縁膜で囲まれているため、配線間の寄生容量による遅延が発生する。そのため、従来では、隣接する配線間を空隙にして配線間の絶縁層の誘電率を下げるのが提案されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2003-115534号公報

【発明の概要】

20

【発明が解決しようとする課題】

【0005】

しかしながら、従来技術は、配線を絶縁膜に埋め込んで形成した後に、隣接する配線間に空隙を形成するものであり、たとえば配線層となる導電膜を疎の配線と密の配線とが混在するようにエッチングによって加工した後に、配線間の所望の位置を空隙にし、他の位置には絶縁膜を埋め込む方法については提案されていなかった。

【0006】

本発明の一つの実施形態は、導電膜を含む層の加工によって密の配線と疎の配線とが混在して形成された配線層で、所望の配線間の領域にのみ空隙を形成することができる電子部品の製造方法を提供することを目的とする。

30

【課題を解決するための手段】

【0007】

本発明の一つの実施形態によれば、電子部品の製造方法は、加工工程と、犠牲膜形成工程と、第1犠牲膜除去工程と、絶縁膜形成工程と、マスク形成工程と、エッチング工程と、第2犠牲膜除去工程と、埋込絶縁膜形成工程と、を含む。まず、前記加工工程では、隣接する配線間の距離が所定値以下となる密の配線と、隣接する配線間の距離が前記所定値よりも大きい疎の配線と、を含む配線パターンとなるように、基板上的導電性材料膜を含む加工対象を加工する。ついで、前記犠牲膜形成工程では、前記配線パターンが形成された前記基板上に犠牲膜を、前記密の配線の形成領域では隣接する前記配線間を埋め込むように形成する。その後、前記第1犠牲膜除去工程では、前記密の配線の形成領域で隣接する前記配線間に埋め込まれた前記犠牲膜を残置させつつ、前記配線パターン上に形成された前記犠牲膜と、前記疎の配線の形成領域で隣接する前記配線間に形成された前記犠牲膜と、を除去する。ついで、前記絶縁膜形成工程では、前記配線パターンと残置した前記犠牲膜が形成された前記基板上に絶縁膜を形成する。その後、前記マスク形成工程では、前記密の配線の形成領域上の一部と前記疎の配線の形成領域とで前記絶縁膜が露出するように、前記絶縁膜上にマスクを形成し、前記エッチング工程では、前記マスクを用いて、露出した前記絶縁膜をエッチングする。ついで、前記第2犠牲膜除去工程では、前記絶縁膜がエッチングされた前記密の配線の形成領域上の一部を通して前記犠牲膜を除去し、前記密の配線の形成領域で隣接する前記配線間に空隙を形成する。そして、前記埋込絶縁膜形成工程では、前記密の配線の形成領域で隣接する前記配線間に空隙を形成した後、前記疎

40

50

の配線の形成領域で隣接する前記配線間を埋め込むように前記基板上に埋込絶縁膜を形成する。

【図面の簡単な説明】

【0008】

【図1】図1は、NAND型フラッシュメモリ装置のメモリセル領域に形成されるメモリセルアレイの一部を示す等価回路図である。

【図2】図2はメモリセル領域の一部のレイアウトパターンを示す平面図である。

【図3】図3は、図2のA-A断面図である。

【図4-1】図4-1は、この実施形態による電子部品の製造方法の一例を模式的に示す図である(その1)。

【図4-2】図4-2は、この実施形態による電子部品の製造方法の一例を模式的に示す図である(その2)。

【図4-3】図4-3は、この実施形態による電子部品の製造方法の一例を模式的に示す図である(その3)。

【図4-4】図4-4は、この実施形態による電子部品の製造方法の一例を模式的に示す図である(その4)。

【図4-5】図4-5は、この実施形態による電子部品の製造方法の一例を模式的に示す図である(その5)。

【図4-6】図4-6は、この実施形態による電子部品の製造方法の一例を模式的に示す図である(その6)。

【図4-7】図4-7は、この実施形態による電子部品の製造方法の一例を模式的に示す図である(その7)。

【図4-8】図4-8は、この実施形態による電子部品の製造方法の一例を模式的に示す図である(その8)。

【図4-9】図4-9は、この実施形態による電子部品の製造方法の一例を模式的に示す図である(その9)。

【図4-10】図4-10は、この実施形態による電子部品の製造方法の一例を模式的に示す図である(その10)。

【図4-11】図4-11は、この実施形態による電子部品の製造方法の一例を模式的に示す図である(その11)。

【発明を実施するための形態】

【0009】

以下に添付図面を参照して、実施形態にかかる電子部品の製造方法を詳細に説明する。なお、この実施形態により本発明が限定されるものではない。また、以下の実施形態で用いられる半導体装置の断面図は模式的なものであり、層の厚みと幅との関係や各層の厚みの比率などは現実のものとは異なる場合がある。さらに、以下で示す膜厚は一例であり、これに限定されるものではない。

【0010】

以下では、NAND型フラッシュメモリ装置に実施形態を適用した場合について説明する。図1は、NAND型フラッシュメモリ装置のメモリセル領域に形成されるメモリセルアレイの一部を示す等価回路図である。NAND型フラッシュメモリ装置のメモリセルアレイは、2個の選択ゲートトランジスタ $ST1$ 、 $ST2$ と、これらの選択ゲートトランジスタ $ST1$ 、 $ST2$ 間に複数個(たとえば、 2^n 乗個(n は正の整数))のメモリセルトランジスタ(以下、メモリセルともいう)MCが直列接続されたメモリセル列とからなるNANDセルユニット(メモリユニット)Suが行列状に配置されることによって構成されている。NANDセルユニットSu内において、複数個のメモリセルMCは隣接するもの同士でソース/ドレイン領域を共用して形成されている。

【0011】

図1中のX方向(ワード線方向、ゲート幅方向に相当)に配列されたメモリセルMCは、ワード線(制御ゲート線)WLにより共通接続されている。また、図1中のX方向に配

10

20

30

40

50

列された選択ゲートトランジスタST1は選択ゲート線SGL1で共通接続され、選択ゲートトランジスタST2は選択ゲート線SGL2で共通接続されている。選択ゲートトランジスタST1のドレイン領域にはビット線コンタクトCBが接続されている。このビット線コンタクトCBの一方の端は、図1中のX方向に直交するY方向（ゲート長方向、ビット線方向に相当）に延びるビット線BLに接続されている。また、選択ゲートトランジスタST2は、ソース領域を介して図1中のX方向に延びるソース線SLに接続されている。

【0012】

図2はメモリセル領域の一部のレイアウトパターンを示す平面図である。半導体基板としての基板1に、素子分離領域としてのSTI（Shallow Trench Isolation）2が図2中のY方向に延在して、X方向に所定の間隔で複数本形成され、これによって隣接する活性領域3が図2中のX方向に分離した状態に形成されている。活性領域3と直交する図2中のX方向に延在して、Y方向に所定間隔でメモリセルMCのワード線WLが形成されている。

10

【0013】

また、図2中のX方向に延在した2本の選択ゲート線SGL1が、隣接して並行に形成されている。隣接する2本の選択ゲート線SGL1間の活性領域3にはビット線コンタクトCBがそれぞれ形成されている。この例ではビット線コンタクトCBは、隣接する活性領域3にY方向の位置を交互に変えて配置されている。すなわち、2本の選択ゲート線SGL1の間において、一方の選択ゲート線SGL1側に寄せて配置されるビット線コンタクトCBと、他方の選択ゲート線SGL1側に寄せて配置されたビット線コンタクトCBとが、交互に配置された、いわゆる千鳥状に配置された状態である。

20

【0014】

選択ゲート線SGL1と所定本数のワード線WLを存した位置に、選択ゲート線SGL1の場合と同様にして、図2中のX方向に延在した2本の選択ゲート線SGL2が並行して形成されている。そして、2本の選択ゲート線SGL2間の活性領域3にはソース線コンタクトCSが配置されている。

【0015】

ワード線WLと交差する活性領域3上にはメモリセルMCの積層ゲート構造MGが形成され、選択ゲート線SGL1、SGL2と交差する活性領域3上には選択ゲートトランジスタST1、ST2のゲート構造SG1、SG2が形成されている。

30

【0016】

図3は、図2のA-A断面図である。すなわち、活性領域3における選択ゲートトランジスタST1、ST2のゲート構造SG1、SG2と、2つの選択ゲートトランジスタST1、ST2間に配置されたメモリセルMCの積層ゲート構造MGと、を示したものである。この図3において、シリコン基板などの基板1上に形成されたメモリセルMCの積層ゲート構造MGおよび選択ゲートトランジスタST1、ST2のゲート構造SG1、SG2は、トンネル絶縁膜11を介して浮遊ゲート電極膜12と、電極間絶縁膜13と、制御ゲート電極膜14とが順次積層されている。なお、選択ゲートトランジスタST1、ST2のゲート構造SG1、SG2の電極間絶縁膜13には、浮遊ゲート電極膜12と制御ゲート電極膜14とを導通するための開口13aが形成され、この開口13a内に制御ゲート電極膜14が埋め込まれている。これによって、選択ゲートトランジスタST1、ST2では、浮遊ゲート電極膜12と制御ゲート電極膜14とでゲート電極が構成される。また、ゲート構造SG1、SG2と積層ゲート構造MGの上部には、シリコン酸化膜やシリコン窒化膜などからなるハードマスク膜101が形成されている。

40

【0017】

トンネル絶縁膜11としては、熱酸化膜や熱酸窒化膜、CVD（Chemical Vapor Deposition）酸化膜やCVD酸窒化膜、あるいはSiを挟んだ絶縁膜やSiがドット状に埋め込まれた絶縁膜などを用いることができる。浮遊ゲート電極膜12としては、N型不純物もしくはP型不純物がドーピングされた多結晶シリコンや、Mo、Ti、W、Alもし

50

くはTaなどを用いたメタル膜もしくはポリメタル膜、または窒化膜などを用いることができる。電極間絶縁膜13としては、シリコン酸化膜やシリコン窒化膜、シリコン酸化膜とシリコン窒化膜との積層構造のONO(Oxide-Nitride-Oxide)膜、酸化アルミニウム膜や酸化ハフニウム膜などの高誘電率膜、またはシリコン酸化膜もしくはシリコン窒化膜などの低誘電率膜と高誘電率膜との積層構造などを用いることができる。制御ゲート電極膜14としては、N型不純物もしくはP型不純物がドーピングされた多結晶シリコンやMo, Ti, W, AlもしくはTaなどを用いたメタル膜もしくはポリメタル膜、または多結晶シリコン膜と金属シリサイド膜との積層構造などを用いることができる。

【0018】

積層ゲート構造MG-MG間、積層ゲート構造MG-ゲート構造SG1, SG2間の基板1の表面付近にはソース/ドレイン領域となる不純物拡散領域16aが形成され、その上部には、トンネル絶縁膜11が形成されている。また、隣接するゲート構造SG1-SG1間、SG2-SG2間の基板1の表面付近には、不純物拡散領域16aと同じくソース/ドレイン領域となる不純物拡散領域16bがそれぞれ形成されている。

10

【0019】

隣接する一对のゲート構造SG1-SG1間、SG2-SG2間においては、それぞれ対向するゲート構造SG1, SG2の側壁面にシリコン酸化膜からなるオフセットスペーサ膜31が形成され、ゲート構造SG1-SG1, SG2-SG2間の基板1の表面にはトンネル絶縁膜11が形成されている。対向するオフセットスペーサ膜31間の基板1の表面付近には、ビット線コンタクトCBおよびソース線コンタクトCSのコンタクト抵抗を下げるための不純物拡散領域16cが形成されている。この不純物拡散領域16cは、不純物拡散領域16bよりも幅寸法が狭く、拡散深さ(pn接合の深さ)が深く形成されており、LDD(Lightly Doped Drain)構造とされている。

20

【0020】

また、ビット線BL方向に直列に接続されるメモリセルMCの列と、このメモリセルMCの列の両端に配置される一对の選択ゲートトランジスタST1, ST2との上部を覆うように、絶縁膜112が形成される。絶縁膜112上と、ゲート構造SG1-SG1間、SG2-SG2間のオフセットスペーサ膜31で囲まれる領域の内側には、酸化膜などからなる埋込絶縁膜114が埋め込み形成されている。この埋込絶縁膜114は、後述するように、プラズマCVD法などの方法で形成することで、積層ゲート構造MG-ゲート構造SG1, SG2間や、積層ゲート構造MG-MG間に空隙AGを形成している。

30

【0021】

ワード線WL方向の積層ゲート構造MG-ゲート構造SG1, SG2間および積層ゲート構造MG-MG間は、それぞれ空隙(エアギャップ)AGとして埋め込み物が存在しない領域となっている。これら空隙AGは、積層ゲート構造MG-ゲート構造SG1, SG2間や積層ゲート構造MG-MG間に、誘電体として誘電率が非常に小さい空気(または真空状態)を設けた構成となっている。これにより、セル間の結合容量を低減することができる。

【0022】

具体的には、積層ゲート構造MG-ゲート構造SG1, SG2間および積層ゲート構造MG-MG間に形成された溝には、絶縁膜112が形成されておらず、その上部が絶縁膜112で閉じられた構造となっており、空隙AGが形成されている。つまり、浮遊ゲート電極膜12、電極間絶縁膜13および制御ゲート電極膜14の側面が露出した状態となっている。

40

【0023】

メモリセルMCの列の一方の端部に配置される隣接するゲート構造SG1-SG1間には、埋込絶縁膜114の上面から基板1の表面に達するコンタクトプラグ45が形成されている。コンタクトプラグ45はビット線コンタクトCBに相当し、前述のように、隣接するビット線コンタクトCBとは千鳥状に交互に配置されており、図3の場合には右側に寄った位置に形成されている。また、メモリセルMCの列の他方の端部に配置される隣接

50

するゲート構造SG2 - SG2間には、埋込絶縁膜114の上面から基板1の表面に達するコンタクトプラグ46が形成されている。このコンタクトプラグ46はソース線コンタクトCSに相当し、ビット線BL間を横断するように形成される。

【0024】

このような積層ゲート構造MGとゲート構造SG1, SG2を有するNAND型フラッシュメモリで、隣接するワード線WL - WL間に、誘電率の非常に小さい空気（真空状態も含む）を存在させた空隙AGを設けることで、隣接するワード線WL - WL間の結合容量を著しく小さくすることができる。これによって、配線間容量を低減でき、トンネル絶縁膜11にかかる電圧を大きくでき、データの書き込み速度が低減するのを抑制できる。

【0025】

また、隣接するゲート構造SG1 - SG1間またはSG2 - SG2間を埋込絶縁膜114で埋め込むことでボイドの発生が抑えられ、この領域にビット線コンタクトCBまたはソース線コンタクトCSを形成した場合でも、隣接する選択ゲートトランジスタST1 - ST1間またはST2 - ST2間でのショートを防ぐことができる。

【0026】

このように、この実施形態では、細い線幅の配線が密に配置された領域では、隣接する配線との間に空隙AGを形成し、太い線幅の配線が疎に（孤立して）配置された領域では、隣接する配線との間に空隙AGを形成せずに埋込絶縁膜114で埋め込むようにしている。このとき、空隙AGを形成するのは、隣接する配線との距離が、最も細い配線の線幅の2倍程度の長さまでの場合であり、それよりも長い場合には、埋込絶縁膜114が埋め込まれる。また、ここで、配線とは、上記した例に示したように、NAND型フラッシュメモリなどの不揮発性半導体記憶装置におけるメモリセルトランジスタMCの積層ゲート構造MGと、選択ゲートトランジスタST1, ST2のゲート構造SG1, SG2の配列であってもよいし、通常の導電性材料からなる配線の配列であってもよい。

【0027】

つぎに、このような構造を有する電子部品の製造方法について不揮発性半導体記憶装置を例に挙げて説明する。図4 - 1 ~ 図4 - 11は、この実施形態による電子部品の製造方法の一例を模式的に示す図であり、(a)は上面図であり、(b)は(a)のB - B断面図である。

【0028】

まず、図4 - 1に示されるように、シリコン基板などの基板1上にトンネル絶縁膜11と浮遊ゲート電極膜12を成膜する。トンネル絶縁膜11は熱酸化などの方法によって形成することができ、浮遊ゲート電極膜12はCVD法などの成膜法によって形成することができる。ついで、フォトリソグラフィ技術とエッチング技術とを用いて、後に形成される隣接するメモリユニット間を分離するようにパターニングを行って、ビット線BL方向に延在し、半導体基板にまで到達する図示しないトレンチを形成し、トレンチに絶縁膜を埋め込みSTI2を形成する。

【0029】

その後、図4 - 2に示されるように、電極間絶縁膜13および制御ゲート電極膜（ワード線）14の一部となる第1導電膜14AをCVD法やスパッタ法などの成膜法で順に形成する。ついで、リソグラフィ技術とエッチング技術とを用いて、後に選択ゲートトランジスタST1, ST2のゲート構造SG1, SG2が形成される領域に開口13aを形成し、第1導電膜14Aと電極間絶縁膜13の一部を除去する。開口13aは、浮遊ゲート電極膜12が露出するように形成される。

【0030】

その後、図4 - 3に示されるように、制御ゲート電極膜14の一部となる第2導電膜14BをCVD法やスパッタ法などの成膜法で形成する。ここで、後にメモリセルMCの積層ゲート構造MGが形成される領域では、第1導電膜14Aと第2導電膜14Bとで制御ゲート電極膜14が形成される。これより後の図面では、第1導電膜14Aと第2導電膜14Bとを合わせて制御ゲート電極膜14として一体的に図示する。また、選択ゲートト

10

20

30

40

50

ランジスタST1, ST2のゲート構造SG1, SG2が形成される領域では、浮遊ゲート電極膜12と制御ゲート電極膜14(第1導電膜14Aと第2導電膜14B)とが電氣的に接続可能な状態となり、ゲート電極として機能する。ついで、制御ゲート電極膜14の上に、ドライエッチング加工でのハードマスク膜101を積層形成する。

【0031】

この後、フォトリソグラフィ技術を用いて、積層ゲート構造MGおよびゲート構造SG1, SG2を形成するためのレジストパターンを形成する。そして、図4-4に示されるように、RIE(Reactive Ion Etching)法によって、まずこのレジストパターンをマスクとしてハードマスク膜101をエッチングし、ついでハードマスク膜101をマスクとして、制御ゲート電極膜14、電極間絶縁膜13、および浮遊ゲート電極膜12をエッチングする。これによって、ビット線BL方向に隣接する選択ゲートトランジスタST1, ST2とメモリセルMCとの間が分離され、積層ゲート構造MGおよびゲート構造SG1, SG2が形成される。ここで、積層ゲート構造MG間の距離は、処理領域の中で最も配線幅の細い積層ゲート構造MG(ワード線)の配線幅と略等しく、積層ゲート構造MGとゲート構造SG1, SG2との間の距離は、積層ゲート構造MGの配線幅よりも広く、積層ゲート構造MGの配線幅の2倍程度以下であり、ゲート構造SG1-SG1間またはSG2-SG2間は、積層ゲート構造MGの配線幅の2倍よりも広く形成されている。ここでは、配線幅が15nmの積層ゲート構造MGを30nmのピッチで形成し、積層ゲート構造MG-ゲート構造SG1, SG2間の間隔を60nmであるとする。

10

【0032】

その後、図4-5に示されるように、各積層ゲート構造MG-MG間、積層ゲート構造MG-ゲート構造SG1, SG2間、およびゲート構造SG1-SG1間、SG2-SG2間にイオン注入処理を行い、活性化させて、メモリセルMCと選択ゲートトランジスタST1, ST2のソース/ドレイン領域に相当する不純物拡散領域16a, 16bを形成する。

20

【0033】

さらに、積層ゲート構造MGとゲート構造SG1, SG2を形成した基板1上の全面に、塗布法によって犠牲膜111を形成する。犠牲膜111として、たとえばスピンコート法によって形成されるカーボンポリマー膜などを用いることができる。ここでは、積層ゲート構造MG-MG間と、積層ゲート構造MG-ゲート構造SG1, SG2間が犠牲膜111で完全に埋め込まれ、ゲート構造SG1-SG1間およびSG2-SG2間は犠牲膜111で完全に埋め込まれないように、犠牲膜111の厚さが調整される。具体的には、犠牲膜111の厚さは、積層ゲート構造MGの配線幅の半分から同程度の範囲であることが望ましい。

30

【0034】

その後、図4-6に示されるように、アッシング処理によって、密な配線間(積層ゲート構造MG-MG間と、積層ゲート構造MG-ゲート構造SG1, SG2間)に埋め込まれた犠牲膜111のみを残し、他の部分の犠牲膜111を除去する。アッシング処理として、たとえばこの後に用いるALD(Atomic Layer Deposition)装置内に基板1を配置し、常温で酸素プラズマ処理を行う。このとき、後に同一の処理チャンバ内で形成する絶縁膜の成膜時間よりも長い時間酸素プラズマ処理を行うことで、犠牲膜111を積層ゲート構造MG-MG間と積層ゲート構造MG-ゲート構造SG1, SG2間に埋まった部分のみ残置させてアッシング除去することができる。

40

【0035】

ついで、図4-7に示されるように、基板1上の全面に、ALD法によって絶縁膜112を形成する。絶縁膜112として、たとえばシリコン酸化膜を用いることができる。ここでは、ALD装置を用いて、酸素プラズマとジイソプロピルアミノシランのガスとを、常温~100℃付近の低温で交互に流すことによって、絶縁膜112の成膜処理を行う。たとえば、15~20nmの厚さの絶縁膜112を形成する。隣接するゲート構造SG1-SG1間、SG2-SG2間では、露出したゲート構造SG1, SG2の側面部分と隣

50

接するゲート構造SG1-SG1間、SG2-SG2間の底部を覆うように絶縁膜112が形成され、それ以外の部分では、ゲート構造SG1, SG2の上面や積層ゲート構造MGの上面、犠牲膜111の上面を覆うように絶縁膜112が形成される。

【0036】

その後、図4-8に示されるように、絶縁膜112上にレジスト113を塗布し、フォトリソグラフィ技術を用いて、隣接するゲート構造SG1-SG1間、SG2-SG2間以外のセル領域を覆うようにパターニングを行い、マスクパタンを形成する。このマスクパタンは、セル領域を覆うように形成されるが、図4-8(a)に示されるように、ワード線方向の端部(引き出し部)120には形成されない。なお、この場合には、セル領域のみを覆うようにすればよいので、比較的安価な解像度の低い露光機でも使用可能である。

10

【0037】

続いて、図4-9に示されるように、レジスト113をマスクとして、RIEなどの異方性エッチングを用いて、隣接するゲート構造SG1-SG1間、SG2-SG2間に存在する絶縁膜112のエッチバックを行う。ここでは、隣接するゲート構造SG1-SG1間、SG2-SG2間の底部に形成された絶縁膜112が除去される程度にエッチングを行う。これによって、ゲート構造SG1, SG2の側面には、オフセットスペーサ膜31が形成される。また、レジスト113で被覆されていないセル領域の引き出し部120の絶縁膜112も除去され、犠牲膜111が露出する。その後、イオン注入法により不純物を隣接するゲート構造SG1-SG1間、SG2-SG2間の基板1の表層に注入して熱処理によって活性化させ、チャンネル電界緩和のための不純物拡散領域16cを形成する。

20

【0038】

ついで、図4-10に示されるように、酸素プラズマを用いたアッシング処理によって、絶縁膜112上のレジスト113と、積層ゲート構造MG-MG間および積層ゲート構造MG-ゲート構造SG1, SG2間を埋める犠牲膜111と、を除去する。犠牲膜111としてカーボンポリマー膜が用いられる場合には、犠牲膜111は、酸素アッシング耐性が極めて弱いため、犠牲膜111が露出している引き出し部120を通して容易に除去される。

【0039】

そして、図4-11に示されるように、プラズマCVD法などの方法によって、基板1上の全面に埋込絶縁膜114を形成する。ここでは、引き出し部120、および隣接するゲート構造SG1-SG1間、SG2-SG2間に埋込絶縁膜114が埋設される。このとき、ゲート構造SG1, SG2の側面のオフセットスペーサ膜31は上端部にテーパを有しており、また引き出し部120ではポイドを形成する必要がなく埋め込み性の比較的良好な低バイアスでの成膜を行えるため、隣接するゲート構造SG1-SG1間、SG2-SG2間にはポイドのない埋込絶縁膜114を形成することができる。その後、図3に示されるように、隣接するゲート構造SG1-SG1間、SG2-SG2間において、埋込絶縁膜114の上面から基板1の表面に達するコンタクトプラグ45, 46が形成される。

30

40

【0040】

なお、ここでは、配線が密に配置された積層ゲート構造MG間および積層ゲート構造MG-ゲート構造SG1, SG2間をすべて空洞化する場合について説明したが、図4-8に示されるレジスト113からなるマスクパタンを変更することで、配線が密に配置された領域のうちの所望の配線間に選択的に空洞を形成することもできる。たとえば、セル領域を覆うようにマスクパタンを形成する際に、隣接するゲート構造SG1-SG1間、SG2-SG2間および引き出し部120とともに積層ゲート構造MG-ゲート構造SG1, SG2間にもマスクパタンが形成されないようにすれば、引き出し部120と同様に積層ゲート構造MG-ゲート構造SG1, SG2間でも犠牲膜111が除去されて生じた空間に埋込絶縁膜114を埋め込むことができる。さらに、マスクパタンを変更して所望の

50

積層ゲート構造 M G 間に埋込絶縁膜 1 1 4 を埋め込み形成してもよく、配線が密に配置された領域における任意の配線間に空洞を形成する一方、他の配線間は埋込絶縁膜 1 1 4 を埋め込むこともできる。

【 0 0 4 1 】

また、以上の実施形態では、密の配線として N A N D 型フラッシュメモリのメモリセル M C のゲート電極を、疎の配線として選択ゲートトランジスタ S T 1 , S T 2 のゲート電極を例に挙げ、隣接する選択ゲートトランジスタ S T 1 - S T 1 間、S T 2 - S T 2 間のみ層間絶縁膜を埋め込み、その他のゲート電極間は空隙を形成する場合を例に挙げた。しかし、このような不揮発性半導体記憶装置のみではなく、一般的な半導体装置のゲート電極形成時や R e R A M (Resistive Random Access Memory) などのクロスポイント型メモリのメモリセルの形成時、半導体装置に使用される配線の形成時などのその他の半導体装置の製造方法においても、上記した実施形態を適用することができる。

10

【 0 0 4 2 】

この実施形態では、密な配線間に犠牲膜 1 1 1 を埋め込み、疎な配線間にはすべてが埋め込まれないように配線間に犠牲膜 1 1 1 を形成した後、配線上と疎な配線間の犠牲膜 1 1 1 を除去し、配線と犠牲膜 1 1 1 が形成された基板上を絶縁膜 1 1 2 で覆い、配線端部付近の絶縁膜 1 1 2 を除去し、そこから犠牲膜 1 1 1 を除去した後、疎な配線間を埋めるように埋込絶縁膜 1 1 4 を形成した。これによって、隣接する密な配線間に十分な空洞を形成できるとともに、隣接する疎な配線間にはボイドのない埋込絶縁膜 1 1 4 を埋め込むことができるという効果を有する。また、配線端部付近の絶縁膜 1 1 2 の除去の際に使用するレジスト 1 1 3 のアッシング処理と同時に、犠牲膜 1 1 1 も除去して空隙 A G を形成したので、効率よくレジスト 1 1 3 と犠牲膜 1 1 1 を除去することができる。

20

【 0 0 4 3 】

また、密な配線の側面には、まったく酸化膜が堆積されないので、酸化膜による容量の押し上げがなく、メタル膜の酸化も抑えられるという効果を有する。さらに、低バイアスのプラズマ C V D 法で埋込絶縁膜 1 1 4 を形成したので、疎な配線間にはボイドのない埋込絶縁膜 1 1 4 を形成できるとともに、塗布型絶縁膜のように固定電荷が形成されない。その結果、配線がたとえば N A N D 型フラッシュメモリの積層ゲート構造 M G の場合には、固定電荷によるスイッチング特性の影響を抑制することができる。

【 0 0 4 4 】

また、犠牲膜 1 1 1 の蓋の役割をする絶縁膜 1 1 2 は、N A N D 型フラッシュメモリの場合には、隣接するゲート構造 S G 1 - S G 1 間、S G 2 - S G 2 間の側面では、エッチバック処理によってオフセットスペーサ膜 3 1 として利用されるので、選択ゲートトランジスタ S T 1 , S T 2 での短チャネル効果を抑制することができる。さらに、低温で形成された絶縁膜 (酸化膜) からなるオフセットスペーサ膜 3 1 は、アッシング時に酸素プラズマによって改質されるので、リーク電流を改善することができるという効果も有する。

30

【 0 0 4 5 】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

40

【 符号の説明 】

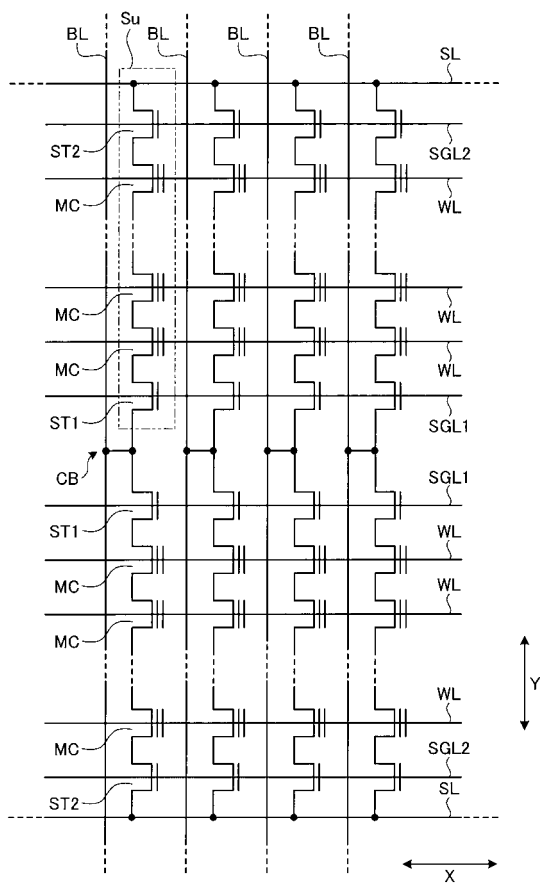
【 0 0 4 6 】

1 ... 基板、2 ... S T I (素子分離絶縁膜)、3 ... 活性領域、1 1 ... トンネル絶縁膜、1 2 ... 浮遊ゲート電極膜、1 3 ... 電極間絶縁膜、1 3 a ... 開口、1 4 ... 制御ゲート電極膜、1 4 A ... 第 1 導電膜、1 4 B ... 第 2 導電膜、1 6 a , 1 6 b , 1 6 c ... 不純物拡散領域、3 1 ... オフセットスペーサ膜、4 5 , 4 6 ... コンタクトプラグ、1 0 1 ... ハードマスク膜、1 1 1 ... 犠牲膜、1 1 2 ... 絶縁膜、1 1 3 ... レジスト、1 1 4 ... 埋込絶縁膜、1 2 0 ... 引

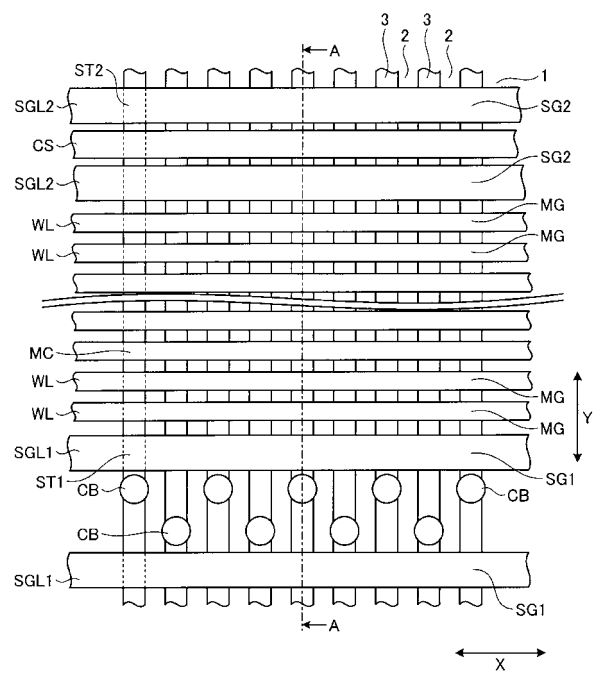
50

き出し部。

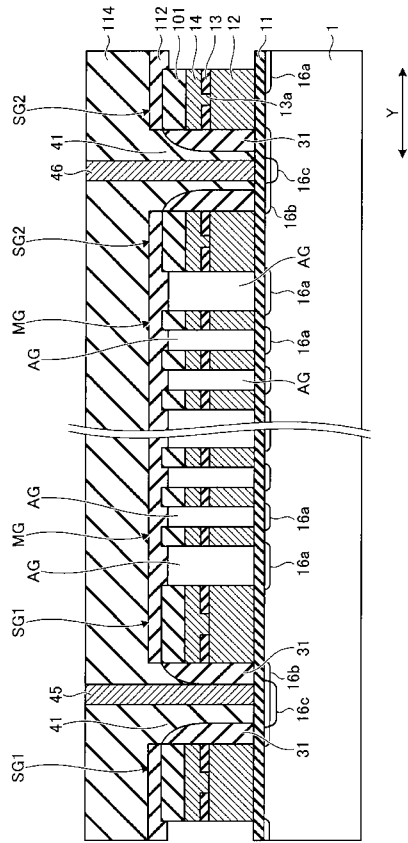
【図 1】



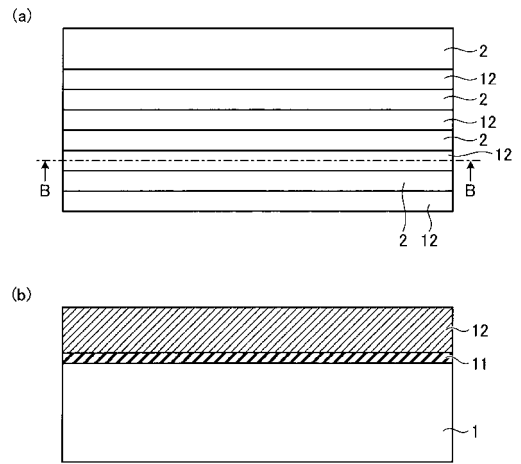
【図 2】



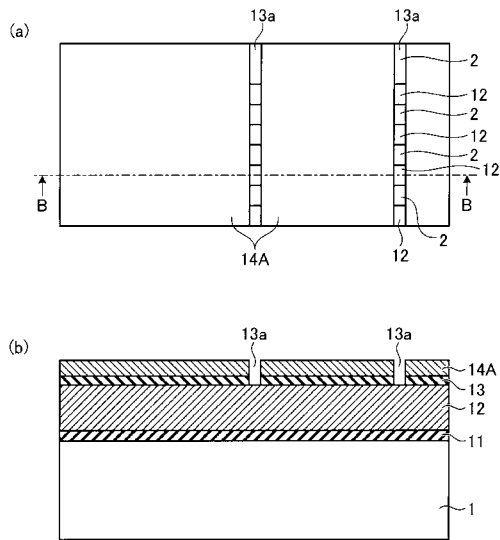
【 図 3 】



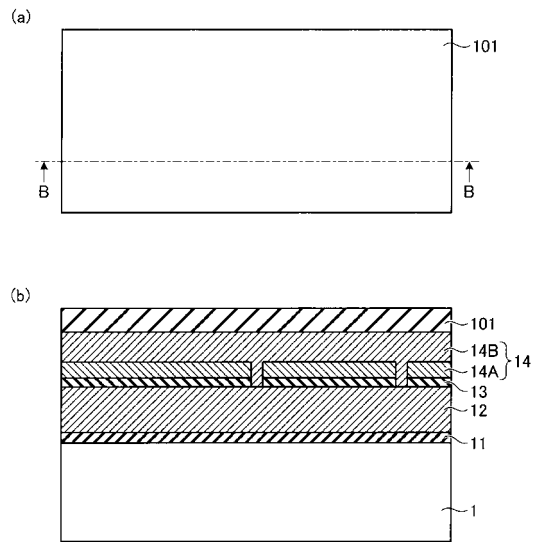
【 図 4 - 1 】



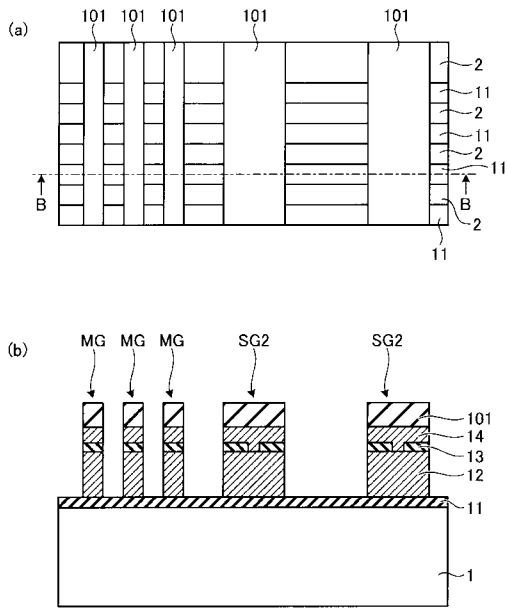
【 図 4 - 2 】



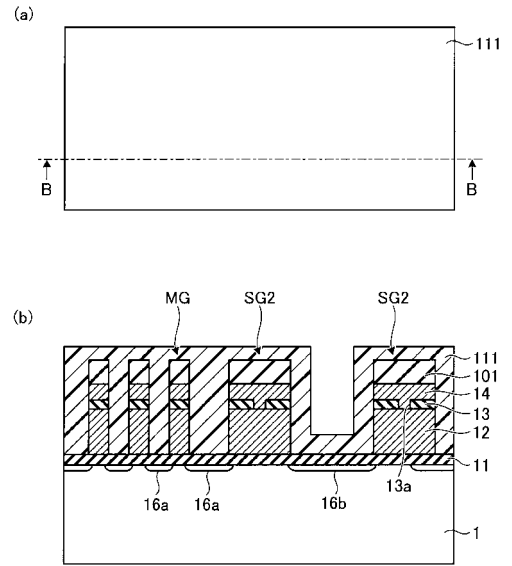
【 図 4 - 3 】



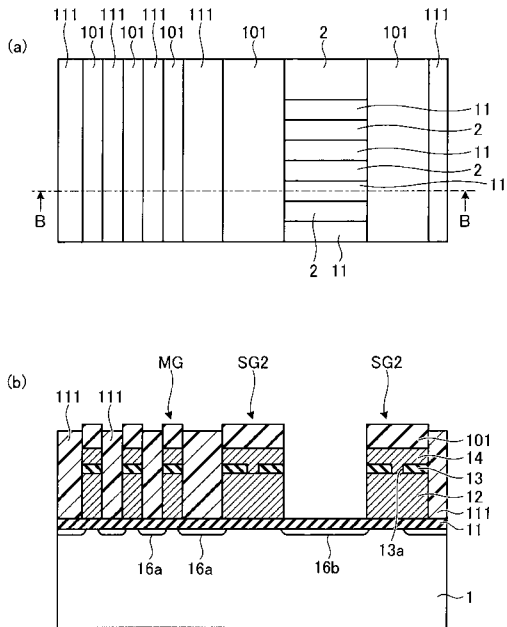
【 図 4 - 4 】



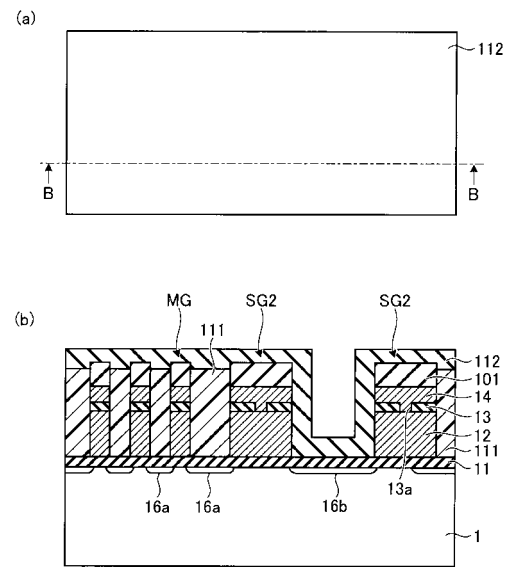
【 図 4 - 5 】



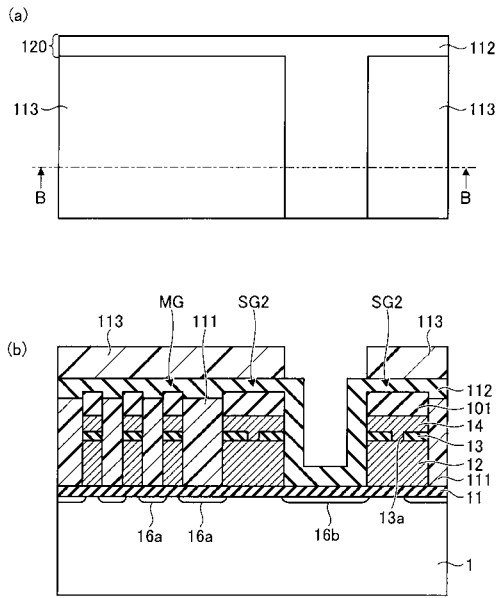
【 図 4 - 6 】



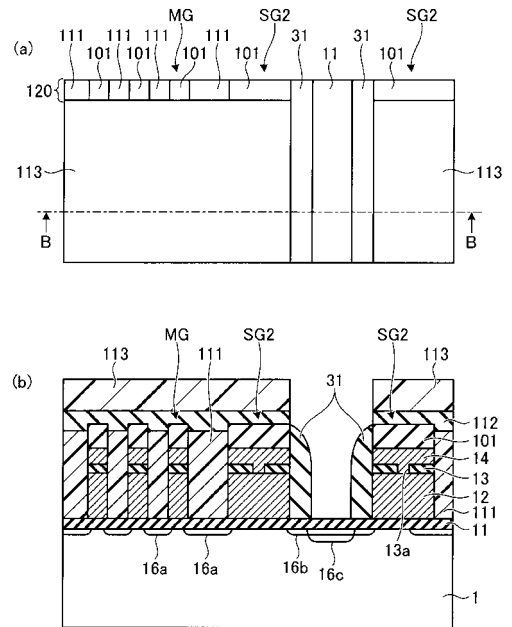
【 図 4 - 7 】



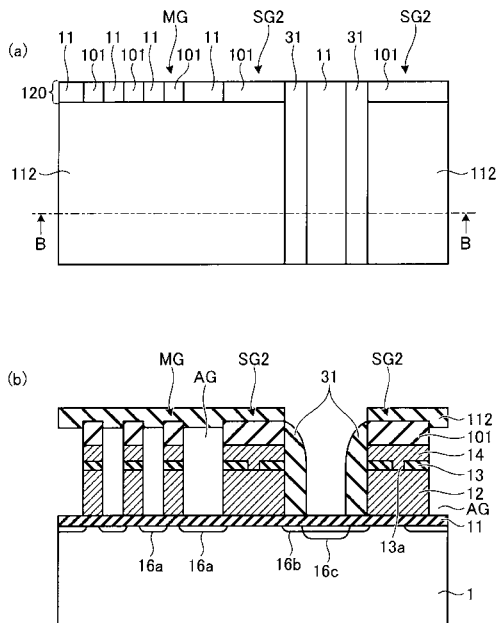
【 図 4 - 8 】



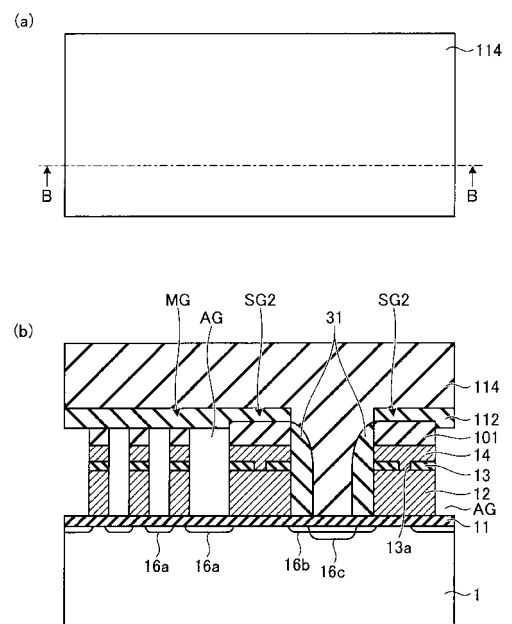
【 図 4 - 9 】



【 図 4 - 10 】



【 図 4 - 11 】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)

H 0 1 L 27/115 (2006.01)
H 0 1 L 21/8247 (2006.01)
H 0 1 L 27/10 (2006.01)

F ターム(参考) 5F083 EP02 EP23 EP33 EP34 EP55 EP56 EP63 EP68 EP76 GA01
GA03 GA09 GA11 GA27 JA02 JA04 JA05 JA35 JA36 JA39
JA40 JA53 JA58 JA60 LA02 LA21 MA04 MA06 MA19 NA01
NA06 NA10 PR21
5F101 BA02 BA29 BA36 BB05 BD07 BD09 BD22 BD34 BD35 BF02
BF08