



(21) 申请号 202110989487.0

(22) 申请日 2021.08.26

(65) 同一申请的已公布的文献号

申请公布号 CN 113689893 A

(43) 申请公布日 2021.11.23

(73) 专利权人 北京磐芯微电子科技有限公司

地址 100086 北京市海淀区知春路23号15
层1509B室

(72) 发明人 蒋家勇 石振东

(74) 专利代理机构 北京允天律师事务所 11697

专利代理师 李建航

(51) Int.Cl.

G11C 5/02 (2006.01)

G11C 7/18 (2006.01)

G11C 8/14 (2006.01)

(56) 对比文件

CN 105469823 A, 2016.04.06

CN 103000218 A, 2013.03.27

CN 107771348 A, 2018.03.06

CN 103456358 A, 2013.12.18

CN 105097037 A, 2015.11.25

审查员 吕亚平

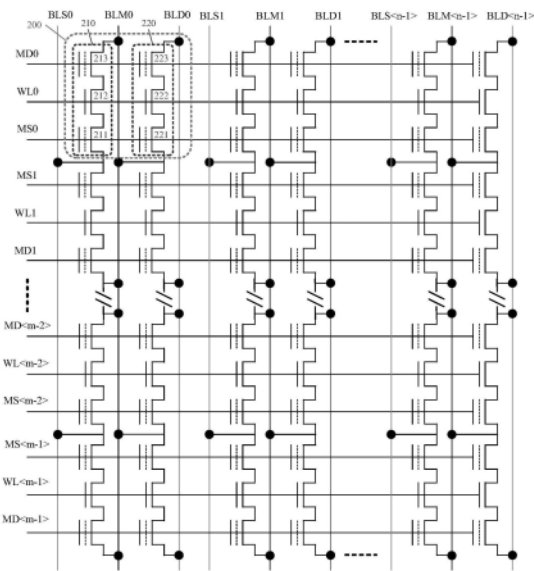
权利要求书2页 说明书12页 附图8页

(54) 发明名称

闪存阵列

(57) 摘要

本公开提供了一种闪存阵列。根据本公开的闪存阵列包括：多个闪存单元，沿行方向和与行方向垂直的列方向排列；多个字线组，沿行方向延伸；以及多个位线组，沿列方向延伸，其中，在字线组和位线组的交点处设置有闪存单元对，所述闪存单元对包括在行方向上相邻的共享同一个位线组的第一闪存单元和第二闪存单元。根据本公开的闪存阵列可以在不增大阵列尺寸的情况下提高位线的布置密度并且可以降低位线寄生电阻。此外，较之现有技术的闪存阵列，根据本公开的闪存阵列还具有更好的工艺兼容性和微缩特性。



1. 一种闪存阵列, 包括:
多个闪存单元, 沿行方向和与所述行方向垂直的列方向排列;
多个字线组, 沿所述行方向延伸, 每个字线组包括沿所述行方向延伸的第一控制线、字线和第二控制线; 以及
多个位线组, 沿所述列方向延伸, 每个位线组包括第一位线、中间位线和第二位线;
其中, 在所述字线组和所述位线组的交点处设置有闪存单元对, 所述闪存单元对包括在所述行方向上相邻的共享同一个位线组的第一闪存单元和第二闪存单元;
所述中间位线由第一金属层形成, 以及
所述第一位线和所述第二位线由不同于所述第一金属层的第二金属层形成;
所述中间位线包括在所述列方向上延伸的第一部分和在所述行方向上延伸的第二部分, 以及
所述第一位线和所述第二位线在所述列方向上延伸;
所述中间位线的第一部分与第一位线和第二位线交叠, 第二部分与其下方的字线交叠。
2. 根据权利要求1所述的闪存阵列,
其中, 所述第一闪存单元和所述第二闪存单元中的每个包括在所述列方向上依次串联连接的第一存储晶体管、选通晶体管和第二存储晶体管, 以及
其中, 在所述第一闪存单元和所述第二闪存单元中的每个中, 所述第一存储晶体管的源极区连接到该闪存单元的第一电极, 所述第二存储晶体管的漏极区连接到该闪存单元的第二电极。
3. 根据权利要求2所述的闪存阵列,
其中, 所述第一位线连接到所述闪存单元对的第一闪存单元的第一电极, 所述第二位线连接到所述闪存单元对的第二闪存单元的第二电极, 所述中间位线连接所述第一闪存单元的第二电极和所述第二闪存单元的第一电极。
4. 根据权利要求2所述的闪存阵列,
其中, 所述第一位线连接到所述闪存单元对的第一闪存单元的第二电极, 所述第二位线连接到所述闪存单元对的第二闪存单元的第二电极, 所述中间位线连接所述第一闪存单元的第一电极和所述第二闪存单元的第一电极。
5. 根据权利要求3或4所述的闪存阵列, 其中,
其中, 所述第一控制线连接到所述第一存储晶体管的栅电极, 所述字线连接到所述选通晶体管的栅电极, 所述第二控制线连接到所述第二存储晶体管的栅电极。
6. 根据权利要求5所述的闪存阵列, 其中,
在所述列方向上相邻的两个第一控制线通过第一公共控制线连接在一起, 以及
其中, 在所述列方向上相邻的两个第二控制线通过第二公共控制线连接在一起。
7. 根据权利要求5所述的闪存阵列, 其中,
所述第一控制线、所述字线和所述第二控制线由多晶硅、硅化物、金属栅中的至少一种形成。
8. 根据权利要求6所述的闪存阵列, 其中,
所述第一公共控制线和所述第二公共控制线由金属层形成。

9.一种闪存阵列,包括:

多个闪存单元,沿行方向和与所述行方向垂直的列方向排列;

多个字线组,沿所述行方向延伸;以及

多个位线组,沿所述列方向延伸,

其中,在所述字线组和所述位线组的交点处设置有闪存单元对,所述闪存单元对包括在所述行方向上相邻的共享同一个位线组的第一闪存单元和第二闪存单元,

其中,每个位线组包括在所述行方向上依次设置的第一位线、中间位线和第二位线,

其中,所述第一闪存单元和所述第二闪存单元中的每个分别包括在所述列方向上依次串联连接的第一存储晶体管、选通晶体管和第二存储晶体管,

其中,在所述第一闪存单元中,所述第一存储晶体管的源极区连接到所述第一位线,并且所述第二存储晶体管的漏极区连接到所述中间位线,以及

其中,在所述第二闪存单元中,所述第一存储晶体管的源极区连接到所述中间位线,并且所述第二存储晶体管的漏极区连接到所述第二位线;

其中,

每个字线组包括在所述列方向上依次设置的第一控制线、字线和第二控制线;

所述第一控制线连接到所述第一闪存单元和所述第二闪存单元中的第一存储晶体管的栅电极,所述字线连接到所述第一闪存单元和所述第二闪存单元中的选通晶体管的栅电极,所述第二控制线连接到所述第一闪存单元和所述第二闪存单元中的第二存储晶体管的栅电极。

闪存阵列

技术领域

[0001] 本公开涉及半导体技术的领域,具体地,本公开涉及一种闪存阵列。

背景技术

[0002] 快闪存储器,简称闪存,是一种非易失性存储器,即在电源断开的情况下仍然不会丢失所存储的数据,特别适用于移动通讯和计算机存储部件等领域。此外,有些快闪存储器还具有高密度存储能力,适用于大容量移动存储介质等方面的应用。

[0003] 传统的快闪存储器采用浮栅型单元结构。浮栅型非易失性存储器起源于D.Kahng与S.Sze在1967年提出的MIMIS(Metal-Insulator-Metal-Insulator-Semiconductor:金属-绝缘体-金属-绝缘体-半导体)结构。该结构在传统的MOSFET(Metal-Oxide-Semiconductor Field Effect Transistor:金属氧化物半导体场效应晶体管)的基础上增加一个金属浮栅和一个超薄的隧穿氧化物层,从而利用金属浮栅来存储电荷。基于此,Masuoka等人在1984年首次提出快闪存储器(Flash Memory)的概念,即通过按块(sector)擦除按位写入来实现高速擦除能力,并且消除了EEPROM(Erasable Programmable Read-only memory:可擦可写入只读存储器)中必需的选择管,从而具有更小的存储单元尺寸。快闪存储器出现以后,以其高写入速度、高集成度和优越的性能迅速得到发展。Intel公司在1988年提出了ETOX结构闪存单元(ETOX:Electron Tunneling Oxide device,电子隧穿氧化物器件),成为至今大部分的浮栅型闪存单元结构的发展基础。

[0004] 然而,浮栅型快闪存储器具有如下缺点:工艺较为复杂;由于闪存单元中的浮栅结构的存在增加了栅结构的纵向高度,不利于按比例缩小工艺尺寸和单元面积;同时因为浮栅的导电性,存储的电荷可以在浮栅中自由移动,因而不利于提高存储器的可靠性。为解决浮栅型快闪存储器的工艺复杂、可靠性差等问题,研究人员提出一种利用氮化硅介质存储电荷的电荷俘获型存储器(CTM:Charge-Trapping-Memory),也称为SONOS型(Silicon-Oxide-Nitride-Oxide-Silicon:硅-氧化物-氮化物-氧化物-硅)快闪存储器。基于此,B.Eitan等人在2000年提出了一种两位存储单元结构NROM(Nitride-Read-Only-Memory:氮化硅只读存储器),该单元结构利用绝缘氮化硅存储介质不导电的特性在一个存储晶体管的源极端和漏极端分别实现两个存储位,然而该单元结构存在其中两个存储位相互干扰,器件尺寸无法缩小等缺点。

[0005] 然而,现有的浮栅型ETOX快闪存储器和SONOS型NROM快闪存储器都存在工艺尺寸无法缩小、单元面积大、写入功耗大及阵列面积开销大的问题,无法实现吉比特(Gb)容量以上的高密度集成。

[0006] 此外,现有的闪存阵列需要设置位线、字线和源线来实现闪存单元的选择和操作。然而,现有的闪存阵列的源线在有源区中形成,而有源区的方块电阻远高于金属。因此,为降低源线的串联电阻,需要在行方向或列方向上每隔若干行或列通过金属的公共源线将有源区源线短接在一起,导致闪存阵列的面积开销增加。

[0007] 随着移动智能终端、可穿戴设备、智能传感器网络等应用的迅速发展,对快闪存储

器的功耗、存储容量、成本均提出了更高的要求,因此需要一种具有功耗低、单元面积小、工艺尺寸可缩小、阵列集成密度高、容量大等优点的快闪存储器技术。

发明内容

[0008] 在本背景技术部分中公开的以上信息仅用于理解发明构思的背景,并且因此它可能包含不构成现有技术的信息。

[0009] 为了解决现有技术中存在的以上问题,本公开提出了一种闪存阵列。

[0010] 根据本公开的一个方面,提供了一种闪存阵列,其包括:多个闪存单元,沿行方向与行方向垂直的列方向排列;多个字线组,沿行方向延伸;以及多个位线组,沿列方向延伸,其中,在字线组和位线组的交点处设置有闪存单元对,所述闪存单元对包括在行方向上相邻的共享同一个位线组的第一闪存单元和第二闪存单元。

[0011] 根据本公开的闪存阵列可以在不增大阵列尺寸的情况下提高位线的布置密度并且可以降低位线寄生电阻。此外,较之现有技术的闪存阵列,根据本公开的闪存阵列还具有更好的工艺兼容性和微缩特性。

[0012] 然而,本公开的效果不限于上述效果,并且可以在不脱离本公开的精神和范围的情况下进行各种扩展应当理解,前面的一般描述和下面的详细描述都是示例性和解释性的,并且旨在提供对要求保护的本发明的进一步说明。

附图说明

[0013] 包括附图以提供对本发明的进一步理解并且并入本说明书中并构成本说明书的一部分的附图示出了本发明的示例性实施方式,并且与说明书一起用于解释本发明的构思。

[0014] 图1是示出了根据本公开的实施方式的闪存单元的截面视图。

[0015] 图2示出了根据本公开的实施方式的闪存单元的等效电路图。

[0016] 图3示出了根据本公开的第一实施方式的闪存单元对的电路示意图。

[0017] 图4示出了根据本公开的第一实施方式的闪存阵列的电路示意图。

[0018] 图5示出了根据本公开的第一实施方式的位线组的一个布局示例的示意图。

[0019] 图6示出了根据本公开的第一实施方式的位线组的另一布局示例的示意图。

[0020] 图7示出了根据本公开的第二实施方式的闪存单元对的电路示意图。

[0021] 图8示出了根据本公开的第二实施方式的闪存阵列的电路示意图。

[0022] 图9示出了根据本公开的第二实施方式的位线组的一个布局示例的示意图。

[0023] 图10示出了根据本公开的实施方式的闪存阵列的控制线的布局的示意图。

具体实施方式

[0024] 在以下描述中,出于说明的目的,阐述了许多具体细节以便提供对本发明的各示例性实施方式或实现方案的透彻理解。如本文所使用的,“实施方式”和“实现方案”是可互换的词,是采用本文所公开的一个或更多个发明构思的设备或方法的非限制性示例。然而,显而易见的是,可以在没有这些具体细节或具有一个或更多个等同布置的情况下实践各示例性实施方式。在其他实例中,以框图形式示出了公知的结构和设备以避免不必要地混淆

各示例性实施方式。此外,各示例性实施方式可以是不同的,但是不必是排他的。例如,在不脱离本发明构思的情况下,可以在其他示例性实施方式中使用或实现示例性实施方式的特定形状、配置和特性。

[0025] 除非另有说明,否则所说明的示例性实施方式应理解为提供可以在实践中实现本发明构思的一些方式的变化细节的示例性特征。因此,除非另有说明,否则可以将各实施方式的特征、部件、模块、层、膜、面板、区域和/或方面等(下文中单独地或共同地称为“元件”)另外进行组合、分离、互换和/或重新布置,而不背离本发明的构思。

[0026] 在附图中的交叉影线和/或阴影的使用通常被提供用于澄清相邻元件之间的边界。这样,无论是否存在交叉影线或阴影都不能传达或指示对特定材料、材料特性、尺寸、比例、所示元件之间的共性和/或元件的任何其他特性、属性、形状等的任何偏爱或要求,除非另有说明。此外,在附图中,为了清楚和/或描述性目的,可能夸大元件的尺寸和相对尺寸。当可以不同地实现示例性实施方式时,可以与所描述的顺序不同地执行特定的处理顺序。例如,两个连续描述的工艺可以基本同时执行或以与所描述的顺序相反的顺序执行。同样,相同的附图标记表示相同的元件。

[0027] 当诸如层的元件被称为在另一元件或层“上”,“连接至”或“耦接至”另一元件或层时,其可以直接在另一元件或层上,直接连接至或耦接至另一元件或层,或者可以存在居间的元件或层。然而,当元件或层被称为“直接”在另一元件或层“上”,“直接连接至”或“直接耦接至”另一元件或层时,则不存在居间的元件或层。为此,术语“连接”可以指具有或不具有居间的元件的物理、电气和/或流体连接。此外,D1轴线和D2轴线和D3轴线不限于直角坐标系的三个轴,诸如x、y和z轴线,并且可以在更广泛的意义上进行解释。例如,D1轴线和D2轴线和D3轴线可以彼此垂直,或者可以表示彼此不垂直的不同方向。出于本公开的目的,“X、Y和Z中的至少一个”和“选自由X、Y和Z组成的组中的至少一个”可以被解释为仅X、仅Y、仅Z、或X、Y和Z中的两个或更多个的任意组合,诸如例如XYZ、XYX、YZ和ZZ。如本文所使用的,术语“和/或”包括一个或更多个相关联的所列项目的任何和所有组合。

[0028] 尽管在本文中可以使用术语“第一”、“第二”等来描述各种类型的元件,但是这些元件不应受到这些术语的限制。这些术语用于将一个元件与另一个元件区分开。因此,在不脱离本公开的教导的情况下,下面讨论的第一元件可以被称为第二元件。

[0029] 空间关系术语,诸如“之下”、“下方”、“下面”、“下”、“上方”、“上”、“更高”和“侧面”(例如,如在“侧壁”)等,在本文中可用于描述性目的,从而描述如图中所示的一个元件与其他元件之间的关系。空间关系术语旨在涵盖除附图中示出的取向以外的装置在使用、操作和/或制造中的不同取向。例如,如果附图中的装置被翻转,则被描述为在其他元件或特征“下方”或“之下”的元件将被取向为在其他元件或特征“上方”。因此,示例性术语“下方”可以涵盖上方和下方二者的取向。此外,装置可以以其他方式取向(例如,旋转90度或以其他取向),并且因此本文中所使用的空间关系描述语被相应地解释。

[0030] 在此使用的术语出于描述特定实施方式的目的,而非旨在是限制性的。如本文所使用的,单数形式“一”、“一个”和“该”旨在还包括复数形式,除非上下文另外明确指出。此外,当在本说明书中使用术语“包括”和/或“包含”指明存在所陈述的特征、整数、步骤、操作、元件、部件和/或它们的组,但不排除存在或增加一个或更多个其他的特征、整数、步骤、操作、元件、部件和/或它们的组。还应注意,如本文所使用的,术语“基本上”、“约”和其

他类似术语被用作近似术语而不是程度术语,并且因此被利用以计入被本领域的普通技术人员所认可的测量、计算和/或提供的值中的固有偏差。

[0031] 如在本领域中的惯例,在功能块、单元和/或模块方面在附图中描述和示出了一些示例性实施方式。本领域技术人员将理解,这些块、单元和/或模块由电子(或光学)电路物理地实现,诸如逻辑电路、分立部件、微处理器、硬连线电路、存储器元件、布线连接等,它们可以使用基于半导体的制造技术或其他制造技术来形成。在由微处理器或其他类似硬件实现块、单元和/或模块的情况下,可以使用软件(例如,微代码)对它们进行写入和控制,以执行本文所讨论的各种功能,并且可以可选地由固件和/或软件驱动。还考虑到,每个块、单元和/或模块可以由专用硬件来实现,或者被实现为由执行一些功能的专用硬件与执行其他操作的处理器(例如,一个或更多个写入的微处理器和相关电路)的组合。此外,在不脱离本发明构思的范围的情况下,一些示例性实施方式的每个块、单元和/或模块可以在物理上被分成两个或更多个交互的和离散的块、单元和/或模块。此外,在不脱离本发明构思的范围的情况下,一些示例性实施方式的块、单元和/或模块可以物理地组合成更复杂的块、单元和/或模块。

[0032] 在此参照截面图和/或分解图来描述各实施方式,所述截面图和/或分解图是理想化的实施方式和/或中间结构的示意图。这样,例如由于制造技术和/或公差导致的图示形状的变化是可以预期的。因此,本文公开的实施方式不必一定被解释为限于区域的特定示出的形状,而是包括由例如制造引起的形状偏差。以这种方式,附图中示出的区域本质上可以是示意性的,并且这些区域的形状可以不反映设备的区域的实际形状,并且因此这不一定旨在进行限制。

[0033] 除非另有限定,否则本文中使用的所有术语(包括技术术语和科学术语)具有与本公开所属领域的普通技术人员通常理解的相同含义。术语,诸如在常用词典中定义的术语,应被解释为具有与相关领域的背景下的它们的含义相一致的含义,并且不应以理想化或过于正式的意义来解释,除非在此明确限定。

[0034] 图1示出了根据本公开的实施方式的闪存单元MC 100的截面视图。

[0035] 如图1所示,根据本公开的实施方式的闪存单元MC 100可以包括衬底101,其包括第二掺杂类型的深阱区DNW 103和设置在深阱区DNW103上的第一掺杂类型的阱区PW 102。

[0036] 尽管在图1中作为示例将第一掺杂类型限定为P型,并且将第二掺杂类型限定为N型,但是本领域技术人员应认识到,本公开不限于此,并且第一掺杂类型也可以是N型,此时第二掺杂类型可以是P型。

[0037] 根据本公开的实施方式,衬底101可以是例如硅(Si)衬底。

[0038] 此外,闪存单元MC 100包括依次串联连接的第一存储晶体管MS110、选通晶体管MG 120和第二存储晶体管MD 130。第一存储晶体管MS 110可以设置在阱区PW 102上并且存储第一数据DATA1。第二存储晶体管MD 130可以设置在阱区PW 102上并且存储第二数据DATA2。选通晶体管MG 120在阱区PW 102上沿水平方向DR1设置在第一存储晶体管MS 110和第二存储晶体管MD 130之间,用于隔离第一存储晶体管MS110和第二存储晶体管MD 130并且对第一存储晶体管MS 110和第二存储晶体管MD 130执行选通操作。

[0039] 根据本公开的实施方式,闪存单元MC 100包括两个存储晶体管MS110和MD 130,因此闪存单元MC 100能够实现两位存储的功能,即同时存储第一数据DATA1和第二数据

DATA2。

[0040] 此外,如图1所示,第一存储晶体管MS 110的源极区连接到闪存单元MC 100的第一电极S,其还可以被称为闪存单元MC 100的源极S,而第二存储晶体管MD 130的漏极区连接到闪存单元MC 100的第二电极D,其还可以被称为闪存单元MC 100的漏极D。

[0041] 本领域技术人员应认识到,在本文中为便于描述限定了闪存单元的源极和漏极,然而闪存单元的源极和漏极的限定是相对的,在不同的工作条件下,术语“源极”和“漏极”可互换地使用。

[0042] 此外,如图1所示,第一存储晶体管MS 110具有包括沿竖直方向DR2依次设置的沟道区111、栅介质叠层112、栅电极116和硬掩模阻挡部117的栅结构。栅介质叠层112具有沿竖直方向依次层叠的第一氧化物层113、存储介质层114和第二氧化物层115。此外,第二存储晶体管MD 130具有包括沿竖直方向DR2依次设置的沟道区131、栅介质叠层132、栅电极136和硬掩模阻挡部137的栅结构。栅介质叠层132具有沿竖直方向依次层叠的第一氧化物层133、存储介质层134和第二氧化物层135。

[0043] 根据本公开的实施方式,闪存单元MC 100包括两个存储晶体管MS110和MD 130,因而可以实现两位存储的功能。

[0044] 根据本公开的实施方式,如图1所示,用于两位存储的闪存单元MC100可以由三个紧密布置的晶体管组成,即位于闪存单元MC 100中间的选通晶体管MG 120、位于闪存单元MC 100的第一端的第一存储晶体管MS 110以及位于闪存单元MC 100的第二端的第二存储晶体管MD 130。

[0045] 如图1所示,闪存单元MC 100可以形成于半导体衬底101内的阱区PW 102上。此外,为了将阱区PW 102与衬底101隔离以便在某些工作条件下向阱区PW 102施加电压,如图1中所示,阱区PW 102可以形成在深阱区DNW 103中。

[0046] 如图1所示,在闪存单元MC 100的第一端处设置有通过N型掺杂形成的源极区140,并且在闪存单元MC 100的第二端还设置有通过N型掺杂形成的漏极区150。源极区140通过接触孔141和位于上层的金属源极142,即第一电极S连接,并且漏极区150通过接触孔151和位于上层的金属漏极152,即第二电极D连接。

[0047] 根据本公开的实施方式,第一电极S和第二电极D可以包括金属或高掺杂的多晶硅。当第一电极S和第二电极D由金属形成时,其可以包括以下材料中的至少之一:铝、钛、氮化钛、铜、钨、钴和锰。

[0048] 如上文所述,如图1所示,第一存储晶体管MS 110的栅结构可以自下而上依次具有沟道区111、栅介质叠层112、栅电极116和用于侧壁自对准的硬掩模阻挡部117。根据本公开的实施方式,栅电极116可以包括例如多晶硅、金属栅、金属硅化物材料,或者上述材料的组合。根据本公开的实施方式,硬掩模阻挡部117可以包括例如氧化硅、氮化硅、硅玻璃材料,或者上述材料的组合。

[0049] 此外,如图1所示,栅介质叠层112具有沿竖直方向依次层叠的第一氧化物层(隧穿氧化物层)113、存储介质层(电荷存储层)114和第二氧化物层(阻挡氧化物层)115。根据本公开的实施方式,第一氧化物层113和第二氧化物层115可以包括例如氧化硅或氧化铝等。

[0050] 根据本公开的实施方式,存储介质层114可以包括一层或多层存储介质。此外,根据本公开的实施方式,形成存储介质层114的存储介质可以包括:一元或多元氧化物,诸如

氧化铅、氧化钽、氧化钛、氧化锆、铅铝氧化物；一元或多元氮化物，诸如氮化硅；一元或多元氮氧化物，诸如氮氧化硅；多晶硅或者纳米晶体材料；或者上述材料的组合。

[0051] 根据本公开的实施方式，当存储介质层114由例如氮化硅材料形成时，第一氧化物层113、存储介质层114和第二氧化物层115可以形成作为ONO(氧化物-氮化物-氧化物)复合存储介质的栅介质叠层112。此时，第一存储晶体管MS 110可以是SONOS型存储晶体管。

[0052] 此外，根据本公开的实施方式，第一存储晶体管MS 110可以是与SONOS型存储晶体管具有相似的操作机理的其他的陷阱电荷俘获型存储晶体管，此类型的存储晶体管采用富含电荷陷阱的高K材料例如氮氧化硅、氧化铅、氧化钽、氧化钛、氧化锆、铅铝氧化物等替代SONOS存储器中的氮化硅材料作为存储介质层114。

[0053] 此外，根据本公开的实施方式，第一存储晶体管MS 110还可以是浮栅型存储晶体管，此类型的存储晶体管采用多晶硅材料取代SONOS存储器中的氮化硅材料形成用于存储电荷的浮栅，作为存储介质层114。

[0054] 此外，根据本公开的实施方式，第一存储晶体管MS 110还可以是纳米晶存储晶体管(nano-crystal memory)，此类型的存储晶体管采用具有量子点(quantum dot)的纳米晶材料取代SONOS存储器中的氮化硅材料作为存储介质层114。

[0055] 根据本公开的实施方式，第一存储晶体管MS 110的栅电极116的长度可以通过自对准工艺由设置在栅电极116上的硬掩模阻挡部117的长度限定。本领域技术人员应注意，本文提及的“长度”意指所陈述的对象在水平方向DR1上的尺寸。

[0056] 根据本公开的实施方式，除了设置在选通晶体管MG 120的相对侧之外，第二存储晶体管MD 130具有与第一存储晶体管MS 110相同的结构并且可以通过与第一存储晶体管MS 110相同的工艺制造，因而为简洁起见，这里将省略对第二存储晶体管MD 130的结构详细描述。

[0057] 选通晶体管MG 120的栅结构可以自下而上依次包括沟道区121、栅介质层122和栅电极123。根据本公开的实施方式，选通晶体管MG 120的栅电极123连接到字线，其栅电极123的长度由光刻工艺的工艺尺寸限定。根据本公开的实施方式，栅介质层122可以包括例如氧化硅、氮氧化硅、氧化铅等材料。此外，根据本公开的实施方式，栅电极123可以包括例如多晶硅、金属栅、金属硅化物材料，或者上述材料的组合。

[0058] 根据本公开的实施方式，第一存储晶体管MS 110、第二存储晶体管MD 130和选通晶体管MG 120的沟道区111、131和121均可以具有第一掺杂类型，并且第一存储晶体管MS 110和第二存储晶体管MD 130的沟道区111和131的掺杂浓度可以低于选通晶体管MG 120的沟道区121的掺杂浓度。

[0059] 此外，根据本公开的实施方式，第一存储晶体管MS 110和第二存储晶体管MD 130的沟道区111和131可以具有第二掺杂类型或者是无掺杂本征沟道区，并且选通晶体管MG 120的沟道区121可以具有不同于所述第二掺杂类型的第一掺杂类型。

[0060] 例如，如图1所示，在第一掺杂类型是P型并且第二掺杂类型是N型的情况下，第一存储晶体管MS 110及第二存储晶体管MD 130的P型沟道111和131的掺杂浓度低于选通晶体管MG 120的P型沟道121的掺杂浓度。此外，根据本公开的实施方式，沟道区111和131也可以是无掺杂本征沟道或者是N型掺杂沟道区。

[0061] 根据本公开的实施方式，闪存单元MC 100还包括：第一隔离部124，其沿水平方向

DR1设置在第一存储晶体管MS 110和选通晶体管MG 120之间,用于隔离第一存储晶体管MS 110的栅电极116和选通晶体管MG120的栅电极123;以及第二隔离部125,其沿水平方向DR1设置在选通晶体管MG 120和第二存储晶体管MD 130之间,用于隔离选通晶体管MG 120的栅电极123和第二存储晶体管MD 130的栅电极136。

[0062] 具体地,如图1所示,选通晶体管MG 120的栅电极123两侧设置有侧壁形式的第一隔离部124和第二隔离部125,它们分别用于以特定的隔离间隙长度与第一存储晶体管MS 110的栅电极116和第二存储晶体管MD 130的栅电极136电隔离。根据本公开的实施方式,第一隔离部124和第二隔离部125可以包括与栅介质层122相同的材料。

[0063] 根据本公开的实施方式的闪存单元能够在一个闪存单元中实现两个存储晶体管,因此可以大大降低每个存储位的等效面积,进而获得更低的成本和更高的集成密度。

[0064] 此外,根据本公开的实施方式的闪存单元中的存储晶体管可以采用结构简单的SONOS型器件结构,具有工艺简单、栅电极操作电压低、数据保持可靠性好的优点。

[0065] 另外,在根据本公开的实施方式的闪存单元中通过选通晶体管隔离两个存储位的相互影响,并且抑制存储电荷的分布宽度和横向扩散,从而能够在氮化硅存储层中获得更高的存储电荷密度,避免现有的同样采用两位存储的NROM存储单元存在的电荷分布宽、相互干扰大、栅长无法缩小等问题,显著改善存储窗口和数据可靠性。

[0066] 特别地,根据本公开的实施方式的闪存单元的等效沟道长度是第一存储晶体管、选通晶体管和第二存储晶体管的栅电极的长度之和。如上文所述,选通晶体管的栅电极长度由光刻工艺的工艺特征尺寸限定,通常约等于或略大于光刻工艺的关键特征尺寸(Critical Feature Size),其通常表示为F(或CF)。此外,第一存储晶体管和第二存储晶体管的栅电极长度分别由自对准侧壁硬掩模阻挡部的长度限定,因而其尺寸可以小于F。因此,根据本公开的实施方式,可以在同样的工艺特征尺寸下获得闪存单元的更小的沟道长度,进而达到缩小闪存单元的面积和制造成本的目的。

[0067] 此外,在由根据本公开的实施方式的闪存单元组成的闪存阵列中,对于未被选中进行操作的闪存单元,选通晶体管以及第一和第二存储晶体管的栅电极均接地,从而闪存单元的整个串联沟道完全关断,等效沟道长度扩大,因此可以在更小的工艺特征尺寸下避免闪存单元在高操作电压情况下的源漏穿通,从而克服现有的闪存单元的栅电极长度无法随工艺特征尺寸的缩小而缩小的问题。因此,根据本公开的实施方式的闪存单元具有更好的工艺微缩能力,进而能够通过缩小工艺特征尺寸来获得更小的单元面积和制造成本。

[0068] 此外,在根据本公开的实施方式的闪存单元中,通过降低第一存储晶体管和第二存储晶体管的P型沟道区的掺杂浓度或将其设计成N型掺杂沟道区,可以降低存储晶体管的阈值电压以及擦写及读取操作时的栅电极操作电压,进而可以提高存储晶体管的可靠性。同时,通过提高选通晶体管的P型沟道区的掺杂浓度,可以提高闪存单元的耐穿通电压,降低非选中的闪存单元的源极区与漏极区间的泄漏电流。

[0069] 图2示出了根据本公开的实施方式的闪存单元MC 100的等效电路图。

[0070] 具体地,如图2中所示,闪存单元MC 100包括依次串联连接的第一存储晶体管MS 110、选通晶体管MG 120和第二存储晶体管MD 130。选通晶体管MG 120可以隔离第一存储晶体管MS 110和第二存储晶体管MD 130并且对第一存储晶体管MS 110和第二存储晶体管MD 130执行选通操作。

[0071] 图3示出了根据本公开的第一实施方式的闪存单元对200的电路示意图。图4示出了根据本公开的第一实施方式的闪存阵列的电路示意图。

[0072] 根据本公开的实施方式,闪存阵列可以包括:多个闪存单元,沿行方向和与行方向垂直的列方向排列;多个字线组,沿行方向延伸;以及多个位线组,沿列方向延伸,其中,在字线组和位线组的交点处设置有闪存单元对,闪存单元对包括在行方向上相邻的共享同一个位线组的第一闪存单元和第二闪存单元。

[0073] 如图3和图4所示,根据本公开的实施方式,闪存阵列可以包括多个如图2中所示的闪存单元,这些闪存单元可以沿行方向和与行方向垂直的列方向排列成 $m \times 2n$ 的阵列,其中 m 和 n 是大于1的自然数。因此,多个闪存单元形成了 m 行 $\times 2n$ 列的闪存阵列。

[0074] 如图3所示,根据本公开的实施方式,在行方向上相邻的两个闪存单元可以构成一个闪存单元对200,其包括第一闪存单元210和第二闪存单元220。例如,第一闪存单元210可以是位于闪存阵列中的第0行第0列的闪存单元,而第二闪存单元220可以是位于闪存阵列中的第0行第1列的闪存单元。因此,根据本公开的实施方式,闪存阵列可以包括排列成 m 行 $\times n$ 列的闪存单元对。

[0075] 第一闪存单元210包括在列方向上依次串联连接的第一存储晶体管211、选通晶体管212和第二存储晶体管213。第二闪存单元220包括在列方向上依次串联连接的第一存储晶体管221、选通晶体管222和第二存储晶体管223。

[0076] 根据本公开的实施方式,在第一闪存单元210中,第一存储晶体管211的源极区连接到第一闪存单元210的第一电极S1,第二存储晶体管213的漏极区连接到第一闪存单元210的第二电极D1。

[0077] 此外,根据本公开的实施方式,在第二闪存单元220中,第一存储晶体管221的源极区连接到第二闪存单元220的第一电极S2,第二存储晶体管223的漏极区连接到第二闪存单元220的第二电极D2。

[0078] 此外,根据本公开的实施方式,闪存单元对200,即第一闪存单元210和第二闪存单元220的对,共享沿列方向延伸的位线组,该位线组包括第一位线BSL0、中间位线BLM0和第二位线BLD0。根据本公开的第一实施方式,第一位线BSL0可以连接到第一闪存单元210的第一电极S1,第二位线BLD0可以连接到第二闪存单元220的第二电极D2,并且中间位线BLM0可以连接第一闪存单元210的第二电极D1和第二闪存单元220的第一电极S2。

[0079] 如上文所述,根据本公开的实施方式,在行方向上相邻的第一闪存单元210和第二闪存单元220连接到相同的第一位线BSL0、中间位线BLM0和第二位线BLD0。也就是说,根据本公开的实施方式,在闪存阵列中,闪存单元对共享同一个位线组。例如,第0列闪存单元和第1列闪存单元共享包括第一位线BSL0、中间位线BLM0和第二位线BLD0的位线组,第2列闪存单元和第3列闪存单元共享包括第一位线BSL1、中间位线BLM1和第二位线BLD1的位线组,直至第 $2n-2$ 列闪存单元和第 $2n-1$ 列闪存单元共享包括第一位线BSL $\langle n-1 \rangle$ 、中间位线BLM $\langle n-1 \rangle$ 和第二位线BLD $\langle n-1 \rangle$ 的位线组。

[0080] 此外,根据本公开的实施方式,闪存阵列还包括沿行方向延伸的多个字线组,每个字线组包括第一控制线、字线和第二控制线,其中第一控制线连接到闪存单元对的第一存储晶体管的栅电极,字线连接到闪存单元对的选通晶体管的栅电极,第二控制线连接到闪存单元对的第二存储晶体管的栅电极。

[0081] 根据本公开的实施方式,在闪存阵列中,同一行的闪存单元(对)共享相同的字线组,即第一控制线、字线 and 第二控制线。

[0082] 如图3和图4所示,以闪存单元对200为例,闪存单元对200,即第一闪存单元210和第二闪存单元220,位于第0行中,与第0行中的其他闪存单元(对)共享相同的字线组,即第一控制线MS0、字线WL0和第二控制线MD0。第一控制线MS0连接到第一闪存单元210和第二闪存单元220的第一存储晶体管211和221的栅电极,字线WL0连接到第一闪存单元210和第二闪存单元220的选通晶体管212和222的栅电极,第二控制线MD0连接到第一闪存单元210和第二闪存单元220的第二存储晶体管213和223的栅电极。

[0083] 相似地,第1行的闪存单元(对)中的第一存储晶体管的栅电极共同连接到第一控制线MS1,第1行的闪存单元中的选通晶体管的栅电极共同连接到字线WL1,并且第1行的闪存单元中的第二存储晶体管的栅电极共同连接到第二控制线MD1。相似地,第m-2行的闪存单元中的第一存储晶体管的栅电极共同连接到第一控制线MS<m-2>,第m-2行的闪存单元中的选通晶体管的栅电极共同连接到字线WL<m-2>,并且第m-2行的闪存单元中的第二存储晶体管的栅电极共同连接到第二控制线MD<m-2>。相似地,第m-1行的闪存单元中的第一存储晶体管的栅电极共同连接到第一控制线MS<m-1>,第m-1行的闪存单元中的选通晶体管的栅电极共同连接到字线WL<m-1>,并且第m-1行的闪存单元中的第二存储晶体管的栅电极共同连接到第二控制线MD<m-1>。

[0084] 本领域技术人员应认识到,根据本公开的实施方式的闪存单元具有对称结构,因此基于如上所述的第一控制线、字线、第二控制线、第一位线、中间位线 and 第二位线的连接关系,在列方向上相邻的闪存单元是对向设置的,即当前行的闪存单元的第一存储晶体管与上一行的闪存单元的第一存储晶体管在列方向上相邻,并且当前行的闪存单元的第二存储晶体管与下一行的闪存单元的第二存储晶体管在列方向上相邻;或者,当前行的闪存单元的第二存储晶体管与上一行的闪存单元的第二存储晶体管在列方向上相邻,并且当前行的闪存单元的第一存储晶体管与下一行的闪存单元的第一存储晶体管在列方向上相邻。

[0085] 图5示出了根据本公开的第一实施方式的位线组的一个布局示例的示意图。

[0086] 根据本公开的实施方式,第一控制线、字线 and 第二控制线可以由多晶硅、硅化物、金属栅中的至少一种形成。此外,根据本公开的实施方式,中间位线可以由第一金属层形成,并且第一位线 and 第二位线可以由不同于第一金属层的第二金属层形成。换言之,用于形成中间位线的金属层不同于用于形成第一位线 and 第二位线的金属层。此外,第一位线 and 第二位线可以由相同的金属层形成。

[0087] 根据本公开的实施方式,第一金属层 and 第二金属层可以包括以下材料中的至少之一:铝、钛、氮化钛、铜、钨、钴和锰。

[0088] 根据本公开的实施方式,中间位线可以包括在列方向上延伸的第一部分和在行方向上延伸的第二部分,并且第一位线 and 第二位线在列方向上延伸。

[0089] 如图5中的(a)所示,以闪存单元对200为例,第一闪存单元210 and 第二闪存单元220的第一电极S1 and S2以及第二电极D1 and D2可以由设置在例如多晶硅的第一控制线MS0、字线WL0 and 第二控制线MD0上方的第一金属层M1形成。如图5中所示,第一控制线MS0、字线WL0 and 第二控制线MD0在行方向上彼此平行地延伸。

[0090] 此外,如图5中的(a)所示,中间位线BLM0由第一金属层M1在列方向上以连续的Z字

形方式形成,其包括在列方向上延伸的第一部分P1和在行方向上延伸的第二部分P2。根据本公开的实施方式,中间位线BLM0的第二部分P2可以与其下方的字线WL0交叠。

[0091] 此外,如图5中的(b)所示,第一位线BLS0和第二位线BLD0可以由第二金属层M2在列方向上形成,并且与中间位线BLM0的第一部分P1交叠。

[0092] 根据本公开的实施方式,第一位线BLS0与第一闪存单元210的第一电极S1之间的电连接可以通过第一金属层M1和第二金属层M2之间的通孔V1实现,并且第二位线BLD0与第二闪存单元220的第二电极D2之间的电连接可以通过第一金属层M1和第二金属层M2之间的通孔V1实现。

[0093] 根据本公开的实施方式,由于中间位线的第一部分P1可以与第一位线和第二位线交叠,并且中间位线的第二部分P2可以与行方向上的多晶硅的字线交叠,因此可以消除额外用于设置中间位线的面积,从而获得更紧凑的闪存阵列。此外,由于第一位线和第二位线均由金属形成,因此消除了现有技术中设置公共源线的需要,从而进一步减小了闪存阵列的面积。

[0094] 图5所示的实施方式使用两个金属层实现第一位线、中间位线和第二位线的设置。然而,本公开不限于此。根据本公开的实施方式,可以根据闪存阵列的应用场景使用更多的金属层实现第一位线、中间位线和第二位线的设置。

[0095] 图6示出了根据本公开的第一实施方式的位线组的另一布局示例的示意图。

[0096] 具体地,如图6中的(a)所示,闪存单元的第一电极和第二电极可以由设置在例如多晶硅的第一控制线、字线和第二控制线上方的第一金属层M1形成。不同于图5,如图6中的(c)所示,中间位线可以由第三金属层M3在列方向上以连续的Z字形方式形成。也就是说,中间位线包括沿列方向延伸的第一部分P1和沿行方向延伸的第二部分P2。

[0097] 此外,如图6中的(d)所示,第一位线 and 第二位线由第四金属层M4在列方向上形成,并且与中间位线的沿列方向的第一部分P1交叠。如图6中的(b)所示,中间位线与第一电极和第二电极的电连接可以通过第一金属层M1和第三金属层M3之间的第二金属层M2以及各金属层M1至M3之间的通孔V1和V2实现。此外,如图6中的(b)和(c)所示,第一位线和第一电极之间的电连接可以通过第一金属层M1和第四金属层M4之间的第二金属层M2和第三金属层M3以及各金属层M1至M4之间的通孔V1至V3实现。此外,如图6中的(b)和(c)所示,第二位线 and 第二电极之间的电连接同样可以通过第一金属层M1和第四金属层M4之间的第二金属层M2和第三金属层M3以及各金属层M1至M4之间的通孔V1至V3实现。

[0098] 较之图5所示的两层金属的位线布局,图6所示的四层金属的位线布局可以实现第一位线、中间位线和第二位线的布局的更大的灵活性。

[0099] 此外,本领域技术人员应认识到,根据本公开的闪存阵列的位线设置需要至少两个金属层,因此尽管图6示出了使用四个金属层实现根据本公开的闪存阵列的位线设置的实施方式,但是本公开不限于此。本领域技术人员根据本公开的教导可以使用三个金属层或者五个或更多个金属层实现根据本公开的闪存阵列的位线设置。

[0100] 图7示出了根据本公开的第二实施方式的闪存单元对300的电路示意图。图8示出了根据本公开的第二实施方式的闪存阵列的电路示意图。

[0101] 如图7所示,根据本公开的实施方式,在行方向上相邻的两个闪存单元可以构成一个闪存单元对300,其包括第一闪存单元310和第二闪存单元320。例如,第一闪存单元310可

以是位于闪存阵列中的第0行第0列的闪存单元,而第二闪存单元320可以是位于闪存阵列中的第0行第1列的闪存单元。因此,根据本公开的实施方式,闪存阵列可以包括排列成 m 行 $\times n$ 列的闪存单元对。

[0102] 第一闪存单元310包括在列方向上依次串联连接的第一存储晶体管311、选通晶体管312和第二存储晶体管313。第二闪存单元320包括在列方向上依次串联连接的第一存储晶体管321、选通晶体管322和第二存储晶体管323。

[0103] 根据本公开的实施方式,在第一闪存单元310中,第一存储晶体管311的源极区连接到第一闪存单元310的第一电极S1,第二存储晶体管313的漏极区连接到第一闪存单元310的第二电极D1。

[0104] 此外,根据本公开的实施方式,在第二闪存单元320中,第一存储晶体管321的源极区连接到第二闪存单元320的第一电极S2,第二存储晶体管323的漏极区连接到第二闪存单元320的第二电极D2。

[0105] 图7和图8所示的本公开的第二实施方式的闪存单元对和闪存阵列与图3和图4的本公开的第一实施方式的闪存单元对和闪存阵列基本上相同,不同之处在于闪存单元对的位线组的连接方式。

[0106] 具体地,如图7和图8所示,根据本公开的第二实施方式,第一位线BSL0可以连接到第一闪存单元310的第二电极D1,第二位线BLD0可以连接到第二闪存单元320的第二电极D2,并且中间位线BLM0可以连接第一闪存单元310的第一电极S1和第二闪存单元320的第一电极S2。

[0107] 图9示出了根据本公开的第二实施方式的位线组的一个布局示例的示意图。

[0108] 具体地,如图9中的(a)所示,闪存单元的第一电极和第二电极可以由设置在例如多晶硅的第一控制线、字线和第二控制线上方的第一金属层M1形成。如图9中的(c)所示,中间位线可以由第三金属层M3在列方向上以连续的Z字形方式形成。也就是说,中间位线包括沿列方向延伸的第一部分P1和沿行方向延伸的第二部分P2。

[0109] 此外,如图9中的(d)所示,第一位线和第二位线由第四金属层M4在列方向上形成,并且与中间位线的沿列方向的第一部分P1交叠。如图9中的(b)所示,中间位线与第一电极的电连接可以通过第一金属层M1和第三金属层M3之间的第二金属层M2以及各金属层M1至M3之间的通孔V1和V2实现。此外,如图9中的(b)和(c)所示,第一位线和第二电极之间的电连接可以通过第一金属层M1和第四金属层M4之间的第二金属层M2和第三金属层M3以及各金属层M1至M4之间的通孔V1至V3实现。此外,如图9中的(b)和(c)所示,第二位线和第二电极之间的电连接同样可以通过第一金属层M1和第四金属层M4之间的第二金属层M2和第三金属层M3以及各金属层M1至M4之间的通孔V1至V3实现。

[0110] 根据本公开的以上实施方式的闪存阵列可以在不增大阵列尺寸的情况下提高位线的布置密度并且可以降低位线寄生电阻。此外,较之现有技术的闪存阵列,根据本公开的闪存阵列还具有更好的工艺兼容性和微缩特性。

[0111] 此外,根据本公开的实施方式,在列方向上相邻的第一控制线或第二控制线可以通过金属层连接在一起。图10示出了根据本公开的实施方式的闪存阵列的控制线的布局的示意图。

[0112] 如图10所示,例如,在图4所示的闪存阵列的基础上,可以使用通过金属层形成的

第一金属控制线MCS<0:m/2-1>在列方向上将相邻的第一控制线连接在一起。此外,还可以使用通过该金属层形成的第二金属控制线MCD<1:m/2>将在列方向上相邻的第二控制线连接在一起。

[0113] 根据本公开的实施方式,用于形成第一金属控制线MCS<0:m/2-1>和第二金属控制线MCD<1:m/2>的金属层可以与用于形成位线(包括第一位线、中间位线和第二位线)的金属层不同。根据本公开的实施方式,用于形成第一金属控制线MCS<0:m/2-1>和第二金属控制线MCD<1:m/2>的金属层可以设置在用于形成位线(包括第一位线、中间位线和第二位线)的金属层上方。

[0114] 根据本公开的实施方式,在列方向上相邻的两个闪存单元可以通过金属控制线(第一金属控制线或第二金属控制线)共享控制线(第一控制线或第二控制线)。通过使用第一金属控制线和第二金属控制线将第一控制线和第二控制线连接在一起,可以有效降低例如多晶硅的第一控制线和第二控制线的寄生电阻,从而有效提高闪存阵列的操作速度。此外,使用第一金属控制线和第二金属控制线将第一控制线和第二控制线连接在一起,可以降低金属控制线的布线密度和工艺复杂度。此外,这种共享控制线的闪存阵列还可以降低闪存阵列的用于驱动控制线的外围电路的数量,从而减小外围电路的面积开销和存储器芯片的制造成本。

[0115] 本领域技术人员应认识到,尽管上文结合图1所示的闪存单元MC 100描述了本公开的闪存阵列,但是本公开的闪存阵列不限于图1所示的闪存单元MC 100。本领域技术人员根据本公开的教导,可以设想将本公开的闪存阵列应用于其他类型的闪存单元,例如仅包括一个存储晶体管的闪存单元或者使用一个存储晶体管存储两位数据的闪存单元,所有这些变型方案均应涵盖于本公开的范围。

[0116] 尽管已经参考本公开的实施方式描述了本公开,但是本领域技术人员将理解,在不脱离所附权利要求中公开的本公开的精神和范围的情况下,可以对本公开进行各种修改和改变。

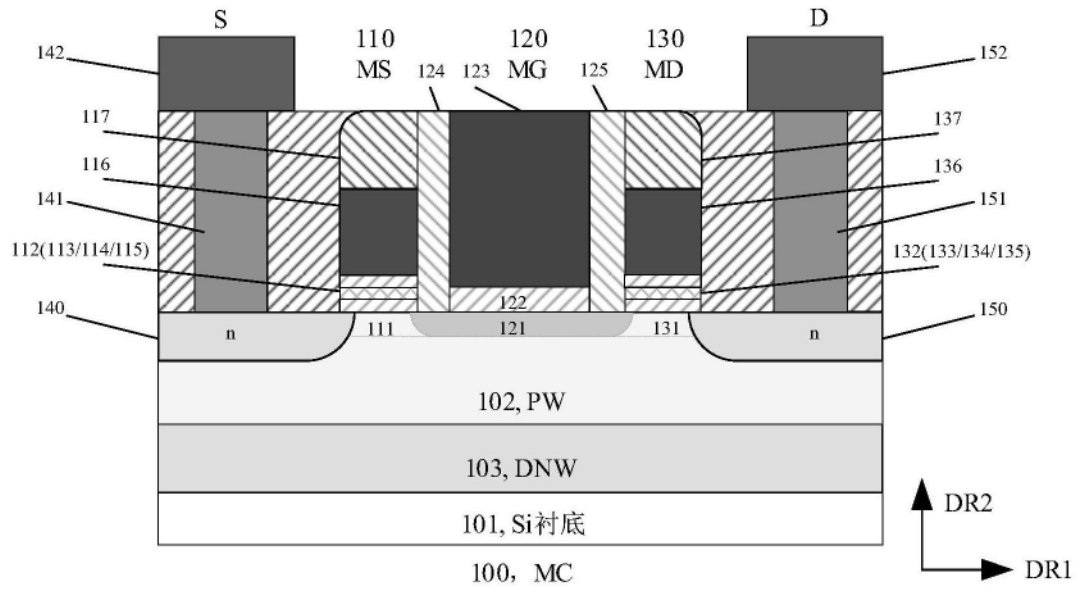


图1

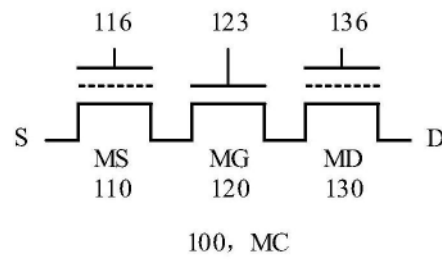


图2

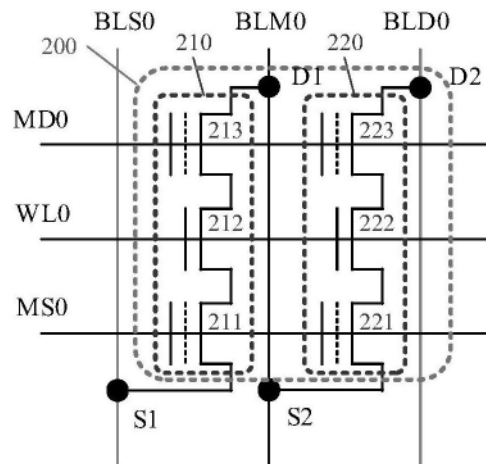


图3

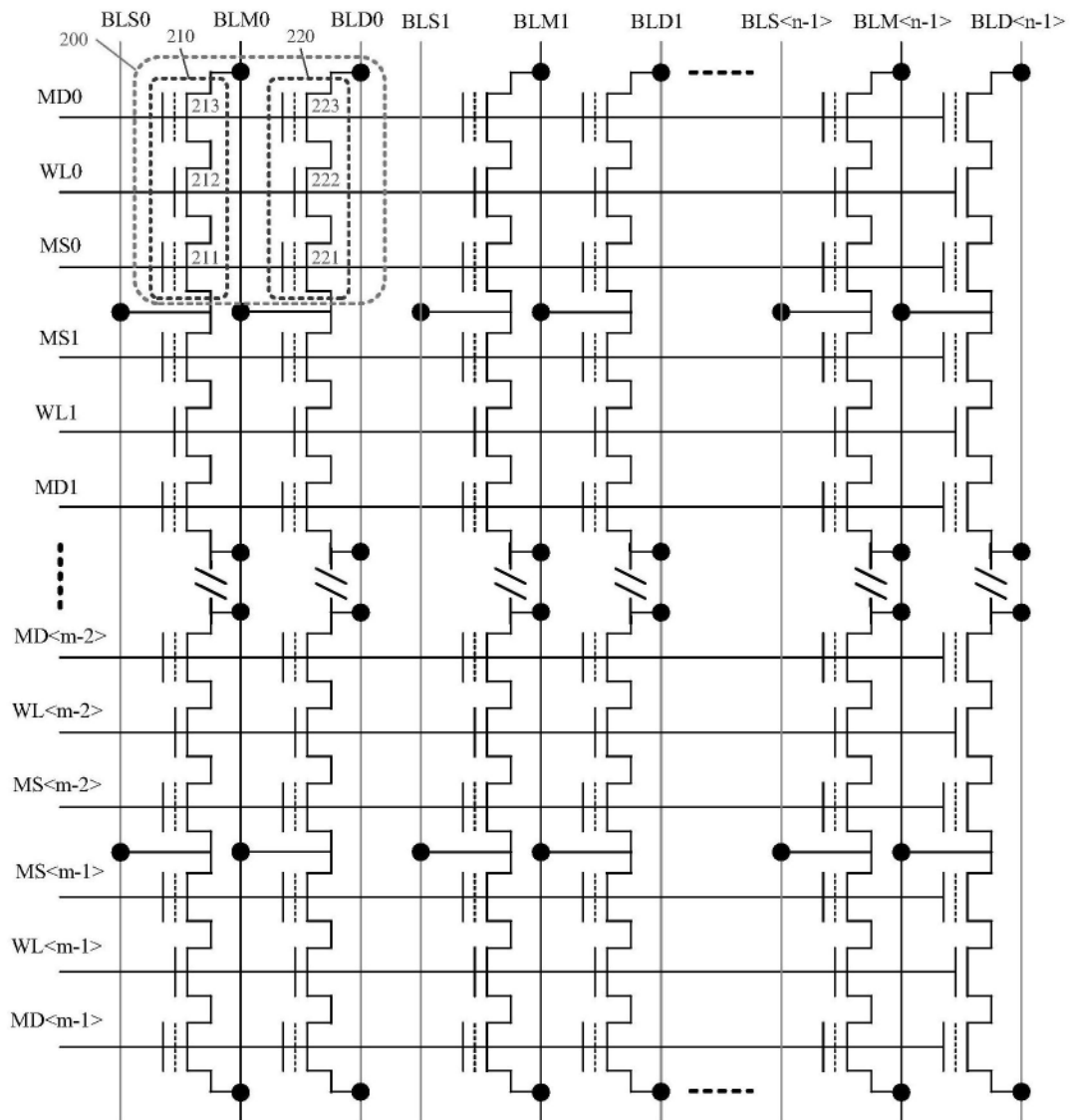


图4

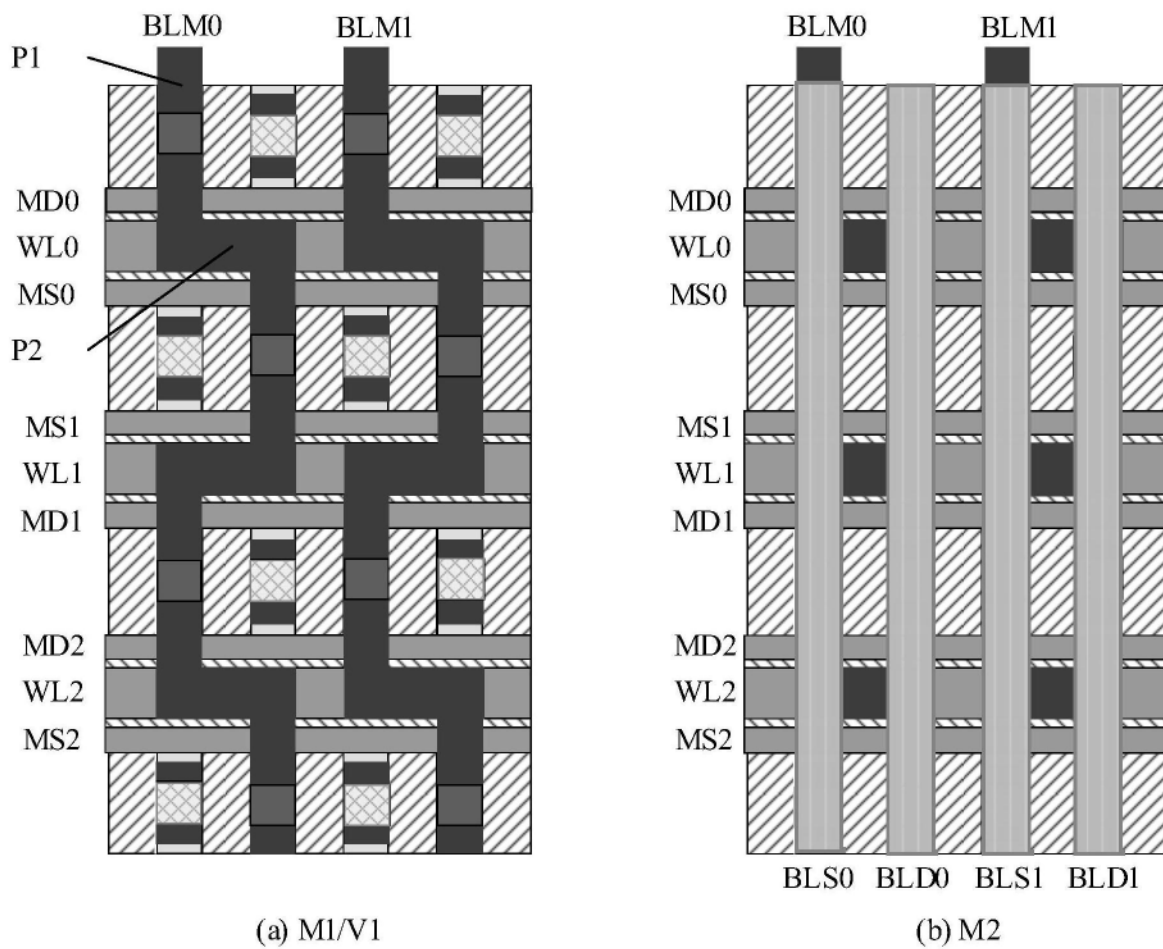


图5

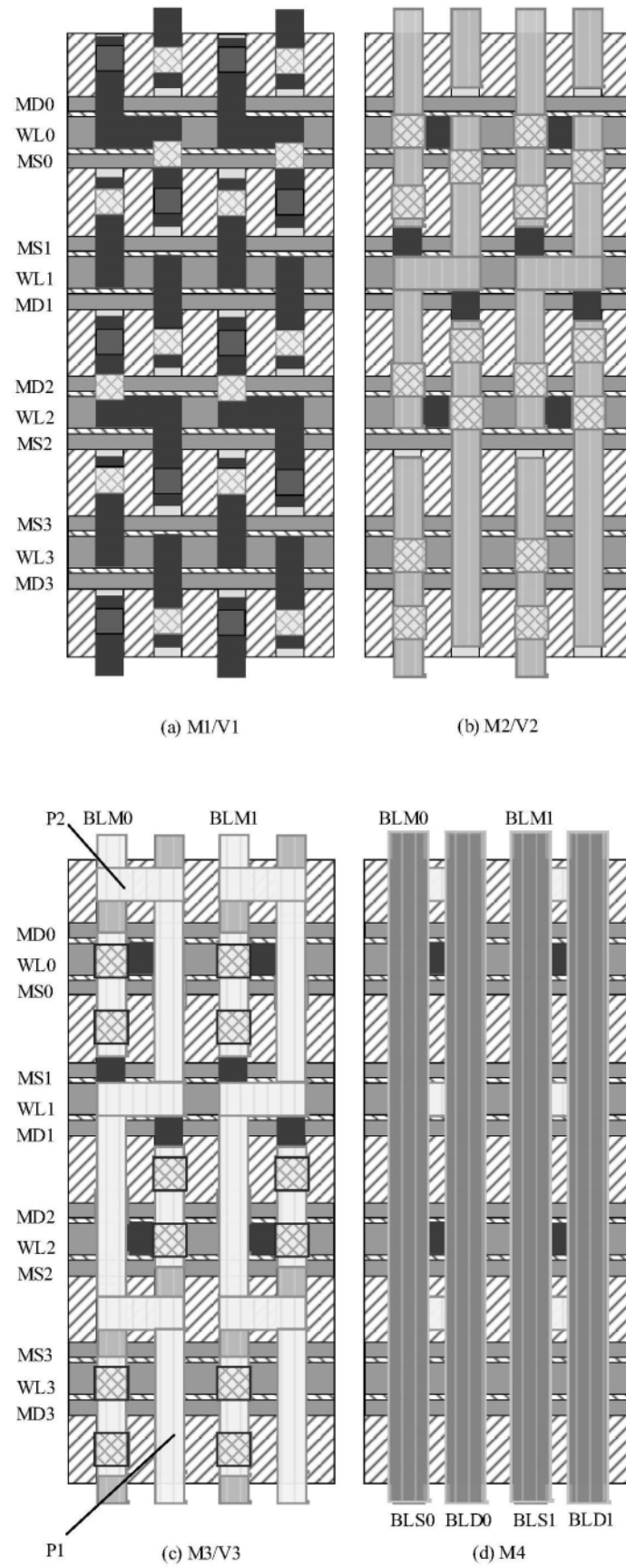


图6

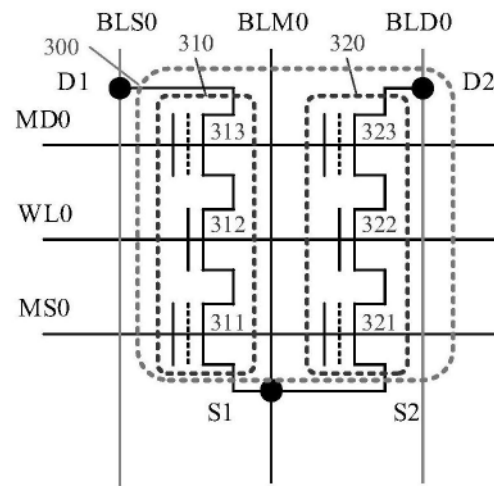


图7

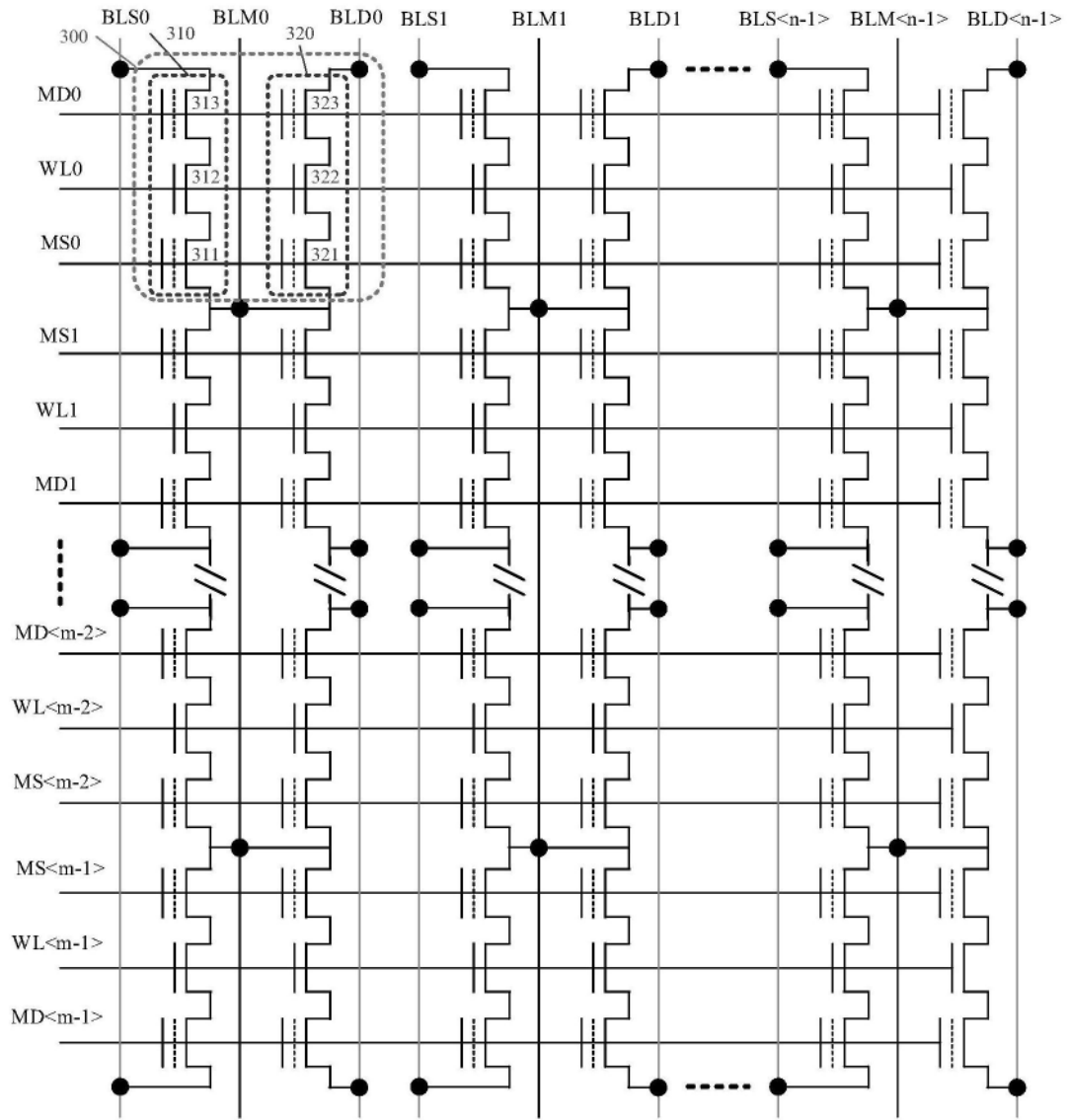


图8

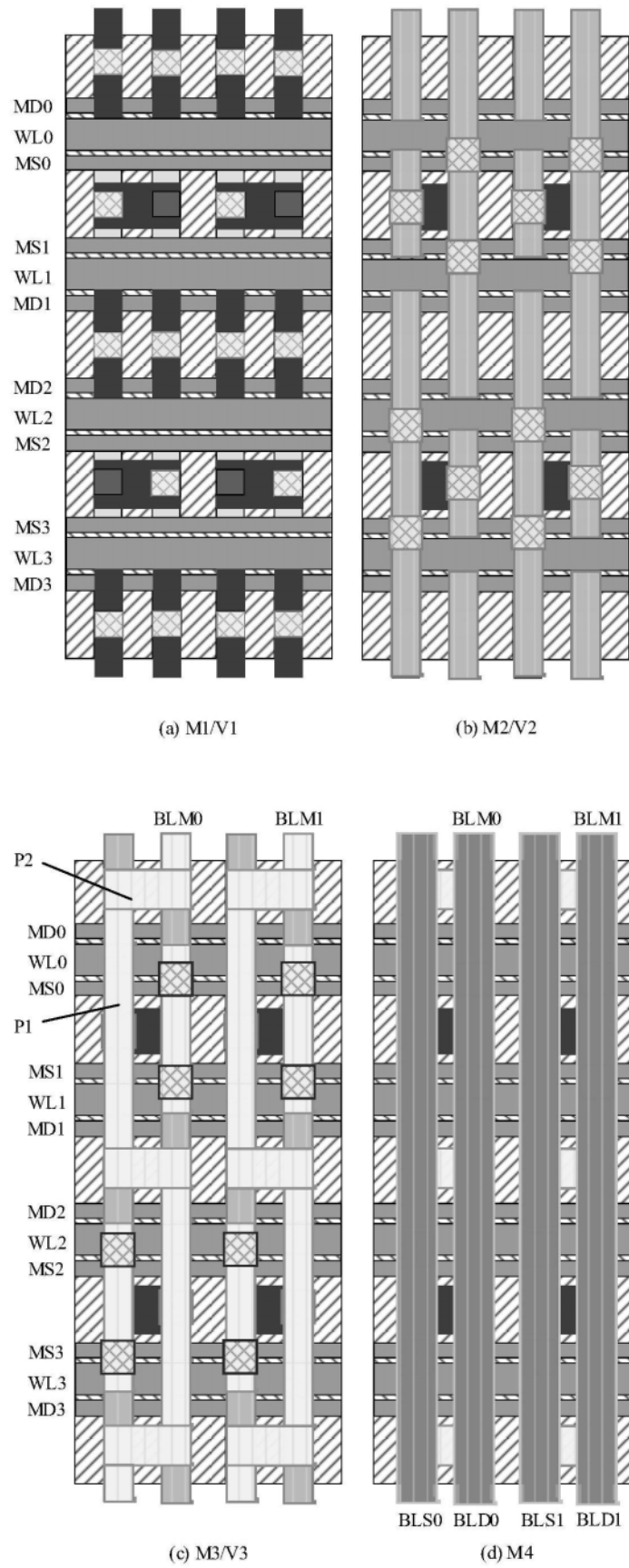


图9

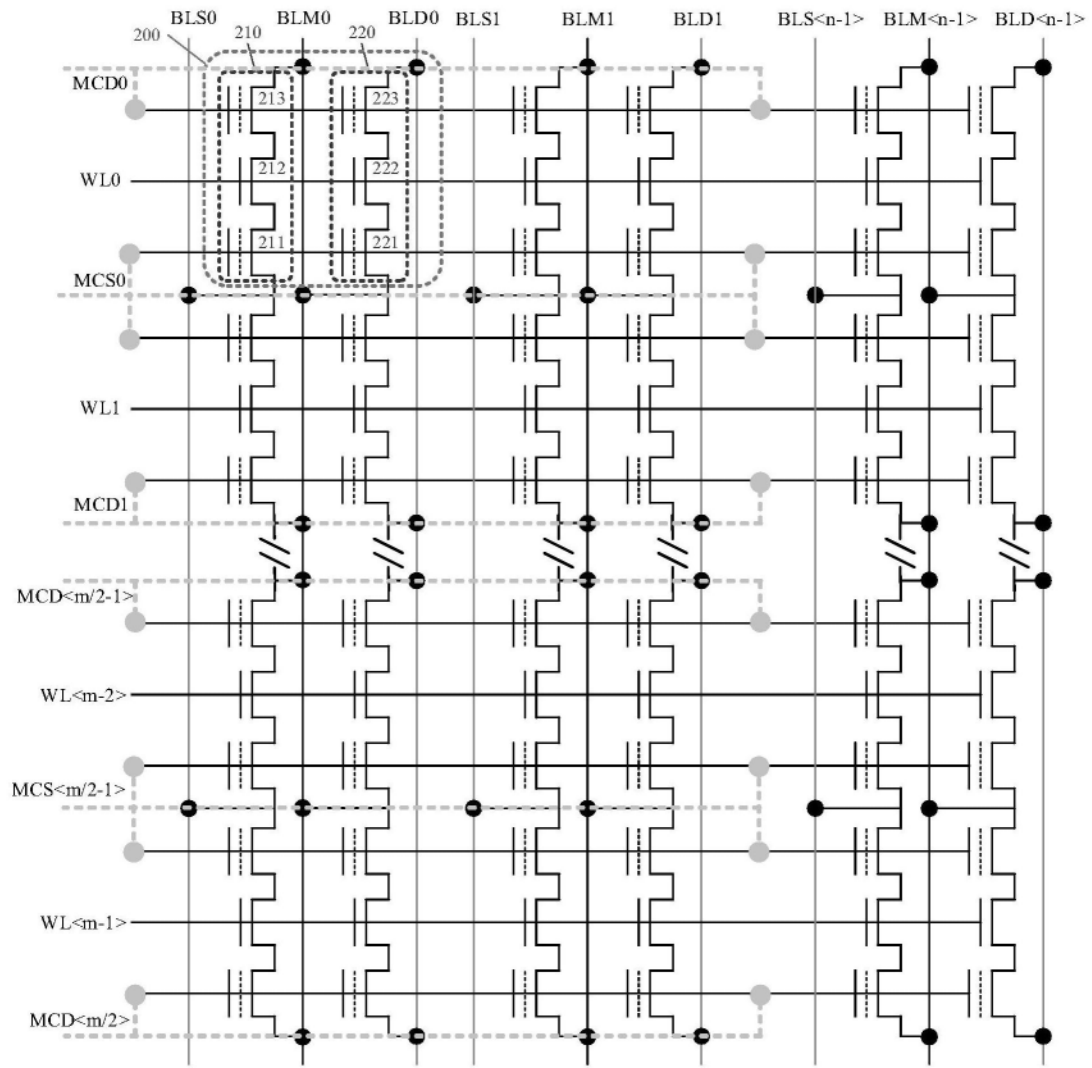


图10