

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号

特許第7215737号

(P7215737)

(45)発行日 令和5年1月31日(2023.1.31)

(24)登録日 令和5年1月23日(2023.1.23)

(51)国際特許分類

F I

H 0 3 K 5/13 (2014.01)

H 0 3 K 5/13

H 0 3 H 11/26 (2006.01)

H 0 3 H 11/26

B

H 0 3 K 3/354(2006.01)

H 0 3 K 3/354

B

請求項の数 11 (全19頁)

(21)出願番号 特願2019-501930(P2019-501930)

(86)(22)出願日 平成29年7月12日(2017.7.12)

(65)公表番号 特表2019-525588(P2019-525588
A)

(43)公表日 令和1年9月5日(2019.9.5)

(86)国際出願番号 PCT/DE2017/100578

(87)国際公開番号 WO2018/010732

(87)国際公開日 平成30年1月18日(2018.1.18)

審査請求日 令和2年7月10日(2020.7.10)

(31)優先権主張番号 102016113031.1

(32)優先日 平成28年7月14日(2016.7.14)

(33)優先権主張国・地域又は機関

ドイツ(DE)

(31)優先権主張番号 102017114602.4

(32)優先日 平成29年6月29日(2017.6.29)

最終頁に続く

(73)特許権者 509348867

シリコン・ライン・ゲー・エム・ベー・
ハードイツ連邦共和国 8 0 6 8 7 ミュンヘ
ン ランツベルガー・シュトラッセ 3 14 / デア・ドリッテン エルゲーベー
LANDSBERGER STR. 3 1

4 / I I I R G B . , 8 0 6 8 7

MUENCHEN, BUNDESRE
PUBLIK DEUTSCHLAND

(74)代理人 110001818

弁理士法人R & C

(72)発明者 ブロン, トーマス

ドイツ連邦共和国 8 0 6 8 7 ミュンヘ
ン ランツベルガー・シュトラッセ 3 1

最終頁に続く

(54)【発明の名称】 電気信号を制御可能に遅延させるためのデバイス及び方法

(57)【特許請求の範囲】

【請求項1】

電気信号を制御可能に遅延させるためのデバイス(200)であって、

信号入力(201)と信号出力(204)との間の第一の信号伝達経路(207)であって、少なくとも二つのエミッタ結合トランジスタ乃至ソース結合トランジスタ(210、211)を有する第一の差動対(209)、及び、当該少なくとも二つのエミッタ結合トランジスタ乃至ソース結合トランジスタ(210、211)に共通の調整可能な第一の静止電流源(212)、を備える第一の信号伝達段(208)を有する前記第一の信号伝達経路(207)と、

前記信号入力(201)と前記信号出力(204)との間の第二の信号伝達経路(213)であって、少なくとも二つのエミッタ結合トランジスタ乃至ソース結合トランジスタ(216、217)を有する第二の差動対(215)、及び、当該少なくとも二つのエミッタ結合トランジスタ乃至ソース結合トランジスタ(216、217)に共通の調整可能な第二の静止電流源(218)、を備える第二の信号伝達段(214)、並びに、前記信号入力(201)と前記第二の信号伝達段(214)との間に配置され、少なくとも二つのエミッタ結合トランジスタ乃至ソース結合トランジスタ(221、222)を有する第三の差動対(220)、及び、当該少なくとも二つのエミッタ結合トランジスタ乃至ソース結合トランジスタ(221、222)に共通の調整可能な第三の静止電流源(223)、を備える内部遅延段(219)とを有する前記第二の信号伝達経路(213)と、

前記第一の信号伝達経路(207)を介して伝達される電気信号に前記第二の信号伝達

10

20

経路（２１３）を介して伝達される電気信号を付加的に重畳するための信号結合段（２２４）を含むデバイスであって、

前記第一及び／又は第二及び／又は第三の静止電流源（２１２、２１８、２２３）のうちの少なくとも一つの静止電流を調整するための少なくとも二つの電流変調段（２３５、２３６）によって特徴付けられ、

前記第一の電流変調段（２３５）及び／又は前記第二の電流変調段（２３６）は、前記第一の静止電流源（２１２）乃至前記第二の静止電流源（２１８）乃至前記第三の静止電流源（２２３）の静止電流調整に、それぞれの付加的な電流を給送及び供給するように設計され、

前記第一の電流変調段（２３５）及び／又は前記第二の電流変調段（２３６）は、それぞれ、

少なくとも二つのトランジスタを有する第一の差動段（２３７、２３９）、及び、該第一の差動段（２３７、２３９）の少なくとも二つの前記トランジスタに共通の調整可能な第一の電流変調静止電流源（２５１、２５３）、並びに

少なくとも二つのトランジスタを有する第二の差動段（２３８、２４０）、及び、該第二の差動段（２３８、２４０）の少なくとも二つの前記トランジスタに共通の調整可能な第二の電流変調静止電流源（２５２、２５４）を有し、

前記第一の差動段（２３７、２３９）に、周波数増加のための離散化信号（u p / u p b）を第一の制御信号として供給可能であり、

前記第二の差動段（２３８、２４０）に、周波数減少のための離散化信号（d n / d n b）を第二の制御信号として供給可能であり、

各電流変調段（２３５、２３６）の前記第一の電流変調静止電流源（２５１、２５３）及び前記第二の電流変調静止電流源（２５２、２５４）は共通に調整可能であることを特徴とするデバイス（２００）。

【請求項２】

前記第二の静止電流源（２１８）の前記静止電流を調整するための第三の電流変調段によって特徴付けられる請求項１に記載のデバイス。

【請求項３】

前記第一の差動段（２３７、２３９）は、第一の電流変調差動対を有し、かつ／又は前記第二の差動段（２３８、２４０）は、第二の電流変調差動対を有することを特徴とする請求項１から２のいずれか一項に記載のデバイス。

【請求項４】

前記第一の差動段（２３７、２３９）は、少なくとも二つのエミッタ結合トランジスタ乃至ソース結合トランジスタ（２４１、２４２、２４５、２４６）を有し、かつ／又は

前記第二の差動段（２３８、２４０）は、少なくとも二つのエミッタ結合トランジスタ乃至ソース結合トランジスタ（２４３、２４４、２４７、２４８）を有することを特徴とする請求項１から３のいずれか一項に記載のデバイス。

【請求項５】

前記第一の電流変調静止電流源は、少なくとも一つの第四の静止電流源（２５１）乃至第六の静止電流源（２５３）を有し、かつ／又は

前記第二の電流変調静止電流源は、少なくとも一つの第五の静止電流源（２５２）乃至第七の静止電流源（２５４）を有することを特徴とする請求項１から４のいずれか一項に記載のデバイス。

【請求項６】

前記第一の電流変調段（２３５）乃至前記第二の電流変調段（２３６）において、それぞれ、前記第一の電流変調静止電流源（２５１、２５３）及び前記第二の電流変調静止電流源（２５２、２５４）は、

前記第一の静止電流源（２１２）乃至前記第二の静止電流源（２１８）乃至前記第三の静止電流源（２２３）の静止電流調整において、それぞれ、前記第一の制御信号（u p / u p b）及び前記第二の制御信号（d n / d n b）によって制御される、それぞれの付加

10

20

30

40

50

的な電流を給送及び供給するように設計されることを特徴とする請求項 1 から 5 のいずれか一項に記載のデバイス。

【請求項 7】

第一の供給電圧端子 (229) における第一の供給電位 (VDD) によって、かつ第二の供給電圧端子 (234) における第二の供給電位 (VSS) によって特徴付けられる請求項 1 から 6 のいずれか一項に記載のデバイス。

【請求項 8】

前記第二の供給電位 (VSS) は、接地電位であり、及び／又は、前記第一の供給電位 (VDD) は、前記第二の供給電位 (VSS) と比べて正であることを特徴とする請求項 7 に記載のデバイス。

【請求項 9】

請求項 1 から 8 のいずれか一項に記載の少なくとも一つのデバイス (200) を有する、オシレータリング (100)。

【請求項 10】

電気信号の遅延を制御するため、並びに、請求項 1 から 8 のいずれか一項に記載の少なくとも一つのデバイス (200) によって、及び／又は、請求項 9 に記載の少なくとも一つのオシレータリング (100) によって、前記電気信号の遅延を行うための方法であって、

前記第一の電流変調段 (235) 及び／又は前記第二の電流変調段 (236) は、それぞれ

第一の制御信号として、周波数増加のための離散化信号 (up/upb)、及び／又は、第二の制御信号として、周波数減少のための離散化信号 (dn/dnb) が供給され、前記第一の制御信号 (up/upb) 及び／又は前記第二の制御信号 (dn/dnb) によって制御され、

前記第一の電流変調段 (235) 及び／又は前記第二の電流変調段 (236) において、それぞれの付加的な電流が生成され、かつ、

前記第一の電流変調段 (235) 及び／又は前記第二の電流変調段 (236) の前記それぞれの付加的な電流は、前記第一の静止電流源 (212) 及び／又は前記第二の静止電流源 (218) 及び／又は前記第三の静止電流源 (223) のうちの少なくとも一つの前記静止電流を調整するために、前記第一の静止電流源 (212) 乃至前記第二の静止電流源 (218) 乃至前記第三の静止電流源 (223) の静止電流調整に給送されることを特徴とする方法。

【請求項 11】

少なくとも一つのデジタル位相検出器によるクロック及び／又はデータリカバリにおける、請求項 1 から 8 のいずれか一項に記載の少なくとも一つのデバイス (200) の使用、及び／又は、請求項 9 に記載の少なくとも一つのオシレータリング (100) の使用、及び／又は、請求項 10 に記載の方法の使用であって、

前記少なくとも一つのデジタル位相検出器から、周波数増加のための離散化信号 (up/upb) が第一の制御信号として供給され、かつ／又は、周波数減少のための離散化信号 (dn/dnb) が第二の制御信号として供給される、使用。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、基本的に、クロック及び／又はデータリカバリ (CDR) の技術分野に関し、特に、本発明は、電気信号を制御可能に遅延させるためのデバイス、及び、少なくとも一つのこのようなデバイスを含むオシレータリングに関する。

【0002】

さらに、本発明は、電気信号の前記遅延を制御するための方法、及び、少なくとも一つの前記デバイスによる、及び／又は、少なくとも一つの前記オシレータリングによる前記電気信号のこの遅延に関する。

10

20

30

40

50

【0003】

最後に、本発明は、少なくとも一つの前記デバイス及び／又は、少なくとも一つの前記オシレータリング及び／又は、少なくとも一つの前記方法の使用に関する。

【背景技術】

【0004】

本発明の科学技術的背景に関して、まず、国際公開第2013/174377号及び国際公開第2013/189494号に注目する。

【0005】

国際公開第2013/174377号には、クロック及びデータリカバリ用の電圧制御オシレータに提供される少なくとも一つの起動信号を較正するための回路配置及び方法が開示されている。

10

【0006】

二位相検出器を備えるクロック及びデータリカバリ用の回路すなわちCDR回路において、当該位相検出器が、二つのデジタル位相検出器出力信号「up」（加速用）及び「down」（遅延用）を出力することができる回路を参照する。

【0007】

国際公開第2013/174377号に係る回路配置は、二つの同調入力を備える電圧制御リングオシレータにおいて、当該リングオシレータの周波数が、前記二つの同調入力を介して別々に設定されることができるオシレータを想定している。周波数変化は、四つの別々のバラクタ（バラクタダイオード）によって調整される。

20

【0008】

このオシレータの不利益は、当該オシレータではより多くの寄生容量が生じるように四つのバラクタが必要であるために当該オシレータの出力周波数が低いことである。

【0009】

できるだけ前記出力周波数を増加させるために、国際公開第2013/174377A2号文書によれば、少なくとも一つの較正オシレータ、当該較正オシレータに割り当てられる少なくとも一つのリファレンスオシレータ、前記較正オシレータの下流かつ前記リファレンスオシレータの下流に接続される少なくとも一つのクロックカウンタ、及び、当該クロックカウンタの下流に接続される少なくとも一つのデジタル-アナログ変換器を備えるクロック及びデータリカバリ用の電圧制御オシレータに提供される前記起動信号を較正するための前記回路配置において、前記クロックカウンタが、前記較正オシレータと前記リファレンスオシレータのそれぞれのクロック数をカウントするように、かつ、これらの二つのクロック数の間の差から生じるクロック誤差を積分するように具体化され、前記デジタル-アナログ変換器が、前記クロック誤差を、前記較正された起動信号を導き出すことができるアナログ同調信号に変換するように具体化される、前記回路配置を具体化することが提案されている。

30

【0010】

前記電圧制御オシレータは、当該電圧制御オシレータにおいて、バラクタ（バラクタダイオード）を四つではなく二つしか必要としないように駆動され、前記周波数変化が、二つの起動信号ではなく一つの起動信号のみで達成されるようになるが、前記リファレンスオシレータと前記較正オシレータは両方とも、それぞれ、依然として四つのバラクタ（バラクタダイオード）も含有している。

40

【0011】

国際公開第2013/189494号からは、電圧制御リングオシレータが使用されるクロック及び／又はデータリカバリ用の回路配置及び方法が知られている。四つの電圧制御オシレータバッファ段の形で実施されるこのようなリングオシレータ、及び、このような電圧制御オシレータバッファ段の実施が示されている。

【0012】

かかる電圧制御オシレータバッファ段は四つのバラクタを含み、当該四つのバラクタの容量値は、当該バラクタのアノード対端子に給送することができる二つの同調電圧up及

50

び $d n b$ を介して調整可能であり、当該四つのバラクタは、前記リングオシレータの発振周波数を決定する。

【0013】

前記バラクタの容量性負荷により、当該バラクタは、周波数変動の周波数（共同）決定素子として機能する。

【0014】

特に二つの僅かに異なる電圧が調整されなくてはならないため、前記バラクタは、
低容量の動作点、
高容量の動作点
という二つの動作点で動作させる。

10

【0015】

上方又は下方の周波数変動が生じるべきではない場合、前記バラクタは、中間容量の動作点で動作させる。しかしながら、この容量は、前記オシレータの最大達成可能周波数を減少させる。

【0016】

また、前記オシレータの信号経路に前記バラクタを挿入するだけでは、当該さらなる配線により、寄生容量性負荷の増大につながり、これもまた、当該オシレータの前記最大達成可能周波数を減少させる。

【先行技術文献】

【特許文献】

20

【0017】

【文献】国際公開第2013/174377号

国際公開第2013/189494号

【発明の概要】

【発明が解決しようとする課題】

【0018】

上記に説明した不利益及び欠点から始まり、かつ、概説した従来技術を考慮して、本発明の目的は、寄生容量性負荷を防止又は、少なくとも低減することである。

【課題を解決するための手段】

【0019】

30

本発明によれば、この目的は、請求項1に記載の特徴を有するデバイスによって、請求項13に記載の特徴を有するオシレータリングによって、及び、請求項14に記載の特徴を有する方法によって達成される。本発明の有利な実施形態及び好都合なさらなる発展形態は、それぞれの従属請求項において特徴付けされる。

【0020】

言い換えれば、本発明は、電気信号を制御可能に遅延させるためのデバイスを提供し、当該デバイスは、

信号入力と信号出力との間の第一の信号伝達経路であって、第一の差動対、特にエミッタ結合トランジスタ乃至ソース結合トランジスタ、及び、共通の調整可能な第一の静止電流源を備える第一の信号伝達段を有する第一の信号伝達経路と、

40

前記信号入力と前記信号出力との間の第二の信号伝達経路であって、第二の差動対、特にエミッタ結合トランジスタ乃至ソース結合トランジスタ、及び、共通の調整可能な第二の静止電流源を備える第二の信号伝達段、並びに、前記信号入力と前記第二の信号伝達段との間に配置され、第三の差動対、特にエミッタ結合トランジスタ乃至ソース結合トランジスタ、及び、共通の調整可能な第三の静止電流源を備える内部遅延段とを有する第二の信号伝達経路と、

前記第一の信号伝達経路を介して伝達される電気信号に前記第二の信号伝達経路を介して伝達される電気信号を付加的に重畳するための信号結合段とを含み、

前記第一及び／又は第二及び／又は第三の静止電流源のうちの少なくとも一つの静止電流を調整するための少なくとも一つの電流変調段、特に少なくとも一つの第一及び／又は

50

第二及び／又は第三の電流変調段が設けられる。

【0021】

本発明の有利な一実施形態によれば、上記目的は、さらに、前記第一の静止電流源の前記静止電流を調整するための第一の電流変調段、及び、前記第三の静止電流源の前記静止電流を調整するための第二の電流変調段を備えるデバイスによって達成される。

【0022】

本発明のさらなる有利な一実施形態によれば、上記目的は、前記第一の静止電流源の前記静止電流を調整するための第一の電流変調段、及び、前記第二の静止電流源の前記静止電流を調整するための第三の電流変調段を備えるデバイスによっても達成される。

【0023】

本発明の有利な一実施形態において、上記目的は、さらに、前記第一の電流変調段及び／又は前記第二の電流変調段及び／又は前記第三の電流変調段が、それぞれ、

第一の電流変調差動対、特にエミッタ結合トランジスタ乃至ソース結合トランジスタ、及び、該第一の電流変調差動対に共通の調整可能な第一の電流変調静止電流源、並びに第二の電流変調差動対、特にエミッタ結合トランジスタ乃至ソース結合トランジスタ、及び、該第二の電流変調差動対に共通の調整可能な第二の電流変調静止電流源を有し、

前記第一の電流変調差動対に、周波数増加のための離散化信号を第一の制御信号として供給可能であり、

前記第二の電流変調差動対に、周波数減少のための離散化信号を第二の制御信号として供給可能であり、

各電流変調段の前記第一の電流変調静止電流源及び前記第二の電流変調静止電流源は共通に調整可能であることを特徴とするデバイスによって達成される。

【0024】

本発明のさらなる一実施形態によれば、上記目的は、前記第一の電流変調段及び／又は前記第二の電流変調段及び／又は前記第三の電流変調段が、前記第一の静止電流源乃至前記第二の静止電流源乃至前記第三の静止電流源の静止電流調整に、それぞれの付加的な電流を給送及び供給するように設計されるデバイスによって有利に達成される。

【0025】

本発明の別の有利な一実施形態によれば、上記目的は、前記第一の電流変調段乃至前記第二の電流変調段乃至前記第三の電流変調段において、それぞれ、前記第一の電流変調静止電流源及び前記第二の電流変調静止電流源が、前記第一の静止電流源乃至前記第二の静止電流源乃至前記第三の静止電流源の静止電流調整において、それぞれ、前記第一の制御信号及び前記第二の制御信号によって制御される、それぞれの付加的な電流を給送及び供給するように設計されることを特徴とするデバイスによって達成される。

【0026】

上記目的は、さらに、上記で説明したタイプの少なくとも一つのデバイスを含むオシレータリングによって達成される。

【0027】

さらに、上記目的は、電気信号の遅延を制御するため、並びに、上記で説明したタイプの少なくとも一つのデバイスによって、及び／又は、上記で説明したタイプの少なくとも一つのオシレータリングによって、前記電気信号の遅延を行うための方法であって、

前記第一の電流変調段及び／又は前記第二の電流変調段及び／又は前記第三の電流変調段が、それぞれ

第一の制御信号として、周波数増加のための離散化信号、及び／又は、

第二の制御信号として、周波数減少のための離散化信号が供給され、

前記第一の制御信号及び／又は前記第二の制御信号によって制御され、

前記第一の電流変調段及び／又は前記第二の電流変調段及び／又は前記第三の電流変調段において、それぞれの付加的な電流が生成され、かつ、

前記第一の電流変調段及び／又は前記第二の電流変調段及び／又は前記第三の電流変調段の前記それぞれの付加的な電流が、前記第一の静止電流源及び／又は前記第二の静止電

10

20

30

40

50

流源及び／又は前記第三の静止電流源のうちの少なくとも一つの前記静止電流を調整するために、前記第一の静止電流源乃至前記第二の静止電流源乃至前記第三の静止電流源の静止電流調整に給送されることを特徴とする方法によって達成される。

【0028】

上記目的は、さらに、少なくとも一つのデジタル位相検出器によるクロック及び／又はデータリカバリにおける、上記で説明したタイプの少なくとも一つのデバイスの使用、及び／又は、上記で説明したタイプの少なくとも一つのオシレータリングの使用、及び／又は、上記で説明したタイプの少なくとも一つの方法の使用において、前記少なくとも一つのデジタル位相検出器から、周波数増加のための離散化信号が第一の制御信号として供給され、かつ／又は、周波数減少のための離散化信号が第二の制御信号として供給される、使用によって達成される。

10

【0029】

周波数切替を備える本オシレータの例示的な技術的適用領域に関して、特に二位相検出器を備えるクロックリカバリ回路（CDR＝クロック及び／又はデータリカバリ）における使用のためには、中間周波数に対して小さな周波数変動のみが必要であることを考慮しなければならないので、ここでは、前記オシレータ差動段、すなわち、前記第一及び／又は第二の信号伝達段、及び／又は、前記内部遅延段の動作電流の僅かな変動のみによって有利に所望の周波数変動を達成することができる。

【0030】

さらなる例示的な技術的応用分野は、

20

デジタル位相検出器を備えるCDR（クロック及び／又はデータリカバリ）用オシレータ、

シリアルデータストリームの受信機における、データクロックが当該データストリームに埋め込まれている場合、すなわち、ローカルクロックリファレンスが利用できない場合の、クロックリカバリ、又は

デジタル位相検出器を備えるデジタルPLL（周波数合成用の、位相同期ループ）用オシレータである。

【0031】

上記において既に議論したように、本発明の教示を有利な方法で具体化しさらに発展させるための様々な可能性が存在する。この目的を達成するために、一方では、請求項1に従属する請求項を参照し、他方では、本発明のさらなる実施形態、特徴及び利益を、特に図1及び図2によって示される例示的な実施形態に基づいて、下記により詳細に説明する。

30

【図面の簡単な説明】

【0032】

【図1】本発明に係るオシレータリングであって、いくつかの同一の遅延段を含むオシレータリングの例示的な実施形態の回路図である。

【図2】本発明に係るこれらの遅延段のうちの一つの例示的な実施形態の詳細な回路図である。

【発明を実施するための形態】

【0033】

40

同様の、類似の又は対応する実施形態、要素又は特徴は、図1において及び図2において同一の参照番号が付与され、これらの実施形態、要素又は特徴の繰り返しの説明は省略される。

【0034】

この時点で、第一の差動対と第二の差動対のみ及び内部遅延段と共通の負荷抵抗を備えて具体化される遅延段が、一般的に補間遅延段として知られる、例えば、Behzad Razaviによる研究論文「Design of Analog CMOS Integrated Circuits」、518頁及び519頁、図14.48及び図14.49に示されている技術的現状に対応しているということに触れておかねばならない。

【0035】

50

図14.48(a)及び図14.49(b)によれば、前記第一の差動対、前記第二の差動対及び前記内部遅延段は、それぞれ、制御電圧 V_{cont} によって制御される静止電流源 I_{ss} を含み、前記第一の差動対の前記静止電流源の前記制御電圧ひいては静止電流は、前記第二の差動対の前記静止電流源及び前記内部遅延段の前記静止電流源の前記制御電圧ひいては静止電流とは反対方向に変動する。

【0036】

したがって、前記補間遅延段の遅延は、一方で前記第一の差動対の—高速な第一の信号伝達経路の—遅延によって決定する極値と、他方で前記内部遅延段との前記第二の差動対の相互接続の—遅い第二の信号伝達経路の—遅延によって決定する極値との間の前記制御電圧の変動によって全体的に変動する。

【0037】

しかしながら、このような補間遅延段によって具体化されるリングオシレータの、前記遅い第二の信号伝達経路のみがスイッチオンされるとき最小発振周波数と、前記高速な信号伝達経路のみがスイッチオンされるとき最大発振周波数との間で上記のように得られる前記周波数変動は、中間周波数に対する上記で言及したごく小さな周波数変動をはるかに超えている。

【0038】

本発明に係るリングオシレータには、前記静止電流源のうちの少なくとも一つの前記静止電流を調整するため、すなわち、第一の信号伝達段の前記第一の差動対の前記静止電流源—本発明の本実施形態において第一の静止電流源と呼ぶ—の前記静止電流、及び／又は、第二の信号伝達段の前記第二の差動対の前記静止電流源—本発明の本実施形態において第二の静止電流源と呼ぶ—の前記静止電流、前記内部遅延段の第三の差動対の前記静止電流源—本発明の本実施形態において第三の静止電流源と呼ぶ—の前記静止電流、の調整のために、電流変調段が追加される。

【0039】

有利には、これらのさらなる差動段は、図2に示すように、前記第一の静止電流源の前記静止電流を調整する（＝第一の電流変調）ための第一の電流変調段として、及び、前記第一の差動対の前記静止電流の変調（＝第一の電流変調）又は前記内部遅延段の前記静止電流の変調（＝第二の電流変調）のために前記第三の静止電流源の前記静止電流を調整する（＝第二の電流変調）ための第二の電流変調段として配置される。

【0040】

図示しない本発明の別の実施形態では、これらのさらなる差動段は、有利には、前記第一の静止電流源の前記静止電流を調整する（＝第一の電流変調）ための前記第一の電流変調段として、及び、前記第一の差動対の前記静止電流の変調（＝第一の電流変調）又は前記第二の差動対の前記静止電流の変調（＝第三の電流変調）のために前記第二の静止電流源の前記静止電流を調整する（＝第三の電流変調）ための第三の電流変調段として配置される。

【0041】

同様に図示しない本発明のさらに別の実施形態は、前記第一の静止電流源の前記静止電流を調整する（＝第一の電流変調）ための第一の電流変調段、前記第三の静止電流源の前記静止電流を調整する（＝第二の電流変調）ための第二の電流変調段、及び、前記第二の静止電流源の前記静止電流を調整する（＝第三の電流変調）ための第三の電流変調段を含む。

【0042】

上記図面に係るデバイスをここでより詳細に説明するが、同一の図面要素は同一の参照番号を備え、これらの図面要素の繰り返しの説明は、不要な繰り返しを避けるために省略する。したがって、本発明の構成、特徴及び利点に関して、下記の解説は、別段の定めがない限り、図1及び図2によって示す本発明の全ての実施形態について触れている。

【0043】

図1は、いくつかの、ここでは四つの、同一の遅延段200を有するオシレータリング

10

20

30

40

50

乃至リングオシレータ１００を一実施形態として示す。

【００４４】

かかる遅延段２００は、以下において、本発明に係る電気信号の制御可能な遅延のためのデバイスと呼ぶ。当該遅延段２００は、例えば、以下で図２に示すように、補間遅延段２００として具体化される。

【００４５】

四つの遅延段２００の各々は、二つの入力端子２０２、２０３を備える差動入力２０１及び二つの出力端子２０５、２０６を備える差動出力２０４を有する。

【００４６】

差動入力２０１に供給された電気信号は、定義された調整可能な遅延によって差動出力２０４において出力される。この電気信号のために、遅延段２００は、電気的な四端子網を形成する。

【００４７】

これらの四端子網の四つ、すなわち、四つの遅延段２００は、図１では、カスケード接続で相互接続され、当該遅延段２００のうちの第一の遅延段２００、すなわち、当該カスケード接続において先行する遅延段２００の差動出力２０４は、遅延段２００のうちの第二の遅延段２００、すなわち、前記カスケード接続において後続の遅延段２００の差動入力２０１と接続される。

【００４８】

前記カスケード接続の最後では、遅延段２００のうちの最後の遅延段２００の差動出力２０４は、遅延段２００のうちの第一の遅延段２００の差動入力２０１と交差接続される。これにより、一方では前記オシレータリングが形成され、他方では、遅延段２００のうちの前記最後の遅延段２００の差動出力２０４からの前記電気信号が、遅延段２００のうちの第一の遅延段２００の差動入力２０１に逆極性で給送される。

【００４９】

このようにして、前記電気信号は、交互の極性で前記カスケード接続を通過するので、差動入力２０１及び差動出力２０４において、当該カスケード接続のすべての遅延段２００の前記遅延の合計によって決定される周波数によって発振する。

【００５０】

図２は、本発明の一実施形態に係るこれらの遅延段２００のうちの一つを詳細に示す。

【００５１】

図２に係る遅延段２００は、当該遅延段２００の差動入力２０１として具体化される信号入力と、当該遅延段２００の差動出力２０４として具体化される信号出力との間に第一の信号伝達経路２０７を備える。

【００５２】

第一の信号伝達経路２０７は、ソース結合トランジスタ２１０、２１１の第一の差動対２０９及び共通の調整可能な第一の静止電流源２１２を有する第一の信号伝達段２０８を備える。当該遅延段２００は、さらに、差動入力２０１と差動出力２０４との間に第二の信号伝達経路２１３を備えて構成される。

【００５３】

第二の信号伝達経路２１３は、ソース結合トランジスタ２１６、２１７の第二の差動対２１５及び共通の調整可能な第二の静止電流源２１８を有する第二の信号伝達段２１４、並びに、ソース結合トランジスタ２２１、２２２の第三の差動対２２０及び共通の調整可能な第三の静止電流源２２３を有する、差動入力２０１と第二の信号伝達段２１４との間に配置される内部遅延段２１９を備える。

【００５４】

第一の信号伝達経路２０７の全てのトランジスタ及び第二の信号伝達経路２１３の全てのトランジスタ、すなわち、第一の差動対２０９の第一及び第二のソース結合トランジスタ２１０、２１１、並びに、当該第一の差動対２０９に共通の調整可能な第一の静止電流源２１２、第二の差動対２１５の第一及び第二のソース結合トランジスタ２１６、２１７

10

20

30

40

50

、並びに、当該第二の差動対 215 に共通の調整可能な第二の静止電流源 218、及び、第三の差動対 220 の第一及び第二のソース結合トランジスタ 221、222、並びに、当該第三の差動対 220 に共通の調整可能な第三の静止電流源 223 は、本発明の前記図示の実施形態において、N M O S 電界効果トランジスタとして形成されている。

【0055】

遅延段 200 は、さらに、第一の信号伝達経路 207 を介して伝送される電気信号に、第二の信号伝達経路 213 を介して伝送される電気信号を付加的に重畳するための信号結合段 224 を備える。

【0056】

このために、信号結合段 224 は、第一の信号伝達段 208 の第一の差動対 209 及び第二の信号伝達段 214 の第二の差動対 215 に共通の、第一の負荷抵抗 225 及び第二の負荷抵抗 226 を含む抵抗性負荷を備える。

10

【0057】

信号結合段 224 の第一の負荷抵抗 225 は、一方で、第一の信号伝達段 208 の第一の差動対 209 の第一のソース結合トランジスタ 210 のドレイン端子及び第二の信号伝達段 214 の第二の差動対 215 の第一のソース結合トランジスタ 216 のドレイン端子の第一の接続点 227 と接続され、他方で、第一の供給電位 V D D を有する第一の供給電圧端子 229 と接続される。

【0058】

信号結合段 224 の第二の負荷抵抗 226 は、一方で、第一の信号伝達段 208 の第一の差動対 209 の第二のソース結合トランジスタ 211 のドレイン端子及び第二の信号伝達段 214 の第二の差動対 215 の第二のソース結合トランジスタ 217 のドレイン端子の第二の接続点 228 と接続され、他方で、第一の供給電圧端子 229 と接続される。

20

【0059】

第一及び第二の接続点 227、228 は、それぞれ、第一のソース結合トランジスタ 210、216 の前記ドレイン端子乃至第二のソース結合トランジスタ 211、217 の前記ドレイン端子における前記電流の付加的な重畳のための電流ノードを形成する。

【0060】

次に、前記負荷抵抗においては、前記ドレイン端子における前記付加的に重畳される電流に比例する電圧がそれぞれ発生し、両方の電圧がともに遅延段 200 の差動出力 204 において差動信号を形成する。

30

【0061】

内部遅延段 219 もまた、二つの負荷抵抗、すなわち、一方で、内部遅延段 219 の第三の差動対 220 の第一のソース結合トランジスタ 221 のドレイン端子及び第二の信号伝達段 214 の第二の差動対 215 の第一のソース結合トランジスタ 216 のゲート端子の第三の接続点 232 と接続され、他方で、第一の供給電圧端子 229 と接続される第三の負荷抵抗 230、並びに、一方で、内部遅延段 219 の第三の差動対 220 の第二のソース結合トランジスタ 222 のドレイン端子及び第二の信号伝達段 214 の第二の差動対 215 の第二のソース結合トランジスタ 217 のゲート端子の第四の接続点 233 と接続され、他方で、第一の供給電圧端子 229 と接続される第四の負荷抵抗 231 を含む。

40

【0062】

第一の静止電流源 212 は、一方で、第一の信号伝達段 208 の差動対 209 のソース結合トランジスタ 210、211 の相互接続されたソース端子と接続され、他方で、第二の供給電位 V S S を有する第二の供給電圧端子 234 と接続される。

【0063】

第二の静止電流源 218 は、一方で、第二の信号伝達段 214 の第二の差動対 215 のソース結合トランジスタ 216、217 の相互接続されたソース端子と接続され、他方で、第二の供給電圧端子 234 と接続される。

【0064】

第三の静止電流源 223 は、一方で、内部遅延段 219 の第三の差動対 220 のソース

50

結合トランジスタ 221、222 の相互接続されたソース端子と接続され、他方で、第二の供給電圧端子 234 と接続される。

【0065】

有利には、第一の、第二の及び第三の差動対 209、215、220 のそれぞれのための静止電流源 212、218、223 の前記静止電流調整は、静止電流源 212、218 乃至 223 を形成する前記 NMOS 電界効果トランジスタのゲート端子に供給される制御電圧によって行うことができ、特に、第二の供給電位 VSS として接地電位が選択され、第一の供給電位 VDD として、接地に対して正の電位が選択される。

【0066】

説明される本実施形態によれば、図 2 に係る前記デバイス、すなわち、遅延段 200 は、第一の静止電流源 212 の前記静止電流を調整するための第一の電流変調段 235、及び、第三の静止電流源 223 の前記静止電流を調整するための第二の電流変調段 236 を備えて構成される。

10

【0067】

本実施形態の図示しない一変形において、第二の静止電流源 218 の前記静止電流を調整するために、第三の電流変調段がさらに設けられてもよく、この第三の電流変調段の構成は、第一の電流変調段 235 の構成及び第二の電流変調段 236 の構成と少なくとも実質的に同一である。

【0068】

さらに、前記第一の、前記第二の、又は前記第三の電流変調段のいずれかのみが設けられる変形、又は、前記第一の及び前記第三の電流変調段のみ、又は、前記第二の及び前記第三の電流変調段のみが設けられる変形が考えられる。全てのこれらの変形は、本発明の上記課題を解決する。一例として、図 2 に係る本実施形態のみをここでは説明する。

20

【0069】

図 2 に係る本実施形態では、第一の電流変調段 235 及び第二の電流変調段 236 は、全く同一に構成されている。二つの電流変調段 235、236 の各々は、それぞれ、二つのソース結合トランジスタ 241 及び 242 乃至 245 及び 246 乃至 243 及び 244 乃至 247 及び 248 に対し、それぞれ、第一の差動段 237 乃至 239、及び、それぞれ、第二の差動段 238 乃至 240 を含む。

【0070】

第一の電流変調段 235 の第一の差動段 237 の第二のソース結合トランジスタ 242 のドレイン端子及び第一の電流変調段 235 の第二の差動段 238 の第一のソース結合トランジスタ 243 のドレイン端子、並びに、第二の電流変調段 236 の第一の差動段 239 の第二のソース結合トランジスタ 246 のドレイン端子及び第二の電流変調段 236 の第二の差動段 240 の第一のソース結合トランジスタ 247 のドレイン端子は、第二の供給電位 VSS を有する第二の供給電圧端子 234 と接続される。

30

【0071】

第一の電流変調段 235 の第一の差動段 237 の第一のソース結合トランジスタ 241 のドレイン端子及び第一の電流変調段 235 の第二の差動段 238 の第二のソース結合トランジスタ 244 のドレイン端子は互いに接続され、かつ、第一の信号伝達段 208 の第一の差動対 209 の第一のソース結合トランジスタ 210 及び第二のソース結合トランジスタ 211 の前記結合されたソース端子の、第一の信号伝達段 208 の第一の差動対 209 に対する第一の静止電流源 212 との、第五の接続点 249 と接続される。

40

【0072】

第二の電流変調段 236 の第一の差動段 239 の第一のソース結合トランジスタ 245 のドレイン端子と第二の電流変調段 236 の第二の差動段 240 の第二のソース結合トランジスタ 248 のドレイン端子は互いに接続され、かつ、内部遅延段 219 の第三の差動対 220 の第一のソース結合トランジスタ 221 及び第二のソース結合トランジスタ 222 の前記結合されたソース端子の、内部遅延段 219 の第三の差動対 220 に対する第三の静止電流源 223 との、第六の接続点 250 と接続される。

50

【0073】

第一の電流変調段235において、第一の差動段237の第一のソース結合トランジスタ241のソース端子及び第二のソース結合トランジスタ242のソース端子は互いに接続され、かつ、第一の電流変調段235が含む第四の静止電流源251を形成するトランジスタのドレイン端子と接続され、さらに、第二の差動段238の第一のソース結合トランジスタ243のソース端子及び第二のソース結合トランジスタ244のソース端子は互いに接続され、かつ、第一の電流変調段235が含む第五の静止電流源252を形成するトランジスタのドレイン端子と接続される。

【0074】

第四及び第五の静止電流源251、252を形成する前記トランジスタのソース端子は、第一の供給電位VDDを有する第一の供給電圧端子229と接続される。

10

【0075】

第四及び第五の静止電流源251、252を形成する前記トランジスタのゲート端子は、共通の制御電圧端子255と接続され、当該制御電圧端子255を介して、当該第四及び第五の静止電流源251、252において静止電流を調整する、特に、一致させるために、当該第四及び第五の静止電流源251、252に対して共通の制御電圧が動作時に供給される。第四及び第五の静止電流源251、252は、したがって、前記ゲート端子において前記共通の制御電圧による共通の静止電流調整を含む。

【0076】

同様に、第二の電流変調段236において、第一の差動段239の第一のソース結合トランジスタ245のソース端子及び第二のソース結合トランジスタ246のソース端子は互いに接続され、かつ、第二の電流変調段236が含む第六の静止電流源253を形成するトランジスタのドレイン端子と接続され、さらに、第二の差動段240の第一のソース結合トランジスタ247のソース端子及び第二のソース結合トランジスタ248のソース端子は互いに接続され、かつ、第二の電流変調段236が含む第七の静止電流源254を形成するトランジスタのドレイン端子と接続される。

20

【0077】

第六及び第七の静止電流源253、254を形成する前記トランジスタのソース端子もまた、第一の供給電位VDDを有する第一の供給電圧端子229と接続される。

【0078】

したがって、第六及び第七の静止電流源253、254を形成する前記トランジスタのゲート端子は、共通の制御電圧端子256と接続され、当該制御電圧端子256を介して、当該第六及び第七の静止電流源253、254において静止電流を調整する、特に、一致させるために、当該第六及び第七の静止電流源253、254に対して共通の制御電圧が動作時に供給される。第六及び第七の静止電流源253、254は、したがって、前記ゲート端子において前記共通の制御電圧による共通の静止電流調整を含む。

30

【0079】

第一の及び第二の電流変調段235、236における全てのトランジスタは、図2に係る本実施形態においてはPMOS電界効果トランジスタとして具体化されている。

【0080】

電流変調段235乃至236の各々の二つの差動段237、238、乃至、239、240は、差動段237乃至238乃至239乃至240のソース結合トランジスタ241、242、乃至、243、244、乃至、245、246、乃至、247、248のゲート端子における制御信号によって制御される。

40

【0081】

ソース結合トランジスタ241、242乃至243、244乃至245、246乃至247、248の前記ゲート端子のこれらの制御信号は、好ましくはデジタル位相検出器によって供給可能な、離散化制御信号であることが好ましい。

【0082】

前記位相検出器からの前記制御信号は、通例、周波数増加のための離散化信号（図2に

50

において、差動信号 u_p / u_{pb} として具体化されており、 u_{pb} は u_p に対する相補信号である）、及び、周波数減少のための離散化信号（図 2 においては、差動信号 d_n / d_{nb} として具体化されており、 d_{nb} は、 d_n に対する相補信号である）からなる。

【0083】

特に、図 2 に係る本実施形態においては、

第一の電流変調段 235 の第一の差動段 237 の第一のソース結合トランジスタ 241 の前記ゲート端子には、周波数増加のための差動信号 u_p が供給され、

第一の電流変調段 235 の第一の差動段 237 の第二のソース結合トランジスタ 242 の前記ゲート端子には、周波数増加のための相補的な差動信号 u_{pb} が供給され、

第一の電流変調段 235 の第二の差動段 238 の第一のソース結合トランジスタ 243 の前記ゲート端子には、周波数減少のための差動信号 d_n が供給され、

第一の電流変調段 235 の第二の差動段 238 の第二のソース結合トランジスタ 244 の前記ゲート端子には、周波数減少のための相補的な差動信号 d_{nb} が供給され、

第二の電流変調段 236 の第一の差動段 239 の第一のソース結合トランジスタ 245 の前記ゲート端子には、周波数増加のための差動信号 u_p が供給され、

第二の電流変調段 236 の第一の差動段 239 の第二のソース結合トランジスタ 246 の前記ゲート端子には、周波数増加のための相補的な差動信号 u_{pb} が供給され、

第二の電流変調段 236 の第二の差動段 240 の第一のソース結合トランジスタ 247 の前記ゲート端子には、周波数減少のための差動信号 d_n が供給され、

第二の電流変調段 236 の第二の差動段 240 の第二のソース結合トランジスタ 248 の前記ゲート端子には、周波数減少のための相補的な差動信号 d_{nb} が供給される。

【0084】

共通の制御電圧端子 255 乃至 256 における共通の制御電圧は、それぞれ、第一、第二及び第三の差動対 209、215 及び 220 のための静止電流源 212、218、233 の静止電流調整用の静止電流源 212、218 及び 223 を形成する前記 NMOS 電界効果トランジスタの前記ゲート端子にそれぞれ供給される前記制御電圧とは独立して選択可能である。

【0085】

第一から第三の静止電流源 212、218、223 の前記トランジスタ及び第四から第七の静止電流源 251、252、253、254 の前記トランジスタのこの相互に独立した配置（Dimensionierung）により、前記第一、第二及び第三の静止電流源 212、218、223 の前記静止電流とは独立して、第四から第七の静止電流源 251、252、253、254 の前記静止電流を、例えば、より低い電流強度に調整することが可能になる。

【0086】

リングオシレータ 100 の動作中又は遅延段 200 の動作中に、第四から第七の静止電流源 251、252、253、254 の前記静止電流は、周波数増加のための信号 u_p / u_{pb} 及び周波数減少のための信号 d_n / d_{nb} によって制御されて、それぞれ、第一の信号伝達段 208 の第一の差動対 209 の第一のソース結合トランジスタ 210 及び第二のソース結合トランジスタ 211 の前記結合されたソース端子の、第一の信号伝達段 208 の第一の差動対 209 に対する第一の静止電流源 212 との、第五の接続点 249 に対して、又は、内部遅延段 219 の第三の差動対 220 の第一のソース結合トランジスタ 221 及び第二のソース結合トランジスタ 222 の前記結合されたソース端子の、内部遅延段 219 の第三の差動対 220 に対する第三の静止電流源 223 との、第六の接続点 250 に対して選択的に給送される。

【0087】

これにより、第四から第七の静止電流源 251、252、253、254 のうちの少なくとも一つによって、ソース結合トランジスタ 210、211 の第一の差動対 209、乃至、ソース結合トランジスタ 221、222 の第三の差動対 220 の、第一の及び第三の静止電流源 212、223 の前記静止電流において一好ましくは、第一の及び第三の静止

電流源 212 及び 223 の前記静止電流と比べて僅かな一変化が生じる。

【0088】

これは、周波数増加のための信号 u_p / u_{pb} 乃至周波数減少のための信号 d_n / d_{nb} によってそれぞれ引き起こされるトランジスタ 210、211 乃至 221、222 の前記結合したソース端子における電流変調に対応し、すなわち、トランジスタ 210、211 乃至 221、222 の前記結合したソース端子において結果的に生じる前記静止電流は、周波数増加のための信号 u_p / u_{pb} 乃至周波数減少のための信号 d_n / d_{nb} によって、それぞれ、好ましくは第一の乃至第三の静止電流源 212 乃至 223 の前記静止電流に対して僅かに変化する。

【0089】

第一の電流変調段 235 の差動段 237、238 及び第二の電流変調段 236 の差動段 239、240 は、このようにして、僅かな量子化した、すなわち、この電流変調によって達成されるいわゆるデジタル電流変調をもたらし、したがって、本質的には、それぞれ、第一の差動対 209 におけるソース結合トランジスタ 210、211、乃至、内部遅延段 219 の第三の差動対 220 におけるソース結合トランジスタ 221、222 ー及び／又は、本実施形態の上記変形のうちの一つに係る第二の差動対 215 における一トランスコンダクタンスの変調によって、それぞれ、第一の乃至第二の乃至第三の差動対 209 乃至 215 乃至 220 における前記信号の遅延の変調につながり、ひいてはオシレータ 100 の前記発振周波数の対応する変調につながる。

【0090】

このタイプの量子化周波数変調は、特に、デジタル位相検出器による CDR に対して有利に適用可能である。前記第一の電流変調のための第一の電流変調段 235 のためのモジュール用の前記制御信号及び前記第二の電流変調のための第二の電流変調段 236 のためのモジュールのための前記制御信号は、前記 CDR の前記位相検出器から給送される。

【0091】

前記位相検出器からの前記言及した制御信号 u_p / u_{pb} 、 d_n / d_{nb} によって、[a]、[b] 及び [c] の三つの場合に分類される。

[a] の場合は、 $u_p = 1$ 及び $d_n = 0$ だけ中間周波数と比べて前記周波数を増加させ、

[b] の場合は、 $u_p = 0$ 及び $d_n = 1$ だけ中間周波数と比べて前記周波数を減少させ、

[c] の場合は、 $u_p = 0$ 及び $d_n = 0$ だけ前記中間周波数を維持する。

【0092】

[a] の場合

第一の電流変調段 235 の、周波数増加信号 u_p / u_{pb} が給送される第一の差動段 237、並びに、周波数減少信号 d_n / d_{nb} が給送される第二の差動段 238 は、第一の差動対 209 のソース結合トランジスタ 210、211 の前記静止電流調整に電流を給送しない。

【0093】

したがって、第一の静止電流源 212 の前記静止電流全体は、第一の差動対 209 に対して利用可能であり、第一の差動対 209 のソース結合トランジスタ 210、211 の前記トランスコンダクタンスが最大化され、その結果、前記オシレータリング、すなわち、リングオシレータ 100 の発振周波数が最大になる。

【0094】

同じことは、内部遅延段 219 の前記静止電流調整時の第二の電流変調段 236 の、周波数増加信号 u_p / u_{pb} 並びに周波数減少信号 d_n / d_{nb} が同様に給送される第一の及び、第二の差動段 239 乃至 240 の効果のそれぞれに当てはまる。

【0095】

[b] の場合。

第一の電流変調段 235 の、周波数増加信号 u_p / u_{pb} 並びに周波数減少信号 d_n / d_{nb} によって順番に駆動される第一の及び第二の差動段 237、238 は、第一の差動段 237 の第一のソース結合トランジスタ 241 及び第二の差動段 238 の第二のソース

10

20

30

40

50

結合トランジスタ 244 を介して、ソース結合トランジスタ 210、211 の第一の差動対 209 の前記静止電流調整に、さらなる電流、すなわち、第四の静止電流源 251 の前記静止電流及び第五の静止電流源 252 の前記静止電流を給送する。

【0096】

したがって、この電流によって、すなわち、第四の静止電流源 251 の前記静止電流及び第五の静止電流源 252 の前記静止電流の電流合計によって、第一の差動対 209 の前記静止電流が減少し、第一の差動対 209 の前記トランスコンダクタンスが減少し、その結果、オシレータリング 100 の発振周波数が減少する。

【0097】

同じことは、内部遅延段 219 の前記静止電流調整時の第二の電流変調段 236 の、周波数増加信号 u_p / u_{pb} と周波数減少信号 d_n / d_{nb} が同様に給送される第一の及び第二の差動段 239 乃至 240 の効果のそれぞれに当てはまる。

【0098】

〔c〕の場合。

第一の差動段 237 がこの場合も同様に周波数増加信号 u_p / u_{pb} によって駆動される。第一の電流変調段 235 は、第一の差動段 237 の第一のソース結合トランジスタ 241 を介して、ソース結合トランジスタ 210、211 の第一の差動対 209 の前記静止電流調整に、さらなる電流、すなわち、第四の静止電流源 251 の前記静止電流を給送するが、周波数減少信号 d_n / d_{nb} によって駆動される第二の差動段 238 は、給送しない。

【0099】

したがって、ソース結合トランジスタ 210、211 の第一の差動対 209 の前記静止電流調整に関して、〔a〕の場合及び〔b〕の場合の間の途中の状況が発生し、中間オシレータ周波数の設定につながる。

【0100】

同じことは、前記内部遅延段の前記静止電流調整時の第二の電流変調段 236 の、周波数増加信号 u_p / u_{pb} と周波数減少信号 d_n / d_{nb} が同様に給送される第一の及び第二の差動段 239 乃至 240 の効果のそれぞれに当てはまる。

【0101】

本発明の本質的な利点は、前記オシレータの前記信号経路への周波数変動素子の前記挿入による寄生容量、特に、寄生容量性負荷が発生しないことである。

【0102】

さらなる利点は、第一の電流変調段 235 の前記静止電流調整及び第二の電流変調段 236 の前記静止電流調整の変動により、前記周波数変調のレベルを比較的広い範囲で調整することができることである。

【0103】

例えば、CDR（＝クロック及び／又はデータリカバリ）において使用されるとき、前記周波数変調の前記レベルが前記 CDR の帯域幅を決定するため、CDR の前記帯域幅は、さらなる寄生素子に敏感に反応する、オシレータ 100 の前記信号経路へのさらなる介入なしに、さらに変動させることができる。

【0104】

これは、上述した技術的現状では、前記信号経路にさらなるバラクタを追加することによってのみ可能であろう。しかし、さらなる寄生配線キャパシタを追加しなければ不可能であり、これは、前記オシレータの最大発振周波数を減少させる。

【0105】

これとは対照的に、本発明は、前記信号伝達経路における容量性負荷を回避又は、少なくとも低減する。リングオシレータの遅延段として、本発明に係る前記デバイスは、より高い発振周波数を可能にする。

【符号の説明】

【0106】

10

20

30

40

50

1 0 0	オシレータリング又はリングオシレータ	
2 0 0	デバイス、特に遅延段	
2 0 1	デバイス 2 0 0 の差動入力	
2 0 2	差動入力 2 0 1 の入力端子	
2 0 3	差動入力 2 0 1 の入力端子	
2 0 4	デバイス 2 0 0 の差動出力	
2 0 5	差動出力 2 0 4 の出力端子	
2 0 6	差動出力 2 0 4 の出力端子	
2 0 7	デバイス 2 0 0 の第一の信号伝達経路	
2 0 8	第一の信号伝達経路 2 0 7 の第一の信号伝達段	10
2 0 9	第一の信号伝達段 2 0 8 のソース結合トランジスタ 2 1 0、2 1 1 の第一の差動対	
2 1 0	第一の差動対 2 0 9 の第一のソース結合トランジスタ	
2 1 1	第一の差動対 2 0 9 の第二のソース結合トランジスタ	
2 1 2	第一の差動対 2 0 9 に対して第一の信号伝達段 2 0 8 の共通の調整可能な第一の 静止電流源	
2 1 3	デバイス 2 0 0 の第二の信号伝達経路	
2 1 4	第二の信号伝達経路 2 1 3 の第二の信号伝達段	
2 1 5	第二の信号伝達段 2 1 4 のソース結合トランジスタ 2 1 6、2 1 7 の第二の差動対	
2 1 6	第二の差動対 2 1 5 の第一のソース結合トランジスタ	
2 1 7	第二の差動対 2 1 5 の第二のソース結合トランジスタ	20
2 1 8	第二の差動対 2 1 5 に対する第二の信号伝達段 2 1 4 の共通の調整可能な第二の 静止電流源	
2 1 9	第二の信号伝達経路 2 1 3 の内部遅延段	
2 2 0	内部遅延段 2 1 9 のソース結合トランジスタ 2 2 1、2 2 2 の第三の差動対	
2 2 1	第三の差動対 2 2 0 の第一のソース結合トランジスタ	
2 2 2	第三の差動対 2 2 0 の第二のソース結合トランジスタ	
2 2 3	第三の差動対 2 2 0 に対する内部遅延段 2 1 9 の共通の調整可能な第三の静止電 流源	
2 2 4	第一の差動対 2 0 9 及び第二の差動対 2 1 5 に対して共通の抵抗性負荷を備える 、デバイス 2 0 0 の信号結合段	30
2 2 5	信号結合段 2 2 4 内の共通の抵抗性負荷が含む、第一の負荷抵抗	
2 2 6	信号結合段 2 2 4 内の共通の抵抗性負荷が含む、第二の負荷抵抗	
2 2 7	第一のソース結合トランジスタ 2 1 0、2 1 6 のドレイン端子の第一の接続点、 特に、第一のソース結合トランジスタ 2 1 0、2 1 6 のドレイン端子における電流の付加 的な重畳のための電流ノード	
2 2 8	第二のソース結合トランジスタ 2 1 1、2 1 7 のドレイン端子の第二の接続点、 特に、第二のソース結合トランジスタ 2 1 1、2 1 7 のドレイン端子における電流の付加 的な重畳のための電流ノード	
2 2 9	第一の供給電位 V D D を有する、第一の供給電圧端子	
2 3 0	内部遅延段 2 1 9 における第三の負荷抵抗	40
2 3 1	内部遅延段 2 1 9 における第四の負荷抵抗	
2 3 2	第一のソース結合トランジスタ 2 2 1 のドレイン端子及び第一のソース結合トラ ンジスタ 2 1 6 のゲート端子の第三の接続点	
2 3 3	第二のソース結合トランジスタ 2 2 2 のドレイン端子及び第二のソース結合トラ ンジスタ 2 1 7 のゲート端子の第四の接続点	
2 3 4	第二の供給電位 V S S を有する、第二の供給電圧端子	
2 3 5	第一の静止電流源 2 1 2 の静止電流を調整するための第一の電流変調段	
2 3 6	第三の静止電流源 2 2 3 の静止電流を調整するための第二の電流変調段	
2 3 7	第一の電流変調段 2 3 5 のソース結合トランジスタ 2 4 1、2 4 2 の第一の差動段	
2 3 8	第一の電流変調段 2 3 5 のソース結合トランジスタ 2 4 3、2 4 4 の第二の差動段	50

2 3 9 第二の電流変調段 2 3 6 のソース結合トランジスタ 2 4 5、2 4 6 の第一の差動段
 2 4 0 第二の電流変調段 2 3 6 のソース結合トランジスタ 2 4 7、2 4 8 の第二の差動段
 2 4 1 第一の差動段 2 3 7 の第一のソース結合トランジスタ
 2 4 2 第一の差動段 2 3 7 の第二のソース結合トランジスタ
 2 4 3 第二の差動段 2 3 8 の第一のソース結合トランジスタ
 2 4 4 第二の差動段 2 3 8 の第二のソース結合トランジスタ
 2 4 5 第一の差動段 2 3 9 の第一のソース結合トランジスタ
 2 4 6 第一の差動段 2 3 9 の第二のソース結合トランジスタ
 2 4 7 第二の差動段 2 4 0 の第一のソース結合トランジスタ
 2 4 8 第二の差動段 2 4 0 の第二のソース結合トランジスタ
 2 4 9 第一のソース結合トランジスタ 2 1 0 及び第二のソース結合トランジスタ 2 1 1
 の結合したソース端子の、第一の静止電流源 2 1 2 との、第五の接続点
 2 5 0 第一のソース結合トランジスタ 2 2 1 及び第二のソース結合トランジスタ 2 2 2
 の結合したソース端子の、第三の静止電流源 2 2 3 との、第六の接続点
 2 5 1 第一の差動段 2 3 7 に対する第一の電流変調段 2 3 5 の第四の静止電流源
 2 5 2 第二の差動段 2 3 8 に対する第一の電流変調段 2 3 5 の第五の静止電流源
 2 5 3 第一の差動段 2 3 9 に対する第二の電流変調段 2 3 6 の第六の静止電流源
 2 5 4 第二の差動段 2 4 0 に対する第二の電流変調段 2 3 6 の第七の静止電流源
 2 5 5 第四の静止電流源 2 5 1 及び第五の静止電流源 2 5 2 の共通の制御電圧端子
 2 5 6 第六の静止電流源 2 5 3 及び第七の静止電流源 2 5 4 の共通の制御電圧端子
 d n 第一のソース結合トランジスタ 2 4 3、2 4 7 における周波数減少のための差動離
 散化信号
 d n b 第二のソース結合トランジスタ 2 4 4、2 4 8 における、差動離散化信号 d n に
 対して相補的な信号
 u p 第一のソース結合トランジスタ 2 4 1、2 4 5 における周波数増加のための差動離
 散化信号
 u p b 第二のソース結合トランジスタ 2 4 2、2 4 6 における、差動離散化信号 u p に
 対して相補的な信号
 V D D 第一の供給電圧端子 2 2 9 における、特に第二の供給電位 V S S と比べて正の、
 第一の供給電位
 V S S 第二の供給電圧端子 2 3 4 における第二の供給電位、特に接地電位

10

20

30

40

50

【図面】
【図 1】

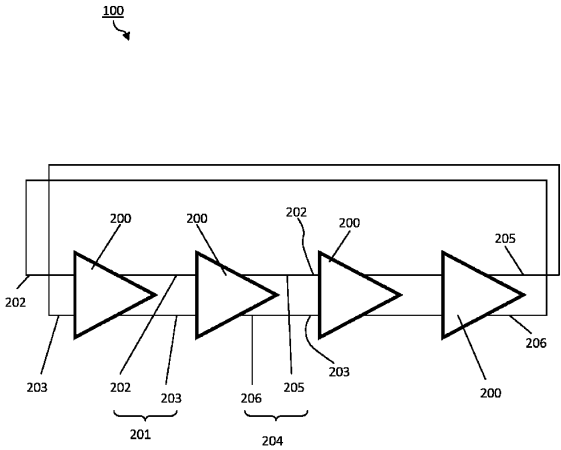


Fig. 1

【図 2】

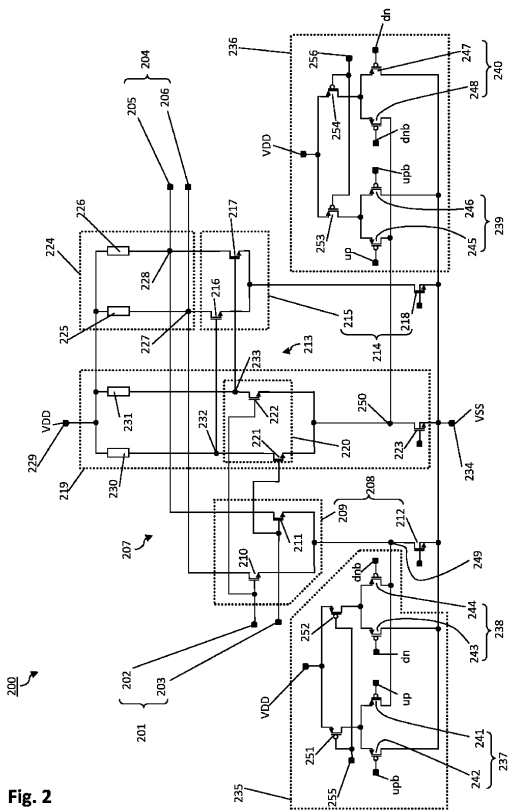


Fig. 2

10

20

30

40

50

フロントページの続き

(33)優先権主張国・地域又は機関

ドイツ(DE)

4 / デア・ドリッテン エルゲーバー

審査官 及川 尚人

(56)参考文献

特表2009-529271 (JP, A)

米国特許第06529077 (US, B1)

国際公開第2010/041353 (WO, A1)

特開2008-017007 (JP, A)

特開2014-160990 (JP, A)

特開2006-217544 (JP, A)

特開2000-040965 (JP, A)

特開2005-236675 (JP, A)

特表2015-528230 (JP, A)

米国特許出願公開第2006/0071722 (US, A1)

(58)調査した分野 (Int.Cl., DB名)

H03K 5/13

H03H 11/26

H03K 3/354