



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.

G11C 15/00 (2006.01)

(45) 공고일자	2007년05월16일
(11) 등록번호	10-0718031
(24) 등록일자	2007년05월08일

(21) 출원번호	10-2002-7000461	(65) 공개번호	10-2003-0009276
(22) 출원일자	2002년01월11일	(43) 공개일자	2003년01월29일
심사청구일자	2005년07월12일		
번역문 제출일자	2002년01월11일		
(86) 국제출원번호	PCT/CA2000/000815	(87) 국제공개번호	WO 2001/04906
국제출원일자	2000년07월12일	국제공개일자	2001년01월18일

(81) 지정국

국내특허 : 아랍에미리트, 알바니아, 아르메니아, 오스트리아, 오스트레일리아, 아제르바이잔, 보스니아 헤르체고비나, 바베이도스, 불가리아, 브라질, 벨라루스, 캐나다, 스위스, 중국, 코스타리카, 쿠바, 체코, 독일, 덴마크, 도미니카, 에스토니아, 스페인, 핀란드, 영국, 그라나다, 그루지야, 가나, 감비아, 크로아티아, 헝가리, 인도네시아, 이스라엘, 인도, 아이슬랜드, 일본, 케냐, 키르키즈스탄, 북한, 대한민국, 카자흐스탄, 세인트루시아, 스리랑카, 리베이라, 레소토, 리투아니아, 룩셈부르크, 라트비아, 모로코, 몰도바, 마다가스카르, 마케도니아공화국, 몽고, 말라위, 멕시코, 노르웨이, 뉴질랜드, 폴란드, 포르투칼, 루마니아, 러시아, 수단, 스웨덴, 성가포르, 슬로베니아, 슬로바키아, 타지키스탄, 투르크멘, 터키, 트리니아드토바고, 탄자니아, 우크라이나, 우간다, 미국, 우즈베키스탄, 베트남, 세르비아 앤 몬테네그로, 남아프리카, 짐바브웨, 시에라리온, 안티구와바부다, 벨리제, 알제리, 모잠비크,

AP ARIPO특허 : 가나, 감비아, 케냐, 레소토, 말라위, 수단, 시에라리온, 스와질랜드, 탄자니아, 우간다, 짐바브웨, 모잠비크,

EA 유라시아특허 : 아르메니아, 아제르바이잔, 벨라루스, 키르키즈스탄, 카자흐스탄, 몰도바, 러시아, 타지키스탄, 투르크멘,

EP 유럽특허 : 오스트리아, 벨기에, 스위스, 사이프러스, 독일, 덴마크, 스페인, 핀란드, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투칼, 스웨덴,

OA OAPI특허 : 부르키나파소, 베닌, 중앙아프리카, 콩고, 코트디브وار, 카메룬, 가봉, 기니, 기니 비사우, 말리, 모리타니, 나제르, 세네갈, 차드, 토고,

(30) 우선권주장

2,277,717

1999년07월12일

캐나다(CA)

(73) 특허권자

모사이드 테크놀로지스 인코포레이티드

캐나다 온타리오주 케이2케이 2엑스1 카나타 하이네스 로드 11

(72) 발명자

아메드, 압둘라

캐나다온타리오주엠1비5엔9스카보로우, 맥레빈애비뉴609-480

라인스, 발레리에, 엘.

캐나다온타리오주케이2에이1티7오타와로얄애비뉴228

(74) 대리인

김태홍
신정건

(56) 선행기술조사문현
US5258950, US6195277, US6307798

심사관 : 조명관

전체 청구항 수 : 총 26 항

(54) 콘텐츠 주소지정가능 메모리에서의 다중 정합 검출용 회로 및 방법

(57) 요약

본 발명은 고밀도 콘텐츠 주소지정가능 메모리의 탐색 및 저장 데이터사이의 다중 정합을 검출한다. 입력 신호가 미리 정해진 프리챠지 레벨로부터 정합 조건의 수에 의해 결정되는 방전 레벨로 방전을 시작하여 정합라인으로부터 유도된다. 기준 신호가 동일한 프리챠지 레벨로부터 단일 및 이중 정합 조건에 해당하는 두 방전 레벨 사이인 기준 레벨로 동시에 방전되기 시작하여 발생된다. 하나의 래칭 차동 증폭기가 그 후 얼마 안 있어 입력 신호와 기준 신호를 비교하여 다중 단일 또는 0개의 정합이 정합라인에 발생하는지의 표시를 제공하기 위하여 활성화되고, 그 다음에 증폭기가 비활성화된다. 공개된 회로는 적은 전류 소모와 비교적 빠른 검출을 특징으로 한다.

내포도

도 5

특허청구의 범위

청구항 1.

복수의 m 정합라인에 대한 n 정합 조건을 검출하기 위한 신호 검출 회로로서,

- (a) 감지(sense) 노드와 기준 노드 사이의 전압 레벨 차이에 대응하는 상보(complementary) 출력을 제공하는 차동 증폭기(differential amplifier);
- (b) 상기 감지 노드의 전압 레벨을 프리챠지 레벨로부터 n 정합 조건에 대응하는 전압 레벨로 변화시키기 위해 병렬로 연결된 m 정합라인들 중 대응하는 하나에 반응하는 복수의 m 정합라인 소자; 및
- (c) 상기 기준 노드의 전압 레벨을 상기 프리챠지 레벨로부터 기준 레벨로 변화시키는 기준 수단을 포함하며,

상기 기준 수단은, 각각 상기 m 정합라인 소자들 중 하나와 실질적으로 유사한 전기적 특성을 가지며 병렬로 연결된 복수의 m 더미 소자들(dummy devices)과, $n-1$ 및 n 정합라인 소자들 각각의 제1 및 제2 병렬 조합(combinations) 사이의 크기를 가지는 기준 소자를 포함하는, 신호 검출 회로.

청구항 2.

제1항에 있어서, 상기 차동 증폭기는 온(on) 상태의 둘 이상의 정합라인 소자에 대응하는 하나의 상보 출력과, 온 상태의 많아야 하나의 정합라인 소자에 대응하는 또 다른 상보 출력을 제공하는, 신호 검출 회로.

청구항 3.

제1항에 있어서, 상기 차동 증폭기를 비활성 페이스(inactive phase)와 활성 페이스 사이에서 활성화 수단에 의해 스위칭하는, 신호 검출 회로.

청구항 4.

제3항에 있어서, 상기 활성화 수단은 활성 페이스 동안에만 상기 차동 증폭기를 인에이블시키는 회로를 포함하는, 신호 검출 회로.

청구항 5.

제3항에 있어서, 상기 활성화 수단은 비활성 페이스 동안 상보 출력을 프리챠지시키는 회로를 포함하는, 신호 검출 회로.

청구항 6.

제1항에 있어서, 상기 차동 증폭기가 상보 출력을 제공하는 래칭 회로(latching circuit)를 포함하는, 신호 검출 회로.

청구항 7.

제3항에 있어서, 상기 차동 증폭기는, 감지 노드 전압 레벨과 기준 노드 전압 레벨 사이의 차이가 활성 페이스 동안 검출 가능한 레벨을 초과할 때, 상보 출력을 제공하는, 신호 검출 회로.

청구항 8.

제1항에 있어서, 각 정합라인 소자는, 상기 감지 노드에 연결된 드레인(drain)과 접지(ground)에 연결된 소스(source)와 정합라인에 연결된 게이트를 구비한 NMOS 트랜지스터인, 신호 검출 회로.

청구항 9.

제1항에 있어서, 입력 신호 및 기준 신호는 타이밍 신호에 응답하여 프리챠지 레벨로부터의 변화를 시작하는, 신호 검출 회로.

청구항 10.

제3항에 있어서, 상기 입력 및 기준 신호가 프리챠지 레벨로부터 변화하기 시작하는 시간으로부터 미리 정해진 시간 지연 후에 상기 활성 페이스가 개시되고, 상기 입력 신호와 기준 신호간의 차이는 상기 미리 정해진 시간 지연 이후에 검출되는, 신호 검출 회로.

청구항 11.

제1항에 있어서, (i) 상기 정합 조건의 수에 의해 방전 레벨이 결정되고,

(ii) 상기 기준 레벨은 $n-1$ 정합 조건에 대응하는 방전 레벨과 n 정합 조건(n 은 정수 값)에 대응하는 방전 레벨 사이에 위치하는, 신호 검출 회로.

청구항 12.

제1항에 있어서, n 은 2인, 신호 검출 회로.

청구항 13.

제1항에 있어서, 상기 기준 소자는, 상기 정합라인 소자들이 그들 각각의 정합 데이터를 수신함과 거의 동시에, 기준 신호를 프리챠지 레벨로부터 변화시키는 인에이블 신호(enable signal)에 의해 턴 온(turn on) 되는, 신호 검출 회로.

청구항 14.

제1항에 있어서, 상기 감지 노드와 기준 노드는, 서로 실질적으로 유사한 전기적 특성을 가지며, 비활성 페이스 동안 상기 감지 노드와 상기 기준 노드를 프리챠징하고 상기 감지 노드와 상기 기준 노드가 상기 정합라인 소자들 중 임의의 하나의 임계 전압(threshold voltage)보다 낮은 전압레벨에 도달하는 것을 방지하기에 충분한 크기를 가지는 한 쌍의 각 클램핑 소자(clamping devices)를 통하여 제1 전원 단자에 개별적으로 결합되는, 신호 검출 회로.

청구항 15.

제14항에 있어서, 상기 클램핑 소자들은, 상기 기준소자, 더미 소자(dummy device) 및 정합라인 소자들을 통한 전류 흐름을 실질적으로 포화상태 보다 작게 되도록 제한하는 각각의 크기를 가지는, 신호 검출 회로.

청구항 16.

제15항에 있어서, 논리 회로는, 상기 차동 증폭기가 활성 페이스 동안에 래치 상태(latched state)로 스위칭되는 경우에, 상기 한 쌍의 클램핑 소자를 턴 오프(turn off)하는, 신호 검출 회로.

청구항 17.

CAM 어레이 내의 복수의 m 정합라인들 사이에서 발생하는 복수의 n 정합 조건(여기서 $2 \leq n < m$)을 검출하는 신호 검출 회로로서,

- (a) 시간-변이 입력 신호(time-varying input signal)를 수신하는 감지 노드와 시간-변이 기준 신호(time-varying reference signal)를 수신하는 기준 노드를 가지는 차동 증폭기;
- (b) 상기 차동 증폭기를 비활성 페이스와 활성 페이스 사이에 스위칭하는 활성화 수단;
- (c) 비활성 페이스 동안 상기 감지 노드와 상기 입력 노드를 미리 정해진 프리챠지 레벨로 프리챠지시키는 프리챠지 수단;
- (d) 상기 입력 신호가 상기 비활성 페이스 동안 상기 프리챠지 레벨로부터 정합 조건의 수에 의해 결정되는 방전 레벨로 변화하도록 상기 m 정합라인들로부터 상기 입력 신호를 유도하도록 병렬로 연결된 복수의 정합라인 소자; 및
- (e) 상기 비활성 페이스 동안 상기 프리챠지 레벨로부터 n 및 $n-1$ 정합 조건에 대응하는 방전 레벨들 사이에 위치하는 기준 레벨로의 변화를 시작하는 기준 신호를 발생시키는 기준 수단을 포함하며,

상기 기준 수단은, 복수의 정합라인 소자들 중 하나에 대응하고 그와 실질적으로 유사한 전기적 특성을 가지며 상기 기준 노드에 각각 병렬로 연결된 복수의 더미 소자들(dummy devices)과, $n-1$ 및 n 정합라인 소자들 각각의 제1 및 제2 병렬 조합(combinations) 사이의 크기를 가지는 기준 소자를 포함하는, 신호 검출 회로.

청구항 18.

제17항에 있어서, n 은 2 인, 신호 검출 회로.

청구항 19.

제17항에 있어서, 상기 차동 증폭기는 상보 출력을 제공하는 래칭 회로(latching circuit)를 포함하는, 신호 검출 회로.

청구항 20.

제19항에 있어서, 상기 차동 증폭기는, 둘 이상의 정합 조건에 대응하는 하나의 상보 출력과 많아야 하나의 정합 조건에 대응하는 또 다른 상보 출력을 제공하는, 신호 검출 회로.

청구항 21.

제17항에 있어서, 상기 입력 및 기준 신호는 타이밍 신호에 응답하여 프리챠지 레벨로부터 변화를 시작하는, 신호 검출 회로.

청구항 22.

제17항에 있어서, 상기 입력 및 기준 신호가 상기 프리챠지 레벨로부터 변화하기 시작하는 시각으로부터의 미리 정해진 시간 지연 후에 상기 활성 페이스가 개시되고, 상기 입력 신호와 기준 신호간의 차이는 상기 미리 정해진 시간 지연 이후에 검출되는, 신호 검출 회로.

청구항 23.

CAM 어레이 내의 복수의 m 정합라인들 사이에서 발생하는 복수의 n 정합 조건(여기서, $2 \leq n < m$)을 검출하는 방법으로서,

(a) 차동 증폭기를 비활성 상태로 스위칭 하는 단계;

(b) 상기 차동 증폭기의 제1 및 제2 입력 노드를 프리챠징(precharging) 하는 단계;

(c) 상기 차동 증폭기가 비활성 상태인 동안, 제1 입력 노드의 전압 레벨을 프리챠지 레벨로부터, n 정합 조건에 대응하는 방전 레벨과 $n-1$ 정합 조건에 대응하는 방전 레벨 사이에 위치하는 기준 레벨로 변화를 개시하는 기준 소자를 선택적으로 턴 온(turn on)함으로써 상기 제1 입력 노드에 대하여 기준 신호를 발생시키는 단계;

(d) 입력신호가 프리챠지 레벨로부터 정합 조건의 수에 의해 결정되는 방전 레벨로의 변화를 시작하도록, 상기 제2 입력 노드에서 m 정합라인으로부터 입력 신호를 유도하는 단계;

(e) 상기 입력 신호를 기준 신호와 비교하여 정합 조건의 수가 n 보다 작은지 또는 n 이거나 n 을 초과하는지의 표시를 얻기 위하여, 상기 차동 증폭기를, 활성 상태로 스위칭하는 단계를 포함하는, 검출 방법.

청구항 24.

제23항에 있어서, n 은 2 인, 검출 방법.

청구항 25.

제23항에 있어서, 상기 입력 신호와 기준 신호는 타이밍 신호에 응답하여 프리챠지 레벨로부터의 변화를 시작하는, 검출 방법.

청구항 26.

제25항에 있어서, 상기 입력 신호 및 기준 신호가 프리챠지 레벨로부터 변화하기 시작하는 시각으로부터 미리 정해진 시간 지연 후에 상기 활성 페이스가 개시되고, 상기 입력 신호와 기준 신호간의 차이는 상기 미리 정해진 시간 지연 이후에 검출 되는, 검출 방법.

명세서

기술분야

본 발명은 일반적으로 반도체 메모리 소자, 보다 상세하게는 고밀도 콘텐츠 주소지정가능 메모리(Content Addressable Memory; CAM) 시스템에서의 검색 및 저장 데이터 사이의 다중 정합 검출에 관한 것이다.

배경기술

랜덤 액세스 메모리(random access memory)와 같은 종래의 메모리 시스템에서는, 2진 디지트(digits){비트(bits)}가 메모리 셀에 저장되어 프로세서에 의해 액세스되는데, 프로세서는 특정의(given) 셀과 관련된 선형 주소를 특정화한다(specify). 이 시스템은 일정 한도내에서 메모리 시스템의 일부에의 신속한 액세스를 제공한다. 프로세서 제어를 용이하게 하기 위하여, 메모리를 액세스하는 각 동작(operation)은, 명령(instruction)의 일부로서, 소요(required) 메모리 셀(들)의 주소를 표시(declare)하여야만 한다. 메모리의 용량이 증가할수록 메모리 셀을 리퍼런스(reference)하는데 필요한 명령 당 비트의 수(bits per instruction) 또한 증가한다. 이것은 시스템의 효율을 감소시킨다. 이러한 결점에 더하여, 표준 메모리 시스템은 콘텐츠에 기초한 검색(또는 탐색)용으로 잘 설계되어 있지 않다. 표준 메모리에서의 콘텐츠에 기초한 검색은 마이크로프로세서(microprocessor)의 제어하에 있는 연산 검색(algorithmic search)에 기초한 소프트웨어를 필요로 한다. 이러한 검색은 프로세서 리소스(resources)를 사용함에 있어 빠르지도 않고 효과적이지도 않다.

이러한 문제점을 극복하기 위하여 콘텐츠 주소지정가능 메모리(Content Addressable Memory; CAM)로 불리우는 연관 메모리 시스템(an associate memory system)이 개발되었다. CAM은 셀들이 그들의 콘텐츠에 의해 리퍼런스되도록 하며, 그 결과 CAM은 캐시(cache) 메모리 서브시스템과 같은 루업 테이블 실행(lookup table implementations)에서의 용도가 처음으로 발견되었고(found), 현재 네트워킹 시스템에서의 용도가 급속히 발견되고 있다. CAM의 가장 유용한 특성은 단일 동작으로 검색과 비교를 수행하는 능력이다. 특정화된(specified) 사용자 데이터와 저장 데이터가 비교될 수 있으며, 컴파랜드(comparand) 레지스터의 콘텐츠를 특정 메모리 시스템의 주소 스페이스에 있는 모든 주소와 동시에 직접 비교될 수 있게 함으로써 정합 및 비정합(mismatch) 결과를 되돌려받을(returned) 수 있다.

대부분의 메모리 시스템에 있어서 일반적인(common) 메모리 셀의 열과 종열에 더하여, CAM도 정합라인(matchline)과 정합라인 검출 회로(detection circuit; DTC)를 가진다. DTC는 그 열(rows)내의 셀에 대한 정합라인의 논리 상태(logic state)에서의 변화를 감지하는 감지 증폭기(sense amplifier)이다. DTC는 CAM 탐색/비교 동안에 정합 또는 부정합을 검출한다. 그것은 초기의 많은 적용예에서 관심사가 아니었으나 정합라인에서의 다중 정합의 검출은 현재 대단한 관심

의 대상이다. 정합과 부정합 조건의 구별은 정합과 부정합 레벨 사이의 임계 전압(threshold voltage) 또는 전류 레벨을 확인하고(declare), 정합라인 레벨이 임계값(threshold)의 어느 쪽에 있었는지를 판정하는 것만큼 간단하다. 이것은, 그 효과가 단지 전압 또는 전류 레벨의 붕괴 속도(decay rate)를 증가시키는 것이기 때문에, 다중 정합의 존재하에서는 이루어질 수 없다.

종래의 CAM 시스템에서, 열에 배열된 다양한 메모리 셀들은 정합라인에 의해 검출 회로(DTC)에 연결된다. CAM 셀의 종 열에 저장된 데이터와 비교하기 위하여 로딩된 탐색 데이터를 가지는(carry) 탐색 라인들이 정합라인과 직교한다. 일반적으로, 정합라인들은 정합라인 프리차지(preecharge) 전압, 예를 들어 VDD로 프리차지 된다. 만약 탐색 결과가 정합이라면, 즉 탐색 라인의 탐색 데이터가 CAM 셀의 저장 데이터와 정합하면, 그때는 정합라인 전압 레벨에 변화가 없고, 즉, 프리차지 상태, VDD로 남아있다. 부정합의 경우에는 직류 통로가 CAM 셀을 거쳐 각 정합라인과 VSS 사이에 개설되어, 그 정합라인의 전압 레벨이 감소하기 시작한다. 이 전압 강하는 그 다음에 각 DTC에 의해 검출된다. 그러므로, 부정합을 검출하기 위하여 각 정합라인에 결합된 각 DTC가 상이(differing) 전압 레벨이 탐색/비교 동작의 결과로서 나타나는지의(develop) 여부를 검출하여야 한다. 그러나, 검출된 정합이 단일 열 또는 다중 열로부터 일어난 것인지의 여부를 결정하는 것이 유리하다.

히트(hits)로도 불리는 다중 정합을 탐지하기 위하여 당면한 문제는 라인에 나타날 수 있는 상이한 전압 레벨들을 검출하는 것이다. 마쓰오카(Matsuoka) 등의 미국 특허 제5,012,448호에는 다중레벨 롬(read only memory; ROM) 셀에서의 전압 레벨 검출 방법이 기술되어 있다. 도 1에 나타낸 바와 같이, 거기에 기술된 방법과 장치는, 전류 감지를 위해 사용되는 NMOS 소자와 함께 작은 신호 증폭기로 동작하는 한쌍의 CMOS 인버터를 사용한다. 기준(reference) 및 활성 사이드 소스는 모두 마찬가지로 전류 미러(mirror)에 공급된다. 이러한 설계는 다중레벨 감지라는 필요한 과업(task)을 수행하기는 하나 열 분산(dissipation)을 증가시키고 출력 전압 진폭(swing)의 제한을 가져온다. 열 분산의 증가는 독립(discrete) 구성요소들에 의한 고(high) 전력 소비의 직접적인 결과이며, 적은 회로 영역을 차지하기 위하여 구성요소 크기를 줄이려는 시도에 대한 제한 요소이다.

보스냑(Bosnyak)과 산토로(Santoro)의 미국 특허 제5,446,686호에는 CAM내의 다중 주소 정합을 검출하는 방법과 장치가 기술되어 있다. 상기 장치는 도 2a, 2b 및 2c에 나타낸 바와 같이 한쌍의 풀-업 PMOS 트랜지스터(pull-up PMOS transistors)를 통해 전원 단자(VDD)에 연결된 한쌍의 "히트(hit)"와 "디히트(dhit)" 라인들을 사용한다. 드레인(drain)과 소스 단자에 걸린 전압이 항상 이 소자들의 게이트 대 소스 전압(gate-to-source voltage; Vgs)과 비교되는 임계값보다 크기 때문에 "히트" 라인의 한 세트의 NMOS 소자(N0-N3)는 포화상태로 동작한다. 기준 트래지스터는 1.5배의 포화 전류를 제공하기 위하여 NMOS 소자들중 어느 하나에 대해 폭과 길이의 비율이 1.5배의 치수를 가진다. 기준 트랜지스터 Nref는 마찬가지로 포화 영역에서 동작한다. Nref 소자의 Vgs는 온도와 전압 특성에 알맞는 보상을 보장하기 위하여 상당히 복잡한 기준 회로를 사용하여 발생된다. 더욱이, 상기 장치는 단일 및 다중 정합 발생을 위한 "hit"와 "dhit" 라인에 발생되는 전류 차이를 비교하기 위하여 비교기(comparator)를 사용한다. 그 비교기는, 원하는 출력을 얻기 위하여, 양극식 트랜지스터와 저항을 사용하는 2단계 구역-집약 구성요소(two-stage area-intensive component)이다.

본 출원의 한계(limitation)는 다음과 같다. NMOS 소자(N0-N3)와 Nref를 포화상태에서 동작시키기 위하여, "히트" 및 "디히트" 라인들을 전원 단자에 연결하는 풀-업 PMOS 소자는, 감지중에 N0-N3와 Nref 소자가 턴 온(turn on)되는 반면 그들에서의 전압 강하가 현저하지 않을 정도로 비교적 낮은 저항율(resistivity)을 가져야만 한다. 이는 드레인-소스 채널(drain-to-source channel)에 걸린 전압이 현저히 변화되지 않게 하기 위해 필요하다. 이것은 전체 동작동안 "hit"와 "dhit" 라인을 통해 비교적 높은 전류 소모의 대가를 치루고서 달성되는데, 그것은 고밀도 CAMs내에서의 다중 정합 검출에 대한 한계를 제공한다. 더욱이, Nref를 포화 상태로 동작시킴에 있어서, 비교적 복합한 보상 기준 회로가, 일정 기준 전류를 나타내도록 하기 위해 온도와 전압 변동(fluctuation)에 대한 보상을 확실하게 할 필요가 있다. 비교기 그 자체는 구역을 많이 차지하고 일정 전류를 소모한다. 양극식 소자는 전적으로 CMOS에 기초한 다이나믹 랜덤 액세스 메모리(dynamic random access memories; DRAM)에서의 사용을 제한한다.

결론으로서, 대용량 메모리 시스템들에 대한 증대된 수요와, 단순한 순차 액세스 이상을 위해 이 시스템들을 효율적으로 사용하고자 하는 갈망은, 이상적인 실시예에서 신속한 감지와 낮은 전력 소모를 겸비한 다중레벨 감지 검출기(multilevel sense detector)가 필요하다.

발명의 상세한 설명

본 발명의 하나의 목적은 콘텐츠 주소지정가능 메모리(CAM)의 다중-히트-라인상의 상이한 전압 레벨 검출에 있어서 상대적으로 높은 효율을 나타내는 감지 증폭기를 제공하는 것이다. 본 발명의 다른 목적은 다중 히트와 비다중(0 또는 단일) 히트를 가질 때의 사이의 차이를 검출하기 위해 비교적 낮은 전력과 상당히 낮은 회로 영역을 사용하여 다중 정합 검출을 달성하는 것이다.

그러므로, 본 발명의 일 측면에 따라, 감지 노드와 기준 노드를 가지는 하나의 차동 증폭기(differential amplifier)와, 비활성 페이스(inactive phase)와 활성 페이스 사이에 차동 증폭기를 스위칭(switching)하는 활성화 수단과, 상기 비활성 페이스 동안에 미리 정해진 프리챠지 레벨로부터 방전 레벨로의 변화를 시작하도록 허용된 입력 신호를 감지 노드에 제공하는 입력 수단과, 상기 비활성 페이스 동안에 상기 프리챠지 레벨로부터 미리 정해진 기준 레벨로의 변화를 시작하는 기준 신호를 기준 노드에 제공하는 기준 수단을 포함하여 구성되며, 입력 신호와 기준 신호간의 차이가 활성 페이스 동안에 검출 가능한 레벨보다 클 때 차동 증폭기가 방전과 기준 레벨간의 차이에 대응하는 상보 출력을 제공하는 장치, 특히 신호 검출 회로가 제공된다.

본 발명의 일 실시예에 따라, 차동 증폭기는 상보 출력을 제공하는 래칭 회로(latching circuit)를 포함하여 구성된다. 입력 신호와 기준 신호가 거의 동시에 프리챠지 레벨로부터 변화하기 시작하고, 그 반면 입력 및 기준 신호가 프리챠지 레벨로부터의 변화를 시작하는 시간으로부터 미리 정해진 시간 지연 후에 활성 페이스가 개시되고, 상기 시간 지연은 입력 및 기준 신호간의 검출가능한 차이를 확립하기에 충분한 것이 바람직하다.

신호 검출 회로는 고밀도 콘텐츠 주소지정가능 메모리의 복수의 m 정합라인들상의 복수의 조건들을 검출하기 위하여 사용될 수 있는데, 여기서 입력 신호가 정합라인들로부터 유도되어 $2 \leq n < m$ 이다. 방전 레벨이 정합 조건의 수에 의해 결정되고, 기준 레벨이 $n-1$ 정합 조건에 대응하는 방전 레벨과 n 정합 조건에 대응하는 것 사이가 되도록 입력 수단은 복수의 m 정합라인들에 결합된다. 트랜지스터 회로 실시예에서, 입력 수단은 감지 노드에 별렬로 연결된, 유사한 크기를 가진 복수의 m 정합라인 소자들을 포함하는데, 여기서 각 정합라인 소자는 m 정합라인들중 대응하는 하나에 반응하며, 기준 수단은 기준 노드에 별렬로 연결된 복수의 m 더미 소자들(dummy devices)과 기준 소자를 포함하는데, 여기서 각 더미 소자는 각각 m 정합라인 소자들중 하나에 대응하고 실질적으로 유사한 전기적 특성을 가지며, 기준 소자는 $n-1$ 및 n 정합라인 소자들 각각의 제1 및 제2 병렬 조합(combinations) 사이의 크기를 가진다. 실제적인 CAM 실행에서 n 은 2이다. 기준 소자는, 정합라인 소자들이 그들 각각의 정합 데이터를 받음과 거의 동시에, 기준 신호에서의 프리챠지 레벨로부터의 변화를 허용하는 인에이블 신호(enable signal)에 의해 턴 온(turn on) 된다. 감지 노드와 기준 노드는, 서로 실질적으로 유사한 전기적 특성을 가지며, 비활성 페이스 동안 감지 노드와 기준 노드를 프리챠징하고 감지 노드와 기준 노드를 정합라인 소자들중 임의의 하나의 임계 전압(threshold voltage)보다 낮은 전압레벨에 도달하지 못하게 하기에 충분한 크기를 가지는 한쌍의 각 클램핑 소자(clamping devices)를 통해 제1 전원 단자에 개별적으로 결합된다. 클램핑 소자들은 실질적으로 포화 상태(saturation) 이하의 기준소자, 더미 소자(dummy device) 및 정합라인 소자들을 통한 전류 흐름을 제한하기에 알맞은 저마다의 크기를 가지는 것이 바람직하다.

본 발명의 다른 측면에 따라, 장치, 특히 $2 \leq n < m$ 일 때 CAM 어레이(array)의 복수의 m 정합라인들에서 발생하는 복수의 n 정합 조건을 검출하는 신호 검출 회로가 제공되는데, 그것은 시간-변이 입력 신호(time-varying input signal)를 수신하는 감지 노드와 시간-변이 기준 신호(time-varying reference signal)를 수신하는 기준 노드를 가지는 차동 증폭기와; 차동 증폭기를 비활성 페이스와 활성 페이스 사이에 스위칭하는 활성화 수단과; 비활성 페이스 동안 감지 노드와 입력 노드를 미리 정해진 프리챠지 레벨로 프리챠지시키는 프리챠지 수단과; 상기 입력 신호가 비활성 페이스 동안 프리챠지 레벨로부터 정합 조건의 수에 의해 결정되는 방전 레벨로 변화를 시작하여 m 정합라인으로부터 입력 신호를 유도하는 입력 수단과; 비활성 페이스 동안 프리챠지 레벨로부터 n 및 $n-1$ 정합 조건에 대응하는 방전 레벨 사이의 값을 가지는 기준 레벨로의 변화를 시작하는 기준 신호를 발생시키는 기준 수단을 포함하여 구성되며; 차동 증폭기가 활성 페이스 동안 입력 신호와 기준 신호를 비교하여 정합 조건의 수가 n 보다 작은지 또는 n 인지 또는 n 을 초과하는지를 표시하는 하나의 대응 상보 출력을 제공한다.

본 발명의 또 다른 실시예에 따라, $2 \leq n < m$ 일 때 CAM 어레이의 복수의 m 정합라인들에서 발생하는 복수의 n 정합 조건을 검출하는 방법이 제공되는데, 그것은 차동 증폭기를 제공하는 단계와; 상기 차동 증폭기를 비활성 상태로 만드는 단계와; 입력 신호를, 그것이 미리 정해진 프리챠지 레벨로부터 정합 조건의 수에 의해 결정되는 방전 레벨로의 변화를 시작하도록 m 정합라인으로부터 유도하는 단계와; 프리챠지 레벨로부터, n 정합 조건에 대응하는 방전 레벨과 $n-1$ 정합 조건에 대응하는 방전 레벨 사이의 값을 가지는 기준 레벨로의 변화를 시작하는 기준 신호를 발생시키는 단계와; 차동 증폭기를, 입력 신호를 기준 신호와 비교하여 정합 조건의 수가 n 보다 작은지 또는 n 인지 또는 n 을 초과하는지의 표시를 얻기 위하여 활성 상태로 만드는 단계를 포함하여 구성된다.

본 발명은, 다중 히트 라인과 기준 라인을 드라이브하는 장치를 포화 모드로 동작시키기 위한 종래의 다른 요건들이 필요하지 않으며, 이에 따라 전체 회로에서 전력 소모를 최소화한다.

차동 증폭기는, 전류 검출에 관한 선행기술방법과 반대로, 다중-히트 라인과 기준 라인의 전압간의 차이를 검출한다. 따라서, 회로는 선행기술의 해법에서와 같이, 검출될 신호 레벨의 전압을 높여주기 위한(for boosting) 추가적인 단계 없이 상대적으로 무시할 수 있을 정도의 전류를 소모한다.

실시예

도 3은 본 발명의 하나의 실시예의 일부로서 다중 히트 라인(MHL)과 기준 라인(MHLb)의 구성이 나타나 있다. 다중 히트 라인(MHL)은, 모두 유사한 크기와 동작 특성을 가지는 NMOS 정합 라인 소자(MD1-MD128)를 경유하여 복수(본 실시예에서는 128) 정합 라인에 병렬로 결합된다. 이러한 정합라인 소자(MD1-MD128) 각각은, 그 소스가 VSS에 연결되고 그 드레인이 MHL에 연결되고 그 게이트가 각 정합라인에 연결되도록 셋업(setup)되며, 그에 따라 MHL상의 전압 레벨을 정합라인 소자(MD1-MD128)에 의해 제공되는 다중 풀-다운 통로(pull-down path)에 의해 제어되도록 한다. CAM 셀의 어레이에서 사용되는 정합라인 소자들의 수는 그 어레이내의 CAM 셀의 열의 수(본 실시예에서는 128)와 동일하다. 다음에 각 정합라인은, 히트(또는 정합)와 실패(miss)(또는 부정합)의 발생을 보고하기 위하여 정합라인을 사용하는 CAM 셀의 열에 연결된다.

상기 구성에서, 정합라인(ML1-ML128)의 각각은 그 열의 셀에 관한 정합 또는 부정합 정보를 가지고 있다(carry). 만일 선택된 열의 탐색 데이터와 CAM 셀에 저장된 데이터가 부정합일 경우에는, 대응하는 정합라인은 대응하는 정합라인 감지 증폭기(도시되지 않음)에 의해 VDD(하이)의 프리챠지 상태로부터 VSS(로우)로 폴다운되고, 그 반면에 탐색/저장 데이터 간의 정합은 그 정합라인이 프리챠지 VDD 레벨에 머무르게 될 것이다. 적어도 하나의 정합라인이 하이 레벨(high level)인 한, MHL은 적어도 하나의 정합라인 소자를 통해 VSS로 방전될 것이다. 히트(즉, VDD로 남아있는 것)를 보고하는 정합라인을 하나 이상 가짐으로써 MHL이 VSS로 급속히 방전하게 된다. 만일, 히트를 보고하는 정합라인이 하나도 없는 경우에는, 모든 정합라인들이 로우 상태이고, 정합라인 소자가 하나도 턴 온(turn on) 되지 않기 때문에 MHL이 VDD로 남아 있다. 본 실시예의 목적은 MHL에서 단 하나의 정합이 발생하거나 어떤 정합도 발생하지 않는 다중 히트 조건과 비다중 히트 조건(non-multiple hit condition)을 구별하는 것이다.

본 실시예에서 사용되는 제2 라인은 MHLb로 표시된 기준 라인이다. 이 기준 라인은 정합라인 소자(MD1-MD128)와 동일한 수(본 실시예에서는 128)의 NMOS 더미 소자(DD1-DD128)를 가지며, 그 NMOS 더미 소자는 게이트가 실제 정합라인(ML1-ML128)이 아닌 VSS 라인에 연결되는 것을 제외하고 유사한 병렬 방식으로 연결됨으로써, 각 더미 소자는 부정합 조건을 시뮬레이트한다. 이를 더미 소자(DD1-DD128)는, 이 목적을 위해 정합라인 소자(MD1-MD128)와 유사한 전기적 특성을 가지고도록 선택되고, 그에 따라 소음 저감을 위해 MHL에 존재하듯이 MHLb상에 동일한 기생 정전용량(parasitic capacitance)과 MHLb에의 저항 로딩(resistive loading)을 제공한다. 그 결과로서, 여하한 전압 또는 온도 변이도 MHL과 MHLb 라인 모두에 동일하게 나쁜 영향을 줄 것이며, 이 문제를 다루기(address) 위해 기준 발생기(reference generator) 또는 그와 유사 회로를 사용하는 전압/온도 보상이 필요하지 않다. 게다가, 그 채널 폭이 정합라인 소자(MD1-MD128)중의 어느 하나의 채널 폭의 1배와 2배(본 실시예에서는 3/2배) 사이의 값을 가지는 MHLb에 NMOS 기준 소자(RD)가 있다. 이 기준 소자(RD)의 게이트는, 각각 그의 대응하는 정합라인상의 관련 정합라인 데이터를 감지하고(senses) 래치(latches)하는 정합라인 감지 증폭기(도시되지 않음)를 마찬가지로 활성화하는 정합라인 감지 인에이블 신호(MLSEN)에 연결된다. 정합 데이터는 MLSEN이 VDD로 드라이브된 후 매우 짧은 시간내에 정합라인(ML1-ML128)에 확립된다. 그 다음에, 정합의 경우에는, 그 정합라인 소자(MD1-MD128)의 게이트중 어느 하나가, 기준 소자(RD)의 게이트가 MLSEN에 의해 VDD로 드라이브됨과 거의 동시에 VDD로 드라이브될 것이다. 타이밍 신호(timing signal)(MLSEN)는 MHL과 MHLb 모두가 그들의 전압을 거의 동시에 변화시키기 시작하도록 하기 위하여 사용된다. 이는 일정 전류(constant current)가 계속적으로 소모되는(drawn) 선행 기술과 반대되는 것으로, 전류가 MHL과 MHLb를 통해 제어되고 제한되게 한다.

제1 실시예에서, MHL과 MHLb 모두 도 4에 M1가 M2로 나타낸 두 개의 PMOS 전압 클램핑 소자(clamping devices)를 사용하여 VDD로 클램프된다(clamped). 단일 히트의 경우, MHL은, 짧은 고정(settling) 시간 경과후, MHLb보다 약간 높은 전압 레벨로 히트를 표시하는 정합라인에 의해 폴다운될 것이다. 이는 단일 히트를 표시하는 정합라인 소자가 클램핑 소자(M1)과 동시에 온(on) 되고, 그 때문에 전압 디바이더(divider)를 셋업(set up)시킬 것이라는 사실에 기인한 것이다. 기준 소자(RD)의 폭은 정합라인 소자(MD1-MD128)중 어느 하나의 폭의 3/2배이기 때문에 MHLb는 MHL보다 낮게 드라이브될 것이다. 두 개 또는 그보다 많은 히트(정합)의 경우에는, 그 게이트가 VDD에 있는 정합라인 소자의 결합 폭이 기준

소자(RD)의 것보다 크기 때문에, MHL은, 짧은 고정 시간 경과후에, MHLb의 것보다 낮은 전압레벨에 다다를 것이다. 어레이의 정합이 하나도 없는 경우에는, 모든 정합라인 소자(MD1-MD128)의 게이트는 VSS에 있으며, 따라서 MHLb가 로우(lower) 전압으로 드라이브되는 한편 MHL은 프리챠지된 레벨에 머무를 것이다.

도 4는 본 발명의 제1 실시예로서 도 3에 나타낸 구성과 함께 사용되는 차동 증폭기(DA)와 관련 회로를 나타낸다. 위에 설명한 바와 같이, PMOS 클램핑 소자(M1과 M2)는 MHL과 MHLb를 VDD로 클램핑하기 위해 사용된다. M1과 M2의 게이트는 MHL과 MHLb의 전압 레벨이 VDD-Vtp(PMOS 소자의 임계 전압) 아래로 떨어지자마자 두 소자를 도통하게 (conduct) 하는 VSS에 연결된다. M1과 M2의 소스 단자는 VDD에 연결되고 M2의 드레인(MHLb)에 연결되는 한편, M1의 드레인 단자는 MHL에 연결된다. M1과 M2 크기는 모두 MHL과 MHLb를 VDD로 클램프하기에 충분한 전류를 제공하도록 선택되나, M1과 M2는 MHL과 MHLb가 차동 증폭기(DA)의 일부로서 사용되는 NMOS 제1 및 제2 감지 소자(M3, M4)의 임계 전압인 Vtn보다 낮은 전압 레벨에 도달하지 않게 하는 크기를 가져야 한다. 이 구성에 의해, PMOS 소자(M1 또는 M2)와 적어도 하나의 NMOS 소자(MD1-MD128 또는 RD, 각 DD1-DD128)의 각 조합이, 차동 증폭기(DA)에 의해 검출될 MHL과 MHLb 모두의 각 전압 레벨을 발생시키는 저항성 전압 디바이더(resistive voltage divider)를 제공한다. 이러한 전압 디바이더 구성을 달성하기 위하여, PMOS 소자들은 비교적 작은 크기가 가지며 그 결과 전류 흐름을 감소시킨다. 도 3에 나타낸 M1과 정합라인 소자(MD1-MD128)중 어느 하나의 트랜지스터 크기(채널 폭)의 비율은, 정합이 발생될 때 MHL이 방전될 전압 레벨을 결정한다. 유사하게, M2와 RD의 트랜지스터 크기의 비율은 RD가 턴 온 될 때 MHLb가 도달될 전압 레벨을 결정한다. 이들 비율은 일반적으로 온도 변이의 영향을 받지 않으므로 온도 보상을 위한 특별한 대책이 필요하지 않다.

한쌍의 감지 소자(M3와 M4)와 함께 4개의 래치 트랜지스터 소자(M6-M9)로 된 래칭 회로는 MHL과 MHLb 사이에 나타나는 레벨 차이를 감지하는 래칭 차동 증폭기(DA)를 형성한다. 비활성 페이스와 활성 페이스 사이에 차동 증폭기(DA)를 스위칭하는 활성화 회로가 3개의 활성화 트랜지스터 소자(M5, M10 및 M11)에 의해 형성되며, 그들의 게이트들은 함께 활성화 신호(SHL)에 연결된다. 활성 페이스에서는 SHL이 로우 상태이고, MHL과 MHLb가 감지되는 것과 일치하는 반면, 비활성 페이스에서는 SHL이 로우 상태이고, MHL과 MHLb가 VDD로 프리챠지된다. MHL과 MHLb 사이의 전압 차이가 차동 증폭기(DA)에 의해 검출 가능한 레벨에 도달하도록 하기에 충분한 정도의 특정시간 지연에 의해 MLSEN이 하이(high)로 전환된 다음에, SHL이 하이(high)로 전환된다. 이것은, MHL과 MHLb가 그들 각각의 목표 레벨(target level)로 방전하는 동안 DA가 스펜서리어스(spurious) 전압에 반응하는 것을 피하기 위한 것이다. 활성 페이스 동안에도, 래칭 형(latching type)의 차동 증폭기(DA)는 래칭 회로(M6-M9)의 스위칭 동안에만 전류를 끌어들이며(draw), 그러한 스위칭은 CMOS 래칭 회로(M6-M9)의 정 피드백 연결(positive feedback connections)로 인해 보다 빨리 발생된다는 것을 알 수 있다.

도 4의 회로도 또한 SHL 신호에 반응하여 지연 유닛(delay unit)(DU)에 의해 턴 온 되거나 턴 오프 되는 스위치(SW)를 통하여 LATCH 신호에 의해 드라이브되는 종래의 출력 래치 회로(LC)를 더 포함한다. 지연 유닛은 SHL의 시간 지연 버전(time delayed versions)인 두 개의 제어 신호(SHL_DLY와 SHL_DLYb)를 제공한다. SHL이 낮은 전압 레벨로 갈 때, 하이 전압 레벨(MSHL)이 래치 회로를 인에이블(enable)하는 반면, 스위치(SW)를 통한 래치 회로(LC)로의 통로(path)는 디스에이블된다(disabled).

도 6은 도3과 4의 회로를 결합한 제1 실시예에 의해 수행된 검출 동작의 상대적인 타이밍 시퀀스(relative timing sequence)를 나타낸다. SHL이 VSS에 있는 비활성 페이스 동안, 각각 "out"와 "outb"인 차동 증폭기의 제1 및 제2 출력 노드는 모두, M10과 M11에 의해 VDD로 프리챠지된다. MHL과 MHLb가 모두 충분한 차동 감지 마진(differential sensing margin)을 보장하는 정합라인(ML1-ML128)상의 정합 데이터에 의해 결정된 그들 각각의 전압 레벨에 도달될 때, SHL은, 차동 증폭기(DA)를 활성 페이스로 스위칭하기 위하여 VDD로 드라이브된다. 이러한 미리 정해진 지연 후에, SHL은 VDD로 가고, M5는 그의 게이트가 VDD로 드라이브됨으로써 턴 온 된다. 다중 히트의 경우, MHL은 MHLb보다 낮은 전압에 고정되고(settle), MHLb에 의해 드라이브된 제2 감지 소자(M4)가 강하게 턴 온 되는 반면, MHL에 의해 드라이브되는 제1 감지 소자(M3)는 약하게(slightly) 턴 온 된다. 이로써 서로 직렬로 연결된 M4와 M7을 통해 보다 높은 스위칭 전류가 제공되고, 마찬가지로 서로 직렬로 연결된 M3와 M6를 통해서는 보다 낮은 전류가 제공된다. 두 개의 통로에 이렇게 발생된 차동 전류(resulting differential current)는 신속하게 스위칭, 즉 그들의 4개의 래치 트랜지스터(M6-M9) 사이의 정 피드백(positive feedback)으로 인해 래칭 회로를 플립(flip)한다. 그 결과로서, 제2 출력 노드(outb)가 하이(high)에 머무르는 동안, 제1 출력 노드(out)는 VSS로 드라이브된다. 2 쌍의 출력 버퍼 트랜지스터 소자(M12, M13 및 M14, M15)는, 제1 및 제2 출력 노드(out)와 (outb) 사이에 각각 제1 및 제2 반전 버퍼(inverting buffers)(BUF1과 BUF2)를 구성하고, 다음의 신호 처리에 사용될 제1 및 제2 비교 출력 신호(LATCH와 LATCHb)를 생성한다. 단일 정합하거나 정합이 없는 경우, MHL은 MHLb보다 더 높은 전압레벨이 있어서, 제1 감지 트랜지스터(sensing transistor)(M3)를 제2 감지 트랜지스터(M4) 보다 더 강하게(harder) 턴 온 시킨다. 제1 출력 노드(out)가 하이(high)에 머무르는 동안 제2 출력 노드(outb)가 VSS 아래로 드라이브되어, 차동 전류가 정반대의 방식으로 발생된다. 추가 처리에 대한 정보를 가지

고 있는 제1 출력 신호(LATCH)를 제공하기 위해 제1 출력 노드(out)가 제1 반전 버퍼(BUF1)를 드라이브한다. 활성화 신호(SHL)은 래칭 회로(M6-M9)를 드라이브하기 위해 감지 데이터를 취하는 시간동안(활성 페이스)에만 VDD에 남아있다는 것을 알 수 있다. 제1 출력 노드(out)가 비교적 짧은 시간에 다중 히트의 정보를 제공하기 때문에, M1과 M2를 통한 전류 소모는 마찬가지로 비교적 짧은 시간동안이다. 이것은, 다중 히트 검출 동작의 타이밍을 도시한 도 6에 명백히 나타나 있다. 그 결과로서, 차동 증폭기(DA)를 통해 흐르는 전류는 단지 래칭 회로(M6-M9)의 스위칭 동안에만 존재한다.

도 5는 본 발명의 제2 실시예로서, 도 3에 나타낸 구성과 함께 사용된 차동 증폭기와 관련 회로를 나타내며, 별개의 제1 및 제2 PMOS 프리챠지 소자(M16과 M17)가 각각 클램핑 소자(M1과 M2)에 더하여 설치되어 있다. M3, M4와 M6-M9로 구성되는 차동 증폭기 회로는 도 4에 나타낸 것과 같다. 제1 및 제2 실시예 사이의 또 다른 차이점은 한쌍의 전압 클램핑 소자(M1과 M2)가 인버터(INV)의 출력에 의해 제어되는 그들 각각의 게이트를 가진다는 것이며, 그 인버터의 입력 게이트는 NOR 논리 게이트(NLG)의 출력에 의해 드라이브된다. NLG의 제1 출력은 제1 쌍 버퍼 소자(M12 및 M13)에 의해 형성되는 제1 반전 버퍼(BUF1)에 의해 제공되는 제1 출력 신호(LATCH)에 연결되고, NLG의 제2 출력은 제2 쌍 버퍼 소자(M14 및 M15)에 의해 형성되는 제2 반전 버퍼(BUF2)에 의해 제공되는 제2 출력 신호(LATCHb)에 연결된다. 전압 클램핑 소자(M1과 M2)의 게이트들의 이러한 연결은 차동 증폭기(DA)가 데이터를 래치하고 그 프리챠지 상태로부터 스위칭되자마자 M1과 M2를 턴 오프(turn off) 하기 위한 셀프-타이밍(self-timing)을 제공한다. 이렇게 됨으로써, 감지 인터벌 중의 매우 제한된 시간동안에만 M1과 M2가 턴 온 되기 때문에 전력 소모가 더 감소된다.

도 4에 나타낸 제1 실시예의 회로와의 또 하나의 차이점은, MHL과 MHLb를 프리챠지하기 위하여 클램핑 소자(M1과 M2)를 사용하는 대신, 프리챠지 소자(M16과 M17)가 PREb-MHL 신호를 사용하여 MHL과 MHLb 라인을 프리챠지하기 위하여 사용된다. 그러므로, 도 5에 나타낸 제2 실시예에서, 전압 클램핑 소자(M1과 M2)는, 제1 실시예에서 사용된 것과 같은 프리챠징을 위해 사용되는 것이 아니라, 단지 MHL과 MHLb에 논리 레벨을 제공하기 위하여 사용된다. 만약 M1과 M2가 제1 실시예에서와 같이 프리챠징을 위해 사용된다면, MHL과 MHLb를 어느 하나의 PMOS 트랜지스터를 통해 프리챠징하기 위해 필요한 과도 전류(transient current)는, 제2 실시예에서 M1과 M2가 최소 크기의 트랜지스터일 수 있기 때문에, 이 두 라인들의 전압 레벨을 나타내는데(develop) 필요한 전류보다 클 것이다. 따라서, M1과 M2가 프리챠징을 수행하기 위해 사용된다면, 그들에게 필요한 소자의 크기가 더 크기 때문에, 활성 페이스 동안 MHL과 MHLb의 전압 레벨을 나타낼 때, DC 전류 전력이 더 크게 낭비될 것이다. 이러한 큰 전력 낭비를 해결하기(address) 하기 위하여, 도 5의 제2 실시예는, 더 효율적으로 프리챠징을 수행하기 위하여, 프리챠지 트랜지스터(M16과 M17)를 사용한다.

도 7은 다중 히트의 경우에 도 3과 5의 회로를 결합한 제2 실시예에 의해 수행되는 검출 동작을 나타낸다. 도면에 나타낸 바와 같이, 차동 증폭기(DA)에 의해 MHL과 MHLb 사이의 차이가 검출되자마자 두 라인들이 논리 게이트(NLG)와 인버터(INV)를 통한 두개의 증폭기 출력 "out"와 "outb"으로부터 피드백 회로에 의해 VSS로의 방전을 시작한다.

도 8a, 8b 그리고 8c는 도 5에서 제2 실시예에 대하여 설명된 회로망에서의 탐색/비교 동작의 세가지 가능한 결과를 나타낸다. 도 8a는, 탐색/비교 동작이 CAM의 특정 열내의 탐색 데이터와 저장 데이터 사이의 히트(또는 정합)가 하나보다 많음에 따른 다중 히트의 경우를 나타낸다. 동시에 턴 온 되는 ML1-ML128(도 3에 도시됨)로부터의 다중 정합라인 소자의 조합된 폴-다운 동작 때문에, 상술한 바와 같이, 짧은 시간 후에, MHL의 전압 레벨이 대체적으로 MHLb의 것보다 낮게 감소함을 알 수 있다. 다중 히트에 대응하는 이러한 정합라인 소자들은 기준 소자(RD)의 폭보다 더 큰 조합폭(combined width)을 가지며, 이에 따라 MHL을 MHLb의 것보다 낮은 전압 레벨로 끌어당긴다(pull). MHL과 MHLb 사이의 전압 차이의 검출은, 일단 두 개의 라인들이 감지 소자(M3와 M4)에 의해 감지될 전압에 있어 충분히 차이가 나면 일어난다. 그 후 곧바로, 제2 출력 노드(outb)는 상술한 바와 같은 차동 증폭기로부터 하나의 대응하는 신호를 얻고, MHL과 MHLb가 모두 VSS로 방전되며, 그 다음에 MHL과 MHLb가 다음 활성 페이스 동안의 다음 감지 동작을 위한 준비로 한 번 더 프리챠징된다. 유사하게, 도 8b에, 단일 히트의 경우가 나타나 있다. 관련 정합라인상의 히트를 경험하는 단일 정합라인 트랜지스터가 기준 트랜지스터(RD)보다 작은 폭을 가지기 때문에, 결과는 도 8a에 나타낸 것과 정반대로서, MHLb는 MHL보다 더 낮은 전압 레벨로 끌어내려진 것을 알 수 있다. 최종적으로, 도 8c에 노 히트(no hits)의 경우가 나타나 있다. 도 3의 정합라인 소자중 어느 하나도 인에이블되지 않기 때문에 MHL은 프리챠지 상태로 남아 있다.

본 발명의 기술분야의 사람들은 단일 히트(a single hit)와 노 히트(no hit)를 검출하기 위하여, 감지 증폭기 비교는 없이, MHL_1 내지 MHL_128과 유사한 한 세트의 단일 히트 감지 라인(HIT_1 내지 HIT_128)(도시되지 않음)이 있음을 알 수 있을 것이다. 라인(HIT_1 내지 HIT_28)은 적어도 하나의 정합이 있는지의 여부를 검출한다. 단일, 다중 또는 0개의 히트가 발생되었는지를 결정하기 위하여, 단일 히트 라인들과 다중 히트 라인들(MHL)로부터 출력을 처리하도록 단일 논리(simple logic)가 이어서 실행된다(complemented).

추가적인 논리 회로망에 의해, 4개의 어레이 각각으로부터의 HIT_128b 라인의 출력도 또한 다중 정합을 표시하기 위하여 조합될 수 있다. 예를 들어, 만약 어레이에 단일 히트가 있고 또 다른 어레이에 단일 히트가 있다면, 각 어레이의 각 HIT_128b 라인은 동작되나(asserted), 대응하는 MHL_128 라인은 그렇지 않을 것이다. 단일 2진 논리 회로망(simple binary logic circuitry)이, 사실상 다중 히트가 있음을 결정할 수 있다.

특히 청구범위에 정의된 본 발명의 정신과 범위를 벗어나지 않고도 상술한 본 발명의 특정 실시예에 대하여 수많은 변형과 개조가 만들어질 수 있음을 물론이다. 상술한 실시예가 특히 다중 히트의 검출을 필요로 하는 고밀도 CAM 어레이에 관한 것이므로, 본 발명은 프리-셋 기준이 없는(no pre-set reference) 시간 변이 전압 레벨을 가지는 데이터 라인의 검출에도 적용될 수 있다.

도면의 간단한 설명

본 발명의 예로서의 실시예를 도면 전체에 걸쳐 동일한 도면부호가 유사부분을 나타내는 첨부도면을 참조하여 상세히 설명하고자 하는 바,

도 1은 다중레벨을 감지하는 종래의 감지 증폭기를 나타내고,

도 2a, 2b 및 2c는 CAM내의 다중 주소 정합을 검출하는 선행기술 장치를 보여주며,

도 3은 본 발명의 하나의 실시예의 일부로서, 감지될 다중-히트-라인과 기준 다중-히트-라인의 구성을 나타낸 개략도이고,

도 4는 본 발명의 제1 실시예에 있어서, 도 3에 나타낸 구조에 사용되는 차동 증폭기와 관련 회로를 나타낸 개략도이며,

도 5는 본 발명의 제2 실시예에 있어서, 도 3에 나타낸 구조에 사용되는 차동 증폭기와 관련 회로를 나타낸 개략도이고,

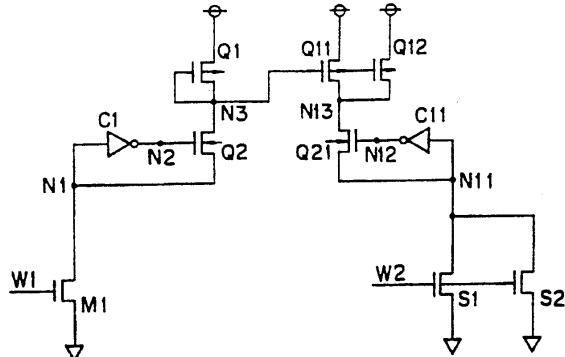
도 6은 제1 실시예에 의해 수행된 다중 정합 검출 동작의 타이밍도(timing diagram)이며,

도 7은 제2 실시예에 의해 수행된 다중 정합 검출 동작의 타이밍도이고,

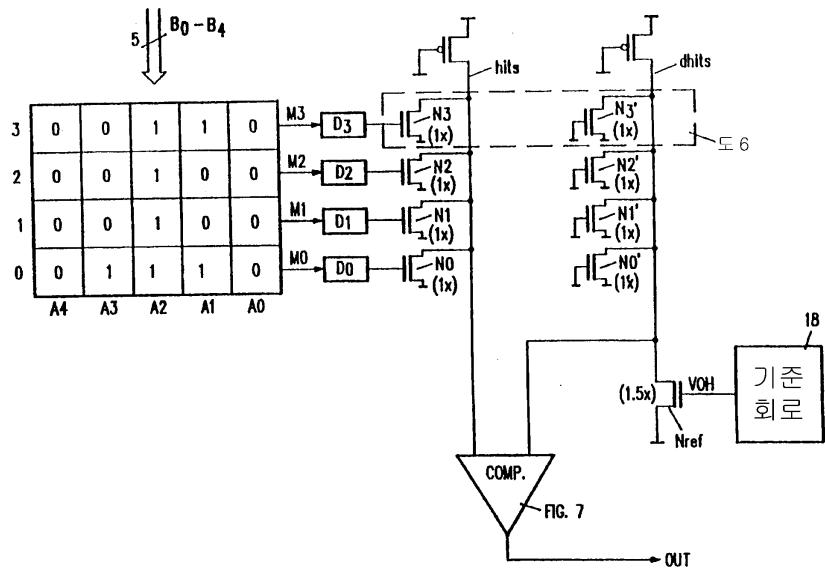
도 8a, 8b 및 8c는 제2 실시예에서 각각 다중, 단일 및 노히트(no hit)의 3가지 경우를 나타낸 타이밍도이다.

도면

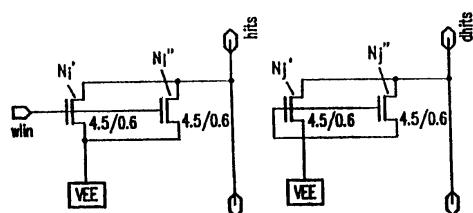
도면1



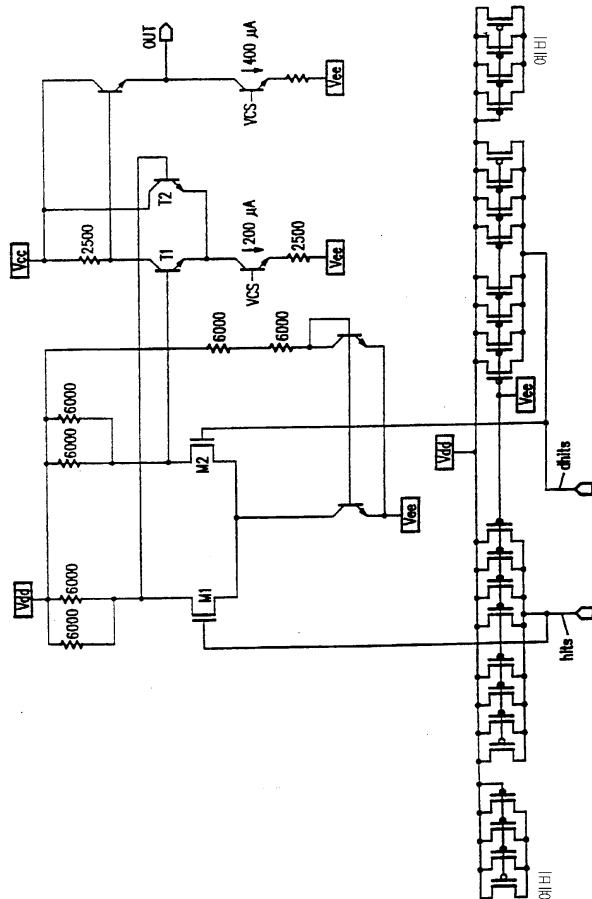
도면2a



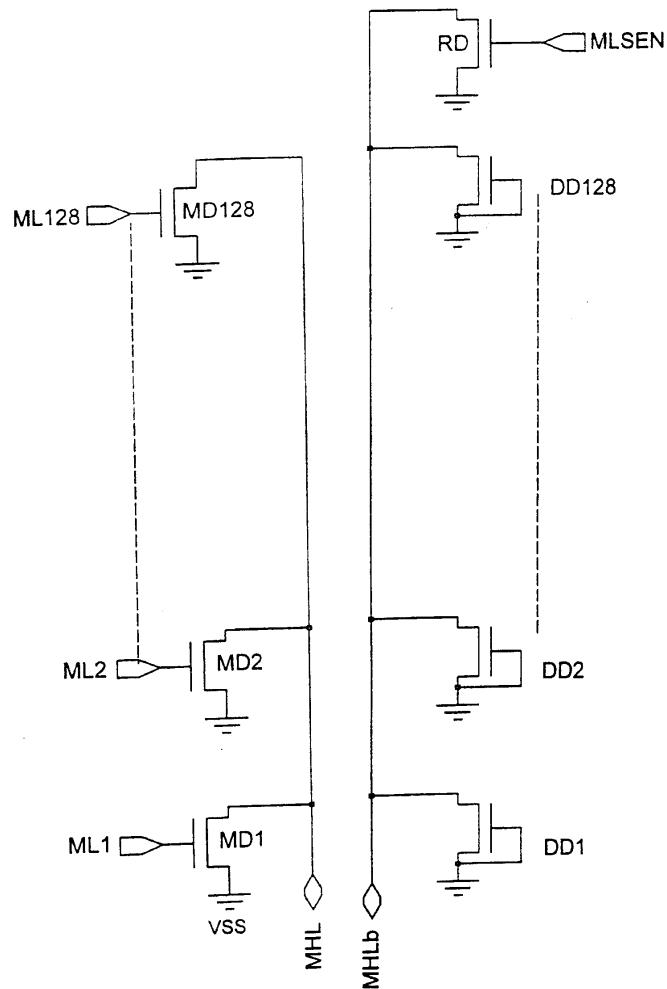
도면2b



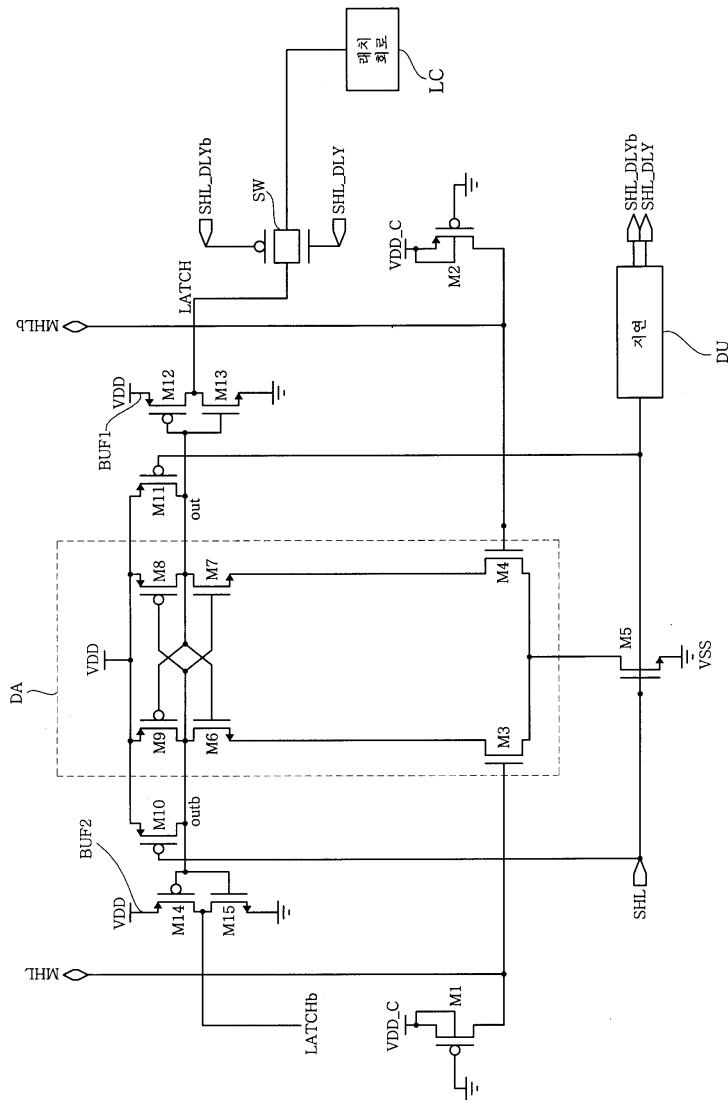
도면2c



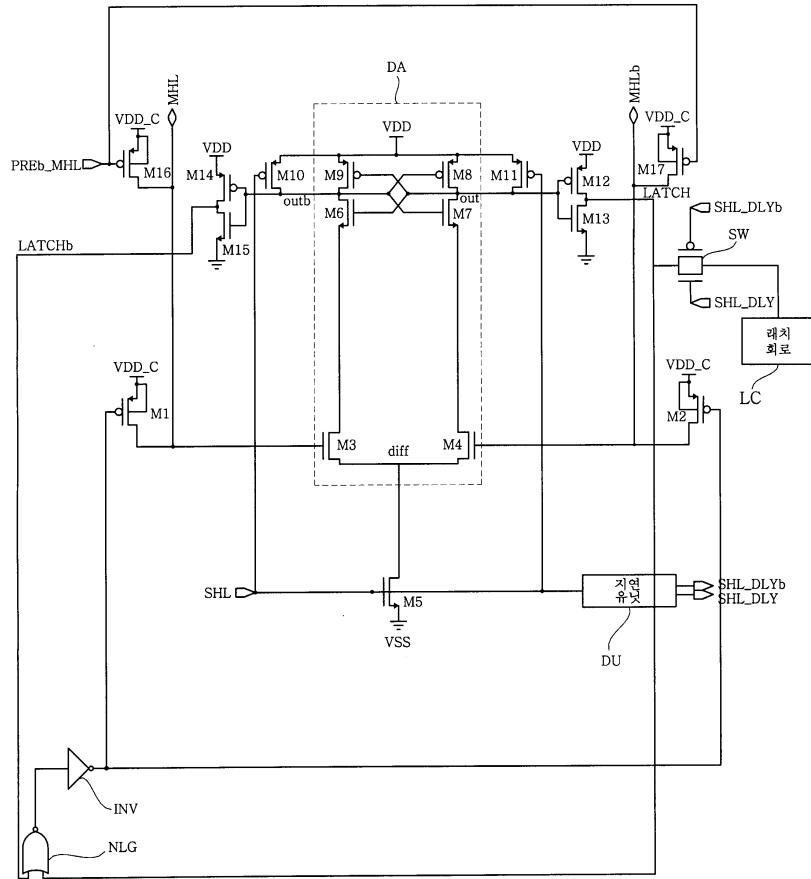
도면3



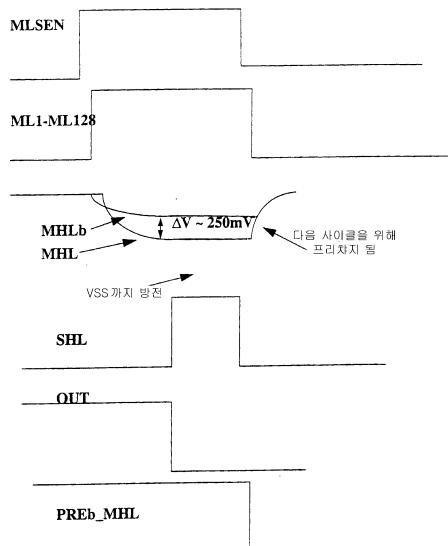
도면4



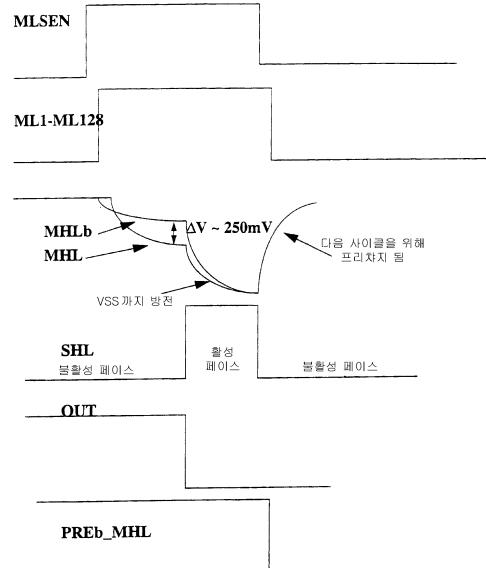
도면5



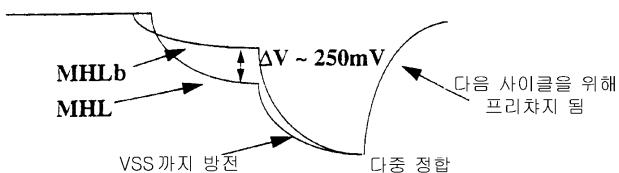
도면6



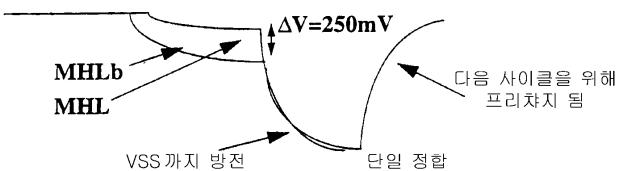
도면7



도면8a



도면8b



도면8c

