

申請日期	85.06.13
案 號	85107117
類 別	H01L 21/26, 23/522

(以上各欄由本局填註)

318269

A4
C4



發明專利說明書

一、發明名稱	中 文	在給定之堆疊位準具有電絕緣及電連結之區域的堆疊電氣裝置及其相關之製造方法
	英 文	"A STACKED ELECTRICAL DEVICE HAVING REGIONS OF ELECTRICAL ISOLATION AND ELECTRICAL CONNECTION ON A GIVEN STACK LEVEL, AND RELATED METHODS FOR ITS MANUFACTURE"
二、發明人	姓 名	1. 約翰·肯尼斯·德伯斯 2. 約翰·艾德華·柯茵 3. 黃慶
	國 籍	1. 2. 美國 3. 香港
	住、居所	1. 美國維蒙特州伯林頓市豪街59號 2. 美國維蒙特州米頓市3254郵政信箱RD#3 3. 美國維蒙特州諾華克市貝福街11號
三、申請人	姓 名 (名稱)	美商萬國商業機器公司
	國 籍	美國
	住、居所 (事務所)	美國紐約州阿蒙市
	代 表 人 姓 名	費羅普

裝

訂

線

318269

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權
美 1995.10.6 08/540 387

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

技術領域

本發明概略關係於半導體裝置，更明確地說，本發明關係於需要彼此接近而在電氣上絕緣及在電氣上接觸之獨立區域的高積體化多層裝置。

背景

半導體裝置的積體密度在短時期內四倍增。此種極佳的技術是根據嚴格的製造基礎規則使裝置的尺寸小型化而達成的。一典型裝置上或其內的諸如電氣接線柱、絕緣槽、及連線圖案等共通機能常得放得彼此很靠近。

導電元件極度的靠近在該等元件被設計成應彼此絕緣時會造成嚴重的問題。不慎的接觸可能導致電氣短路及半導體裝置的故障。在多層裝置中，每一層包含有各種導電元件，其內之上述問題特別棘手。譬如在一給定裝置中，在一較低層上的一些導電元件被設計成接觸一鄰接較高層上的導電元件，而其他較低層導電元件則執行不同的機能且須得與恰位於其正上方之上層元件維持絕緣。但在備置該裝置時，傳統的圖案排列及蝕刻步驟(例如方向性反應離子蝕刻 reactive ion etching RIE)會無法辨別被設計成要彼此接觸的元件和須藉中介絕緣層而分隔的元件。當然，可以採用各種遮罩步驟以防止某一導電元件被不利地曝露於另一元件處。但增加遮罩及圖案安排步驟的數目常提高整體裝置製造程序的複雜性。此進一步會降低製造生產力並提高整體成本。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(2)

易受此問題影響的一種半導體結構例子是動態隨機存取記憶體(DRAM)裝置。高密度DRAM常採用可提供大量儲存能力的堆疊電容器(stacked capacitor STC)儲存格。採用某種形式的STC技術之DRAM裝置說明見於第5,196,910號及第5,140,389號美國專利中，及由Y. Kawamoto等人在1990年VLSI技術研討會第13-14頁中所提，名為"A 1.28 μm^2 Bit-Line Shielded Memory Cell Technology for 64Mb DRAMs"的文獻中。隨機存取記憶體所採用的STC儲存格之一般設計和功能已在本技術領域中為人熟知。這些儲存格是高速低功率64百萬位元級DRAM設計中的關鍵元件。

上述的Kawamoto文獻描述一種"位元線被屏蔽"的STC儲存格，其中儲存電容器-一圓柱狀節點或"烟囱"-形成於一位元線上。儲存格亦包括諸如一字組線之其他必要的功能性端子供記憶用。該文獻亦包括對一種製造該儲存格之方法的描述。

圖1中顯示一種典型的STC儲存格。此圖中的許多特點類似於Kawamoto文獻中所述裝置者，但此種STC儲存格採用一位元線接線柱及一電容器接線柱。接線柱的使用可造成更緻密更積體化的記憶單元。此種記憶單元常會傾向於有較低的位元線和字組線電容，而此低電容常是非常好的特性。而且，形成一接線柱結構型記憶單元之整體程序採用更平面化的中間(即，如形成的)表面，反之，Kawamoto文獻中所述記憶單元型態則包含較不平面化的中間表面，亦即較不一致。較大的平坦性使印刷工具在照相製版步驟期

五、發明說明(3)

間更容易對焦。

形成此種記憶單元的大部份技術將在本發明說明中參照根據本發明之圖3-6進一步敘述。參考圖1，此型記憶單元一般被設置在矽基底10上，其上有淺的槽氧化物(STI)區域12A與12B形成。雜質擴散區域14A與14B鄰接於STI區域。

一蝕刻停止層16一般形成於STI區域的上方，然後有絕緣區域18加諸層16上方。字組線20(其形成將於下文中描述)被隔絕蓋層26、及蓋層分隔器27A與27B包圍。位元線接線柱22與電容器接線柱24位於區域18內，且被氧化物層28及絕緣區域18的一部份30分離。該二接線柱均由導電材料製成。接線柱差異層34被沈澱或形成於絕緣區域18暴露表面的一部份上。位元線36可依下文所述方式形成，並接觸位元線接線柱22上表面的一部份。位元線一般被一絕緣位元線蓋層38覆蓋。

儲存電容器節點40與42構成STC內的主要儲存元件。其可藉諸如Kawamoto文獻中所述技術等各種技術備置。該等節點本身一般由類如多晶矽等材料形成而由一節點介電層48包圍。一導電"板"或層50覆蓋各個節點。

在像此種裝置的高度積體化裝置中，導電元件彼此會非常靠近，但執行極不同的功能，且可能實際上各自獨立連接至相同裝置的非常不同的部份，或連接至一積體電路內其他不同的裝置。故雖然諸元件靠得很近，二元件間的電氣接觸有時須予防止，以便進一步防止短路及裝置故障。

以一特別範例來說，類似圖1所示的STC記憶單元需要儲

五、發明說明(4)

存節點 42 與電容器接線柱 24 之間的接觸以便正常作業。但同時，此類記憶單元需要儲存節點 40 與位元線接線柱 22 分離 - 亦即在電氣上絕緣。(節點 40 可在電氣上連接至記憶單元內一完全不同的機能或連接至一不同的裝置)。

使一高度積體化 STC 記憶單元內的鄰近導體在電氣上彼此絕緣是非常困難的工作，其原因在於製造此記憶單元所需之步驟。在圖 1 之範例中，字組線 20、蓋層 26、及接線柱 22 和 24 各在絕緣區域 18 內藉獨立傳統步驟形成。諸接線柱大致共平面。所有這些機能所需之開口的形成一般是靠施加一適當的光阻層(未顯示)，然後安排光阻劑圖樣以界定開口大小而備置。

經界定之區域使用諸如反應離子蝕刻 (reactive ion etching RIE) 技術做方向性蝕刻。同類程序被用以形成位元線 36。位元線 36 靠接線柱差異層 34 與電容器接線柱 24 隔絕，接線柱差異層 34 初始為絕緣區域 18 上方的一連續層。位元線 36 靠分隔器 37A、37B 及蓋氧化層 38 與後續形成之儲存電容器節點 40 及 42 隔絕。儲存節點一般同時經由諸如 Kawamoto 文獻所說明之技術形成。如接線柱的情況一般，形成依期望大小和期望位置的節點一般需要在適當位置精確安排光阻劑圖樣，接著再蝕刻經界定的圖樣。

但節點形成所涉及的步驟可能造成節點 40 與位元線接線柱 22 之間不利的重疊。當接線柱差異層 34 首先被蝕刻以容許位元線 36 接觸到位元線接線柱 22 但未接觸電容器接線柱 24 時，對齊可能不太確實。此造成接線柱 22 上表面的一部

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(5)

份被暴露，進而造成後續中節點40與位元線接線柱22間不利的接觸(見區域32)。如上文所述，此接觸即使只有一點點也會造成電氣短路。

若使用現行照相製版投影技術來界定許多個靠近而分隔機能元件，則消除重疊問題大概是不可能的，因為這些技術在對齊-基底上一圖樣與一給定的遮罩方面需要某程度的最低容許誤差。事實上，極度強調高密度積體化使重疊問題益形嚴重。

圖2是在執行各種順序照相製版投影階段時，STC儲存格之平面表面上(及儲存格本身)各種區域間潛在可能的不利重疊的簡化圖示。該圖為一從結構頂部看去的平面圖，且包括電容器接線柱52、位元線接線柱53、第一位元線54、第二位元線55、字組線56、第一電容節點57、及第二電容器節點58之相對位置。簡言之，無法確保投影期間完美的對齊會造成被界定然後蝕刻之諸區域間不利的重疊。此種重疊的一範例說明區域標示為區域59。

處理上述重疊及不良後果的一種技術包括在形成電容器節點之前使用額外遮罩以特別施加並安排圖樣於位元線接線柱22的頂部表面(圖1)。但如上文所述，使用額外遮罩一般會增加製造程序的複雜度與成本。事實上，為此目的使用遮罩反而實際上不可能，因為半導體結構的尺寸被大幅縮減。

所以很清楚的是存在一種需求，要有一種方法能有效地隔絕正好彼此位置非常接近且由標準的圖樣安排及蝕刻技

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(6)

術形成的導體。

該種方法應可應用於諸如堆疊電容等極高度積體化多階層裝置而不降低該裝置的密度或超越照相製版能力的界限。

此外，由此種方法備置的裝置應保持其效能能力。例如在STC記憶單元情況下，應維持一大儲存容量。

發明揭示

上述的需要靠一種改良型半導體結構之發現而獲得滿足，該種改良型半導體結構包括：

(a)設置在一絕緣區域內且具有一上表面和一下表面的第一下側導體；

(b)設置在該絕緣區域內，與該第一下側導體在電氣上絕緣且有一上表面和一下表面的第二下側導體；

(c)設置在該第一下側導體的至少一部份之上方且與之在電氣上絕緣的第一上側導體；及

(d)設置在該第二下側導體之上表面的至少一部份之上方且與之在電氣上絕緣的第二上側導體。

在此裝置內，第一下側導體之上表面上有一本身與第一上側導體對齊之凹陷。該凹陷至少一部份填以絕緣體，藉此將第一下側導體與第一上側導體在電氣上絕緣。

根據此種結構的一種範例性裝置是堆疊電容器記憶單元，其中上側導體為儲存電容器節點，下側導體之一為一位元線接線柱，且另一下側導體為一電容器接線柱。本發

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(7)

明獨特的特點使電容器接線柱和疊於其上之儲存節點間能有適當的電氣接觸，同時能防止位元線接線柱和其他儲存節點間有電氣接觸。

本發明的另一層面是根據一種在有一第二下側導體及一第二上側導體存在時，將一設置在一絕緣區域內之第一下側導體與設置在該第一下側導體的至少一部份上方之第一上側導體做電氣絕緣的改良式方法。

此方法在涉及形成被設計成彼此極度靠近但在電氣上彼此絕緣之元件的多重照相製版與蝕刻步驟之製造程序方面特別有用。如下文中所述者，本方法包括形成一自我對齊的凹陷於下側導體中的一個的上表面內，接著用氧化物材料填入該凹陷的至少一部份。

本發明的其他細節及特點可藉下文中參照諸附圖的較佳具體實例敘述而更清楚。

圖式簡述

圖1是假設未採取措施以防止位元線接線柱與儲存電容器節點間之重疊時，堆疊電容器記憶單元之橫截面圖。

圖2是一示意平面圖，該圖顯示在一堆疊電容器儲存格內有可能造成位元線接線柱與儲存電容器節點間重疊之區域。

圖3顯示根據本發明之堆疊電容器記憶單元在備置的初步準備階段狀況。

圖4顯示根據本發明之圖3的堆疊電容器記憶單元在後續

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(8)

備置階段的狀況。

圖5顯示根據本發明之完整的堆疊電容器記憶單元。

圖6顯示根據本發明之堆疊電容器記憶單元的另一種具體實例。

實施本發明之最佳模式

上文中已討論過圖1與圖2。圖3是一橫截面圖，該圖顯示一根據本發明之STC記憶單元在其初始狀況。除特別註明者以外，幾乎所有該圖所示的部件在形式上與功能上均可相同於圖1中的類似部件。一般而言，STC的備置可藉傳統技術實施。淺槽隔絕(Shallow trench isolation STI)區域62A與62B可藉首先在基底60(本身經常是矽材料)內期望區域中蝕刻溝槽而備置。然後該等溝槽可填以諸如CVD沈澱矽氧化物等氧化物材料並磨平至表面。

有關STI詳細的資訊可在本技術領域中輕易獲得，譬如請參閱B. Davari等人在1988年IEDM 88Technical Digest, Cat. No. 88CH2528-8, 92-95頁中的文獻。但本技術領域中的一般技術者即可了解其他傳統絕緣方式亦可能用以備置STC。LOCOS絕緣即為此種替代方案中的一個例子。

其次藉熱氧化基底而形成開氧化物層63。此氧化物層的厚度一般在約50埃(Å)到約200埃(Å)的範圍內。

在開氧化物形成之後，接著形成字組線70。字組線常由多晶矽構成，但亦可用其他材料製成，例如像鎢及鉬等耐火金屬，或耐火金屬與任何傳統材料之合金，如鉬、鈮或

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(9)

鎢的二矽化物。其可藉諸如化學蒸著(chemical vapor deposition CVD)、低溫CVD、電漿加強CVD(PECVD)、氣化等任何傳統技術形成。字組線亦可稱為"開電極導體"，因為其如下文所述之電晶體內的功能。

在字組線70形成之後，即形成絕緣蓋層76。此層有利地沈澱(例如用CVD)成為一毯狀材料於所有暴露表面上方，然後加以遮罩並蝕刻成適當的形狀。諸如藉RIE做方向性蝕刻留下蓋層分隔器77A與77B。如此，由蓋層與分隔器形成之連續層的作用可將字組線與結構中諸如下文所述之接線柱等其他導電區域隔絕。

其次形成擴散區域64A與64B。這些區域常做為傳統金屬氧化物半導體場效電晶體(MOSFET)之源極和汲極部份，而字組線70當做閘極。形成擴散區域的技術在本技術領域中為眾所週知。一般而言，一適當的摻雜物被植入基底中將要變為擴散區域的部份。摻雜物之選用當然得視所形成裝置的特定種類而定。譬如，若要p通道型FET裝置，則一般使用硼當做摻雜物。若要n通道型FET裝置，則摻雜物常為砷或磷。

植入摻雜物之方法在本技術領域中為眾所熟知，且描述於例如下列參考文獻中：McGraw-Hill於1979年出版J. Millman所著 Microelectronics，McGraw-Hill於1978年出版E. S. Yang所著 Fundamentals of Semiconductor Devices，及McGraw-Hill於1988年出版S.M. Sze編著之 VLSI Technology。實際植入時一般採用離子植入機。一般使用諸如氮等惰性載體氣體帶入諸如乙硼烷、

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (10)

磷化氫或砷化氫等雜質源。

接著施加鈍化層 66。此層宜為一諸如氮化矽的氮化物材料，且相當薄，譬如約 50 埃到約 1000 埃。該鈍化層防止離子性材料進入 STI 氧化物區域。該層亦當做一蝕刻停止層。諸如 CVD 或低溫 CVD 等普通方法可用以施加該鈍化層。

圖 3 中所示絕緣區域 68 亦可藉傳統技術沈澱。例如像等氧化物或反應先質可藉 CVD 或低溫 CVD 沈澱。在被沈澱之後，絕緣區域 68 常被諸如下列各美國專利中所述之化學-機械磨光 (chemical-mechanical polishing CMP) 法磨平；第 5,292,689；5,234,868；4,944,836；及 4,910,155 號美國專利，該等專利均附於此供卓參。區域 68 在磨平時一般的厚度為約 3000 埃到 15000 埃，但此厚度部份視 STC 記憶單元之設計尺寸而定。

然後製造位元線接線柱 72 與電容器接線柱 74。基於製程效率，該二接線柱一般是在相同的步驟期間形成。一般而言，一遮罩 (未顯示) 被用以界定穿過絕緣區域 68 之適當通道，接著用傳統蝕刻程序將該通道帶往鈍化層 66 的深度。在移除遮罩後，一導電材料被沈澱以同時填入該等通道。該導體常為經摻雜的多晶矽等材料，或耐火金屬，或諸如鉬、鎢、鉑、二矽化鉬、或二矽化鈦等金屬合金。

用來備置像金屬接線柱等元件之金屬化技術在本技術領域中為眾所週知，且描述於 McGraw-Hill 出版公司於 1988 年出版的 S.M. Sze 所著 VLSI Technology 第 2 版中。(此參考書籍的第 9 章特別相關於此題目，但 Sze 的整本書內容均有其相關重要

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (11)

性，故在此附上供卓參。)金屬沈澱可藉像如CVD、濺著、蒸著等上述已知技術完成。精於半導體製程者可不必太費神即可決定沈澱的特殊設備及製程參數選擇(包括多晶矽接線柱之沈澱)。

諸接線柱的特定尺寸視許多因素而定，例如被製造的特定STC記憶單元大小。一般而言，各接線柱約為被製造的記憶單元陣列特定產生的最小元件尺寸。若一接線柱太過高，則電容會太大，而一太過短的接線柱則會造成電容不足。以一非限制性例子來說，一256百萬位元DRAM的一個STC記憶單元之接線柱高度一般在約3000埃到約10,000埃範圍內，而其寬度一般在約2000埃到約4000埃範圍內。接線柱72與74的上表面一般被如上述CMP技術磨平。

圖3之接線柱差異層84接著被施加於接線柱與絕緣區域68被暴露的表面上方，然後用一接線柱差異遮罩(未顯示)排列圖樣。在排列圖樣時，此層確保位元線(在下文中描述)接觸位元線接線柱72，但不接觸電容器接線柱74。接線柱差異層84應該厚得足以減少電容器接線柱之寄生電容。但薄得足以使蝕刻容易。層84之厚度亦應小於下文所述蓋氧化物層88之厚度，以防止分隔器89A在下文所述的凹陷蝕刻步驟期間被"拉下"，從而暴露位元線。接線柱差異層之厚度一般對上述DRAM大小而言為約200埃到約1000埃。

層84一般由二氧化矽形成，但其亦可由諸如氮化矽、或氧化矽與氮化矽之混合物等各種其他材料形成。該層可藉

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (12)

諸如某種CVD形式等慣用技術沈澱。

其次形成圖3之位元線86。一大致導電材料被用以形成位元線。該等材料的範例包括諸如鎢等耐火金屬或耐火金屬與矽化物之混合物。位元線一般藉由CVD技術一致地沈澱，其中有一再生區材料沈澱在整個表面上，然後再安排圖樣並蝕刻成期望的尺寸。STC記憶單元內位元線之機能在本技術領域中為眾所熟知。

蓋氧化物層88之形成亦可在開始時藉諸如CVD等方法沈澱一毯狀順合層，然後規劃圖樣並蝕刻到適當的尺寸。當毯狀蓋氧化物層物質被蝕刻時，分隔器89A與89B在大致垂直於基底表面方向形成。蓋氧化物層將位元線86與將在後續中建構於位元線上方之儲存電容器節點隔絕。其一般由二氧化矽做成，但亦可採用其他絕緣材料或各種材料的組合體。

在規劃位元線86與蓋氧化物層88之圖樣期間，有意地形成位元線接線柱凹陷94。圖4中所示的接線柱凹陷在一後續步驟中填入氧化物。有一凹陷是本發明的關鍵性觀點。精於本技術領域者瞭解有各種不同方法可用來形成凹陷，且選用某一種技術也非緊要。舉例來說，該凹陷(或"溝槽")可在移除被用以蝕刻位元線86及蓋氧化物層88之罩蓋(未顯示)之前形成。用針對形成位元線接線柱72之材料(例如上述的耐火金屬或經摻雜的多晶矽)選擇的蝕刻劑做過度蝕刻將產生該凹陷。

凹陷的深度(圖4中的"Y")須大於接線柱差異層84的厚度

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (13)

(圖4中的"X")。此可確保當層84與下文所述位元線分隔器層在後續中除去時，會有一保護絕緣層維持在凹陷內。此絕緣層防止位元線接線柱與覆蓋於其上之儲存電容器節點在後續製造步驟期間發生不好的接觸。在較佳具體實例中，凹陷的深度較層84之厚度至少大100%。

在位元線接線柱凹陷94形成之後，位元線/蓋氧化物單蓋被移除，且一位元線分隔器層90被施加於所有被暴露的區域上，例如在接線柱差異層84與蓋氧化物層88上。分隔器層90一般由氧化物材料構成，且可用類如CVD等傳統方法沈澱。該層一般相當薄，例如對在前文所述之範例性DRAM大小而言，其厚度約為200埃到約1500埃。

然後，利用一諸如RIE等適當技術將位元線分隔器層90做方向性(即垂直於基底表面)蝕刻。留下來的分隔器層90之部份有兩項功能。首先，它保護位元線86之側面。其次，它填滿(或部份填入)凹陷94，從而如上文所述般隔絕位於其下方的位元線接線柱與位於其上方的儲存電容器節點。所以不必使用一單獨的單蓋來在節點形成期間保護接線柱。依類似的方式，接線柱差異層84亦藉方向性蝕刻而移除，藉此暴露電容器接線柱74，但不暴露位元線接線柱72。

在本發明的某些具體實例中，上述某些步驟的替代性順序是較好的。在此情形下，形成凹陷之過度蝕刻步驟後面跟著依上述方式移除接線柱差異層的步驟。位元線分隔器層90接著被沈澱且用方向性蝕刻法移除。在此替代性技術

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (14)

中，剛剛提及的步驟僅涉及移除分隔器層的厚度，而不涉及移除分隔器層及接線柱差異層二者的厚度。藉此可較不必顧慮在凹陷蝕刻步驟期間不慎拉下分隔器89A，並暴露位元線。在本替代性具體實例中亦免除了需要層84之厚度小於蓋氧化物層88之厚度。圖6與下文中伴隨的說明使此具體實例更清楚。

此時，已備置一非常好的中間結構以供進一步建構STC記憶單元。字組線與位元線如位元線接線柱與電容器接線柱般就定位而在各種元件間有適當的隔絕。該結構的表面亦被大致磨平。此外，電容器接線柱被暴露以便最終連結至一覆蓋於其上的儲存節點，而位元線接線柱則被一被填滿或部份填入氧化物的自我對齊的凹陷保護。

現在可形成圖5中所示的儲存電容器節點。請注意電容器節點之設計與形狀對本發明而言並不重要。這些眾所熟知的結構描述於許多種參考資料中，譬如附於本文供卓參之美國第5,140,389號專利。同樣地，形成儲存電容器節點的各種技術亦在本技術領域中為眾所熟知。

圖5顯示一種根據本發明之範例性STC結構(或"陣列")。其包含有2個儲存電容器節點。節點可首先藉諸如CVD等傳統技術沈澱一非常厚的多晶矽材料毯層而形成。然後，該毯層藉蝕刻安排圖樣成2個粗糙的厚片，該等厚片包圍各節點(100, 102)的最終尺寸。然後可執行額外的圖樣安排步驟以便將節點形狀修整成圖5中所示更整齊的尺寸。

然後將一節點介電材料106沈澱在陣列的整個表面上。本

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (15)

技術領域中已知此層材料為儲存電容器的必要元件。其可由許多種材料製成，譬如二氧化矽、氮化矽、諸如氧化鉬等耐火氧化金屬、或複合材料。諸如 CVD、濺著、或藉旋轉技術等慣用技術可被用以施加此層。最佳技術之選擇當然有部份視沈澱材料而定。

某些具體實例之較佳介電材料是氧化矽與氮化矽之複合材料。其可僅藉 CVD 沈澱，例如將二種化合物之先質流經一反應艙室。或者，該層的形成亦可藉 CVD 與諸如氮化物材料(或氮形成材料)之 CVD 的另一程序的結合，連同諸如多晶矽等形成位於下方之電容器節點的材料之熱氧化。此技術為本技術領域中已知者。

沈澱之後，介電層 106 藉標準技術規劃圖樣並蝕刻以大致符合電容器節點 100 與 102 之形狀。依最終界定者，層 106 相當薄，即對上述 DRAM 大小而言約 50 埃到約 500 埃。

然後有一板狀導體平順地沈澱在介電層 106 上以形成層 104，此步驟實際上完成電容器本身的結構。該板可由許多種導電材料製成，諸如耐火金屬或例如 n 型摻雜多晶矽等經摻雜的多晶矽。其可用例如 CVD 等技術沈澱，然後再被規劃圖型以大致順服於位在其下方之介電層 106 的表面。上述 DRAM 大小之該板的厚度一般在約 500 埃到約 3000 埃的範圍內。

應再次強調的是本發明可採用許多其他類型之電容器儲存節點。其中一種型式描述於上文所提 Y. Kawamoto 等人的文獻(1990 VLSI 技術研討會)中，該文獻在此附呈供卓參。

五、發明說明 (16)

製造該種電容器節點之細節不必在此詳述。簡單地顯示者為一包含一位元線、一字組線、及一位於其上之氧化物覆膜的標準電容器結構。(Kawamoto結構中未使用接線柱，因為電容器節點將直接連接至基底內的有作用區域。)

儲存節點之反轉圖樣規劃在旋轉覆膜的聚醯亞胺層內描出。然後有一多晶矽層用諸如CVD方法沈澱在暴露的表面上(Kawamoto文獻中的圖式在本製造程序中具指導作用)。然後，該多晶矽層被使用一結構之溝槽區域內的重新填入之抗蝕覆罩蝕刻去，僅留下聚醯亞胺溝槽圖樣底部及側壁上的多晶矽。接著藉諸如磨光等方法移除抗蝕劑與聚醯亞胺材料，且一諸如氧化鉬等絕緣材料被例如CVD等適當技術沈澱在暴露的表面上。接著有一由諸如鎢等材料形成之導體板施加在絕緣材料上方以完成STC記憶單元結構。

Kawamoto參考文獻中描述之技術的關鍵觀念係使用一種像聚醯亞胺等合成材料當做儲存節點形成之防蝕層。此種抗高溫聚合體可耐得住多晶矽CVD沈澱程序中經歷的熱處理。精於此DRAM製造領域者可了解Kawamoto之材料和處理步驟及情況的許多種變化均為可能而仍可產生一般型式的STC。

亦在本發明範疇內的另一種替代方案涉及使用U形電容器節點結構。換言之，諸如圖5中元件100或102等大致呈矩形的電容器節點可被一包括至少2個"煙囪"或延伸部，該2個"煙囪"或延伸部彼此連接在基礎區域-即一"U"字的水

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (17)

平部份-內。此種節點形狀在某些情況下甚好，譬如需要一相當高儲存容量時。其建構非常類似於使用標準製造技術之上文對圖5的敘述。

節點結構(即如圖5中所示者)形成完成之後，即可形成STC記憶單元的各種其他標準連接。例如，許多連線位階可直接或間接連接至記憶體陣列。精於此技術領域者了解連接至各種週邊結構之特別連接型式當然得視STC記憶單元之特別設計和功能以及整體DRAM之設計而定。

圖6顯示根據本發明之STC記憶單元的一種替代性具體實例。大部份的元件與圖5中者完全相同。換言之，該替代性結構包括基底110、STI區域112A與112B、源極/汲極擴散區域114A/114B、鈍化層116、絕緣區域118、開氧化物層120、字組線122、絕緣蓋層124、位元線接線柱127、電容器接線柱129、絕緣區域118的一部份130、接線柱差異層的一剩餘部份135、位元線136、蓋氧化物層138、分隔器139A與139B、第一儲存電容器節點140、第二儲存電容器節點142、板狀導體144、及節點介電層146。

如前文所述，圖6之STC結構肇因於數個步驟之順序改變。換言之，用來形成位元線接線柱凹陷127A(此時部份或完全填入氧化物或其他絕緣材料)的過度蝕刻步驟後面跟隨著移除接線柱差異層，該接線柱差異層的一部份留下來當做元件135。然後，位元線分隔器層(在圖6中結構完成時大致移除)被沈澱且被方向性蝕刻移除。

圖6結構與圖5結構間的差異並非主要者。位元線分隔器

五、發明說明 (18)

層的一個小肩部 137 位於絕緣區域 118 的一部份上方鄰接於凹陷 127A。而且，位元線蓋 138 較圖 5 中類似元件 - 亦即位元線 88 - 為厚。此外，分隔器 139B 直接接觸電容器接線柱 129 的上表面，而非如圖 5 中所示般終止於剩餘接線柱差異層 135。再次的，雖然此替代性具體實例的主要優點相關於處理程序，亦即對如前述般在凹陷蝕刻步驟期間拉下分隔器 139A (及從而暴露位元線) 有較少的顧慮。位元線接線柱凹陷仍在其位置上，以執行其功能，亦即將位元線接線柱與位於其上之儲存電容器節點 140 隔絕。

很明顯的是本發明之應用不侷限於 STC。故另一觀點朝向一種半導體結構，該半導體結構包括：

- (a) 一第一下側導體，位於一絕緣區域內而有一上表面及一下表面；
- (b) 一第二下側導體，位於該絕緣區域內而在電氣上與第一較低導體隔絕，且有一上表面及一下表面；
- (c) 一第一上側導體，位於第一下側導體之上表面的至少一部份之上且與其電氣絕緣；
- (d) 一第二上側導體，位於第二下側導體之上表面的至少一部份上且與其電氣連接。

由前文所述特定具體實例應可清楚知悉，第一下側導體在其上表面有一自我對齊於第一上側導體之凹陷。該凹陷至少有一部份填以絕緣體，藉此將第一下側導體與第一上側導體電氣絕緣。當諸導體係如上文所述般藉照相製版方式規劃圖樣及蝕刻技術形成時，此種絕緣結構非常有價

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (19)

值。

雖然上文揭櫫本發明之較佳具體實例，請注意可有各種修改。下文中的諸申請專利範圍旨在涵蓋所有這種包含在本發明真實精神與範疇內的修改。

所有上文引用的專利、文獻及文字附於此供卓參。

(請先閱讀背面之注意事項再填寫本頁)

裝

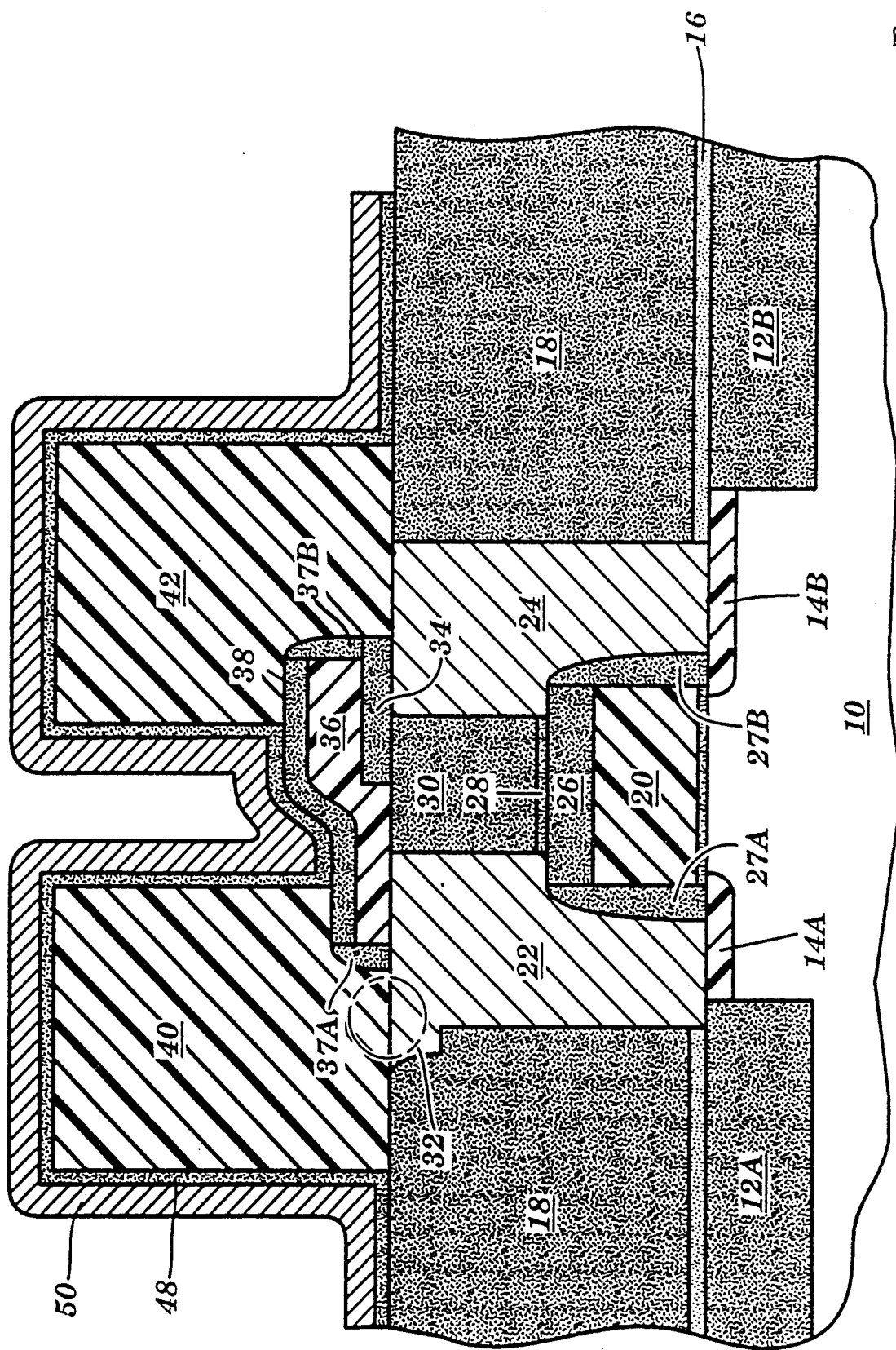
訂

四、中文發明摘要(發明之名稱： 在給定之堆疊位準具有電絕緣及電連結之區域的堆疊電氣裝置及其相關之製造方法)

本發明揭櫫一種用來將彼此重疊的電氣導體絕緣之改良的方法。這些導體一般因為於製造許多個導電元件的有些不精確圖案排列及蝕刻步驟而彼此接觸，例如在非常緻密的半導體結構內。本發明之方法包含在較低側之導體的上表面形成一凹陷，然後用氧化型材料至少部份填滿該凹陷。本方法在建構堆疊電容器單元上面特別有價值。使用此種技術備置的單元亦構成本發明的一部份。

英文發明摘要(發明之名稱： "A STACKED ELECTRICAL DEVICE HAVING REGIONS OF ELECTRICAL ISOLATION AND ELECTRICAL CONNECTION ON A GIVEN STACK LEVEL, AND RELATED METHODS FOR ITS MANUFACTURE")

An improved method for isolating electrical conductors which are positioned over each other is disclosed. These conductors would normally contact each other because of the somewhat imprecise patterning and etching steps used to fabricate a multitude of conductive elements, e.g., in a very dense semiconductor structure. The method involves forming a recess in the upper surface of the lower conductor, and then at least partially filling the recess with an oxide-type material. This method is particularly valuable in the construction of stacked capacitor cells. Cells prepared using this technique also form part of this invention.



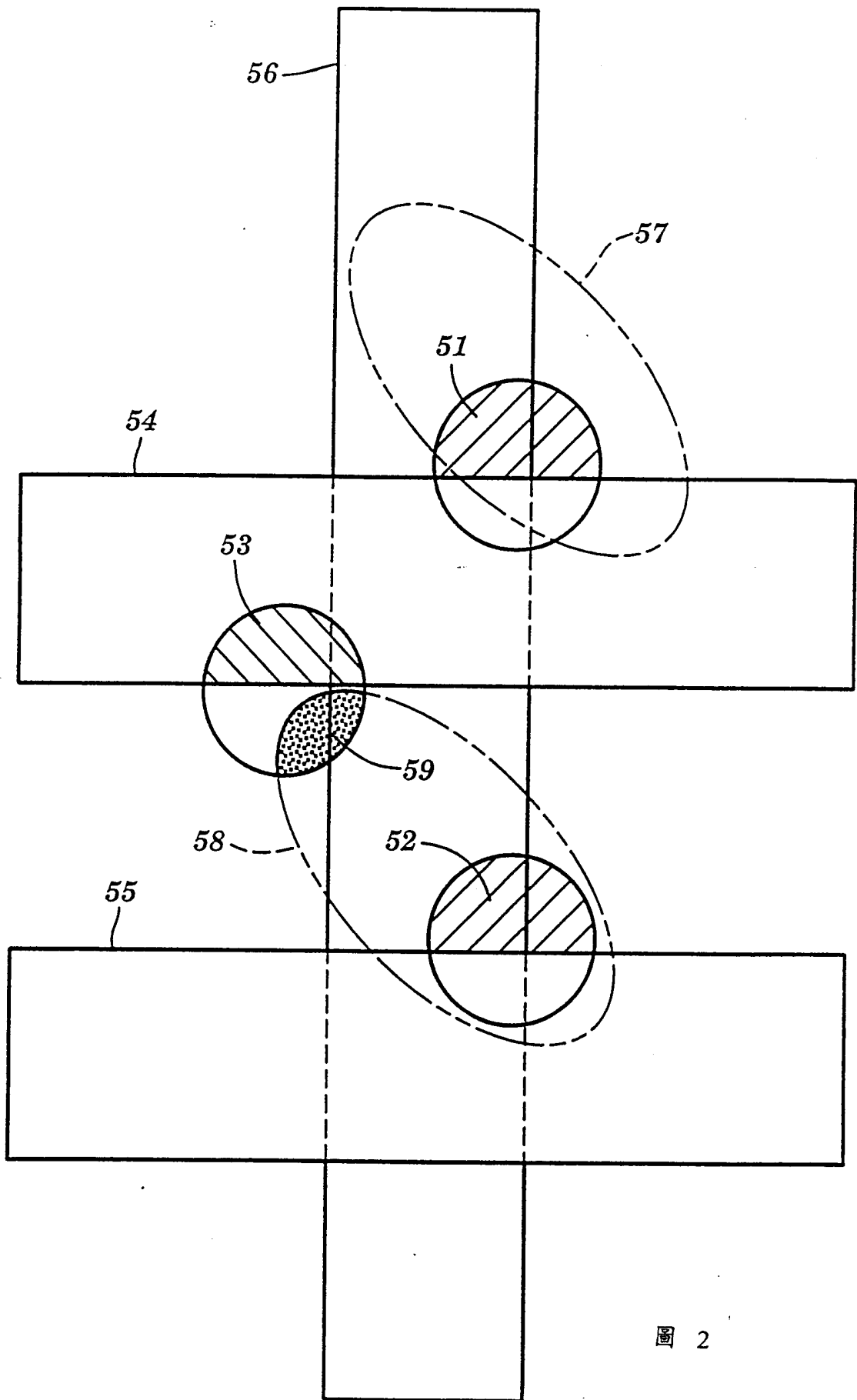


圖 2

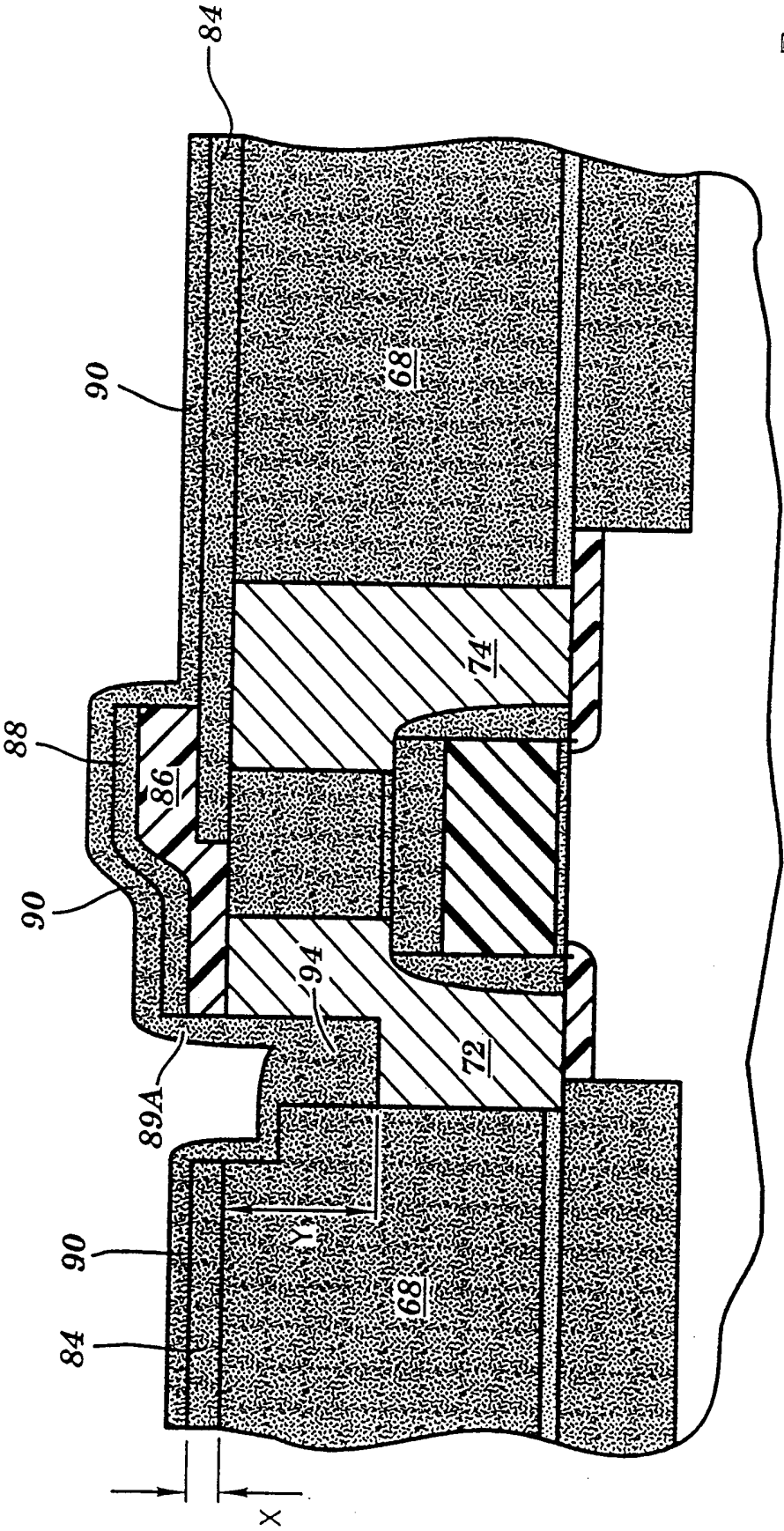
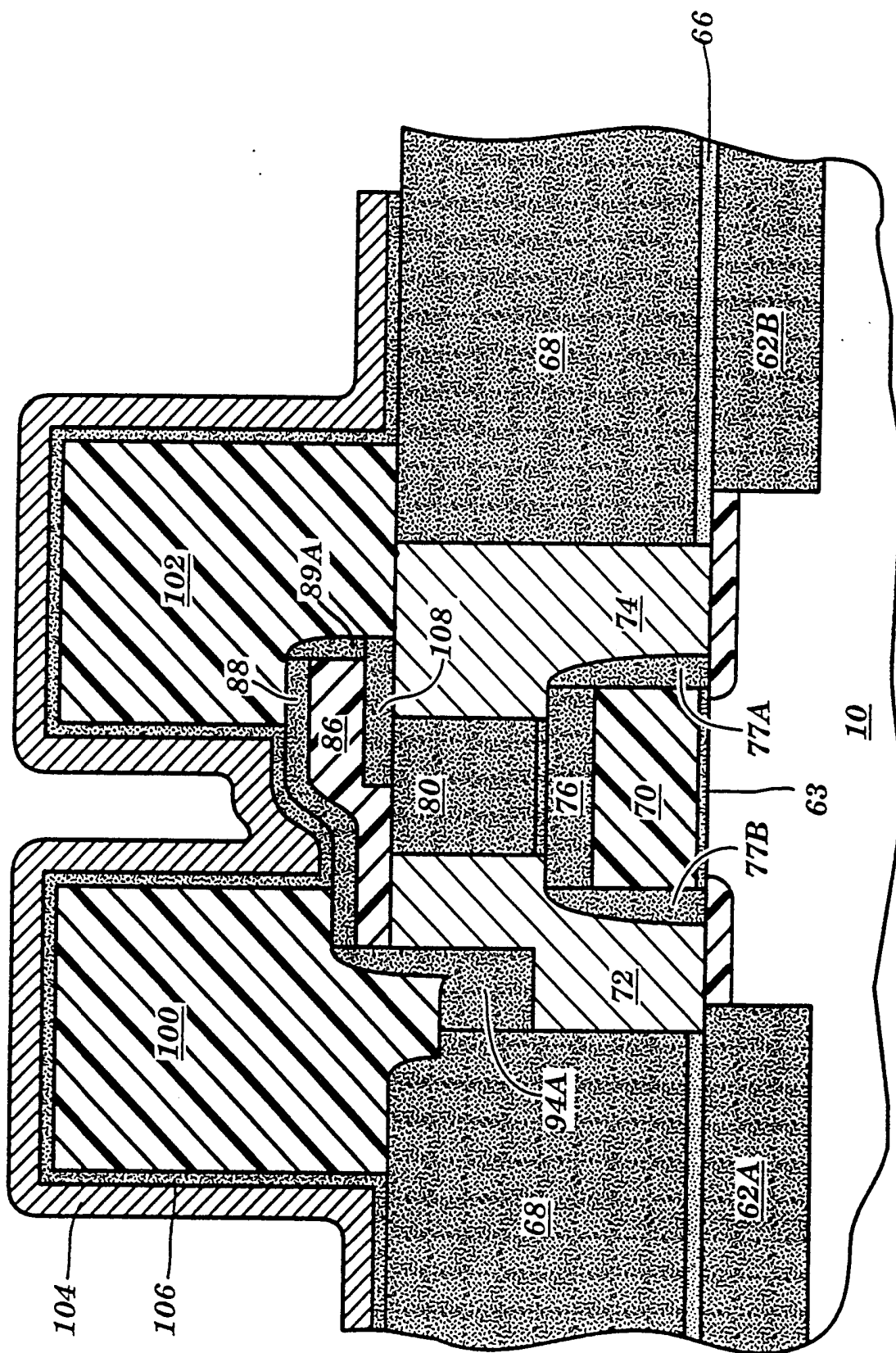
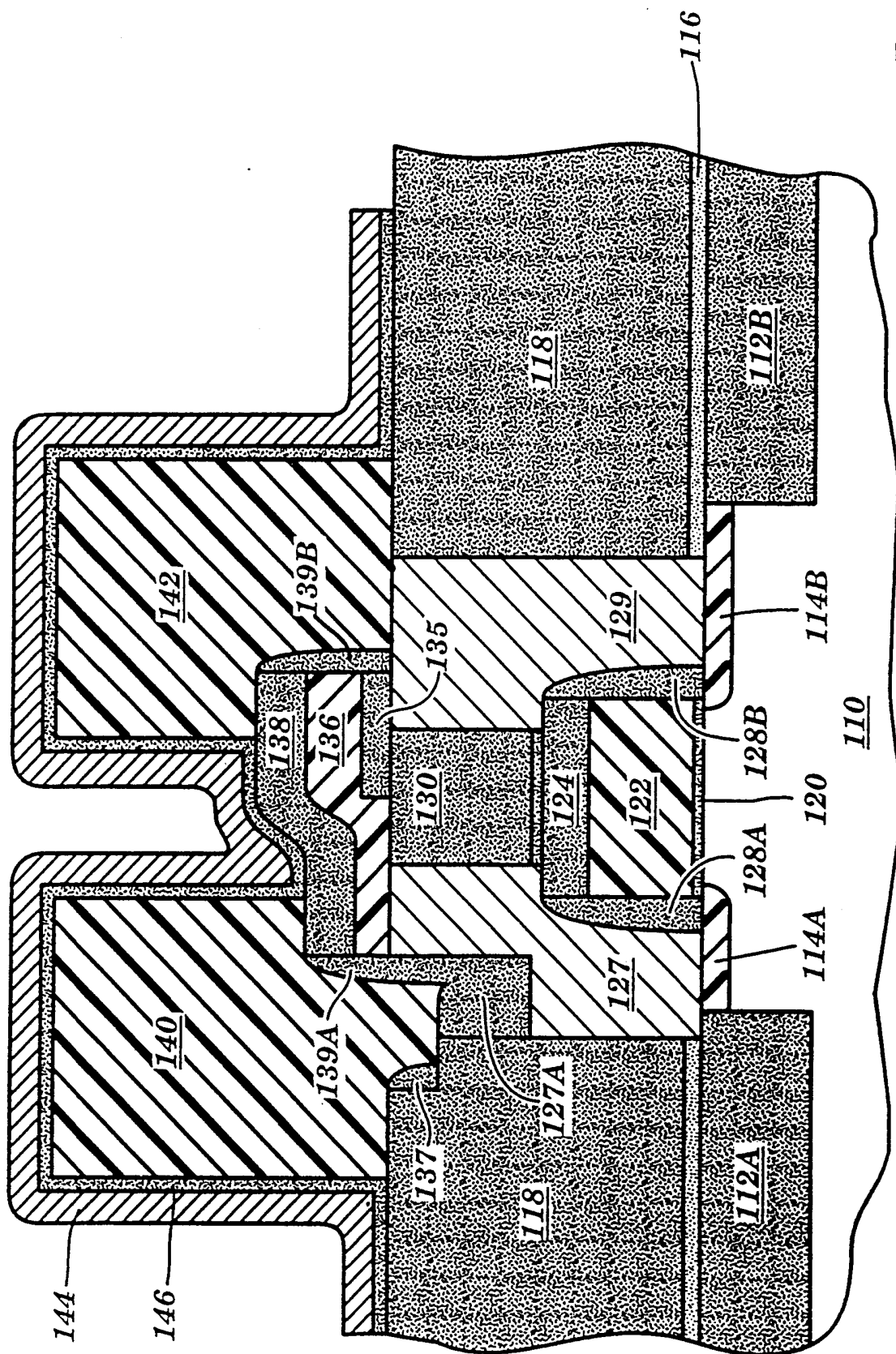


图 4



318269

318269



六、申請專利範圍

1. 一種半導體結構，包括：

(a) 一第一下側導體，位於一絕緣區域內，且有一上表面及一下表面；

(b) 一第二下側導體，位於該絕緣區域內，與該第一下側導體電氣絕緣，並有一上表面及一下表面；

(c) 一第一上側導體，位於該第一下側導體的至少一部份之上方，並與其電氣絕緣；

(d) 一第二上側導體，位於該第二下側導體的至少一部份之上方，並與其電氣連接；

其中該第一下側導體藉由該第一下側導體之上表面內的一凹陷與該第一上側導體絕緣，該凹陷本身對齊於該第一上側導體，且至少有一部份填以絕緣體。

2. 根據申請專利範圍第1項之結構，其中有一絕緣層設置在該絕緣區域之表面的一部份上方。

3. 根據申請專利範圍第2項之結構，其中該絕緣層之厚度小於該第一下側導體內之凹陷的深度。

4. 根據申請專利範圍第1項之結構，其中該第一與第二上側導體中的至少一個是一儲存電容器節點。

5. 根據申請專利範圍第1項之結構，其中該第一下側導體是一位元線接線柱。

6. 根據申請專利範圍第5項之結構，其中該第二下側導體是一電容器接線柱。

7. 根據申請專利範圍第6項之結構，其中該第一與第二上側導體是儲存電容器節點。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

六、申請專利範圍

8. 根據申請專利範圍第7項之結構，其中該等電容器節點是用一種包括多晶矽之材料形成的。
9. 根據申請專利範圍第7項之結構，其中該等電容器節點由一導電層覆蓋。
10. 一種堆疊電容器記憶單元，包括根據申請專利範圍第1項之結構，其中該第一下側導體為一位元線接線柱，該第二下側導體為一電容器接線柱，且該第一與第二上側導體為儲存電容器節點，該電容器記憶單元尚包括一設置在諸電容器節點之間且與其絕緣之位元線，及一位於絕緣區域內之字組線。
11. 一種動態隨機存取記憶體(DRAM)裝置，包括至少一個根據申請專利範圍第10項之堆疊電容器記憶單元。
12. 一種方法，用以將一設置在一絕緣區域內之第一下側導體與一設置在該第一下側導體的至少一部份之上方的第一上側導體在電氣上絕緣，其中有一第二下側導體設置在該絕緣區域內且與該第一下側導體電氣絕緣；且有一第二上側導體設置在該第二下側導體的至少一部份之上方且在電氣上與其連接，

該方法包括在該第一下側導體之上表面內形成一凹陷的步驟，該凹陷本身對齊於在其後形成的第一上側導體，該凹陷至少有一部份被填以絕緣體，藉此將該第一下側導體與該第一上側導體做電氣絕緣。
13. 根據申請專利範圍第12項之方法，其中該第一與第二上側導體係由一種包括照相製版步驟、規劃圖樣步驟、及

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

蝕刻步驟的技術形成。

14. 根據申請專利範圍第12項之方法，其中該第一下側導體是一位元線接線柱，該第一上側導體與該第二上側導體是儲存電容器節點，且該第二下側導體是一電容器接線柱，該等導體與接線柱包括一堆疊電容器記憶單元之諸元件。
15. 根據申請專利範圍第12項之方法，其中該凹陷由蝕刻形成。
16. 一種方法，用以備置一半導體結構，該半導體結構包括至少二個在一較低位準的導體及至少二個在一較高位準的導體，其中該第一上側導體至少有一部份設置在該第一下側導體的上方，且該第二上側導體至少有一部份設置在該第二下側導體的上方；且其中該等被用以形成該第二上側導體與該第二下側導體之間的電氣連接之步驟在一般情形下亦會造成該第一上側導體與該第一下側導體之間不希望有的電氣連接，該改良包括：

在該第一下側導體之上表面內形成一凹陷，該凹陷本身對齊於該第一上側導體，該凹陷至少有一部份被填以絕緣體，藉此將該第一上側導體與該第一下側導體做電氣絕緣。

17. 根據申請專利範圍第16項之方法，其中該等被用來形成該第二上側導體與該第二下側導體間之電氣連接的步驟包括照相製版步驟、規劃圖樣步驟、及蝕刻步驟。
18. 根據申請專利範圍第16項之方法，其中該半導體結構是一堆疊電容器記憶單元。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線