



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0039040
 (43) 공개일자 2016년04월08일

(51) 국제특허분류(Int. Cl.)
 H01L 29/786 (2006.01) H01L 27/12 (2006.01)
 H01L 29/66 (2006.01)
 (21) 출원번호 10-2014-0131762
 (22) 출원일자 2014년09월30일
 심사청구일자 2014년09월30일

(71) 출원인
엘지디스플레이 주식회사
 서울특별시 영등포구 여의대로 128(여의도동)
 (72) 발명자
김현호
 서울 은평구 진관1로 21-9, 105동 1202호 (진관동, 은평뉴타운박석고개)
김우준
 서울 강남구 광평로19길 10, 1003동 1108호 (수서동, 까치마을아파트)
 (74) 대리인
특허법인천문

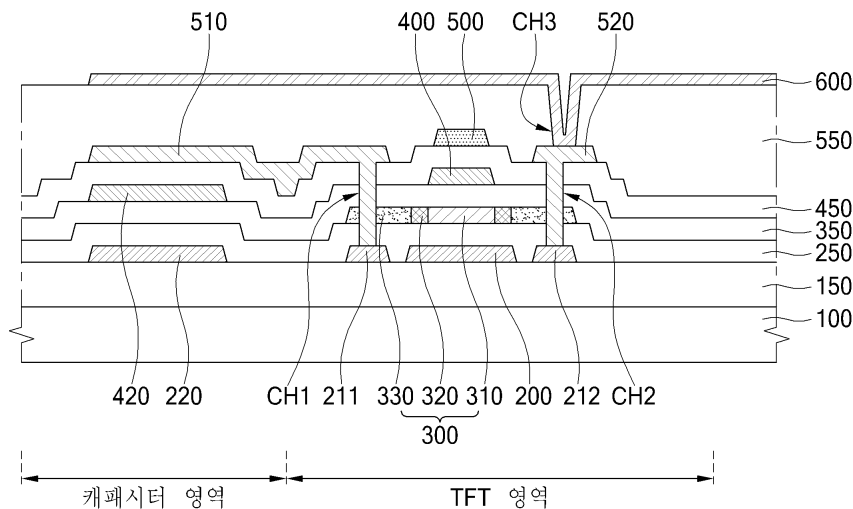
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 **박막 트랜지스터 기판과 그 제조방법 및 그를 이용한 디스플레이 장치**

(57) 요약

본 발명의 일 실시예에 따르면, 기판 상의 동일한 층에 차폐층, 소스 전극, 및 드레인 전극이 구비되어 있고, 상기 차폐층, 상기 소스 전극, 및 상기 드레인 전극과 오버랩되도록 액티브층이 구비되어 있고, 상기 액티브층 상에 게이트 절연막이 구비되어 있고, 상기 게이트 절연막 상에 제1 게이트 전극이 구비되어 있고, 상기 제1 게이트 전극 상에 층간 절연막이 구비되어 있고, 상기 층간 절연막 상에서 상기 액티브층 및 상기 소스 전극과 연결되는 제1 연결 전극 및 상기 액티브층 및 상기 드레인 전극과 연결되는 제2 연결 전극이 각각 구비되어 있고, 상기 제1 연결 전극과 상기 제2 연결 전극 상에 평탄화층이 구비되어 있고, 상기 평탄화층 상에 상기 제2 연결 전극과 연결되는 화소 전극이 구비되어 있는 박막 트랜지스터 기판과 그 제조방법 및 그를 이용한 디스플레이 장치가 제공된다.

대표도 - 도3



명세서

청구범위

청구항 1

기관;

상기 기관 상의 동일한 층에 구비된 차폐층, 소스 전극, 및 드레인 전극;

상기 차폐층, 상기 소스 전극, 및 상기 드레인 전극과 오버랩되는 액티브층;

상기 액티브층 상에 구비된 게이트 절연막;

상기 게이트 절연막 상에 구비된 제1 게이트 전극;

상기 제1 게이트 전극 상에 구비된 층간 절연막;

상기 층간 절연막 상에 각각 구비되며, 제1 콘택홀을 통해서 상기 액티브층 및 상기 소스 전극과 연결되는 제1 연결 전극, 및 제2 콘택홀을 통해서 상기 액티브층 및 상기 드레인 전극과 연결되는 제2 연결 전극;

상기 제1 연결 전극과 상기 제2 연결 전극 상에 구비된 평탄화층; 및

상기 평탄화층 상에 구비되며 제3 콘택홀을 통해서 상기 제2 연결 전극과 연결되는 화소 전극을 포함하여 이루어진 박막 트랜지스터 기관.

청구항 2

제1항에 있어서,

상기 기관과 상기 차폐층 사이에 제1 버퍼층이 추가로 구비되고, 상기 차폐층과 상기 액티브층 사이에 제2 버퍼층이 추가로 구비되는 박막 트랜지스터 기관.

청구항 3

제2항에 있어서,

상기 제1 콘택홀 및 상기 제2 콘택홀은 각각 상기 제2 버퍼층, 상기 액티브층, 상기 게이트 절연막, 및 상기 층간 절연막의 소정 영역이 제거되어 구비된 박막 트랜지스터 기관.

청구항 4

제1항에 있어서,

상기 액티브층은 채널 영역, 상기 채널 영역의 일측 및 타측에 구비된 저농도 도핑 영역, 및 상기 저농도 도핑 영역의 일측 및 타측에 구비된 고농도 도핑 영역을 포함하여 이루어지고,

상기 채널 영역은 상기 차폐층 및 상기 제1 게이트 전극과 오버랩되고, 상기 고농도 도핑 영역은 상기 소스 전극 및 상기 드레인 전극과 오버랩되고,

상기 제1 연결 전극 및 상기 제2 연결 전극은 상기 고농도 도핑영역과 연결되어 있는 박막 트랜지스터 기관.

청구항 5

제1항에 있어서,

상기 층간 절연막은 수소를 함유하는 물질로 이루어진 박막 트랜지스터 기관.

청구항 6

제1항에 있어서,

상기 제1 연결 전극 및 상기 제2 연결 전극과 동일한 층에 제2 게이트 전극이 추가로 구비되어 있는 박막 트랜

지스터 기관.

청구항 7

제1항에 있어서,

상기 차폐층과 동일한 층에 제1 커패시터 전극이 추가로 구비되고,

상기 제1 게이트 전극과 동일한 층에 상기 제1 커패시터 전극과 오버랩되는 제2 커패시터 전극이 추가로 구비되고,

상기 제1 연결 전극은 상기 제2 커패시터 전극과 오버랩되도록 구비되고,

상기 화소 전극은 상기 제1 연결 전극과 오버랩되도록 구비되어 있는 박막 트랜지스터 기관.

청구항 8

기관 상에 제1 버퍼층을 형성하고, 상기 제1 버퍼층 상에 차폐층, 소스 전극, 및 드레인 전극을 패턴 형성하는 공정;

상기 차폐층, 소스 전극, 및 드레인 전극 상에 제2 버퍼층을 형성하고, 상기 제2 버퍼층 상에 액티브층용 반도체층을 패턴 형성하는 공정;

상기 액티브층용 반도체층 상에 게이트 절연막을 형성하고, 상기 게이트 절연막 상에 제1 게이트 전극을 패턴 형성하는 공정;

상기 제1 게이트 전극을 마스크로 하여 상기 액티브층용 반도체층에 저농도 도펀트를 도핑하고 그 후 포토레지스트 패턴을 마스크로 하여 상기 액티브층용 반도체층에 고농도 도펀트를 도핑하여, 채널 영역, 상기 채널 영역의 일측 및 타측에 구비된 저농도 도핑 영역, 및 상기 저농도 도핑 영역의 일측 및 타측에 구비된 고농도 도핑 영역을 포함하는 액티브층을 형성하는 공정;

상기 제1 게이트 전극 상에 층간 절연막을 형성하는 공정;

상기 제2 버퍼층, 상기 액티브층의 고농도 도핑 영역, 상기 게이트 절연막, 및 상기 층간 절연막의 소정 영역을 제거함으로써, 상기 소스 전극을 노출시키는 제1 콘택홀 및 상기 드레인 전극을 노출시키는 제2 콘택홀을 형성하는 공정;

상기 제1 콘택홀을 통해서 상기 액티브층의 고농도 도핑 영역 및 상기 소스 전극과 각각 연결되는 제1 연결 전극 및 상기 제2 콘택홀을 통해서 상기 액티브층의 고농도 도핑 영역 및 상기 드레인 전극과 각각 연결되는 제2 연결 전극을 패턴 형성하는 공정;

상기 제1 연결 전극 및 상기 제2 연결 전극 상에 평탄화층을 형성하고, 상기 제2 연결 전극이 노출되도록 상기 평탄화층에 제3 콘택홀을 형성하는 공정; 및

상기 제3 콘택홀을 통해서 상기 제2 연결 전극과 연결되는 화소 전극을 패턴 형성하는 공정을 포함하여 이루어진 박막 트랜지스터 기관의 제조 방법.

청구항 9

제8항에 있어서,

상기 차폐층, 소스 전극, 및 드레인 전극과 동시에 제1 커패시터 전극을 패턴 형성하는 공정을 추가로 포함하고,

상기 제1 게이트 전극과 동시에 제2 커패시터 전극을 패턴 형성하는 공정을 추가로 포함하고,

상기 제1 연결 전극 및 상기 제2 연결 전극과 동시에 제2 게이트 전극을 패턴 형성하는 공정을 추가로 포함하는 박막 트랜지스터 기관의 제조 방법.

청구항 10

제8항에 있어서,

상기 층간 절연막은 수소를 함유하는 물질로 형성하고, 상기 층간 절연막을 형성하고 상기 제1 콘택홀과 제2 콘

택홀을 형성하기 이전에 열처리 공정을 추가로 포함하는 박막 트랜지스터 기판의 제조 방법.

청구항 11

제1항 내지 제7항 중 어느 한 항에 따른 박막 트랜지스터 기판을 구비한 디스플레이 장치.

발명의 설명

기술 분야

[0001] 본 발명은 박막 트랜지스터 기판에 관한 것으로서, 보다 구체적으로는 플렉시블 디스플레이 장치에 적용될 수 있는 박막 트랜지스터 기판에 관한 것이다.

배경 기술

[0002] 박막 트랜지스터는 액정 디스플레이 장치(Liquid Crystal Display Device) 또는 유기 발광 디스플레이 장치(Organic Light Emitting Display Device) 등과 같은 디스플레이 장치의 스위칭 소자로서 널리 이용되고 있다. 따라서, 박막 트랜지스터가 형성되어 있는 박막 트랜지스터 기판이 디스플레이 장치의 기본 구성을 이루게 된다.

[0003] 최근에는 플렉시블(flexible) 디스플레이 장치에 대한 연구가 활발히 이루어지고 있다. 상기 플렉시블 디스플레이 장치는 구부리거나 감을 수 있어야 하므로 박막 트랜지스터 기판의 베이스(base)를 구성하는 기판(substrate)의 재료로서 유리 대신에 폴리이미드(PI)와 같은 고분자 물질을 이용하게 된다.

[0004] 이하, 폴리이미드(PI)와 같은 고분자 물질을 기판의 재료로 이용한 종래의 박막 트랜지스터 기판에 대해서 설명하기로 한다.

[0005] 도 1은 종래의 박막 트랜지스터 기판의 개략적인 단면도이다.

[0006] 도 1에서 알 수 있듯이, 종래의 박막 트랜지스터 기판은, 기판(10), 제1 버퍼층(15), 차폐층(20), 제2 버퍼층(25), 액티브층(30), 제1 게이트 절연막(35), 제1 게이트 전극(40), 제2 게이트 절연막(45), 제2 게이트 전극(50), 층간 절연막(55), 소스 전극(60a), 드레인 전극(60b), 패시베이션막(65), 평탄화막(70), 및 화소 전극(80)을 포함하여 이루어진다.

[0007] 상기 기판(10)은 전술한 바와 같이 폴리이미드(PI)와 같은 고분자 물질로 이루어진다.

[0008] 상기 제1 버퍼층(15)은 상기 기판(10) 상에 형성되어 있다.

[0009] 상기 차폐층(20)은 상기 제1 버퍼층(15) 상에 형성되어 있다. 상기 차폐층(20)은 상기 기판(10)과 상기 액티브층(30) 사이에 형성되어 상기 기판(10) 내에 포함된 성분에 의해서 상기 액티브층(30)의 채널 영역에서의 전자 이동이 악영향을 받지 않도록 한다.

[0010] 상기 제2 버퍼층(25)은 상기 차폐층(20) 상에 형성되어 있다.

[0011] 상기 액티브층(30)은 상기 제2 버퍼층(25) 상에 형성되어 있다. 상기 액티브층(30)은 채널 영역(31), 상기 채널 영역(31)의 좌우측에 구비된 저농도 도핑 영역(32), 및 상기 저농도 도핑 영역(32)의 좌우측에 구비된 고농도 도핑 영역(33)을 포함하여 이루어진다.

[0012] 상기 제1 게이트 절연막(35)은 상기 액티브층(30)과 상기 제1 게이트 전극(40) 사이에 형성되어 있고, 상기 제1 게이트 전극(40)은 상기 제1 게이트 절연막(35) 상에 형성되어 있다.

[0013] 상기 제2 게이트 절연막(45)은 상기 제1 게이트 전극(40)과 상기 제2 게이트 전극(50) 사이에 형성되어 있고, 상기 제2 게이트 전극(50)은 상기 제2 게이트 절연막(45) 상에 형성되어 있다.

[0014] 상기 층간 절연막(55)은 상기 제2 게이트 전극(50) 상에 형성되어 있고, 상기 소스 전극(60a)과 상기 드레인 전극(60b)은 상기 층간 절연막(55) 상에 형성되어 있다. 상기 소스 전극(60a)과 상기 드레인 전극(60b)은 각각 제1 콘택홀(CH1) 및 제2 콘택홀(CH2)을 통해서 상기 액티브층(30)의 고농도 도핑 영역(32)과 연결되어 있다.

[0015] 상기 패시베이션막(65)은 상기 소스 전극(60a)과 상기 드레인 전극(60b) 상에 형성되어 있고, 상기 평탄화막(70)은 상기 패시베이션막(65) 상에 형성되어 있다.

[0016] 상기 화소 전극(80)은 상기 평탄화막(70) 상에 형성되어 있다. 상기 화소 전극(80)은 제3 콘택홀(CH3)을 통해서

상기 드레인 전극(60b)과 연결되어 있다.

- [0017] 도 2a 내지 도 2i는 종래의 박막 트랜지스터 기관의 제조 공정도이다.
- [0018] 우선, 도 2a에서 알 수 있듯이, 기관(10) 상에 제1 버퍼층(15)을 형성하고, 상기 제1 버퍼층(15) 상에 차폐층(20)을 패턴 형성하고, 상기 차폐층(20) 상에 제2 버퍼층(25)을 형성한다.
- [0019] 상기 차폐층(20)의 패턴 형성을 위해서 제1 마스크 공정이 수행된다. 본 명세서 전체에서 마스크 공정이라 함은 소정 패턴의 구성을 얻기 위해서 마스크를 이용한 노광 공정을 포함한 패턴 형성 공정을 의미한다. 한편, 도시하지는 않았지만 상기 차폐층(20)은 상기 기관(10)의 외곽부에서 외부 신호 구동부와 연결된다. 이를 위해서, 상기 차폐층(20)은 상기 기관(10)의 외곽부까지 연장되어 있으며 상기 기관(10)의 외곽부에서 상기 차폐층(20)의 일부를 노출시키기 위해서 상기 제2 버퍼층(25)에 콘택홀을 형성하는 공정을 수행하게 된다. 이와 같은 콘택홀 형성을 위해서 제2 마스크 공정이 수행된다.
- [0020] 다음, 도 2b에서 알 수 있듯이, 상기 제2 버퍼층(25) 상에 액티브층용 반도체층(30a)을 패턴 형성하고, 상기 액티브층용 반도체층(30a) 상에 제1 게이트 절연막(35)을 형성한다. 상기 액티브층용 반도체층(30a)을 패턴 형성하기 위해서 제3 마스크 공정이 수행된다.
- [0021] 다음, 도 2c에서 알 수 있듯이, 상기 제1 게이트 절연막(35) 상에 제1 게이트 전극(40)을 패턴 형성한다. 상기 제1 게이트 전극(40)을 패턴 형성하기 위해서 제4 마스크 공정이 수행된다.
- [0022] 상기 제1 게이트 전극(40)을 패턴 형성한 이후에는 상기 제1 게이트 전극(40)을 마스크로 하여 상기 액티브층용 반도체층(30a)에 저농도의 도펀트를 도핑한다. 그리하면, 저농도의 도펀트가 도핑되지 않은 영역이 채널 영역(31)이 되고, 상기 채널 영역(31)의 좌우측에 저농도 도핑 영역(32)이 형성된다. 그 후, 도시하지는 않았지만 상기 제1 게이트 절연막(35) 상에 포토 레지스트 패턴을 형성한 후, 상기 포토 레지스트 패턴을 마스크로 이용하여 상기 저농도 도핑 영역(32)의 좌우측에 고농도 도핑 영역(33)을 형성한다. 그리하면, 채널 영역(31), 상기 채널 영역(31)의 좌우측에 구비된 저농도 도핑 영역(32), 및 상기 저농도 도핑 영역(32)의 좌우측에 구비된 고농도 도핑 영역(33)을 포함하는 액티브층(30)이 완성된다. 이때, 상기 고농도 도핑 영역(33) 형성을 위한 상기 포토 레지스트 패턴 형성을 위해서 제5 마스크 공정이 수행된다.
- [0023] 다음, 도 2d에서 알 수 있듯이, 상기 제1 게이트 전극(40) 상에 제2 게이트 절연막(45)을 형성하고, 상기 제2 게이트 절연막(45) 상에 제2 게이트 전극(50)을 패턴 형성한다. 상기 제2 게이트 전극(50)을 패턴 형성하기 위해서 제6 마스크 공정이 수행된다.
- [0024] 다음, 도 2e에서 알 수 있듯이, 상기 제2 게이트 전극(50) 상에 층간 절연막(55)을 형성하고, 상기 액티브층(30)의 고농도 도핑 영역(33)을 노출시키기 위해서 제1 콘택홀(CH1) 및 제2 콘택홀(CH2)을 형성한다. 상기 제1 콘택홀(CH1) 및 제2 콘택홀(CH2) 형성을 위해서 제7 마스크 공정이 수행된다. 한편, 상기 층간 절연막(55)을 형성하고 상기 제1/제2 콘택홀(CH1, CH2)을 형성하기 전에 활성화(Activation)를 위한 열처리 공정이 수행된다.
- [0025] 다음, 도 2f에서 알 수 있듯이, 상기 제1 콘택홀(CH1) 및 상기 제2 콘택홀(CH2)을 통해서 상기 액티브층(30)의 고농도 도핑 영역(33)과 각각 연결되는 소스 전극(60a) 및 드레인 전극(60b)을 패턴 형성한다. 상기 소스 전극(60a) 및 드레인 전극(60b)을 형성하기 위해서 제8 마스크 공정이 수행된다.
- [0026] 다음, 도 2g에서 알 수 있듯이, 상기 소스 전극(60a) 및 드레인 전극(60b) 상에 패시베이션막(65)을 형성하고, 상기 드레인 전극(60b)을 노출시키기 위해서 제3 콘택홀(CH3)을 형성한다. 상기 제3 콘택홀(CH3) 형성을 위해서 제9 마스크 공정이 수행된다. 한편, 상기 제3 콘택홀(CH3)을 형성하기 이전에 수소화(hydrogenation)를 위한 열처리 공정이 수행된다. 상기 수소화를 위한 열처리를 수행하면 상기 패시베이션막(65)에 함유되어 있는 수소(H)가 상기 액티브층(30)으로 확산되어 상기 액티브층(30)의 땀글링 본드(dangling bond)가 줄어들게 된다.
- [0027] 다음, 도 2h에서 알 수 있듯이, 상기 패시베이션막(65) 상에 평탄화막(70)을 형성하고, 그 후 상기 드레인 전극(60b)을 노출시키기 위해서 상기 제3 콘택홀(CH3)을 형성한다. 상기 제3 콘택홀(CH3)은 상기 패시베이션막(65)과 상기 평탄화막(70)의 일부를 연속하여 제거함으로써 얻어질 수 있다. 상기 평탄화막(70)의 일부를 제거하여 제3 콘택홀(CH3)을 완성하기 위해서 제10 마스크 공정이 수행된다.
- [0028] 다음, 도 2i에서 알 수 있듯이, 상기 제3 콘택홀(CH3)을 통해서 상기 드레인 전극(60b)과 연결되는 화소 전극(80)을 패턴 형성한다. 상기 화소 전극(80)을 패턴 형성하기 위해서 제11 마스크 공정이 수행된다.
- [0029] 이와 같이 종래의 박막 트랜지스터 기관은 총 11번의 마스크 공정이 요구되기 때문에 공정이 매우 복잡한 단점

이 있다.

발명의 내용

해결하려는 과제

[0030] 본 발명은 전술한 종래의 문제점을 해결하기 위해 고안된 것으로서, 본 발명은 마스크 공정을 줄일 수 있는 박막 트랜지스터 기관과 그 제조방법 및 그를 이용한 디스플레이 장치를 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0031] 상기 목적을 달성하기 위한 본 발명의 일 실시예에 따르면, 기관 상의 동일한 층에 차폐층, 소스 전극, 및 드레인 전극이 구비되어 있고, 상기 차폐층, 상기 소스 전극, 및 상기 드레인 전극과 오버랩되도록 액티브층이 구비되어 있고, 상기 액티브층 상에 게이트 절연막이 구비되어 있고, 상기 게이트 절연막 상에 제1 게이트 전극이 구비되어 있고, 상기 제1 게이트 전극 상에 층간 절연막이 구비되어 있고, 상기 층간 절연막 상에서 상기 액티브층 및 상기 소스 전극과 연결되는 제1 연결 전극 및 상기 액티브층 및 상기 드레인 전극과 연결되는 제2 연결 전극이 각각 구비되어 있고, 상기 제1 연결 전극과 상기 제2 연결 전극 상에 평탄화층이 구비되어 있고, 상기 평탄화층 상에 상기 제2 연결 전극과 연결되는 화소 전극이 구비되어 있는 박막 트랜지스터 기관과 그 제조방법 및 그를 이용한 디스플레이 장치가 제공된다.

발명의 효과

[0032] 이상과 같은 본 발명에 따르면 마스크 공정 회수가 줄어들어 공정이 단순화될 수 있다.

도면의 간단한 설명

- [0033] 도 1은 종래의 박막 트랜지스터 기관의 개략적인 단면도이다.
- 도 2a 내지 도 2i는 종래의 박막 트랜지스터 기관의 제조 공정도이다.
- 도 3은 본 발명의 일 실시예에 따른 박막 트랜지스터 기관의 개략적인 단면도이다.
- 도 4a 내지 도 4f는 본 발명의 일 실시예에 따른 박막 트랜지스터 기관의 제조 공정도이다.
- 도 5는 본 발명의 일 실시예에 따른 유기 발광 디스플레이 장치의 개략적인 단면도이다.
- 도 6은 본 발명의 일 실시예에 따른 액정 디스플레이 장치의 개략적인 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0034] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0035] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급한 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.
- [0036] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0037] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0038] 시간 관계에 대한 설명일 경우, 예를 들어, '~후에', '~에 이어서', '~다음에', '~전에' 등으로 시간적 선후 관

계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 연속적이지 않은 경우도 포함할 수 있다.

- [0039] 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성 요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.
- [0040] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.
- [0041] 이하, 도면을 참조로 본 발명의 바람직한 실시예에 대해서 상세히 설명하기로 한다.
- [0042] 도 3은 본 발명의 일 실시예에 따른 박막 트랜지스터 기관의 개략적인 단면도이다.
- [0043] 도 3에서 알 수 있듯이, 본 발명의 일 실시예에 따른 박막 트랜지스터 기관은 박막 트랜지스터(TFT) 영역 및 커패시터 영역을 구비하고 있다. 이와 같은 본 발명의 일 실시예에 따른 박막 트랜지스터 기관은, 기관(100), 제1 버퍼층(150), 차폐층(200), 소스 전극(211), 드레인 전극(212), 제1 커패시터 전극(220), 제2 버퍼층(250), 액티브층(300), 게이트 절연막(350), 제1 게이트 전극(400), 제2 커패시터 전극(420), 층간 절연막(450), 제2 게이트 전극(500), 제1 연결 전극(510), 제2 연결 전극(520), 평탄화막(550), 및 화소 전극(600)을 포함하여 이루어진다.
- [0044] 상기 기관(100)은 폴리이미드(PI)와 같은 고분자 물질로 이루어진다.
- [0045] 상기 제1 버퍼층(150)은 상기 기관(100) 상에 형성되어 있다. 상기 제1 버퍼층(150)은 상기 박막 트랜지스터(TFT) 영역 및 상기 커패시터 영역 모두에 형성되어 있다. 이와 같은 제1 버퍼층(150)은 실리콘 질화물과 같은 무기 절연물로 이루어질 수 있지만, 반드시 그에 한정되는 것은 아니다.
- [0046] 상기 차폐층(200), 소스 전극(211), 드레인 전극(212), 및 제1 커패시터 전극(220)은 모두 동일한 층에 형성되어 있다. 구체적으로, 상기 차폐층(200), 소스 전극(211), 드레인 전극(212), 및 제1 커패시터 전극(220)은 상기 제1 버퍼층(150) 상에 형성되어 있다. 상기 차폐층(200), 소스 전극(211), 및 드레인 전극(212)은 상기 박막 트랜지스터 영역에 형성되어 있고, 상기 제1 커패시터 전극(220)은 상기 커패시터 영역에 형성되어 있다.
- [0047] 상기 차폐층(200)은 상기 기관(100)과 상기 액티브층(300) 사이에 형성되어 상기 기관(100) 내에 포함된 성분에 의해서 상기 액티브층(300)의 채널 영역에서의 전자 이동이 악영향을 받지 않도록 한다. 따라서, 상기 차폐층(200)은 상기 액티브층(300)과 오버랩되도록 형성된다. 이와 같은 차폐층(200)은 상기 제1 커패시터 전극(220)과 동일한 물질로 이루어질 수 있으며, 예로서 ITO와 같은 투명한 도전물질로 이루어질 수 있지만, 반드시 그에 한정되는 것은 아니고, 도전성 금속물질로 이루어질 수도 있다. 또한, 상기 차폐층(200)은 상기 제1 커패시터 전극(220)과 전기적으로 연결될 수 있으며, 이와 같은 상기 차폐층(200)과 상기 제1 커패시터 전극(220)에는 외부의 구동 회로부에서 일정한 전압이 인가될 수 있다.
- [0048] 상기 소스 전극(211) 및 드레인 전극(212)은 상기 차폐층(200)의 일측과 타측에 각각 위치하며, 상기 액티브층(300)과 오버랩되도록 형성된다. 특히, 상기 소스 전극(211) 및 드레인 전극(212)은 상기 액티브층(300)의 고농도 도핑 영역(330)과 오버랩되도록 형성된다. 이와 같은 소스 전극(211) 및 드레인 전극(212)은 상기 차폐층(200) 및 상기 제1 커패시터 전극(220)과는 상이한 물질로 이루어질 수 있다. 예를 들어, 상기 소스 전극(211) 및 드레인 전극(212)은 ITO와 같은 투명한 도전물질 및 상기 투명한 도전물질 상에 형성된 금속층으로 이루어질 수 있으며, 상기 금속층은 MoTi, Cu, 및 MoTi의 3층 구조로 이루어질 수 있다. 상기 소스 전극(211)은 도시하지는 않은 데이터 라인과 전기적으로 연결되어 상기 데이터 라인으로부터 데이터 신호를 인가받을 수 있다.
- [0049] 상기 제2 버퍼층(250)은 상기 차폐층(200), 소스 전극(211), 드레인 전극(212), 및 제1 커패시터 전극(220) 상에 형성되어 있다. 상기 제2 버퍼층(250)은 상기 박막 트랜지스터(TFT) 영역 및 상기 커패시터 영역 모두에 형성되어 있다. 이와 같은 제2 버퍼층(250)은 실리콘 질화물과 같은 무기 절연물로 이루어질 수 있지만, 반드시 그에 한정되는 것은 아니다.
- [0050] 상기 액티브층(300)은 상기 제2 버퍼층(250) 상에 형성되어 있다. 상기 액티브층(300)은 채널 영역(310), 상기 채널 영역(310)의 일측과 타측에 구비된 저농도 도핑 영역(320), 및 상기 저농도 도핑 영역(320)의 일측과 타측에 구비된 고농도 도핑 영역(330)을 포함하여 이루어진다. 상기 채널 영역(310)은 결정질 실리콘으로 이루어질 수 있고, 상기 저농도 도핑 영역(320) 및 상기 고농도 도핑 영역(330)은 상기 결정질 실리콘에 도펀트가 도핑되어 이루어질 수 있다. 상기 저농도 도핑 영역(320)은 상기 고농도 도핑 영역(330)에 비하여 도펀트의 도핑 농도

가 낮다.

- [0051] 상기 액티브층(300)은 상기 박막 트랜지스터(TFT) 영역에 형성되며, 보다 구체적으로, 상기 차폐층(200), 소스 전극(211), 및 드레인 전극(212)과 오버랩되도록 형성된다. 특히, 상기 고농도 도핑 영역(330)은 상기 소스 전극(211) 및 드레인 전극(212)과 오버랩되도록 형성된다.
- [0052] 상기 게이트 절연막(350)은 상기 액티브층(300) 상에 형성되어 있다. 상기 게이트 절연막(350)은 상기 박막 트랜지스터(TFT) 영역 및 상기 커패시터 영역 모두에 형성되어 있다.
- [0053] 상기 제1 게이트 전극(400) 및 제2 커패시터 전극(420)은 서로 동일한 층에 형성되어 있다. 구체적으로, 상기 제1 게이트 전극(400) 및 제2 커패시터 전극(420)은 상기 게이트 절연막(350) 상에 형성되어 있다. 상기 제1 게이트 전극(400) 및 제2 커패시터 전극(420)은 서로 동일한 물질로 이루어질 수 있다. 이와 같은 제1 게이트 전극(400) 및 제2 커패시터 전극(420)은 서로 전기적으로 연결될 수 있다.
- [0054] 상기 제1 게이트 전극(400)은 상기 박막 트랜지스터(TFT) 영역에 형성되어 있으며, 특히, 상기 액티브층(300)의 채널 영역(310)과 오버랩되도록 형성되어 있다. 상기 제2 커패시터 전극(420)은 상기 커패시터 영역에 형성되어 있으며, 특히, 상기 제1 커패시터 전극(220)과 오버랩되도록 형성되어 있다.
- [0055] 상기 층간 절연막(450)은 상기 제1 게이트 전극(400)과 상기 제2 커패시터 전극(420) 상에 형성되어 있다. 상기 층간 절연막(450)은 상기 박막 트랜지스터(TFT) 영역 및 상기 커패시터 영역 모두에 형성되어 있다. 이와 같은 층간 절연막(450)은 그 내부에 수소(H)를 함유하는 물질로 이루어진다. 본 발명의 일 실시예에 따르면, 상기 층간 절연막(450)이 수소(H)를 함유하는 물질로 이루어짐으로써 열처리 공정시 상기 층간 절연막(450)에 함유된 수소를 상기 액티브층(300) 내로 침투시켜 상기 액티브층(300) 내의 땀글링 본드(dangling bond)를 줄일 수 있다. 그에 따라, 수소 공급원으로 별도의 패시베이션막이 필요하지 않게 되어 구조 및 제조 공정이 단순화되는 장점이 있다. 또한, 패시베이션막은 일반적으로 소스 전극과 드레인 전극을 보호하는 역할을 하는 것인데, 본 발명의 일 실시예에 따르면 상기 소스 전극(211)과 드레인 전극(212)이 아래쪽에 위치하기 때문에 상기 소스 전극(211)과 드레인 전극(212)을 보호하기 위한 패시베이션막은 필요하지 않다.
- [0056] 상기 제2 게이트 전극(500), 제1 연결 전극(510), 및 제2 연결 전극(520)은 서로 동일한 층에 형성되어 있다. 구체적으로, 상기 제2 게이트 전극(500), 제1 연결 전극(510), 및 제2 연결 전극(520)은 상기 층간 절연막(450) 상에 형성되어 있다. 상기 제2 게이트 전극(500), 제1 연결 전극(510), 및 제2 연결 전극(520)은 서로 동일한 물질로 이루어질 수 있다.
- [0057] 상기 제2 게이트 전극(500)은 상기 박막 트랜지스터(TFT) 영역에서 상기 제1 게이트 전극(400)과 오버랩되도록 형성될 수 있다. 상기 제2 게이트 전극(500)은 별도의 콘택홀을 통해서 상기 제1 게이트 전극(400)과 전기적으로 연결되어 이중 게이트 구조를 이룰 수 있다.
- [0058] 상기 제1 연결 전극(510)은 상기 박막 트랜지스터(TFT) 영역에서부터 상기 커패시터 영역까지 연장되어 있다. 특히, 상기 제1 연결 전극(510)은 제1 콘택홀(CH1)을 통해서 상기 액티브층(300)의 일측에 배치된 고농도 도핑 영역(330) 및 상기 소스 전극(211)과 각각 연결되어 있다. 이와 같은 제1 연결 전극(510)은 상기 박막 트랜지스터(TFT) 영역에서는 상기 액티브층(300)의 일측에 배치된 고농도 도핑 영역(330)과 상기 소스 전극(211) 사이를 연결시키는 역할을 한다. 또한, 상기 제1 연결 전극(510)은 상기 커패시터 영역에서는 상기 제2 커패시터 전극(420)과 오버랩되도록 형성되어 제3 커패시터 전극으로 기능할 수 있다.
- [0059] 상기 제2 연결 전극(520)은 상기 박막 트랜지스터(TFT) 영역에 형성되어 있다. 특히, 상기 제2 연결 전극(520)은 제2 콘택홀(CH2)을 통해서 상기 액티브층(300)의 타측에 배치된 고농도 도핑 영역(330) 및 상기 드레인 전극(212)과 각각 연결되어 있다. 이와 같은 제2 연결 전극(520)은 상기 액티브층(300)의 타측에 배치된 고농도 도핑 영역(330)과 상기 드레인 전극(212) 사이를 연결시키는 역할을 한다.
- [0060] 상기 제1 콘택홀(CH1) 및 상기 제2 콘택홀(CH2)은 각각 상기 제2 버퍼층(250), 상기 액티브층(300)의 고농도 도핑 영역(330), 상기 게이트 절연막(350), 및 상기 층간 절연막(450)의 소정 영역이 제거되어 형성된다.
- [0061] 상기 평탄화막(550)은 상기 제2 게이트 전극(500), 제1 연결 전극(510), 및 제2 연결 전극(520) 상에 형성되어 있다. 상기 평탄화막(550)은 상기 박막 트랜지스터(TFT) 영역 및 상기 커패시터 영역 모두에 형성되어 있다. 이와 같은 평탄화막(550)은 아크릴계 고분자와 같은 유기 고분자 물질로 이루어질 수 있다. 상기 평탄화막(550)에는 제3 콘택홀(CH3)이 구비되어 있어, 상기 제3 콘택홀(CH3)에 의해서 상기 제2 연결 전극(520)이 노출된다.
- [0062] 상기 화소 전극(600)은 상기 평탄화막(550) 상에 형성되어 있다. 상기 화소 전극(600)은 상기 제3 콘택홀(CH3)

을 통해서 상기 제2 연결 전극(520)과 연결된다. 결국, 상기 화소 전극(600)은 상기 제2 연결 전극(520)을 통해서 상기 드레인 전극(212)과 연결되어 있다.

- [0063] 상기 화소 전극(600)은 상기 박막 트랜지스터(TFT) 영역에서부터 상기 커패시터 영역에까지 연장되어 있다. 상기 커패시터 영역으로 연장된 화소 전극(600)의 부분은 상기 제2 커패시터 전극(420) 및 상기 제3 커패시터 전극으로 기능하는 제1 연결 전극(510)과 오버랩되도록 형성된다. 따라서, 상기 커패시터 영역으로 연장된 화소 전극(600)의 부분은 제4 커패시터 전극으로 기능할 수 있다.
- [0064] 도 4a 내지 도 4f는 본 발명의 일 실시예에 따른 박막 트랜지스터 기관의 제조 공정도이다.
- [0065] 우선, 도 4a에서 알 수 있듯이, 기관(100) 상에 제1 버퍼층(150)을 형성하고, 상기 제1 버퍼층(150) 상에 차폐층(200), 소스 전극(211), 드레인 전극(212), 및 제1 커패시터 전극(220)을 패턴 형성한다.
- [0066] 상기 제1 버퍼층(150)은 실리콘 질화물과 같은 무기 절연물을 이용하여 박막 트랜지스터(TFT) 영역 및 커패시터 영역을 포함한 상기 기관(100)의 전체 면 상에 형성할 수 있다.
- [0067] 상기 차폐층(200), 소스 전극(211), 및 드레인 전극(212)은 상기 박막 트랜지스터(TFT) 영역에 패턴 형성하고, 상기 제1 커패시터 전극(220)은 상기 커패시터 영역에 패턴 형성한다.
- [0068] 상기 차폐층(200), 소스 전극(211), 드레인 전극(212), 및 제1 커패시터 전극(220)의 패턴 형성을 위해서 제1 마스크 공정이 수행된다.
- [0069] 상기 차폐층(200)과 상기 제1 커패시터 전극(220)은 서로 동일한 물질로 형성할 수 있다. 상기 소스 전극(211)과 상기 드레인 전극(212)은 ITO와 같은 투명한 도전물질을 형성하고 상기 투명한 도전물질 위에 금속물질을 적층하여 얻을 수 있다. 이와 같이 상기 소스 전극(211)과 상기 드레인 전극(212)의 조합은 상기 차폐층(200)과 상기 제1 커패시터 전극(220)의 조합과 서로 상이한 물질로 이루어질 수 있는데, 이 경우에는 하프톤 마스크(Halftone Mask)를 이용하여 1회의 마스크 공정으로 상기 차폐층(200), 소스 전극(211), 드레인 전극(212), 및 제1 커패시터 전극(220)의 패턴 형성을 수행할 수 있으며, 그에 따라 마스크 공정 회수를 줄일 수 있다.
- [0070] 다음, 도 4b에서 알 수 있듯이, 상기 차폐층(200), 소스 전극(211), 드레인 전극(212), 및 제1 커패시터 전극(220) 상에 제2 버퍼층(250)을 형성하고, 상기 제2 버퍼층(250) 상에 액티브층용 반도체층(300a)을 패턴 형성한다.
- [0071] 상기 제2 버퍼층(250)은 실리콘 질화물과 같은 무기 절연물을 이용하여 박막 트랜지스터(TFT) 영역 및 커패시터 영역을 포함한 상기 기관(100)의 전체 면 상에 형성할 수 있다. 종래의 경우에는 기관의 외곽부에서 외부 신호 구동부와 차폐층(도 1의 도면부호 20) 사이의 연결을 위한 콘택홀을 형성하기 위해서 제2 버퍼층(도 1의 도면부호 25)에 대한 제2 마스크 공정이 별도로 필요하였다. 그러나, 본 발명의 일 실시예에 따르면, 후술하는 도 4d 공정에서 제1 콘택홀(CH1) 및 제2 콘택홀(CH2)을 형성할 때 외부 신호 구동부와 상기 차폐층(200) 사이의 연결을 위한 콘택홀을 함께 형성할 수 있기 때문에 상기 제2 버퍼층(250)에 대한 별도의 마스크 공정은 필요하지 않다.
- [0072] 상기 액티브층용 반도체층(300a)은 상기 박막 트랜지스터(TFT) 영역에 패턴 형성한다. 상기 액티브층용 반도체층(300a)은 비정질 실리콘을 증착하고, 그 후 탈수소(Dehydrogenation) 공정을 수행하고, 그 후 레이저 등을 이용하여 결정화하고, 그 후 제2 마스크 공정으로 패턴 형성하는 공정을 통해 얻을 수 있지만, 반드시 그에 한정되는 것은 아니다.
- [0073] 다음, 도 4c에서 알 수 있듯이, 상기 액티브층용 반도체층(300a) 상에 게이트 절연막(350)을 형성하고, 상기 게이트 절연막(350) 상에 제1 게이트 전극(400)과 제2 커패시터 전극(420)을 패턴 형성하고, 그리고 상기 액티브층용 반도체층(300a)에 도펀트를 도핑하여 액티브층(300)을 완성한다.
- [0074] 상기 게이트 절연막(350)은 실리콘 질화물과 같은 무기 절연물을 이용하여 상기 박막 트랜지스터(TFT) 영역 및 커패시터 영역을 포함한 상기 기관(100)의 전체 면 상에 형성할 수 있다. 상기 게이트 절연막(350)을 형성하고 상기 제1 게이트 전극(400)을 형성하기 이전에 상기 액티브층용 반도체층(300a)에 도펀트를 도핑하는 공정을 추가로 수행할 수 있다.
- [0075] 상기 제1 게이트 전극(400)은 상기 박막 트랜지스터(TFT) 영역에 패턴 형성하고 상기 제2 커패시터 전극(420)은 상기 커패시터 영역에 패턴 형성한다. 이와 같은 제1 게이트 전극(400)과 제2 커패시터 전극(420)은 동일한 물질로 동시에 패턴 형성할 수 있으며, 이를 위해서 제3 마스크 공정이 수행된다.

- [0076] 상기 액티브층(300)은 상기 액티브층용 반도체층(300a)에 저농도 도펀트를 도핑하는 공정과 고농도 도펀트를 도핑하는 공정을 통해서 얻을 수 있다. 구체적으로, 상기 제1 게이트 전극(400)을 마스크로 하여 상기 액티브층용 반도체층(300a)에 저농도의 도펀트를 도핑한다. 그리하면, 저농도의 도펀트가 도핑되지 않은 영역이 채널 영역(310)이 되고, 상기 채널 영역(310)의 일측 및 타측에 저농도 도핑 영역(320)이 형성된다. 그 후, 도시하지는 않았지만 상기 게이트 절연막(350) 상에 포토 레지스트 패턴을 형성한 후, 상기 포토 레지스트 패턴을 마스크로 이용하여 상기 저농도 도핑 영역(320)의 일측 및 타측에 고농도 도핑 영역(330)을 형성하고, 그 후 상기 포토 레지스트 패턴을 스트립(strip)한다. 그리하면, 채널 영역(310), 상기 채널 영역(310)의 일측 및 타측에 구비된 저농도 도핑 영역(320), 및 상기 저농도 도핑 영역(320)의 일측 및 타측에 구비된 고농도 도핑 영역(330)을 포함하는 액티브층(300)이 완성된다. 이때, 상기 고농도 도핑 영역(330)을 형성하기 위한 포토 레지스트 패턴을 위해서 제4 마스크 공정이 수행된다.
- [0077] 다음, 도 4d에서 알 수 있듯이, 상기 제1 게이트 전극(400)과 제2 커패시터 전극(420) 상에 층간 절연막(450)을 형성하고, 그 후 제1 콘택홀(CH1) 및 제2 콘택홀(CH2)을 형성한다.
- [0078] 상기 층간 절연막(450)은 상기 박막 트랜지스터(TFT) 영역 및 상기 커패시터 영역 모두에 형성하며, 특히, 수소(H)를 함유하는 물질, 예로서 SiNx로 형성할 수 있다. 상기 층간 절연막(450)은 SiNx와 SiO₂의 이중층으로 형성될 수 있다.
- [0079] 상기와 같은 수소(H)를 함유하는 물질로 층간 절연막(450)을 형성하고 상기 제1/제2 콘택홀(CH1, CH2)을 형성하기 이전에는 활성화(Activation) 및 수소화(Hydrogenation)를 위한 열처리 공정을 수행할 수 있다. 상기 열처리 공정에 의해서 상기 층간 절연막(450)에 함유되어 있는 수소(H)가 상기 액티브층(300)으로 확산되어 상기 액티브층(300)의 땀글링 본드(dangling bond)가 줄어들게 된다. 본 발명의 일 실시예에 따르면, 활성화와 수소화를 위한 열처리 공정을 동시에 수행할 수 있기 때문에, 활성화를 위한 열처리와 수소화를 위한 열처리를 구분하여 수행한 종래에 비하여 열처리 공정이 줄어들어 장점이 있다.
- [0080] 상기 제1 콘택홀(CH1) 및 제2 콘택홀(CH2)은 동시에 형성하며, 이를 위해서 제5 마스크 공정이 수행된다. 상기 제1 콘택홀(CH1) 및 제2 콘택홀(CH2)은 각각 상기 제2 버퍼층(250), 상기 액티브층(300)의 고농도 도핑 영역(330), 상기 게이트 절연막(350), 및 상기 층간 절연막(450)의 소정 영역을 제거하여 형성한다. 상기 제1 콘택홀(CH1)에 의해서 상기 소스 전극(211)이 노출되고, 상기 제2 콘택홀(CH2)에 의해서 상기 드레인 전극(212)이 노출된다.
- [0081] 다음, 도 4e에서 알 수 있듯이, 상기 층간 절연막(450) 상에 제2 게이트 전극(500), 제1 연결 전극(510), 및 제2 연결 전극(520)을 패턴 형성하고, 그 후에 평탄화층(550)을 형성한 후 상기 평탄화층(550)에 제3 콘택홀(CH3)을 형성한다.
- [0082] 상기 제2 게이트 전극(500), 제1 연결 전극(510), 및 제2 연결 전극(520)은 동일한 물질로 동시에 패턴 형성할 수 있으며, 이를 위해서 제6 마스크 공정이 수행된다.
- [0083] 상기 제2 게이트 전극(500)은 상기 박막 트랜지스터(TFT) 영역에 패턴 형성하고, 별도의 콘택홀을 통해서 상기 제1 게이트 전극(400)과 전기적으로 연결될 수 있다. 상기 제2 게이트 전극(500)과 상기 제1 게이트 전극(400) 사이의 전기적 연결을 위한 콘택홀은 전술한 제1 콘택홀(CH1)과 제2 콘택홀(CH2) 형성시 함께 형성할 수 있으며, 따라서 이를 위해서 별도의 마스크 공정이 필요하지는 않다.
- [0084] 상기 제1 연결 전극(510)은 상기 제1 콘택홀(CH1)을 통해서 상기 액티브층(300)의 일측에 배치된 고농도 도핑 영역(330) 및 상기 소스 전극(211)과 각각 연결된다. 또한, 상기 제1 연결 전극(510)은 상기 커패시터 영역까지 연장되어 제3 커패시터 전극으로 기능할 수 있다.
- [0085] 상기 제2 연결 전극(520)은 상기 제2 콘택홀(CH2)을 통해서 상기 액티브층(300)의 타측에 배치된 고농도 도핑 영역(330) 및 상기 드레인 전극(212)과 각각 연결된다.
- [0086] 이와 같이, 상기 제1 콘택홀(CH1)과 제2 콘택홀(CH2)의 구성과 더불어 상기 제1 연결 전극(510)과 제2 연결 전극(520)의 구성의 조합에 의해서 마스크 공정회수를 줄이면서 상기 소스 전극(211)과 액티브층(300) 사이의 연결 및 상기 드레인 전극(212)과 액티브층(300) 사이의 연결이 가능하게 된다.
- [0087] 상기 평탄화층(550)은 상기 박막 트랜지스터(TFT) 영역 및 상기 커패시터 영역 모두에 형성한다.
- [0088] 상기 제3 콘택홀(CH3)을 위해서 제7 마스크 공정이 수행된다. 상기 제3 콘택홀(CH3)은 상기 평탄화층(550)의 소

정 영역을 제거하여 형성한다. 상기 제3 콘택홀(CH3)에 의해서 상기 제2 연결 전극(520)이 노출된다.

- [0089] 다음, 도 4f에서 알 수 있듯이, 화소 전극(600)을 패턴 형성한다.
- [0090] 상기 화소 전극(600)의 패턴 형성을 위해서 제8 마스크 공정이 수행된다. 상기 화소 전극(600)은 상기 제3 콘택홀(CH3)을 통해서 상기 제2 연결 전극(520)과 연결된다. 이와 같은 화소 전극(600)은 상기 커패시터 영역으로 연장되어 제4 커패시터 전극으로 기능할 수 있다.
- [0091] 이와 같은 본 발명의 일 실시예에 따르면 종래에 비하여 마스크 공정이 3회 감소되는 장점이 있다. 또한, TFT 영역을 형성할 때 커패시터 영역을 함께 형성할 수 있기 때문에 커패시터 영역을 패턴 형성하기 위한 마스크 공정이 추가되지 않는 장점이 있다.
- [0092] 도 5는 본 발명의 일 실시예에 따른 유기 발광 디스플레이 장치의 개략적인 단면도로서, 이는 전술한 도 3에 따른 박막 트랜지스터 기판을 이용한 것이다.
- [0093] 도 5에서 알 수 있듯이, 본 발명의 일 실시예에 따른 유기 발광 디스플레이 장치는, 기판(100), 제1 버퍼층(150), 차폐층(200), 소스 전극(211), 드레인 전극(212), 제1 커패시터 전극(220), 제2 버퍼층(250), 액티브층(300), 게이트 절연막(350), 제1 게이트 전극(400), 제2 커패시터 전극(420), 층간 절연막(450), 제2 게이트 전극(500), 제1 연결 전극(510), 제2 연결 전극(520), 평탄화막(550), 화소 전극(600), बैं크층(650), 유기층(700), 및 상부 전극(750)을 포함하여 이루어진다.
- [0094] 상기 기판(100)에서부터 상기 화소 전극(600)까지의 구성은 전술한 박막 트랜지스터 기판과 동일하므로 반복 설명은 생략하기로 한다. 상기 화소 전극(600)은 유기 발광 디스플레이 장치의 양극(Anode)으로 기능할 수 있다.
- [0095] 상기 बैं크층(650)과 상기 유기층(700)은 상기 화소 전극(600) 상에 형성되어 있다. 상기 बैं크층(650)은 화소 영역을 규정하도록 매트릭스 구조로 형성되고, 상기 유기층(700)은 상기 화소 영역 내에 형성된다. 상기 유기층(700)은 정공주입층, 정공수송층, 유기 발광층, 전자수송층, 및 전자주입층의 조합으로 이루어질 수 있지만, 반드시 그에 한정되는 것은 아니고, 당업계에 공지된 다양한 구조로 변경될 수 있다. 상기 상부 전극(750)은 상기 유기층(700) 상에 형성되어 있다. 상기 상부 전극(750)은 유기 발광 디스플레이 장치의 음극(Cathode)으로 기능할 수 있다.
- [0096] 이상은 본 발명의 일 실시예에 따른 유기 발광 디스플레이 장치를 도시한 것으로서, 본 발명에 따른 유기 발광 디스플레이 장치가 도 5에 도시한 구조로 한정되는 것은 아니며, 본 발명에 따른 유기 발광 디스플레이 장치는 전술한 박막 트랜지스터 기판을 포함한 다양한 구조의 유기 발광 디스플레이 장치를 포함한다.
- [0097] 도 6은 본 발명의 일 실시예에 따른 액정 디스플레이 장치의 개략적인 단면도로서, 이는 전술한 도 3에 따른 박막 트랜지스터 기판을 이용한 것이다.
- [0098] 도 6에서 알 수 있듯이, 본 발명의 일 실시예에 따른 액정 디스플레이 장치는, 기판(100), 제1 버퍼층(150), 차폐층(200), 소스 전극(211), 드레인 전극(212), 제1 커패시터 전극(220), 제2 버퍼층(250), 액티브층(300), 게이트 절연막(350), 제1 게이트 전극(400), 제2 커패시터 전극(420), 층간 절연막(450), 제2 게이트 전극(500), 제1 연결 전극(510), 제2 연결 전극(520), 평탄화막(550), 및 화소 전극(600)을 포함하여 이루어진 박막 트랜지스터 기판, 상기 박막 트랜지스터 기판과 대향하고 있는 대향 기판(800), 및 상기 박막 트랜지스터 기판과 상기 대향 기판(800) 사이에 형성된 액정층(900)을 포함하여 이루어진다.
- [0099] 상기 대향 기판(800)은 구체적으로 도시하지는 않았지만, 블랙 매트릭스 및 차광층을 포함하여 이루어질 수 있다. 본 발명에 따른 액정 디스플레이 장치는 TN(Twisted Nematic) 모드, VA(Vertical Alignment) 모드, IPS(In Plane Switching) 모드, 및 FFS(Fringe Field Switching) 모드 등 당업계에 공지된 다양한 모드로 변경적용될 수 있으며, 그에 따라 상기 대향 기판(800)의 구성은 다양하게 변경될 수 있다. 또한, 상기 박막 트랜지스터 기판의 경우에 있어서, 상기 화소 전극(600)과 동일한 층에 상기 액정층(900)을 구동하기 위한 공통 전극이 추가로 형성될 수 있다.
- [0100] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 더욱 상세하게 설명하였으나, 본 발명은 반드시 이러한 실시예로 국한되는 것은 아니고, 본 발명의 기술사상을 벗어나지 않는 범위 내에서 다양하게 변형 실시될 수 있다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 그러므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 본 발명의 보호 범위는 청구 범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리 범위에 포

함되는 것으로 해석되어야 할 것이다.

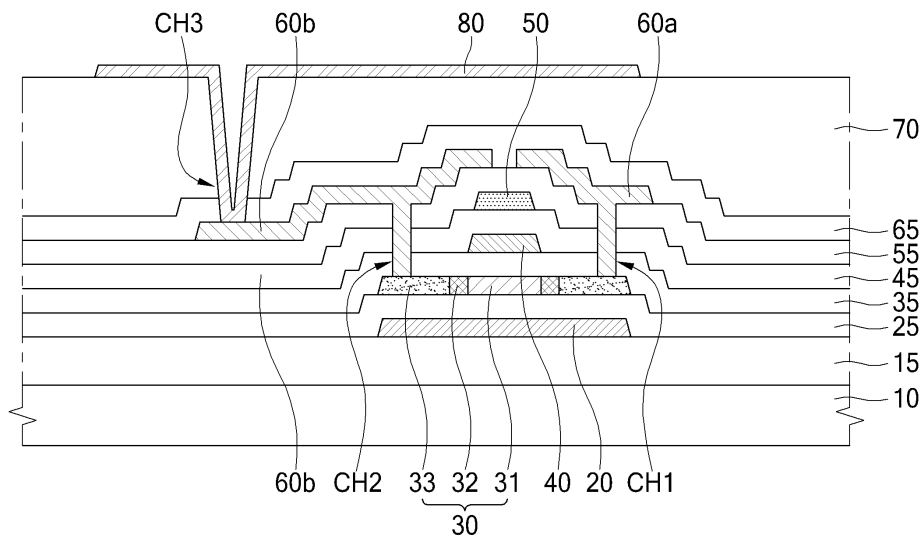
부호의 설명

[0101]

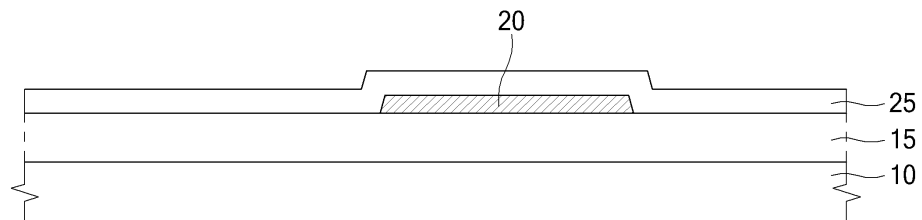
- | | |
|-----------------|-----------------|
| 100: 기판 | 150: 제1 버퍼층 |
| 200: 차폐층 | 211: 소스 전극 |
| 212: 드레인 전극 | 220: 제1 커패시터 전극 |
| 250: 제2 버퍼층 | 300: 액티브층 |
| 350: 게이트 절연막 | 400: 제1 게이트 전극 |
| 420: 제2 커패시터 전극 | 450: 층간 절연막 |
| 500: 제2 게이트 전극 | 510: 제1 연결 전극 |
| 520: 제2 연결 전극 | 550: 평탄화막 |
| 600: 화소 전극 | |

도면

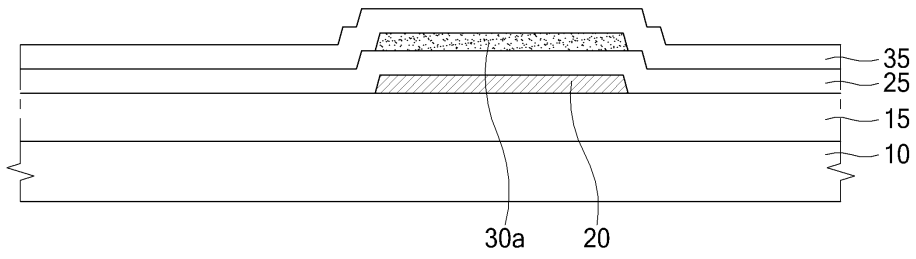
도면1



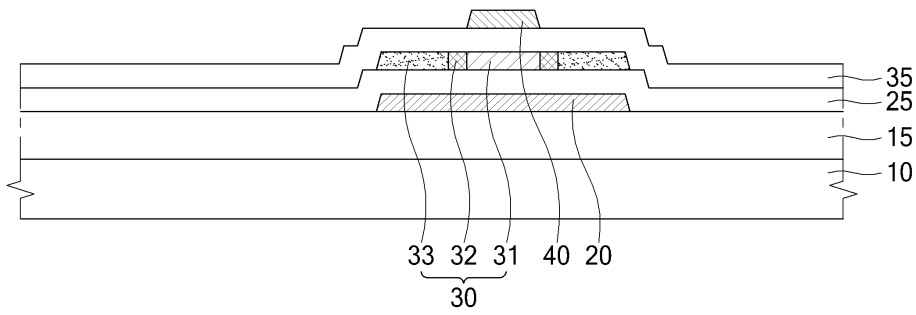
도면2a



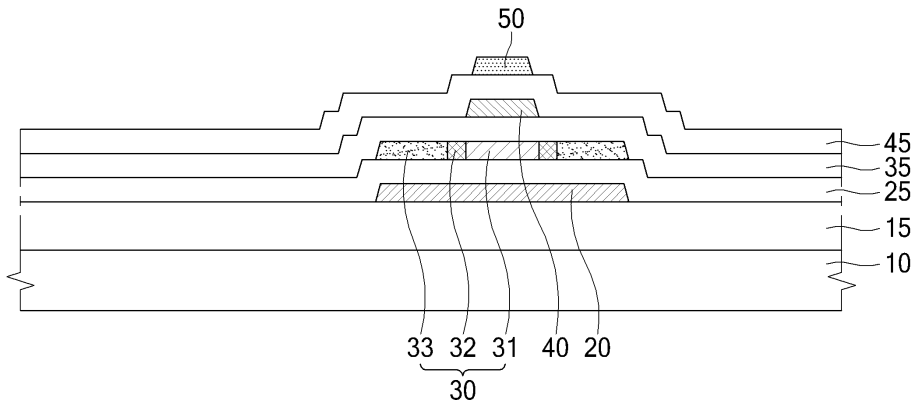
도면2b



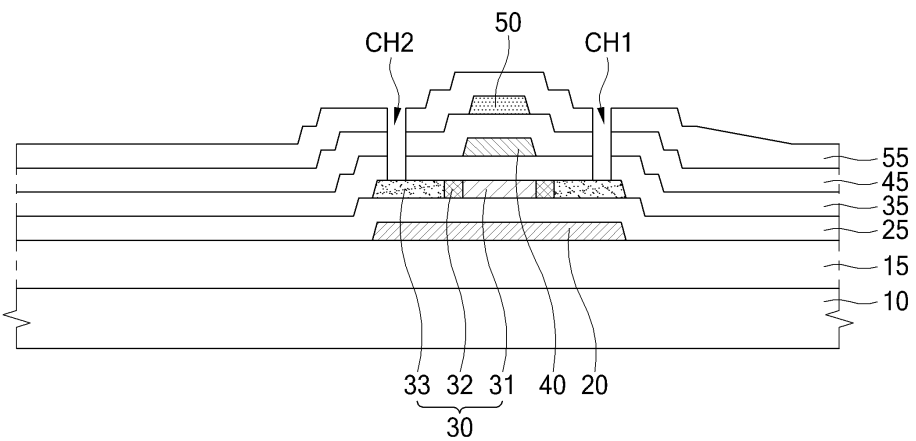
도면2c



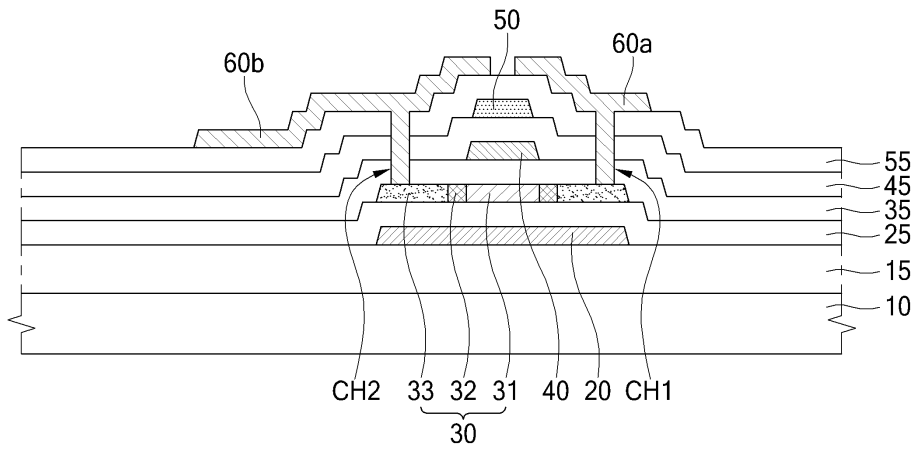
도면2d



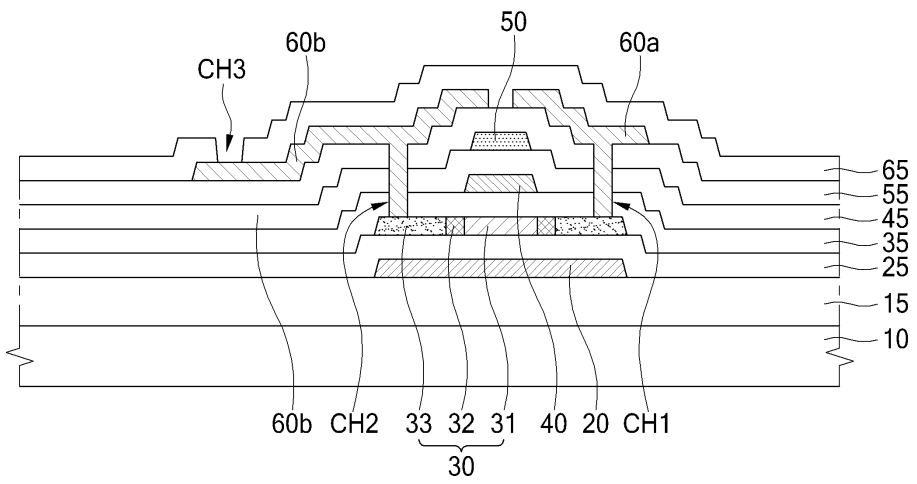
도면2e



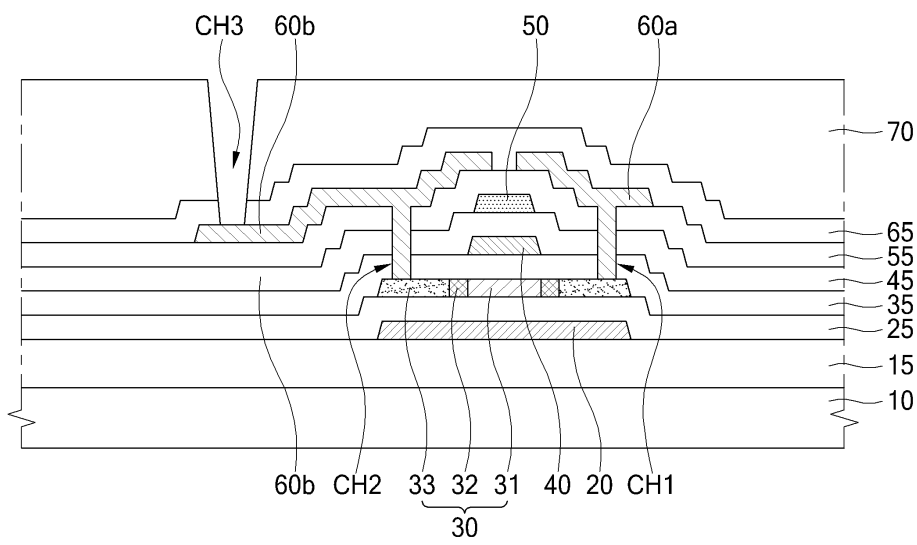
도면2f



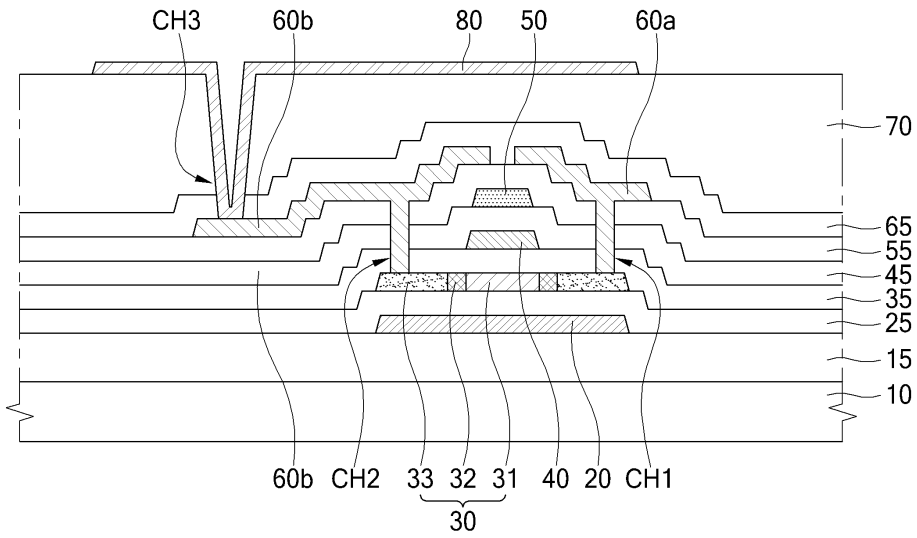
도면2g



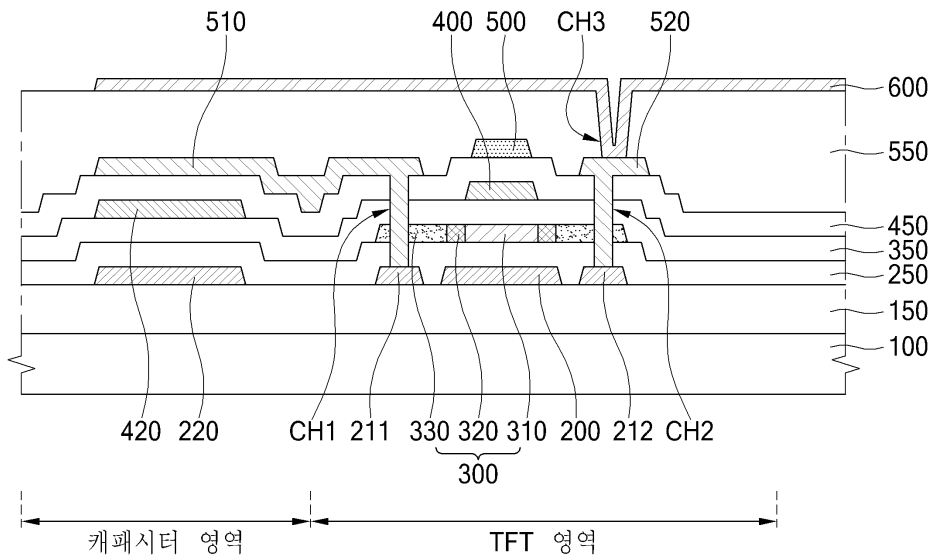
도면2h



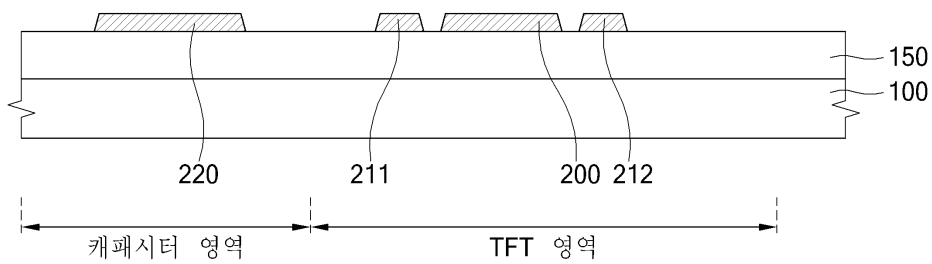
도면2i



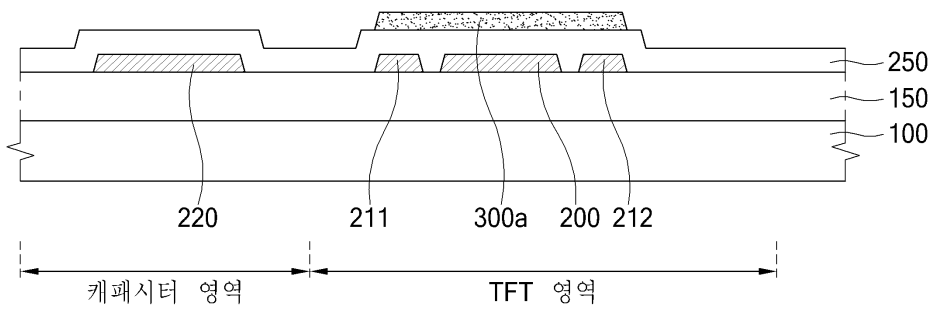
도면3



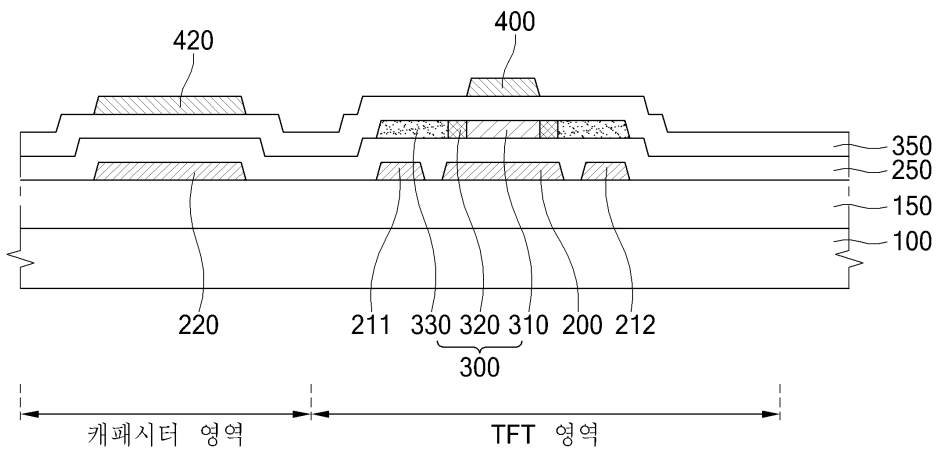
도면4a



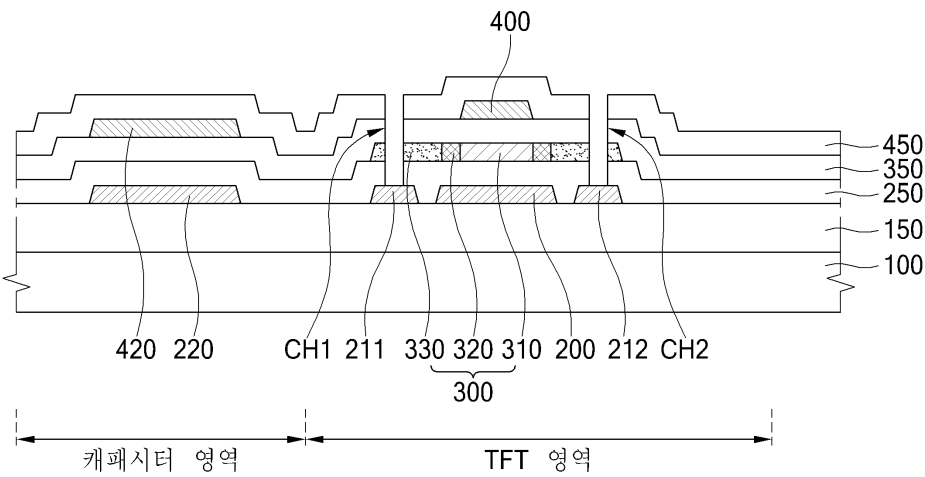
도면4b



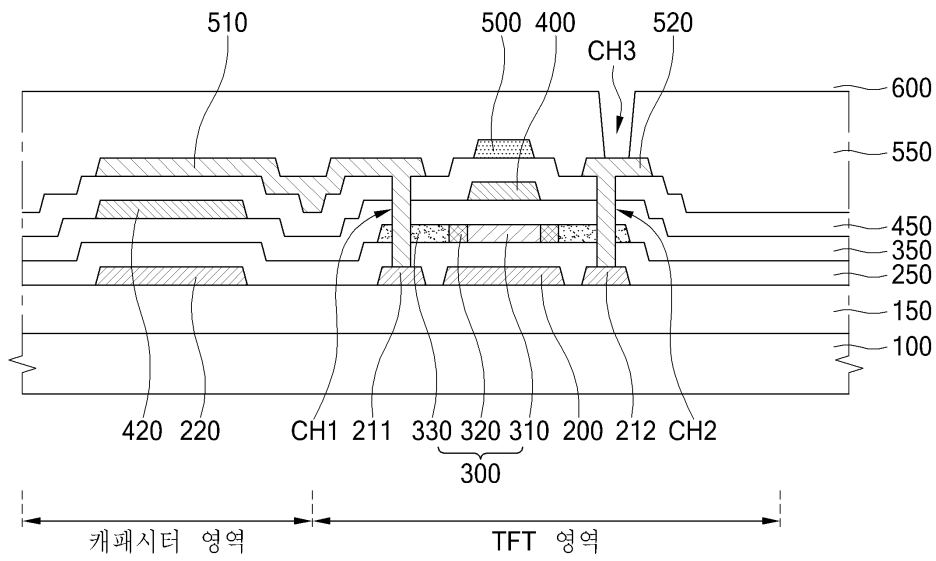
도면4c



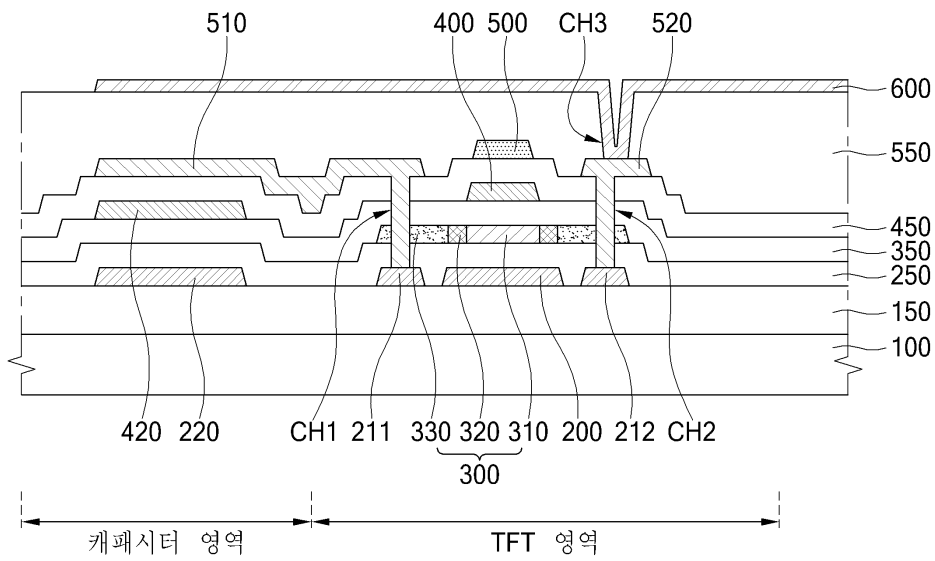
도면4d



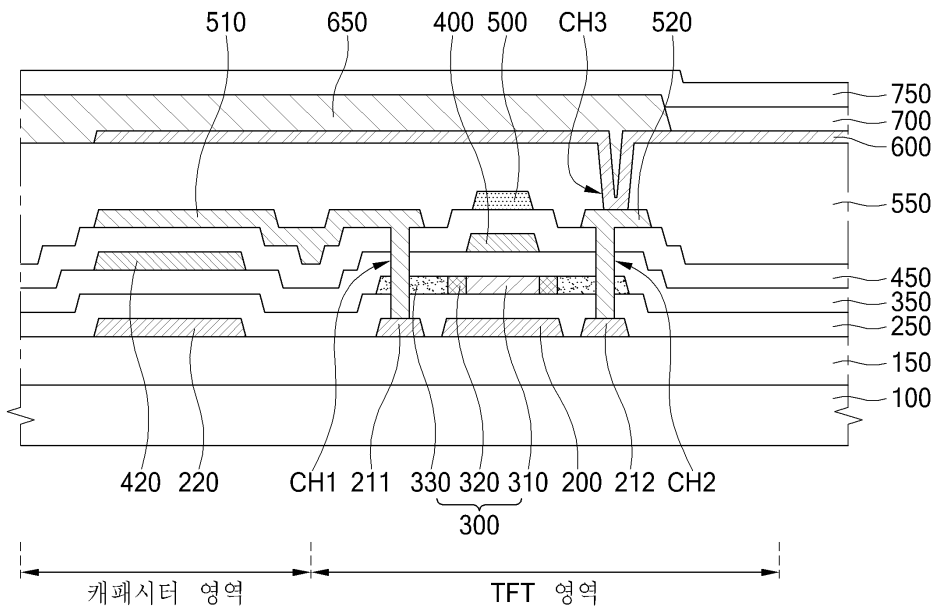
도면4e



도면4f



도면5



도면6

